



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0057720
(43) 공개일자 2009년06월08일

(51) Int. Cl.

H01J 17/18 (2006.01) H01J 17/49 (2006.01)

(21) 출원번호 10-2007-0124422

(22) 출원일자 2007년12월03일

심사청구일자 없음

(71) 출원인

엘지전자 주식회사

서울특별시 영등포구 여의도동 20번지

(72) 발명자

권기열

경북 구미시 진평동 642번지

(74) 대리인

박병창

전체 청구항 수 : 총 5 항

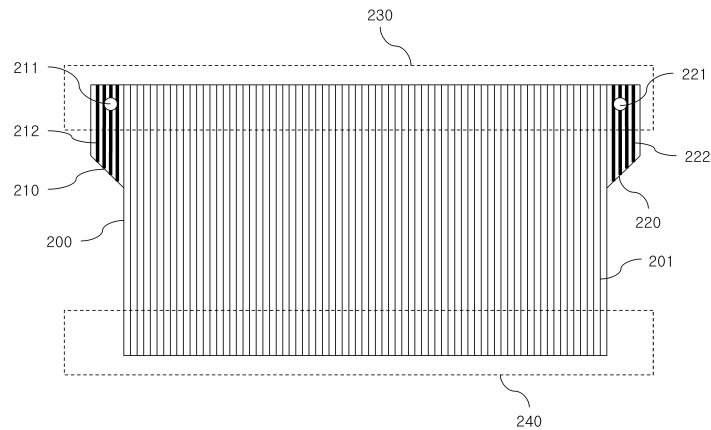
(54) 플라즈마 디스플레이 장치

(57) 요약

본 발명은 플라즈마 디스플레이 장치에 관한 것이다. 그 플라즈마 디스플레이 장치는, 복수의 전극들이 형성된 플라즈마 디스플레이 패널; 구동 신호를 생성하는 구동 회로가 형성된 인쇄 회로 기판; 및 구동 회로와 패널에 형성된 전극을 전기적으로 연결하는 연결부재를 포함하며, 연결부재는 전극과 연결되지 않은 비유효 라인이 형성된 영역에 얼라인 마크(alignment mark)가 형성되어 있는 것을 특징으로 한다.

본 발명에 따른 플라즈마 디스플레이 장치에 의하면, 패널에 형성된 전극과 인쇄 회로 기판을 연결하는 연성 인쇄 회로(FPC, Flexible Printed Circuit) 등과 같은 연결 부재에 있어서, 인쇄 회로 기판의 정확한 위치에 연결 부재를 배치할 수 있도록 하기 위한 얼라인 마크(alignment mark)를 형성함으로써, 연결 부재의 배치 공정을 용이하게 하는 동시에 구동 신호의 공급 오류로 인한 구동 회로의 손상을 방지하고, 패널 구동에서 발생할 수 있는 오류를 감소시킬 수 있다.

대표도 - 도8



특허청구의 범위

청구항 1

복수의 전극들이 형성된 플라즈마 디스플레이 패널;

상기 복수의 전극들 중 제1 전극에 공급되는 구동 신호를 생성하는 구동 회로가 형성된 인쇄 회로 기판; 및

일단이 상기 인쇄 회로 기판에 연결되고, 타단이 상기 패널에 연결되어, 상기 구동 회로와 상기 제1 전극을 전기적으로 연결하는 연결부재를 포함하며,

상기 연결부재는 상기 제1 전극과 연결되는 유효 라인이 형성된 제1 영역과 상기 제1 전극과 연결되지 않는 비유효 라인이 형성된 제2 영역을 포함하고, 상기 제2 영역에 얼라인 마크(align mark)가 형성되어 있는 것을 특징으로 하는 플라즈마 디스플레이 장치.

청구항 2

제1항에 있어서,

상기 비유효 라인의 폭이 상기 유효 라인의 폭보다 넓은 것을 특징으로 하는 플라즈마 디스플레이 장치.

청구항 3

제1항에 있어서,

상기 제2 영역은 상기 연결부재의 최외곽에 위치하는 것을 특징으로 하는 플라즈마 디스플레이 장치.

청구항 4

제1항에 있어서,

상기 연결부재는 이방 전도성 필름(ACF, Anisotropic Conductive Film)을 이용하여 상기 인쇄 회로 기판에 접착되는 것을 특징으로 하는 플라즈마 디스플레이 장치.

청구항 5

제1항에 있어서,

상기 연결부재의 얼라인 마크는 상기 인쇄 회로 기판에 형성된 얼라인 마크와 대응되는 위치에 형성된 홀(hole)인 것을 특징으로 하는 플라즈마 디스플레이 장치.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 플라즈마 디스플레이(Plasma display) 장치에 관한 것으로서, 특히 패널(panel)을 구동시키기 위해 전극에 구동 신호들을 공급하는 플라즈마 디스플레이 패널의 구동 장치에 관한 것이다.

배경 기술

- <2> 플라즈마 디스플레이 장치는 격벽이 형성된 배면기판 및 이와 대향되는 전면기판 사이에 복수의 방전셀들이 형성되는 패널을 포함하고, 입력되는 영상 신호에 따라 상기 복수의 방전셀들을 선택적으로 방전시켜 상기 방전에 의해 발생하는 진공 자외선이 형광체를 발광시키도록 함으로써 영상을 디스플레이하는 장치이다.
- <3> 본 발명은 플라즈마 디스플레이(Plasma display) 장치에 관한 것으로서, 특히 패널(panel)을 구동시키기 위해 전극에 구동 신호들을 공급하는 플라즈마 디스플레이 패널의 구동 장치에 관한 것이다.
- <4> 일반적으로 플라즈마 디스플레이 패널은 방전공간에 설치된 전극들에 소정의 전압을 인가하여 방전을 일으키고, 가스방전시 발생하는 플라즈마가 형광체를 여기 시킴으로써 문자 또는 그래픽을 포함한 화상을 표시하는 장치로서, 대면화 및 경량화와 평면 박형화가 용이하고, 상하 좌우로 넓은 시야각을 제공하며, 풀 컬러 및 고휘도를

구현하는 것이 가능하다는 장점이 있다.

- <5> 플라즈마 디스플레이 장치는 패널을 구동시키기 위한 신호들을 생성하는 구동 회로를 포함하며, 생성된 구동 신호들을 패널에 형성된 복수의 전극들에 공급하기 위해 패널과 구동 회로를 전기적으로 연결하는 연결 부재들을 포함한다.
- <6> 패널과 구동 회로의 전기적 연결을 위해, 연결 부재는 패널에 형성된 복수의 전극들에 대응되어 그와 도전되는 복수의 전극들을 포함한다.

발명의 내용

해결 하고자하는 과제

- <7> 본 발명의 기술적 과제는 플라즈마 디스플레이 패널에 구동 신호를 공급하기 위한 구동 회로들의 안정성을 향상시킬 수 있는 플라즈마 디스플레이 장치를 제공하는데 있다.

과제 해결수단

- <8> 상기한 기술적 과제를 해결하기 위한 본 발명에 의한 플라즈마 디스플레이 장치는, 복수의 전극들이 형성된 플라즈마 디스플레이 패널; 상기 복수의 전극들 중 제1 전극에 공급되는 구동 신호를 생성하는 구동 회로가 형성된 인쇄 회로 기판; 및 일단이 상기 인쇄 회로 기판에 연결되고, 타단이 상기 패널에 연결되어, 상기 구동 회로와 상기 제1 전극을 전기적으로 연결하는 연결부재를 포함하며, 상기 연결부재는 상기 제1 전극과 연결되는 유효 라인이 형성된 제1 영역과 상기 제1 전극과 연결되지 않는 비유효 라인이 형성된 제2 영역을 포함하고, 상기 제2 영역에 얼라인 마크(alignment mark)가 형성되어 있는 것을 특징으로 한다.

효 과

- <9> 상기한 바와 같이 구성되는 본 발명에 따른 플라즈마 디스플레이 장치에 의하면, 패널에 형성된 전극과 인쇄 회로 기판을 연결하는 연성 인쇄 회로(FPC, Flexible Printed Circuit) 등과 같은 연결 부재에 있어서, 인쇄 회로 기판의 정확한 위치에 연결 부재를 배치할 수 있도록 하기 위한 얼라인 마크(alignment mark)를 형성함으로써, 연결 부재의 배치 공정을 용이하게 하는 동시에 구동 신호의 공급 오류로 인한 구동 회로의 손상을 방지하고, 패널 구동에서 발생할 수 있는 오류를 감소시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <10> 이하, 첨부된 도면을 참조하여 본 발명에 따른 플라즈마 디스플레이 장치에 관하여 상세히 설명한다. 도 1은 플라즈마 디스플레이 패널의 구조에 대한 일실시예를 사시도로 도시한 것이다.
- <11> 도 1에 도시된 바와 같이, 플라즈마 디스플레이 패널은 상부기관(10) 상에 형성되는 유지 전극 쌍인 스캔 전극(11) 및 서스테인 전극(12), 하부기관(20) 상에 형성되는 어드레스 전극(22)을 포함한다.
- <12> 상기 유지 전극 쌍(11, 12)은 통상 인듐틴옥사이드(Indium-Tin-Oxide; ITO)로 형성된 투명전극(11a, 12a)과 버스 전극(11b, 12b)을 포함하며, 상기 버스 전극(11b, 12b)은 은(Ag), 크롬(Cr) 등의 금속 또는 크롬/구리/크롬(Cr/Cu/Cr)의 적층형이나 크롬/알루미늄/크롬(Cr/Al/Cr)의 적층형으로 형성될 수 있다. 버스 전극(11b, 12b)은 투명전극(11a, 12a) 상에 형성되어, 저항이 높은 투명전극(11a, 12a)에 의한 전압 강하를 줄이는 역할을 한다.
- <13> 한편, 본 발명의 일실시예에 따르면 유지 전극쌍(11, 12)은 투명전극(11a, 12a)과 버스 전극(11b, 12b)이 적층된 구조 뿐만 아니라, 투명 전극(11a, 12a)이 없이 버스 전극(11b, 12b)만으로도 구성될 수 있다. 이러한 구조는 투명 전극(11a, 12a)을 사용하지 않으므로, 패널 제조의 단가를 낮출 수 있는 장점이 있다. 이러한 구조에 사용되는 버스 전극(11b, 12b)은 위에 열거한 재료 이외에 감광성 재료등 다양한 재료가 가능할 것이다.
- <14> 스캔 전극(11) 및 서스테인 전극(12)의 투명전극(11a, 12a)과 버스전극(11b, 11c)의 사이에는 상부 기관(10)의 외부에서 발생하는 외부광을 흡수하여 반사를 줄여주는 광차단의 기능과 상부 기관(10)의 퓨리티(Purity) 및 콘트라스트를 향상시키는 기능을 하는 블랙 매트릭스(Black Matrix, BM, 15)가 배열된다.
- <15> 본 발명의 일실시예에 따른 블랙 매트릭스(15)는 상부 기관(10)에 형성되는데, 격벽(21)과 중첩되는 위치에 형성되는 제1 블랙 매트릭스(15)와, 투명전극(11a, 12a)과 버스전극(11b, 12b)사이에 형성되는 제2 블랙 매트릭스(11c, 12c)로 구성될 수 있다. 여기서, 제 1 블랙 매트릭스(15)와 블랙층 또는 블랙 전극층이라고도 하는 제 2

블랙 매트릭스(11c, 12c)는 형성 과정에서 동시에 형성되어 물리적으로 연결될 수 있고, 동시에 형성되지 않아 물리적으로 연결되지 않을 수도 있다.

- <16> 또한, 물리적으로 연결되어 형성되는 경우, 제 1 블랙 매트릭스(15)와 제 2 블랙 매트릭스(11c, 12c)는 동일한 재질로 형성되지만, 물리적으로 분리되어 형성되는 경우에는 다른 재질로 형성될 수 있다.
- <17> 스캔 전극(11)과 서스테인 전극(12)이 나란하게 형성된 상부기관(10)에는 상부 유전체층(13)과 보호막(14)이 적층된다. 상부 유전체층(13)에는 방전에 의하여 발생된 하전입자들이 축적되고, 유지 전극 쌍(11, 12)을 보호하는 기능을 수행할 수 있다. 보호막(14)은 가스 방전시 발생된 하전입자들의 스피터링으로부터 상부 유전체층(13)을 보호하고, 2차 전자의 방출 효율을 높이게 된다.
- <18> 또한, 어드레스 전극(22)은 스캔 전극(11) 및 서스테인 전극(12)과 교차되는 방향으로 형성된다. 또한, 어드레스 전극(22)이 형성된 하부기관(20) 상에는 하부 유전체층(23)과 격벽(21)이 형성된다.
- <19> 또한, 하부 유전체층(24)과 격벽(21)의 표면에는 형광체층(23)이 형성된다. 격벽(21)은 세로 격벽(21a)와 가로 격벽(21b)가 폐쇄형으로 형성되고, 방전셀을 물리적으로 구분하며, 방전에 의해 생성된 자외선과 가시광이 인접한 방전셀에 누설되는 것을 방지한다.
- <20> 본 발명의 일실시예에는 도 1에 도시된 격벽(21)의 구조뿐만 아니라, 다양한 형상의 격벽(21)의 구조도 가능할 것이다. 예컨대, 세로 격벽(21a)과 가로 격벽(21b)의 높이가 다른 차등형 격벽 구조, 세로 격벽(21a) 또는 가로 격벽(21b) 중 적어도 하나 이상에 배기 통로로 사용 가능한 채널(Channel)이 형성된 채널형 격벽 구조, 세로 격벽(21a) 또는 가로 격벽(21b) 중 하나 이상에 홈(Hollow)이 형성된 홈형 격벽 구조 등이 가능할 것이다.
- <21> 여기서, 차등형 격벽 구조인 경우에는 가로 격벽(21b)의 높이가 높은 것이 더 바람직하고, 채널형 격벽 구조나 홈형 격벽 구조인 경우에는 가로 격벽(21b)에 채널이 형성되거나 홈이 형성되는 것이 바람직할 것이다.
- <22> 한편, 본 발명의 일실시예에서는 R, G 및 B 방전셀 각각이 동일한 선상에 배열되는 것으로 도시 및 설명되고 있지만, 다른 형상으로 배열되는 것도 가능할 것이다. 예컨대, R, G 및 B 방전셀이 삼각형 형상으로 배열되는 델타(Delta) 타입의 배열도 가능할 것이다. 또한, 방전셀의 형상도 사각형상 뿐만 아니라, 오각형, 육각형 등의 다양한 다각 형상도 가능할 것이다.
- <23> 또한, 형광체층(23)은 가스 방전시 발생된 자외선에 의해 발광되어 적색(R), 녹색(G) 또는 청색(B) 중 어느 하나의 가시광을 발생하게 된다. 여기서, 상부/하부 기관(10, 20)과 격벽(21) 사이에 마련된 방전공간에는 방전을 위한 He+Xe, Ne+Xe 및 He+Ne+Xe 등의 불활성 혼합가스가 주입된다.
- <24> 도 2는 플라즈마 디스플레이 패널의 전극 배치에 대한 일실시예를 도시한 것으로, 플라즈마 디스플레이 패널을 구성하는 복수의 방전셀들은 도 2에 도시된 바와 같이 매트릭스 형태로 배치되는 것이 바람직하다. 복수의 방전셀들은 각각 스캔 전극 라인(Y1 내지 Ym), 서스테인 전극 라인(Z1 내지 Zm) 및 어드레스 전극 라인(X1 내지 Xn)의 교차부에 마련된다. 스캔 전극 라인(Y1 내지 Ym)은 순차적으로 구동되거나 동시에 구동될 수 있고, 서스테인 전극 라인(Z1 내지 Zm)은 동시에 구동될 수 있다. 어드레스 전극라인(X1 내지 Xn)은 기수 번째 라인들과 우수 번째 라인들로 분할되어 구동되거나 순차적으로 구동될 수 있다.
- <25> 도 2에 도시된 전극 배치는 본 발명에 따른 플라즈마 패널의 전극 배치에 대한 일실시예에 불과하므로, 본 발명은 도 2에 도시된 플라즈마 디스플레이 패널의 전극 배치 및 구동 방식에 한정되지 아니한다. 예컨대, 상기 스캔 전극 라인(Y1 내지 Ym)들 중 2 개의 스캔 전극 라인이 동시에 스캐닝되는 듀얼 스캔(dual scan) 방식도 가능하다. 또한, 상기 어드레스 전극 라인(X1 내지 Xn)은 패널의 중앙 부분에서 상하 또는 좌우로 분할되어 구동될 수도 있다.
- <26> 도 3은 하나의 프레임(frame)을 복수의 서브필드로 나누어 시분할 구동시키는 방법에 대한 일실시예를 타이밍도로 도시한 것이다. 단위 프레임은 시분할 계조 표시를 실현하기 위하여 소정 개수 예컨대 8개의 서브필드들(SF1, ..., SF8)로 분할될 수 있다. 또한, 각 서브필드(SF1, ..., SF8)는 리셋 구간(미도시)과, 어드레스 구간(A1, ..., A8) 및, 서스테인 구간(S1, ..., S8)로 분할된다.
- <27> 여기서, 본 발명의 일실시예에 따르면 리셋 구간은 복수 개의 서브필드 중 적어도 하나에서 생략될 수 있다. 예컨대, 리셋 구간은 최초의 서브필드에서만 존재하거나, 최초의 서브필드와 전체 서브필드 중 중간 정도의 서브필드에서만 존재할 수도 있다.
- <28> 각 어드레스 구간(A1, ..., A8)에서는, 어드레스 전극(X)에 표시 데이터 신호가 인가되고, 각 스캔 전극(Y)에

상응하는 스캔 펄스가 순차적으로 인가된다.

- <29> 각 서스테인 구간(S1, ..., S8)에서는, 스캔 전극(Y)과 서스테인 전극(Z)에 서스테인 펄스가 교호하게 인가되어, 어드레스 구간(A1, ..., A8)에서 벽전하들이 형성된 방전셀들에서 서스테인 방전을 일으킨다.
- <30> 플라즈마 디스플레이 패널의 휘도는 단위 프레임에서 차지하는 서스테인 방전 구간(S1, ..., S8)내의 서스테인 방전 펄스 개수에 비례한다. 1 화상을 형성하는 하나의 프레임이, 8개의 서브필드와 256계조로 표현되는 경우에, 각 서브필드에는 차례대로 1, 2, 4, 8, 16, 32, 64, 128의 비율로 서로 다른 서스테인 펄스의 수가 할당될 수 있다. 만일 133계조의 휘도를 얻기 위해서는, 서브필드1 구간, 서브필드3 구간 및 서브필드8 구간 동안 셀들을 어드레싱하여 서스테인 방전하면 된다.
- <31> 각 서브필드에 할당되는 서스테인 방전 수는, APC(Automatic Power Control)단계에 따른 서브필드들의 가중치에 따라 가변적으로 결정될 수 있다. 즉, 도 3에서는 한 프레임을 8개의 서브필드로 분할하는 경우를 예로 들어 설명하였으나 본 발명은 그에 한정되지 아니하며, 한 프레임을 형성하는 서브필드의 수를 설계사양에 따라 다양하게 변형하는 것이 가능하다. 예를 들어, 한 프레임을 12 또는 16 서브필드 등과 같이, 8 서브필드 이상으로 분할하여 플라즈마 디스플레이 패널을 구동시킬 수 있다.
- <32> 또한 각 서브필드에 할당되는 서스테인 방전 수는 감마특성이나 패널특성을 고려하여 다양하게 변형하는 것이 가능하다. 예컨대, 서브필드 4에 할당된 계조도를 8에서 6으로 낮추고, 서브필드 6에 할당된 계조도를 32에서 34로 높일 수 있다.
- <33> 도 4는 플라즈마 디스플레이 패널을 구동시키기 위한 구동 신호에 대한 일실시예를 타이밍도로 도시한 것이다.
- <34> 상기 서브필드는 스캔 전극들(Y) 상에 정극성 벽전하를 형성하고 서스테인 전극들(Z) 상에 부극성 벽전하를 형성하기 위한 프리 리셋(pre reset) 구간, 프리 리셋 구간에 의해 형성된 벽전하 분포를 이용하여 전 화면의 방전셀들을 초기화하기 위한 리셋(reset) 구간, 방전셀을 선택하기 위한 어드레스(address) 구간 및 선택된 방전셀들의 방전을 유지시키기 위한 서스테인(sustain) 구간을 포함할 수 있다.
- <35> 리셋 구간은 셋업(setup) 구간 및 셋 다운(setdown) 구간으로 이루어지며, 상기 셋업 구간에서는 모든 스캔 전극으로 상승 램프 파형(Ramp-up)이 동시 인가되어 모든 방전셀에서 미세 방전이 발생되고, 이에 따라 벽전하가 생성된다. 상기 셋다운 구간에는 상기 상승 램프 파형(Ramp-up)의 피크 전압보다 낮은 정극성 전압에서 하강하는 하강 램프파형(Ramp-down)이 모든 스캔 전극(Y)으로 동시에 인가되어 모든 방전셀에서 소거방전이 발생되고, 이에 따라 셋업 방전에 의해 생성된 벽전하 및 공간전하 중 불요 전하를 소거시킨다.
- <36> 어드레스 구간에는 스캔 전극으로 부극성의 스캔 전압(V_{sc})을 가지는 스캔 신호가 순차적으로 인가되고, 이와 동시에 상기 어드레스 전극(X)으로 정극성의 데이터 신호가 인가된다. 이러한 상기 스캔 신호와 데이터 신호 간의 전압 차와 상기 리셋 구간 동안 생성된 벽전압에 의해 어드레스 방전이 발생되어 셀이 선택된다. 한편, 어드레스 방전의 효율을 높이기 위해, 상기 어드레스 구간 동안 서스테인 바이어스 전압(V_{zb})이 서스테인 전극에 인가된다.
- <37> 상기 어드레스 구간동안, 복수의 스캔 전극들(Y)은 2 이상의 그룹으로 나뉘어 그룹별로 순차적으로 스캔 신호들이 공급될 수 있으며, 상기 분할된 그룹들 각각은 다시 2 이상의 서브 그룹으로 나뉘어 상기 서브 그룹별로 순차적으로 스캔 신호들이 공급될 수 있다. 예를 들어 복수의 스캔 전극들(Y)은 제1 그룹 및 제2 그룹으로 분할되고, 상기 제1 그룹에 속하는 스캔 전극들에 스캔 신호들이 순차적으로 공급된 후, 상기 제2 그룹에 속하는 스캔 전극들에 스캔 신호들이 순차적으로 공급될 수 있다.
- <38> 본 발명에 따른 일실시예로서 복수의 스캔 전극들(Y)은 패널 상에 형성된 위치에 따라 우수(even) 번째에 위치하는 제1 그룹과 기수(odd) 번째에 위치하는 제2 그룹으로 분할될 수 있으며, 또 다른 실시예로서 패널의 중심을 기준으로 상측에 위치하는 제1 그룹과 하측에 위치하는 제2 그룹으로 분할될 수 있다.
- <39> 상기와 같은 방법에 의해 분할된 제1 그룹에 속하는 스캔 전극들을 다시 우수(even) 번째에 위치하는 제1 서브 그룹과 기수(odd) 번째에 위치하는 제2 서브 그룹으로 분할되거나, 상기 제1 그룹의 중심을 기준으로 상측에 위치하는 제1 서브 그룹과 하측에 위치하는 제2 그룹으로 분할될 수 있다.
- <40> 서스테인 구간에는 스캔 전극과 서스테인 전극에 교번적으로 서스테인 전압(V_s)을 가지는 서스테인 펄스가 인가되어 스캔 전극과 서스테인 전극 사이에 면방전 형태로 서스테인 방전이 발생된다.
- <41> 서스테인 구간에서 스캔 전극과 서스테인 전극에 교번적으로 공급되는 복수의 서스테인 신호들 중 첫번째 서스

테인 신호 또는 마지막 서스테인 신호의 폭은 나머지 서스테인 펄스의 폭보다 클 수 있다.

- <42> 상기 서스테인 방전이 발생한 후, 어드레스 구간에서 선택된 온셀(ON cell)의 스캔 전극 또는 서스테인 전극에 남아있는 벽전하를 약한 방전을 발생시킴에 의해 소거시키는 소거 구간이 서스테인 구간 이후에 더 포함될 수 있다.
- <43> 상기 소거 구간은 복수의 서브필드 전체 또는 그 중 일부의 서브필드에 포함될 수 있으며, 서스테인 구간에서 마지막 서스테인 펄스가 인가되지 않은 전극에 상기 약한 방전을 위한 소거 신호가 인가되는 것이 바람직하다.
- <44> 상기 소거 신호는 점진적으로 증가하는 램프(ramp) 형태의 신호, 저전압 광폭 펄스(low-voltage wide pulse), 고전압 협폭 펄스(high-voltage narrow pulse), 기하급수적으로 증가하는 신호(exponential signal) 또는 half-sinusoidal pulse 등이 사용될 수 있다.
- <45> 또한, 상기 약한 방전을 발생시키기 위해 스캔 전극 또는 서스테인 전극에 복수의 펄스가 순차적으로 인가될 수도 있다.
- <46> 도 4에 도시된 구동 파형들은 본 발명에 따른 플라즈마 디스플레이 패널을 구동시키기 위한 신호들에 대한 일실시예로서, 상기 도 4에 도시된 파형들에 의해 본 발명은 한정되지 아니한다. 예컨대, 상기 프리 리셋 구간이 생략될 수 있으며, 도 4에 도시된 구동 신호들의 극성 및 전압 레벨은 필요에 따라 변경이 가능하고, 상기 서스테인 방전이 완료된 후에 벽전하 소거를 위한 소거 신호가 서스테인 전극에 인가될 수도 있다. 또한, 상기 서스테인 신호가 스캔 전극(Y)과 서스테인(Z) 전극 중 어느 하나에만 인가되어 서스테인 방전을 일으키는 싱글 서스테인(single sustain) 구동도 가능하다.
- <47> 도 5는 플라즈마 디스플레이 패널을 구동시키기 위한 구동 장치의 구성에 대한 일실시예를 도시한 것이다.
- <48> 도 5를 참조하면, 방열 프레임(30)은 패널의 배면에 설치되어 패널을 지지함과 아울러 패널에서 발생하는 열을 흡수하여 방출시킨다. 또한, 방열 프레임(30)의 배면에는 패널에 구동 신호들을 인가하는 인쇄 회로 기판(PCB, Printed Circuit Board)이 설치된다.
- <49> 상기 인쇄 회로 기판(PCB) 상에는, 패널의 어드레스 전극들에 구동 신호를 공급하는 어드레스 구동부(50), 패널의 스캔 전극들에 구동 신호를 공급하는 스캔구동부(60), 패널의 서스테인 전극들에 구동신호를 공급하는 서스테인구동부(70), 상기 구동 회로들을 제어하는 구동제어부(80) 및 각 구동 회로에 전원을 공급하는 파워 서플라이 유닛(PSU, 90)이 배치될 수 있다.
- <50> 어드레스구동부(50)는 패널에 형성된 어드레스 전극들에 구동신호를 공급하여 패널에 형성된 복수개의 방전셀들 중 방전되는 방전셀만이 선택되도록 한다.
- <51> 어드레스구동부(50)는 싱글 스캔 방식 또는 듀얼 스캔 방식에 따라 패널의 상측과 하측 중 어느 하나 또는 양측 모두에 설치될 수 있다.
- <52> 어드레스구동부(50)에는 상기 어드레스 전극에 인가되는 전류를 제어하도록 데이터 IC(미도시)가 설치되고, 상기 데이터 IC에서는 인가되는 전류를 제어하기 위해 스위칭이 발생되어 다량의 열이 발생될 수 있다. 따라서 어드레스구동부(50)에는 상기 제어 과정에서 발생된 발열을 해소하기 위해 히트싱크(미도시)가 설치될 수 있다.
- <53> 도 5에 도시된 바와 같이, 스캔구동부(60)는 구동 제어부(80)와 연결되는 스캔 서스테인 보드(62) 및 스캔 서스테인 보드(62)와 패널을 연결하는 스캔 드라이버 보드(64)를 포함할 수 있다.
- <54> 스캔 드라이버 보드(64)는 상측과 하측 2 부분으로 나뉘어져 설치될 수 있으며, 도 5에 도시된 바와 달리 하나로 설치되거나 더 많은 복수 개로 설치될 수도 있다.
- <55> 스캔 드라이버 보드(64)에는 패널의 스캔 전극으로 구동 신호를 공급하는 스캔 IC(65)가 설치되고, 스캔 IC(65)는 상기 스캔 전극에 리셋, 스캔 및 서스테인 신호를 연속으로 인가할 수 있다.
- <56> 서스테인구동부(70)는 패널의 서스테인 전극으로 구동 신호를 공급한다.
- <57> 구동 제어부(80)는 메모리에 저장된 신호 처리 정보를 이용해 입력되는 영상 신호에 대해 소정의 신호 처리를 수행하여 어드레스 전극들에 공급될 데이터로 변환하며, 스캔 순서 등에 따라 상기 변환된 데이터를 정렬할 수 있다. 또한, 구동 제어부(80)는 어드레스구동부(50), 스캔구동부(60) 및 서스테인구동부(70)에 타이밍 컨트롤(timing control) 신호를 공급하여, 상기 구동 회로들의 구동 신호 공급 시점을 제어할 수 있다.
- <58> 본 발명에 따른 플라즈마 디스플레이 장치의 경우, 스캔 드라이버 보드(64)로부터 출력되는 구동 신호는 연결

부재(66)를 통해 패널에 형성된 스캔 전극으로 공급될 수 있다.

- <59> 연결 부재(66)는 일단이 스캔 드라이버 보드(64)가 형성된 인쇄 회로 기판(PCB)에 연결되며, 타단이 스캔 전극에 연결되어, 스캔 드라이버 보드(64)와 각각의 스캔 전극들을 전기적으로 연결한다.
- <60> 도 5에 도시된 바와 같이 방열 프레임(30) 양면에 서로 반대 방향으로 형성된 인쇄 회로 기판(PCB)과 패널의 스캔 전극을 연결하기 위해, 연결 부재(66)는 연성 인쇄 회로(FPC, Flexible Printed Circuit)로 구성되는 것이 바람직하다.
- <61> 또한, 패널의 서스테인 전극 또는 어드레스 전극에 구동 신호를 공급하기 위해, 상기한 바와 같은 연결 부재가 서스테인구동부(70)와 패널에 형성된 서스테인 전극 사이 또는 어드레스구동부(50)와 패널에 형성된 어드레스 전극 사이에 연결될 수 있다.
- <62> 도 6은 연결 부재(66)의 구성에 대한 일실시예를 사시도로 도시한 것으로, 스캔 드라이버 보드(64)가 형성된 인쇄 회로 기판(PCB)과 스캔 전극을 연결하는 연성 인쇄 회로(FPC)에 대해 간략하게 도시한 것이다.
- <63> 연성 인쇄 회로(FPC, 100)는 인쇄 회로 기판(PCB)과 연결되는 제1 연결부(110)와 패널에 형성된 스캔 전극과 연결되는 제2 연결부(120)를 포함한다.
- <64> 연성 인쇄 회로(FPC, 100)의 제1 연결부(110)에 형성된 복수의 라인들은 인쇄 회로 기판(PCB)에 형성된 스캔 드라이버 보드(64)로부터 구동 신호를 입력받고, 제2 연결부(120)에 형성된 복수의 라인들은 복수의 스캔 전극 라인들과 각각 연결되어 상기 입력된 구동 신호들을 상기 복수의 스캔 전극 라인들에 공급한다.
- <65> 도 6에 도시되지는 아니하였으나, 연성 인쇄 회로(FPC, 100)의 제1 연결부(110)에 형성된 복수의 라인들과 제2 연결부(120)에 형성된 복수의 라인들은 서로 연결되어 있다.
- <66> 본 발명에 따른 플라즈마 디스플레이 장치의 경우, 연성 인쇄 회로(FPC, 100)의 제1 연결부(110)는 별도의 커넥터를 이용하지 아니하고 스캔 드라이버 보드(64)가 형성된 인쇄 회로 기판(PCB)에 직접 접촉되는 것이 바람직하다.
- <67> 예를 들어, 연성 인쇄 회로(FPC, 100)는 이방 전도성 필름(ACF, Anisotropic Conductive Film)을 이용하여 인쇄 회로 기판(PCB)에 접촉될 수 있다.
- <68> 이방 전도성 필름(ACF)은 양방향의 절연성을 가지고 두께 방향으로 전도성을 나타내는 접착 재료로서, 도전 입자를 분산한 테이프 형태 접착 재료이다.
- <69> 이방 전도성 필름(ACF)을 연성 인쇄 회로(FPC, 100)와 인쇄 회로 기판(PCB) 사이에 위치시킨 후 가열 또는 가압하여, 연성 인쇄 회로(FPC, 100)를 인쇄 회로 기판(PCB)에 고정함과 동시에 전기적으로 연결할 수 있다.
- <70> 상기한 바와 같이, 연성 인쇄 회로(FPC, 100)를 인쇄 회로 기판(PCB)에 접촉시켜 연결하는 경우, 연성 인쇄 회로(FPC, 100)를 인쇄 회로 기판(PCB) 상의 정확한 위치에 접촉하는 것에 어려움이 있을 수 있다.
- <71> 또한, 연성 인쇄 회로(FPC, 100)의 접착 위치가 부정확한 경우, 구동 회로의 라인과 연성 인쇄 회로(FPC, 100)의 라인이 연결되지 않아 구동 신호가 스캔 전극에 공급되지 않을 수 있으며, 그로 인해 구동 회로의 손상이 발생하거나 패널 구동에 있어 오류가 발생할 수 있다.
- <72> 따라서 연성 인쇄 회로(FPC, 100)를 인쇄 회로 기판(PCB)의 정확한 위치에 접촉할 수 있도록, 연성 인쇄 회로(FPC, 100)에 얼라인 마크(alignment mark)를 삽입하는 것이 바람직하다.
- <73> 또한, 인쇄 회로 기판(PCB)과의 접착 위치가 정확한지 여부를 확인하기 위한 얼라인 마크(alignment mark)는 연성 인쇄 회로(FPC, 100) 중 구동 신호 전달을 위한 라인이 형성되지 않는 영역에 위치하는 것이 바람직하다.
- <74> 도 7 내지 도 9는 본 발명에 따른 인쇄 회로 기판과 패널에 형성된 전극을 연결하는 연결 부재의 구성에 대한 실시예들을 도시한 것이다.
- <75> 도 7을 참조하면, 본 발명에 따른 연결 부재는 복수의 스캔 전극 라인과 각각 연결되어 구동 신호를 전달하는 복수의 라인들(201)이 형성된 제1 영역(200)과 인쇄 회로 기판(PCB)과의 접촉을 위한 얼라인 마크(211, 221)가 삽입된 제2 영역(210, 220)을 포함할 수 있다.
- <76> 얼라인 작업의 용이성 및 구동 신호 전달에 영향을 미치지 않도록 하기 위해, 얼라인 마크(211, 221)가 삽입된 제2 영역(210, 220)은 도 7에 도시된 바와 같이 연결 부재의 최외곽에 위치하는 것이 바람직하다.

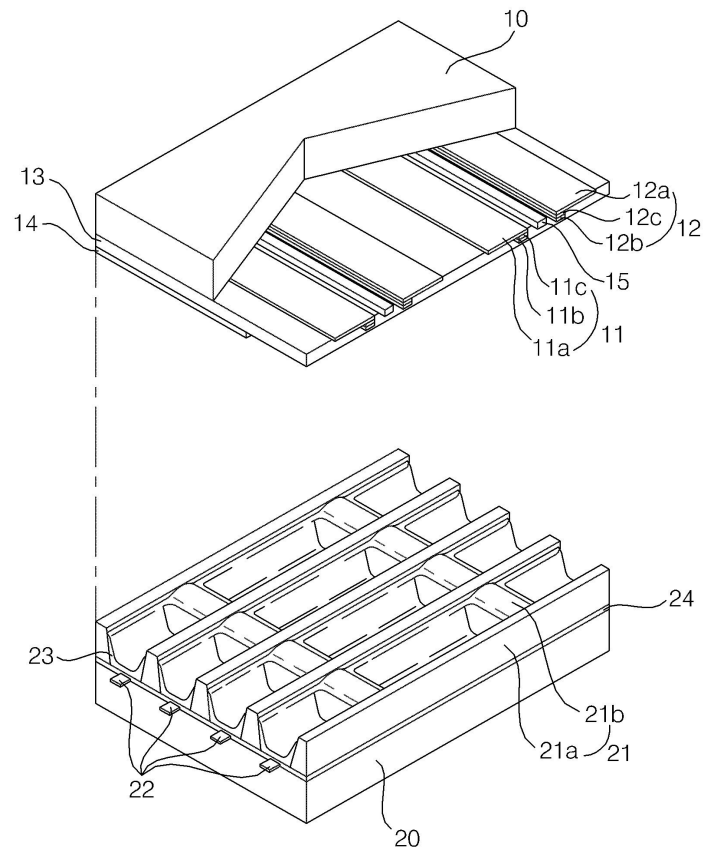
- <77> 연결 부재의 얼라인 마크(211, 221)가 삽입된 제1 연결부(230)는 스캔 드라이버 보드(64)가 형성된 인쇄 회로 기판(PCB)에 연결되며, 반대 측의 제2 연결부(240)는 패널에 형성된 복수의 스캔 전극 라인들과 연결된다.
- <78> 얼라인 마크(211, 221)의 형태는 도 7에 도시된 바와 같이 원형일 수 있으며, 그 이외에 인쇄 회로 기판(PCB)과의 접촉 위치가 정확한지 여부를 확인할 수 있는 여러 다른 형태일 수도 있다.
- <79> 예를 들어, 연결 부재의 제2 영역(210, 220)에 홀을 형성함으로써 얼라인 마크(211, 221)를 삽입할 수 있다. 이 경우, 인쇄 회로 기판(PCB) 상에 형성된 얼라인 마크(미도시)와 연결 부재의 제2 영역(210, 220)에 형성된 얼라인 마크(211, 221)인 홀의 위치를 일치시킴으로써 연결 부재를 인쇄 회로 기판(PCB) 상의 정확한 위치에 배치시킬 수 있다.
- <80> 또한, 연결 부재의 제1 영역(200) 또는 제2 영역(210, 220)의 형태는 도 7에 도시된 바와 다를 수도 있다.
- <81> 도 8을 참조하면, 연결 부재의 얼라인 마크(211, 221)가 삽입된 제2 영역(210, 220)에 스캔 전극 라인과 연결되지 않은 비유효 라인들(212, 222)이 형성될 수 있다.
- <82> 도 8에 도시된 바와 같이, 얼라인 마크(211, 221)가 삽입된 제2 영역(210, 220)에 비유효 라인들(212, 222)을 형성함으로써 연결 부재의 접촉 위치가 좌우로 기울어지는 것을 방지할 수 있다.
- <83> 또한, 얼라인 작업의 용이성을 위해, 제2 영역(210, 220)에 비유효 라인들(212, 222)의 폭은 제1 영역(200)에 형성된 스캔 전극 라인들과 연결된 유효 라인의 폭보다 넓은 것이 바람직하다.
- <84> 상기에서는 스캔 드라이버 보드(64)가 형성된 인쇄 회로 기판(PCB)과 스캔 전극 라인들을 연결하는 연결 부재의 구성을 예로 들어 본 발명에 따른 플라즈마 디스플레이 장치에 구비되는 연결 부재에 관해 설명하였으나, 상기에서 설명한 바와 같은 연결 부재는 인쇄 회로 기판(PCB)과 서스테인 전극 또는 어드레스 전극을 연결하기 위해 사용될 수도 있다.
- <85> 도 9를 참조하면, 연결 부재는 복수의 어드레스 전극 라인들 각각 연결되는 복수의 라인들(301)이 형성된 제1 영역(300)과 얼라인 마크(311, 321)와 비유효 라인들(312, 322)이 형성된 제2 영역(310, 320)을 포함할 수 있다.
- <86> 연결 부재의 제1 연결부(330)는 어드레스구동부(50)가 형성된 인쇄 회로 기판(PCB)에 연결되며, 반대 측의 제2 연결부(340)는 패널에 형성된 복수의 어드레스 전극 라인들과 연결된다.
- <87> 또한, 도 9에 도시된 바와 같이 연결 부재 상에 데이터 드라이버 IC(350, 360)가 실장될 수 있다.
- <88> 이상 본 발명의 바람직한 실시예에 대해 상세히 기술하였지만, 본 발명이 속하는 기술분야에 있어서 통상의 지식을 가진 사람이라면, 첨부된 청구범위에 정의된 본 발명의 정신 및 범위에 벗어나지 않으면서 본 발명을 여러 가지로 변형 또는 변경하여 실시할 수 있음을 알 수 있을 것이다. 따라서, 본 발명의 앞으로의 실시예들의 변경은 본 발명의 기술을 벗어날 수 없을 것이다.

도면의 간단한 설명

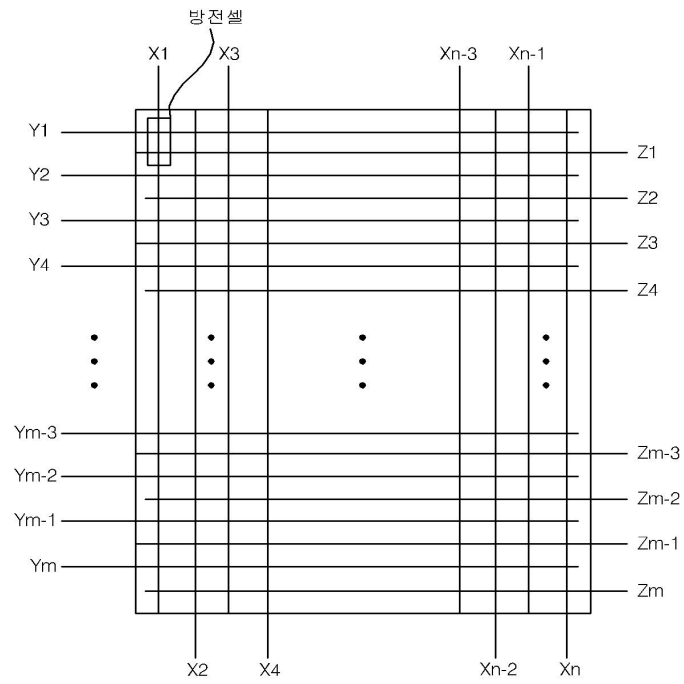
- <89> 도 1은 플라즈마 디스플레이 패널의 구조에 대한 일실시예를 나타내는 사시도이다.
- <90> 도 2는 플라즈마 디스플레이 패널의 전극 배치에 대한 일실시예를 도시한 도면이다.
- <91> 도 3은 하나의 프레임(frame)을 복수의 서브필드(subfield)로 나누어 플라즈마 디스플레이 패널을 시분할 구동시키는 방법에 대한 일실시예를 나타내는 타이밍도이다.
- <92> 도 4는 플라즈마 디스플레이 패널을 구동시키기 위한 구동 신호의 파형에 대한 일실시예를 나타내는 타이밍도이다.
- <93> 도 5는 플라즈마 디스플레이 패널을 구동시키기 위한 구동 장치의 구성에 대한 일실시예를 나타내는 도면이다.
- <94> 도 6은 연성 인쇄 회로(FPC, Flexible Printed Circuit)의 구성을 간략하게 나타내는 사시도이다.
- <95> 도 7 내지 도 9는 본 발명에 따른 인쇄 회로 기판과 패널에 형성된 전극을 연결하는 연결 부재의 구성에 대한 실시예들을 나타내는 도면이다.

도면

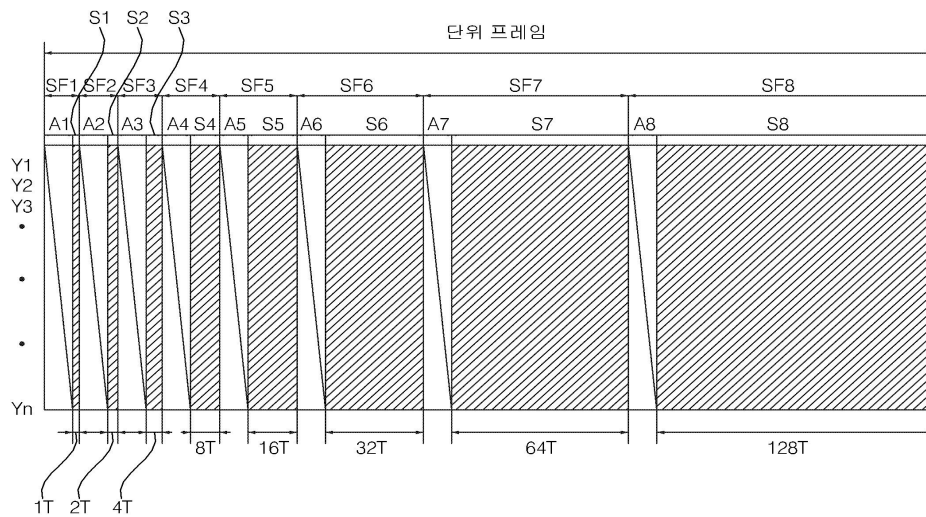
도면1



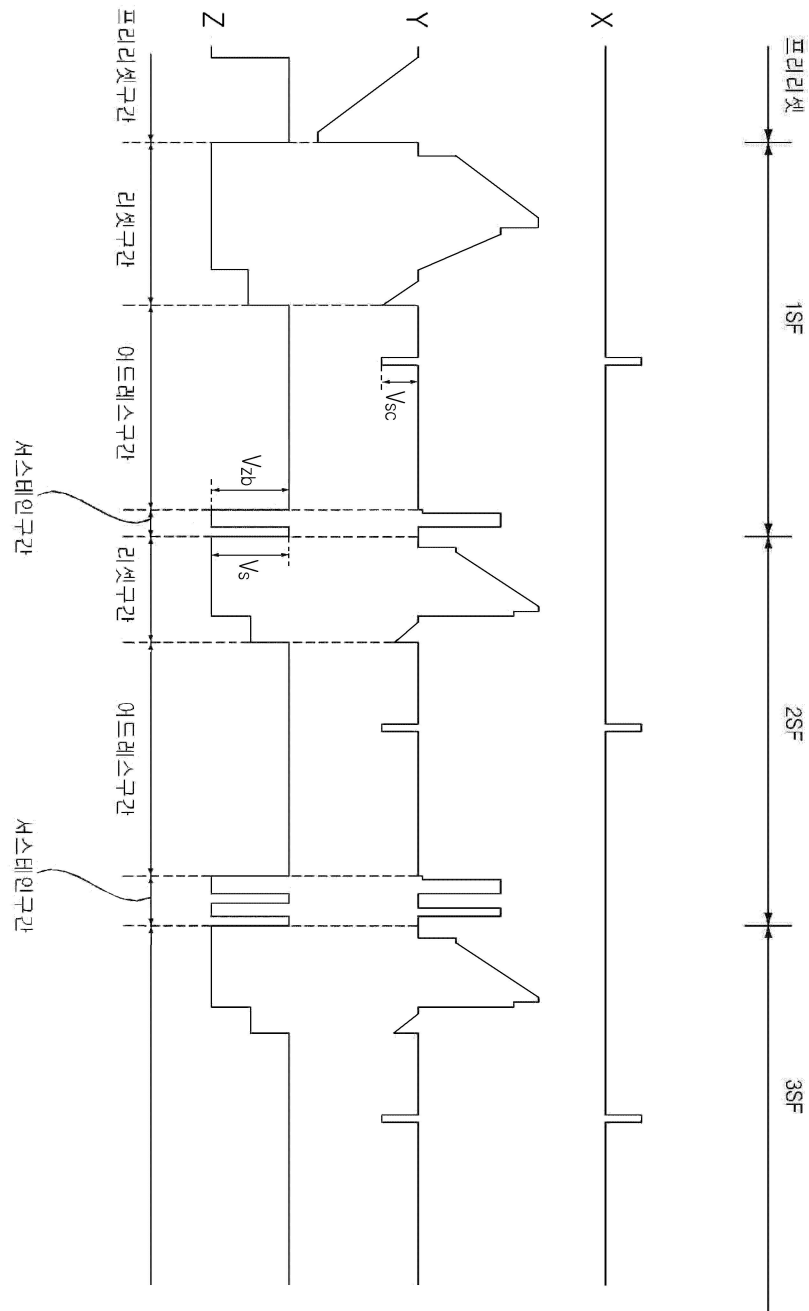
도면2



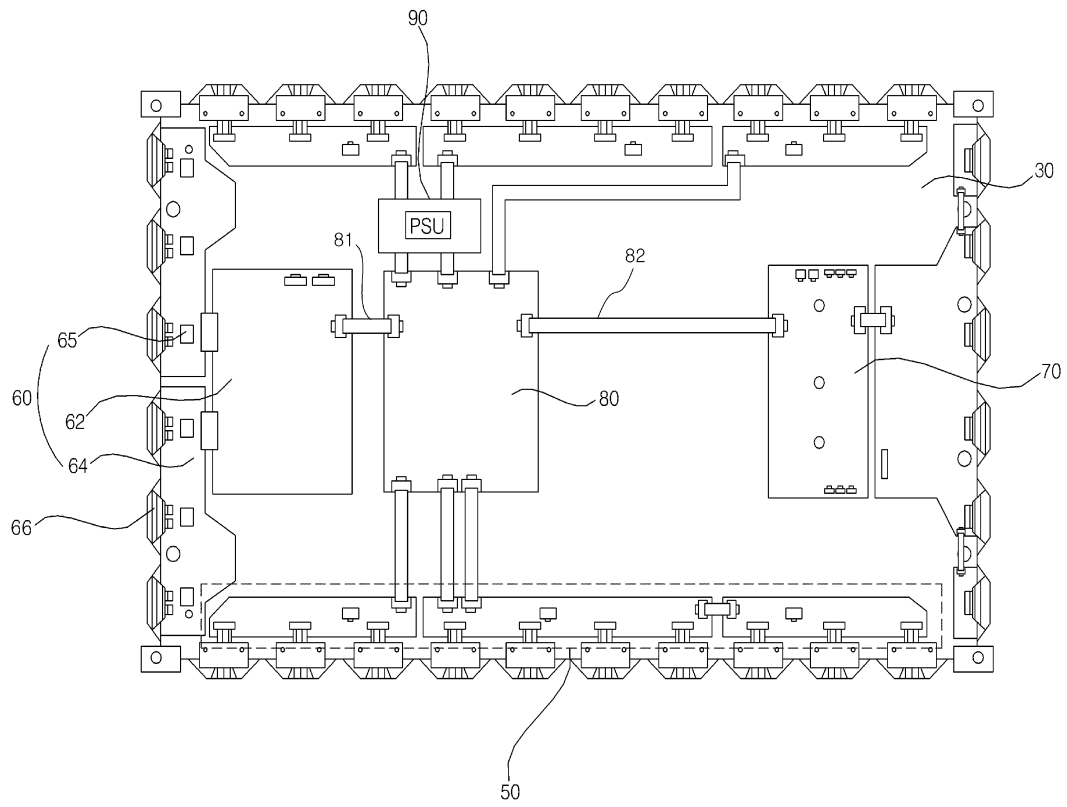
도면3



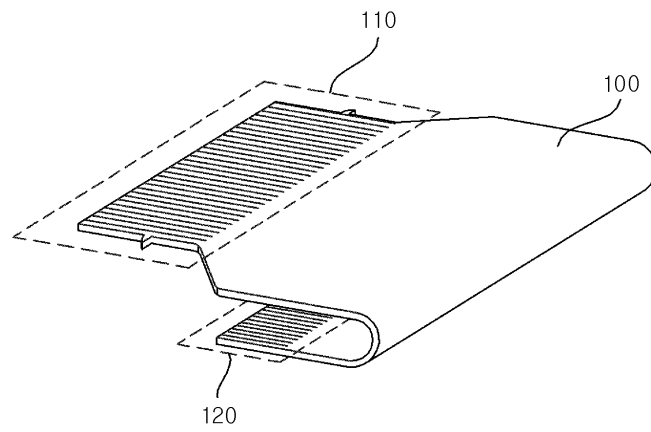
도면4



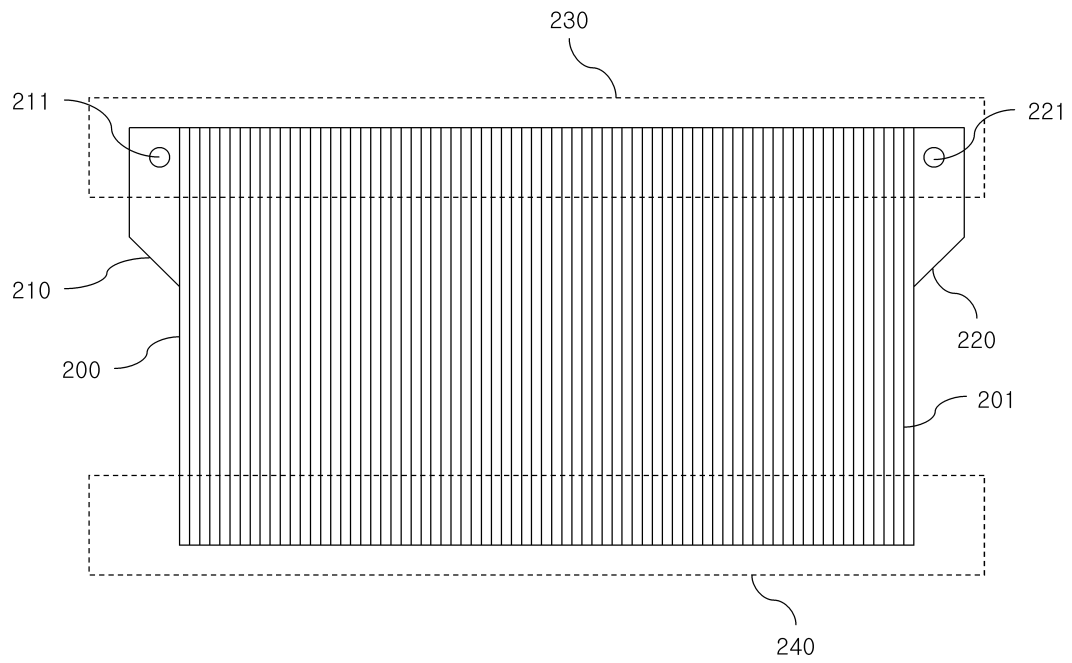
도면5



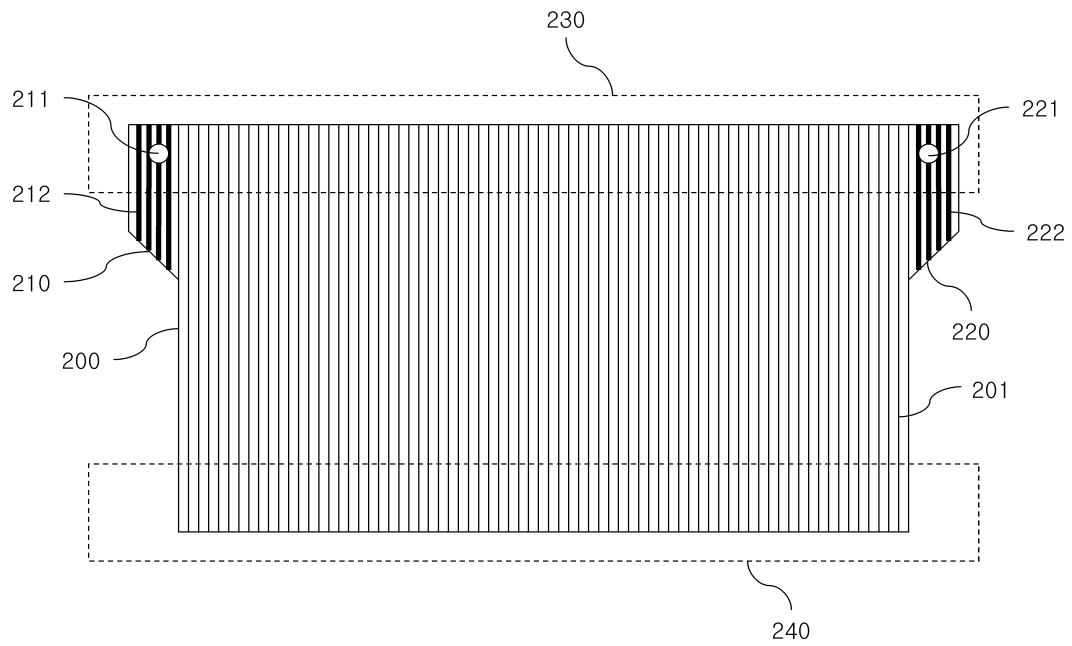
도면6



도면7



도면8



도면9

