

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7636617号  
(P7636617)

(45)発行日 令和7年2月26日(2025.2.26)

(24)登録日 令和7年2月17日(2025.2.17)

(51)国際特許分類

F I

H 1 0 D 86/60 (2025.01) H 1 0 D 86/60 C

G 0 9 F 9/30 (2006.01) G 0 9 F 9/30 3 3 8

G 1 1 C 19/28 (2006.01) G 1 1 C 19/28 2 3 0

請求項の数 5 (全53頁)

(21)出願番号	特願2024-92965(P2024-92965)	(73)特許権者	000153878
(22)出願日	令和6年6月7日(2024.6.7)		株式会社半導体エネルギー研究所
(62)分割の表示	特願2023-196612(P2023-196612 )の分割	(72)発明者	宮入 秀和
原出願日	平成21年11月12日(2009.11.12)		神奈川県厚木市長谷3 9 8 番地 株式会
(65)公開番号	特開2024-117776(P2024-117776 A)	(72)発明者	社半導体エネルギー研究所内
(43)公開日	令和6年8月29日(2024.8.29)	(72)発明者	長多 剛
審査請求日	令和6年6月18日(2024.6.18)		神奈川県厚木市長谷3 9 8 番地 株式会
(31)優先権主張番号	特願2008-291329(P2008-291329)	(72)発明者	秋元 健吾
(32)優先日	平成20年11月13日(2008.11.13)		神奈川県厚木市長谷3 9 8 番地 株式会
(33)優先権主張国・地域又は機関	日本国(JP)	(72)発明者	山崎 舜平
			神奈川県厚木市長谷3 9 8 番地 株式会
			社半導体エネルギー研究所内
			最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

第1のトランジスタ乃至第9のトランジスタと、第1の配線乃至第7の配線と、を有し、  
前記第1のトランジスタのソース又はドレインの一方は、前記第1の配線と常に導通し  
ており、  
前記第1のトランジスタのソース又はドレインの他方は、前記第2の配線と常に導通し  
ており、  
前記第2のトランジスタのソース又はドレインの一方は、前記第3の配線と常に導通し  
ており、  
前記第2のトランジスタのソース又はドレインの他方は、前記第1の配線と常に導通し  
ており、  
前記第3のトランジスタのソース又はドレインの一方は、前記第4の配線と常に導通し  
ており、  
前記第3のトランジスタのソース又はドレインの他方は、前記第2の配線と常に導通し  
ており、  
前記第3のトランジスタのゲートは、前記第1のトランジスタのゲートと常に導通して  
おり、  
前記第4のトランジスタのソース又はドレインの一方は、前記第3の配線と常に導通し  
ており、  
前記第4のトランジスタのソース又はドレインの他方は、前記第4の配線と常に導通し

ており、

前記第 4 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと常に導通しており、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 8 のトランジスタのゲートと常に導通しており、

前記第 5 のトランジスタのゲートは、前記第 5 の配線と常に導通しており、

前記第 6 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と常に導通しており、

前記第 6 のトランジスタのソース又はドレインの他方は、前記第 8 のトランジスタのゲートと常に導通しており、

10

前記第 6 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと常に導通しており、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと常に導通しており、

前記第 7 のトランジスタのソース又はドレインの他方は、前記第 6 の配線と常に導通しており、

前記第 7 のトランジスタのゲートは、前記第 6 の配線と常に導通しており、

前記第 8 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と常に導通しており、

前記第 8 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと常に導通しており、

20

前記第 9 のトランジスタのソース又はドレインの一方は、前記第 8 のトランジスタのゲートと常に導通しており、

前記第 9 のトランジスタのゲートは、前記第 7 の配線と常に導通しており、

前記第 6 のトランジスタのソース又はドレインの一方が、少なくとも前記第 6 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートと導通しているとき、前記第 3 の配線の電位が少なくとも前記第 6 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートに供給され、

前記第 2 のトランジスタのソース又はドレインの一方としての機能及び前記第 4 のトランジスタのソース又はドレインの一方としての機能を有する第 1 の導電膜は、前記第 3 の配線としての機能を有し、

30

前記第 1 の導電膜は、前記第 6 のトランジスタのゲートとしての機能を有する第 2 の導電膜と交差する領域を有する、

半導体装置。

#### 【請求項 2】

第 1 のトランジスタ乃至第 9 のトランジスタと、第 1 の配線乃至第 7 の配線と、を有し、前記第 1 のトランジスタのソース又はドレインの一方は、前記第 1 の配線と常に導通しており、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と常に導通しており、

40

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と常に導通しており、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 1 の配線と常に導通しており、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 4 の配線と常に導通しており、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と常に導通しており、

前記第 3 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと常に導通しており、

50

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と常に導通しており、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 4 の配線と常に導通しており、

前記第 4 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと常に導通しており、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 8 のトランジスタのゲートと常に導通しており、

前記第 5 のトランジスタのゲートは、前記第 5 の配線と常に導通しており、

前記第 6 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と常に導通しており、

10

前記第 6 のトランジスタのソース又はドレインの他方は、前記第 8 のトランジスタのゲートと常に導通しており、

前記第 6 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと常に導通しており、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと常に導通しており、

前記第 7 のトランジスタのソース又はドレインの他方は、前記第 6 の配線と常に導通しており、

前記第 7 のトランジスタのゲートは、前記第 6 の配線と常に導通しており、

20

前記第 8 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と常に導通しており、

前記第 8 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと常に導通しており、

前記第 9 のトランジスタのソース又はドレインの一方は、前記第 8 のトランジスタのゲートと常に導通しており、

前記第 9 のトランジスタのゲートは、前記第 7 の配線と常に導通しており、

前記第 6 のトランジスタのソース又はドレインの一方が、少なくとも前記第 6 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートと導通しているとき、前記第 3 の配線の電位が少なくとも前記第 6 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートに供給され、

30

前記第 2 のトランジスタのソース又はドレインの一方としての機能及び前記第 4 のトランジスタのソース又はドレインの一方としての機能を有する第 1 の導電膜は、前記第 3 の配線としての機能を有し、

前記第 1 の導電膜は、前記第 6 のトランジスタのゲートとしての機能を有する第 2 の導電膜と交差する領域を有し、

前記第 1 の配線は、画素部に供給される第 1 の信号を出力する機能を有し、

前記第 2 の配線は、クロック信号を入力する機能を有し、

前記第 3 の配線は、電源電位を入力する機能を有し、

前記第 4 の配線は、第 2 の信号を出力する機能を有する、

40

半導体装置。

### 【請求項 3】

第 1 のトランジスタ乃至第 9 のトランジスタと、第 1 の配線乃至第 7 の配線と、を有し、前記第 1 のトランジスタのソース又はドレインの一方は、前記第 1 の配線と常に導通しており、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と常に導通しており、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と常に導通しており、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 1 の配線と常に導通し

50

ており、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 4 の配線と常に導通しており、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と常に導通しており、

前記第 3 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと常に導通しており、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と常に導通しており、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 4 の配線と常に導通しており、

10

前記第 4 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと常に導通しており、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 8 のトランジスタのゲートと常に導通しており、

前記第 5 のトランジスタのゲートは、前記第 5 の配線と常に導通しており、

前記第 6 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と常に導通しており、

前記第 6 のトランジスタのソース又はドレインの他方は、前記第 8 のトランジスタのゲートと常に導通しており、

20

前記第 6 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと常に導通しており、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと常に導通しており、

前記第 7 のトランジスタのソース又はドレインの他方は、前記第 6 の配線と常に導通しており、

前記第 7 のトランジスタのゲートは、前記第 6 の配線と常に導通しており、

前記第 8 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と常に導通しており、

前記第 8 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと常に導通しており、

30

前記第 9 のトランジスタのソース又はドレインの一方は、前記第 8 のトランジスタのゲートと常に導通しており、

前記第 9 のトランジスタのゲートは、前記第 7 の配線と常に導通しており、

前記第 6 のトランジスタのソース又はドレインの一方が、少なくとも前記第 6 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートと導通しているとき、前記第 3 の配線の電位が少なくとも前記第 6 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートに供給され、

前記第 2 のトランジスタのソース又はドレインの一方としての機能及び前記第 4 のトランジスタのソース又はドレインの一方としての機能を有する第 1 の導電膜は、前記第 3 の配線としての機能を有し、

40

前記第 1 の導電膜は、前記第 6 のトランジスタのゲートとしての機能を有する第 2 の導電膜と交差する領域を有し、

前記第 1 のトランジスタのゲートとしての機能及び前記第 3 のトランジスタのゲートとしての機能を有する第 3 の導電膜は、前記第 1 のトランジスタのソース又はドレインの一方としての機能及び前記第 2 のトランジスタのソース又はドレインの他方としての機能を有する第 4 の導電膜と交差する領域を有する、

半導体装置。

#### 【請求項 4】

第 1 のトランジスタ乃至第 9 のトランジスタと、第 1 の配線乃至第 7 の配線と、を有し、

50

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 1 の配線と常に導通しており、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と常に導通しており、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と常に導通しており、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 1 の配線と常に導通しており、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 4 の配線と常に導通しており、

10

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と常に導通しており、

前記第 3 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと常に導通しており、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と常に導通しており、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 4 の配線と常に導通しており、

前記第 4 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと常に導通しており、

20

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 8 のトランジスタのゲートと常に導通しており、

前記第 5 のトランジスタのゲートは、前記第 5 の配線と常に導通しており、

前記第 6 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と常に導通しており、

前記第 6 のトランジスタのソース又はドレインの他方は、前記第 8 のトランジスタのゲートと常に導通しており、

前記第 6 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと常に導通しており、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと常に導通しており、

30

前記第 7 のトランジスタのソース又はドレインの他方は、前記第 6 の配線と常に導通しており、

前記第 7 のトランジスタのゲートは、前記第 6 の配線と常に導通しており、

前記第 8 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と常に導通しており、

前記第 8 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと常に導通しており、

前記第 9 のトランジスタのソース又はドレインの一方は、前記第 8 のトランジスタのゲートと常に導通しており、

40

前記第 9 のトランジスタのゲートは、前記第 7 の配線と常に導通しており、

前記第 6 のトランジスタのソース又はドレインの一方が、少なくとも前記第 6 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートと導通しているとき、前記第 3 の配線の電位が少なくとも前記第 6 のトランジスタのチャネル形成領域を介して前記第 1 のトランジスタのゲートに供給され、

前記第 2 のトランジスタのソース又はドレインの一方としての機能及び前記第 4 のトランジスタのソース又はドレインの一方としての機能を有する第 1 の導電膜は、前記第 3 の配線としての機能を有し、

前記第 1 の導電膜は、前記第 6 のトランジスタのゲートとしての機能を有する第 2 の導電膜と交差する領域を有し、

50

前記第 1 のトランジスタのゲートとしての機能及び前記第 3 のトランジスタのゲートとしての機能を有する第 3 の導電膜は、前記第 1 のトランジスタのソース又はドレインの一方としての機能及び前記第 2 のトランジスタのソース又はドレインの他方としての機能を有する第 4 の導電膜と交差する領域を有し、

前記第 1 の配線は、画素部に供給される第 1 の信号を出力する機能を有し、

前記第 2 の配線は、クロック信号を入力する機能を有し、

前記第 3 の配線は、電源電位を入力する機能を有し、

前記第 4 の配線は、第 2 の信号を出力する機能を有する、  
半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかーにおいて、

前記第 1 のトランジスタ乃至前記第 9 のトランジスタは、全て同じチャネル型を有する、  
半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

酸化物半導体を用いる半導体装置及びその製造方法に関する。

【背景技術】

【0002】

液晶表示装置に代表されるように、ガラス基板等の平板に形成される薄膜トランジスタは、アモルファスシリコン、多結晶シリコンによって作製されている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の大面积化に対応することができ、一方、多結晶シリコンを用いた薄膜トランジスタは電界効果移動度が高いものの、レーザアニール等の結晶化工程が必要であり、ガラス基板の大面积化には必ずしも適応しないといった特性を有している。

【0003】

これに対し、酸化物半導体を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体膜として酸化亜鉛、 $\text{In-Ga-Zn-O}$ 系酸化物半導体を用いて薄膜トランジスタを作製し、画像表示装置のスイッチング素子などに用いる技術が特許文献 1 及び特許文献 2 で開示されている。

【先行技術文献】

【特許文献】

【0004】

【文献】特開 2007 - 123861 号公報

【文献】特開 2007 - 096055 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

酸化物半導体にチャネル形成領域を設ける薄膜トランジスタは、アモルファスシリコンを用いた薄膜トランジスタよりも高い電界効果移動度が得られている。酸化物半導体膜はスパッタリング法などによって 300 以下の温度で膜形成が可能であり、多結晶シリコンを用いた薄膜トランジスタよりも製造工程が簡単である。

【0006】

このような酸化物半導体を用いてガラス基板、プラスチック基板等に薄膜トランジスタを形成し、液晶ディスプレイ、エレクトロルミネセンスディスプレイ又は電子ペーパー等の表示装置への応用が期待されている。

【0007】

また、表示装置の表示領域を大型化すると、画素数が増加し、ゲート線数、及び信号線数が増加する。加えて、表示装置の高精細化に伴い、画素数が増加し、ゲート線数、及び信号線数が増加する。ゲート線数、及び信号線数が増加すると、それらを駆動するための駆

10

20

30

40

50

動回路を有するＩＣチップをボンディング等により実装することが困難となり、製造コストが増大する。

【０００８】

そこで、画素部を駆動する駆動回路の少なくとも一部の回路に酸化物半導体を用いる薄膜トランジスタを用い、製造コストを低減することを課題の一とする。

【０００９】

画素部を駆動する駆動回路の少なくとも一部の回路に酸化物半導体を用いる薄膜トランジスタを用いる場合、その薄膜トランジスタには、高い動特性（オン特性や周波数特性（ $f$ 特性と呼ばれる））が要求される。高い動特性（オン特性）を有する薄膜トランジスタを提供し、高速駆動することができる駆動回路を提供することを課題の一とする。

10

【課題を解決するための手段】

【００１０】

酸化物半導体層の上下にゲート電極を設け、薄膜トランジスタのオン特性及び信頼性の向上を実現する。また、酸化物半導体層の下方に設けられたゲート電極と、酸化物半導体層との間には、ソース電極層またはドレイン電極層が形成されており、ソース電極層またはドレイン電極層の少なくとも一部は、上下に低抵抗な酸化物半導体層がソース領域又はドレイン領域として設けられている。なお、ソース電極層及びドレイン電極層は上下に第１のソース領域又は第１のドレイン領域、及び第２のソース領域又は第２のドレイン領域に挟まれる構造となる。

【００１１】

20

また、上下のゲート電極に加えるゲート電圧を制御することによって、しきい値電圧を制御することができる。上下のゲート電極を導通させて同電位としてもよいし、上下のゲート電極を別々の配線に接続させて異なる電位としてもよい。例えば、しきい値電圧をゼロまたはゼロに近づけ、駆動電圧を低減することで消費電力の低下を図ることができる。また、しきい値電圧を正としてエンハンスメント型トランジスタとして機能させることができる。また、しきい値電圧を負としてデプレッション型トランジスタとして機能させることもできる。

【００１２】

例えば、エンハンスメント型トランジスタとデプレッション型トランジスタを組み合わせるインバータ回路（以下、ＥＤＭＯＳ回路という）を構成し、駆動回路に用いることができる。駆動回路は、論理回路部と、スイッチ部またはバッファ部を少なくとも有する。論理回路部は上記ＥＤＭＯＳ回路を含む回路構成とする。また、スイッチ部またはバッファ部は、オン電流を多く流すことができる薄膜トランジスタを用いることが好ましく、デプレッション型トランジスタ、または酸化物半導体層の上下にゲート電極を有する薄膜トランジスタを用いる。

30

【００１３】

大幅に工程数を増やすことなく、同一基板上に異なる構造の薄膜トランジスタを作製することもできる。例えば、高速駆動させる駆動回路には、酸化物半導体層の上下にゲート電極を有する薄膜トランジスタを用いてＥＤＭＯＳ回路を構成し、画素部には、酸化物半導体層の下にのみゲート電極を有する薄膜トランジスタを用いてもよい。

40

【００１４】

なお、 $n$ チャネル型ＴＦＴのしきい値電圧が正の場合は、エンハンスメント型トランジスタと定義し、 $n$ チャネル型ＴＦＴのしきい値電圧が負の場合は、デプレッション型トランジスタと定義し、本明細書を通してこの定義に従うものとする。

【００１５】

また、酸化物半導体層の上方に設けるゲート電極の材料としては、特に導電膜であれば限定されず、アルミニウム（Ａｌ）、銅（Ｃｕ）、チタン（Ｔｉ）、タンタル（Ｔａ）、タングステン（Ｗ）、モリブデン（Ｍｏ）、クロム（Ｃｒ）、ネオジム（Ｎｄ）、スカンジウム（Ｓｃ）から選ばれた元素、または上述した元素を成分とする合金を用いる。また、ゲート電極は、上述した元素を含む単層に限定されず、二層以上の積層を用いることがで

50

きる。

【 0 0 1 6 】

また、酸化物半導体層の上方に設けるゲート電極の材料として、画素電極と同じ材料（透過型表示装置であれば、透明導電膜など）を用いることができる。例えば、画素部において、薄膜トランジスタと電氣的に接続する画素電極を形成する工程と同じ工程で、酸化物半導体層の上方に設けるゲート電極を形成することができる。こうすることで大幅に工程数を増やすことなく、酸化物半導体層の上下にゲート電極を設けた薄膜トランジスタを形成することができる。

【 0 0 1 7 】

また、酸化物半導体層の上方にゲート電極を設けることによって、薄膜トランジスタの信頼性を調べるためのバイアス - 熱ストレス試験（以下、ＢＴ試験という）において、ＢＴ試験前後における薄膜トランジスタのしきい値電圧の変化量を低減することができる。即ち、酸化物半導体層の上方にゲート電極を設けることによって、信頼性を向上することができる。

10

【 0 0 1 8 】

また、ソース電極と酸化物半導体層とはオーミック性のコンタクトが必要であり、さらに、そのコンタクト抵抗は極力低減することが望まれる。同様に、ドレイン電極と酸化物半導体層とはオーミック性のコンタクトが必要であり、さらに、そのコンタクト抵抗は極力低減することが望まれる。そこで、ソース電極及びドレイン電極とゲート絶縁層の間、及びソース電極及びドレイン電極と酸化物半導体層の間に、酸化物半導体層よりもキャリア濃度の高いソース領域及びドレイン領域を意図的に設けることによってオーミック性のコンタクトを形成する。本明細書において、ソース領域及びドレイン領域として機能させる低抵抗な酸化物半導体層は、 $n$ 型の導電型を有し、 $n^+$ 層ともいう。

20

【 0 0 1 9 】

本明細書で開示する発明の構成は、絶縁表面上に第１のゲート電極と、第１のゲート電極上方に第１の絶縁層と、第１の絶縁層上方に第１のソース領域または第１のドレイン領域と、第１のソース領域または第１のドレイン領域上方にソース電極またはドレイン電極と、ソース電極及びドレイン電極上方に第２のソース領域または第２のドレイン領域と、第２のソース領域または第２のドレイン領域上方に酸化物半導体層と、酸化物半導体層を覆う第２の絶縁層と、第２の絶縁層上方に第２のゲート電極とを有し、酸化物半導体層は、第１の絶縁層上方に形成され、第１のゲート電極と重なり、酸化物半導体層の少なくとも一部は、ソース電極とドレイン電極の間に配置され、第２のゲート電極は、酸化物半導体層及び第１のゲート電極と重なる半導体装置である。

30

【 0 0 2 0 】

上記構成は、上記課題の少なくとも一つを解決する。

【 0 0 2 1 】

上記構成において、第２のゲート電極の幅は、第１のゲート電極の幅よりも広くすることで酸化物半導体層全体に第２のゲート電極から電圧を印加することができる。

【 0 0 2 2 】

或いは、上記構成において、第１のゲート電極の幅は、第２のゲート電極の幅よりも狭くすることで、ソース電極またはドレイン電極と重なる面積を縮小して寄生容量を小さくすることができる。さらに、前記第２のゲート電極の幅は、ソース電極とドレイン電極の間隔よりも狭くすることで、ソース電極またはドレイン電極と重ならないようにして寄生容量を更に低減する構成としてもよい。

40

【 0 0 2 3 】

また、上記構成の作製方法も特徴を有しており、その作製方法は、絶縁表面上に第１のゲート電極を形成し、第１のゲート電極上に第１の絶縁層を形成し、第１の絶縁層上に第１のソース領域または第１のドレイン領域を形成し、第１のソース領域または第１のドレイン領域上にソース電極またはドレイン電極を形成し、ソース電極またはドレイン電極上に第２のソース領域または第２のドレイン領域を形成し、第１の絶縁層、第２のソース領域

50



、及び第2のドレイン領域にプラズマ処理を行った後、第2のソース領域及び第2のドレイン領域上に酸化物半導体層を形成し、酸化物半導体層を覆う第2の絶縁層を形成し、第2の絶縁層上に第2のゲート電極を形成する半導体装置の作製方法である。この作製方法において、第2のゲート電極を画素電極と同じ材料および同じマスクを用いて作製することにより、大幅に工程数を増やすことなく作製することができる。

【0024】

また、他の発明の構成は、画素部と駆動回路とを有し、画素部は、少なくとも第1の酸化物半導体層を有する第1の薄膜トランジスタを有し、駆動回路は、少なくとも第2の酸化物半導体層を有する第2の薄膜トランジスタと、第3の酸化物半導体層を有する第3の薄膜トランジスタとを有するEDMOS回路を有し、第3の薄膜トランジスタは、第3の酸化物半導体層の下方に第1のゲート電極と、第3の酸化物半導体層の上方に第2のゲート電極とを有し、第3の酸化物半導体層の少なくとも一部は、上下にソース領域が設けられたソース電極と上下にドレイン領域が設けられたドレイン電極の間に配置され、第2のゲート電極は、第3の酸化物半導体層及び第1のゲート電極と重なる半導体装置である。

10

【0025】

上記構成において、画素部の第1の薄膜トランジスタは画素電極と電気的に接続し、画素電極は、駆動回路の第2のゲート電極と同じ材料とすることで、工程数を増やすことなく作製することができる。

【0026】

上記構成において、画素部の第1の薄膜トランジスタは画素電極と電気的に接続し、画素電極は、駆動回路の第2のゲート電極と異なる材料とし、例えば、画素電極を透明導電膜とし、第2のゲート電極をアルミニウム膜とすることで、駆動回路の第2のゲート電極の低抵抗化を図ることができる。

20

【0027】

また、上記構成において、第1のゲート電極と第2のゲート電極を同電位とすることで、酸化物半導体層の上下からゲート電圧を印加することができるため、オン状態において流れる電流を大きくすることができる。

【0028】

また、上記構成において、第1のゲート電極と第2のゲート電極を異なる電位とすることで、例えば、しきい値電圧をゼロまたはゼロに近づけ、駆動電圧を低減することで消費電力の低下を図ることができる。

30

【0029】

また、駆動回路の第3の酸化物半導体層は、第1の絶縁層を介して第1のゲート電極と重なり、且つ、第2の絶縁層を介して第2のゲート電極と重なる、所謂、デュアルゲート構造である。

【0030】

また、駆動回路を有する半導体装置としては、液晶表示装置の他に、発光素子を用いた発光表示装置や、電気泳動表示素子を用いた電子ペーパーとも称される表示装置が挙げられる。

【0031】

なお、本明細書中における表示装置とは、画像表示デバイス、発光デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばFPC(Flexible printed circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

40

【0032】

発光素子を用いた発光表示装置においては、画素部に複数の薄膜トランジスタを有し、画素部において、ある薄膜トランジスタのゲート電極と他のトランジスタのソース配線、或

50

いはドレイン配線を電氣的に接続させる箇所を有している。

【0033】

また、薄膜トランジスタは静電気などにより破壊されやすいため、ゲート線またはソース線に対して、駆動回路保護用の保護回路を同一基板上に設けることが好ましい。保護回路は、酸化物半導体を用いた非線形素子を用いて構成することが好ましい。

【0034】

本明細書中で用いる酸化物半導体は、 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) で表記される薄膜を形成し、その薄膜を半導体層として用いた薄膜トランジスタを作製する。なお、Mは、Ga、Fe、Ni、Mn及びCoから選ばれた一の金属元素又は複数の金属元素を示す。例えばMとして、Gaの場合があることその他、GaとNi又はGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。本明細書においては、この薄膜をIn-Ga-Zn-O系非単結晶膜とも呼ぶ。

10

【0035】

In-Ga-Zn-O系非単結晶膜は、スパッタ法で成膜した後、200 ~ 500、代表的には300 ~ 400 で10分 ~ 100分加熱を行った。なお、分析したIn-Ga-Zn-O系非単結晶膜の結晶構造は、アモルファス構造がXRDの分析では観察される。

【0036】

In-Ga-Zn-O系非単結晶膜で代表される酸化物半導体は、エネルギーギャップ (Eg) が広い材料であるため、酸化物半導体層の上下に2つのゲート電極を設けてもオフ電流の増大を抑えることができる。

20

【0037】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【発明の効果】

【0038】

ゲート線駆動回路またはソース線駆動回路などの周辺回路、または画素部に、上下を2つのゲート電極に挟まれた酸化物半導体を用いた薄膜トランジスタで形成することにより、製造コストを低減する。

30

【0039】

また、上記の薄膜トランジスタにおいて、ソース電極またはドレイン電極の上下には、ソース領域またはドレイン領域として機能する低抵抗な酸化物半導体層が形成されている。従って、ソース電極またはドレイン電極の側面と、酸化物半導体層とが接する面積を縮小することができ、薄膜トランジスタのオン電流を大きくすることが可能となる。また、ソース電極及びドレイン電極とゲート絶縁層の間に、酸化物半導体層よりもキャリア濃度の高いソース領域及びドレイン領域を意図的に設けることによってオーミック性のコンタクトを形成することができる。

40

【図面の簡単な説明】

【0040】

【図1】(A)実施の形態1の表示装置の一例を示す断面図、(B)実施の形態1の表示装置の他の一例を示す断面図、(C)実施の形態1の表示装置の他の一例を示す断面図。

【図2】(A)実施の形態2の半導体装置の断面図、(B)等価回路図、(C)上面図。

【図3】実施の形態3の表示装置の全体を説明するブロック図。

【図4】実施の形態3の表示装置における配線、入力端子等の配置を説明する図。

【図5】シフトレジスタ回路の構成を説明するブロック図。

【図6】フリップフロップ回路の一例を示す図。

【図7】フリップフロップ回路のレイアウト図(上面図)を示す図。

50

【図 8】シフトレジスタ回路の動作を説明するためのタイミングチャートを示す図。

【図 9】実施の形態 4 の半導体装置の作製方法を説明する図。

【図 10】実施の形態 4 の半導体装置の作製方法を説明する図。

【図 11】実施の形態 4 の半導体装置の作製方法を説明する図。

【図 12】実施の形態 4 の半導体装置の作製方法を説明する図。

【図 13】実施の形態 4 の半導体装置の作製方法を説明する図。

【図 14】実施の形態 4 の半導体装置を説明する図。

【図 15】実施の形態 4 の半導体装置を説明する図。

【図 16】実施の形態 4 の半導体装置を説明する図。

【図 17】実施の形態 5 の半導体装置を説明する断面図。

10

【図 18】実施の形態 6 の半導体装置の画素等価回路を説明する図。

【図 19】実施の形態 6 の半導体装置を説明する断面図。

【図 20】実施の形態 6 の半導体装置を説明する上面図及び断面図。

【図 21】実施の形態 7 の半導体装置を説明する上面図及び断面図。

【図 22】実施の形態 7 の半導体装置を説明する断面図。

【図 23】電子機器の一例を示す外観図。

【図 24】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。

【図 25】携帯電話機の一部を示す外観図。

【発明を実施するための形態】

【0041】

20

以下では、本発明の実施形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0042】

(実施の形態 1)

図 1 (A) に駆動回路に用いる第 1 の薄膜トランジスタ 480 と、画素部に用いる第 2 の薄膜トランジスタ 170 とを同一基板上に設ける例を示す。なお、図 1 (A) は表示装置の断面図の一例である。

【0043】

30

画素部と駆動回路は、同一基板上に形成し、画素部においては、マトリクス状に配置したエンハンスメント型トランジスタである第 2 の薄膜トランジスタ 170 を用いて画素電極 110 への電圧印加のオンオフを切り替える。この画素部に配置する第 2 の薄膜トランジスタ 170 は、酸化物半導体層 103 を用いており、第 2 の薄膜トランジスタの電気特性は、ゲート電圧  $\pm 2.0 \text{ V}$  において、オンオフ比が  $10^9$  以上であるため表示のコントラストを向上させることができ、さらにリーク電流が少ないため低消費電力駆動を実現することができる。オンオフ比とは、オフ電流とオン電流の比率 ( $I_{\text{ON}} / I_{\text{OFF}}$ ) であり、大きいほどスイッチング特性に優れていると言え、表示のコントラスト向上に寄与する。なお、オン電流とは、トランジスタがオン状態のときに、ソース電極とドレイン電極の間に流れる電流をいう。また、オフ電流とは、トランジスタがオフ状態のときに、ソース電極とドレイン電極の間に流れる電流をいう。例えば、n 型のトランジスタの場合には、ゲート電圧がトランジスタのしきい値電圧よりも低いときにソース電極とドレイン電極との間に流れる電流である。このように、高コントラスト、及び低消費電力駆動を実現するためには、画素部にエンハンスメント型トランジスタを用いることが好ましい。

40

【0044】

駆動回路においては、酸化物半導体層 405 の下方に第 1 のゲート電極 401 と、酸化物半導体層 405 の上方に第 2 のゲート電極 470 とを有する薄膜トランジスタ 430 を少なくとも一つ用いる。この第 2 のゲート電極 470 はバックゲート電極とも呼べる。バックゲート電極を形成することによって、薄膜トランジスタの信頼性を調べるためのバイアス - 熱ストレス試験 (以下、BT 試験という) において、BT 試験前後における薄膜トラ

50

ンジスタのしきい値電圧の変化量を低減することができる。

【0045】

この薄膜トランジスタ430の構造を、図1(A)を用いて説明する。絶縁表面を有する基板400上に設けられた第1のゲート電極401は、第1のゲート絶縁層403に覆われ、第1のゲート電極401と重なる第1のゲート絶縁層403上には、 $n^+$ 層408a及び $n^+$ 層408bとが設けられる。また、 $n^+$ 層408a及び $n^+$ 層408b上には、第1配線409または第2配線410が設けられる。ソース電極またはドレイン電極として機能する第1配線409または第2配線410上には、 $n^+$ 層406a及び $n^+$ 層406bとが設けられる。また、 $n^+$ 層406a及び $n^+$ 層406b上には、酸化物半導体層405を有する。この酸化物半導体層405を覆う第2のゲート絶縁層412を有する。また、第2のゲート絶縁層412上に第2のゲート電極470を有する。

10

【0046】

なお、 $n^+$ 層408a及び $n^+$ 層408bは、その側面の少なくとも一部が酸化物半導体層405に接している。また、 $n^+$ 層406a及び $n^+$ 層406bは、その上面の少なくとも一部及びその側面の少なくとも一部が酸化物半導体層405に接している。また、第1配線409及び第2配線410の上下に $n^+$ 層がそれぞれ設けられているため、第1配線409及び第2配線410の側面と、酸化物半導体層405とが接する面積を縮小することができる。

【0047】

$n^+$ 層は、酸化物半導体層と比較して低抵抗な酸化物半導体層であり、ソース領域又はドレイン領域として機能する。なお、第1配線409がソース電極層として機能し、第2配線410がドレイン電極層として機能する場合、 $n^+$ 層408a及び $n^+$ 層406aが第1及び第2のソース領域として機能し、 $n^+$ 層408b及び $n^+$ 層406bが第1及び第2のドレイン領域として機能する。薄膜トランジスタに、複数のソース領域、複数のドレイン領域を設けることで、ソース領域またはドレイン領域が単数の場合よりもさらにトランジスタのオン電流を大きくすることができる。

20

【0048】

また、第1のゲート電極401と第2のゲート電極470とを電氣的に接続して同電位としてもよい。同電位とすると、酸化物半導体層の上下からゲート電圧を印加することができるため、オン状態において流れる電流を大きくすることができる。

30

【0049】

また、しきい値電圧をマイナスにシフトするための制御信号線を第1のゲート電極401、或いは第2のゲート電極470のいずれか一方と電氣的に接続することによってデプレッション型のTFTとすることができる。

【0050】

また、しきい値電圧をプラスにシフトするための制御信号線を第1のゲート電極401、或いは第2のゲート電極470のいずれか一方と電氣的に接続することによってエンハンスメント型のTFTとすることができる。

【0051】

また、駆動回路に用いる2つの薄膜トランジスタの組み合わせは特に限定されず、1つのゲート電極を有する薄膜トランジスタをデプレッション型TFTとして用い、2つのゲート電極を有する薄膜トランジスタをエンハンスメント型TFTとして用いてもよい。その場合には、画素部の薄膜トランジスタとして、ゲート電極を酸化物半導体層の上下にそれぞれ有する構造とする。

40

【0052】

また、画素部の薄膜トランジスタとして、ゲート電極を酸化物半導体層の上下にそれぞれ有する構造とし、駆動回路のエンハンスメント型TFTとして、ゲート電極を酸化物半導体層の上下にそれぞれ有する構造とし、駆動回路のデプレッション型TFTとしてゲート電極を酸化物半導体層の上下にそれぞれ有する構造としてもよい。その場合には、しきい値電圧を制御するための制御信号線を上下どちらか一方のゲート電極に電氣的に接続させ

50

、その接続したゲート電極がしきい値を制御する構成とする。

【 0 0 5 3 】

なお、図 1 ( A ) においては、第 2 のゲート電極 4 7 0 は、画素部の画素電極 1 1 0 と同じ材料、例えば透過型の液晶表示装置であれば、透明導電膜を用いて工程数を低減しているが、特に限定されない。また、第 2 のゲート電極 4 7 0 の幅は、第 1 のゲート電極 4 0 1 の幅よりも広く、さらに酸化物半導体層の幅よりも広い例を示しているが特に限定されない。

【 0 0 5 4 】

第 2 のゲート電極の材料及び幅が図 1 ( A ) と異なる例を図 1 ( B ) に示す。また、図 1 ( B ) は有機発光素子或いは無機発光素子と接続する第 2 の薄膜トランジスタ 1 7 0 を画素部に有する表示装置の例である。

10

【 0 0 5 5 】

図 1 ( B ) においては、薄膜トランジスタ 4 3 2 の第 2 のゲート電極として機能する電極 4 7 1 の材料は金属材料 ( アルミニウム ( A l ) や銅 ( C u ) 、チタン ( T i ) 、タンタル ( T a ) 、タングステン ( W ) 、モリブデン ( M o ) 、クロム ( C r ) 、ネオジム ( N d ) 、スカンジウム ( S c ) から選ばれた元素、または上述した元素を成分とする合金 ) を用い、断面における電極 4 7 1 の幅は図 1 ( A ) の第 2 のゲート電極 4 7 0 よりも狭い。また、電極 4 7 1 の幅は酸化物半導体層 4 0 5 の幅よりも狭い。幅を狭くすることによって、第 2 のゲート電極 4 7 1 が、第 1 配線 4 0 9 、及び第 2 配線 4 1 0 と第 2 のゲート絶縁層 4 1 2 を介して重なる面積を低減することができ、寄生容量を小さくすることができる。

20

【 0 0 5 6 】

発光素子は、少なくとも第 1 の電極 4 7 2 と発光層 4 7 5 と第 2 の電極 4 7 4 とを有する。図 1 ( B ) においては、電極 4 7 1 は、画素部の第 1 の電極 4 7 2 と同じ材料、例えば、アルミニウムなどを用いて工程数を低減しているが、特に限定されない。また、図 1 ( B ) において絶縁層 4 7 3 は、隣り合う画素の第 1 の電極との絶縁を図るための隔壁として機能する。

【 0 0 5 7 】

また、第 2 のゲート電極の材料及び幅が図 1 ( A ) と異なる例を図 1 ( C ) に示す。図 1 ( C ) においては、薄膜トランジスタ 4 3 3 の第 2 のゲート電極として機能する電極 4 7 6 の材料は金属材料 ( アルミニウム ( A l ) や銅 ( C u ) 、チタン ( T i ) 、タンタル ( T a ) 、タングステン ( W ) 、モリブデン ( M o ) 、クロム ( C r ) 、ネオジム ( N d ) 、スカンジウム ( S c ) から選ばれた元素、または上述した元素を成分とする合金 ) を用い、断面における第 2 のゲート電極の幅は図 1 ( B ) よりも狭い。図 1 ( B ) よりもさらに幅を狭くすることによって第 1 配線 4 0 9 、及び第 2 配線 4 1 0 と第 2 のゲート絶縁層 4 1 2 を介して重ならないようにすることができ、さらに寄生容量を小さくすることができる。図 1 ( C ) に示す電極 4 7 6 の幅は、第 1 配線 4 0 9 と第 2 配線 4 1 0 の間隔よりも狭い。このように狭い幅の電極 4 7 6 を形成する場合には、ウェットエッチングなどを用いてレジストマスク端部よりも内側に電極 4 7 6 の両端が位置する工程とすることが好ましい。ただし、図 1 ( C ) においては画素電極 1 1 0 と異なる金属材料を用いるため、電極 4 7 6 の形成のためのフォトリソグラフィ工程が 1 回増加し、マスク数も 1 枚追加することとなる。

30

40

【 0 0 5 8 】

液晶表示装置や発光表示装置や電子ペーパーに用いるゲート線駆動回路またはソース線駆動回路などの周辺回路、または画素部に対して、上下を 2 つのゲート電極に挟まれた酸化物半導体を用いた薄膜トランジスタを用い、高速駆動や、低消費電力化を図ることができる。また、工程数を大幅に増加させることなく、同一基板上に画素部と駆動回路との両方を設けることができる。同一基板上に、画素部以外の様々な回路を設けることにより、表示装置の製造コストを低減することができる。

【 0 0 5 9 】

50

また、ソース電極又はドレイン電極の上下に、ソース領域またはドレイン領域を設けることにより、金属層であるソース電極またはドレイン電極と、酸化物半導体層との間を良好な接合としてショットキー接合に比べて熱的にも安定動作を有せしめる。また、チャネルのキャリアを供給する（ソース側）、またはチャネルのキャリアを安定して吸収する（ドレイン側）、またはソース電極（またはドレイン電極）との界面に抵抗成分が作られるのを抑制するためにもソース領域またはドレイン領域を設けることは重要である。また、低抵抗な酸化物半導体層（ $n^+$ 層）を設けることで、高いドレイン電圧でも良好な移動度を保持することができる。

#### 【0060】

（実施の形態2）

実施の形態1では駆動回路の薄膜トランジスタとして一つの薄膜トランジスタを説明したが、ここでは、2つの $n$ チャネル型の薄膜トランジスタを用いて駆動回路のインバータ回路を構成する例を基に以下に説明する。図2（A）に示す薄膜トランジスタは、実施の形態1の図1（A）に示した薄膜トランジスタ430と同一であるため、同じ部分には同じ符号を用いて説明する。

#### 【0061】

画素部を駆動するための駆動回路は、インバータ回路、容量、抵抗などを用いて構成する。2つの $n$ チャネル型TFTを組み合わせてインバータ回路を形成する場合、エンハンスメント型トランジスタとデプレッション型トランジスタとを組み合わせて形成する場合（以下、EDMOS回路という）と、エンハンスメント型TFT同士で形成する場合（以下、EEMOS回路という）がある。

#### 【0062】

駆動回路のインバータ回路の断面構造を図2（A）に示す。なお、図2に示す薄膜トランジスタ430、第2の薄膜トランジスタ431は、ボトムゲート型薄膜トランジスタであり、半導体層下配線が設けられている薄膜トランジスタの例である。

#### 【0063】

図2（A）において、基板400上に第1のゲート電極401及びゲート電極402を設ける。第1のゲート電極401及びゲート電極402の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

#### 【0064】

例えば、第1のゲート電極401及びゲート電極402の2層の積層構造としては、アルミニウム層上にモリブデン層が積層された二層の積層構造、または銅層上にモリブデン層を積層した二層構造、または銅層上に窒化チタン層若しくは窒化タンタル層を積層した二層構造、窒化チタン層とモリブデン層とを積層した二層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムとシリコンの合金またはアルミニウムとチタンの合金と、窒化チタン層またはチタン層とを積層した積層とすることが好ましい。

#### 【0065】

また、第1のゲート電極401及びゲート電極402を覆う第1のゲート絶縁層403上方には、第1配線409、第2配線410、第3配線411を設ける。また、第1のゲート絶縁層403と第1配線409、第1のゲート絶縁層403と第2配線410、第1のゲート絶縁層403と第3配線411の間には、それぞれ $n^+$ 層420、421、422を設ける。第2の配線410は、第1のゲート絶縁層403に形成されたコンタクトホール404を介してゲート電極402と接続する。

#### 【0066】

第1配線409、及び第2配線410の上方には、酸化物半導体層405を設ける。また、第1配線409と酸化物半導体層405、及び第2配線410と酸化物半導体層405の間には、 $n^+$ 層423、424がそれぞれ設けられる。また、第2配線410、及び

10

20

30

40

50

第3配線411の上方には第2の酸化物半導体層407を設ける。また、第2配線410と酸化物半導体層407、及び第3配線411と酸化物半導体層407との間には、 $n^+$ 層425、426がそれぞれ設けられる。

【0067】

なお、 $n^+$ 層420乃至426は、酸化物半導体層405や酸化物半導体層407に比べて低抵抗な酸化物半導体層であり、ソース領域またはドレイン領域として機能する。配線と酸化物半導体層との間に $n^+$ 層を有する構成とすることで、ショットキー接合と比べて熱的にも安定動作を有せしめる。

【0068】

薄膜トランジスタ430は、第1のゲート電極401と、第1のゲート絶縁層403を介して第1のゲート電極401と重なる酸化物半導体層405とを有し、第1配線409は、負の電圧VDLが印加される電源線（負電源線）である。この電源線は、接地電位の電源線（接地電源線）としてもよい。

10

【0069】

また、第2の薄膜トランジスタ431は、ゲート電極402と、第1のゲート絶縁層403を介してゲート電極402と重なる第2の酸化物半導体層407とを有し、第3配線411は、正の電圧VDHが印加される電源線（正電源線）である。

【0070】

また、駆動回路のインバータ回路の上面図を図2（C）に示す。図2（C）において、鎖線Z1-Z2で切断した断面が図2（A）に相当する。

20

【0071】

また、EDMOS回路の等価回路を図2（B）に示す。図2（A）に示す回路接続は、図2（B）に相当し、薄膜トランジスタ430をエンハンスメント型の $n$ チャネル型トランジスタとし、第2の薄膜トランジスタ431をデプレッション型の $n$ チャネル型トランジスタとする例である。

【0072】

薄膜トランジスタ430をエンハンスメント型の $n$ チャネル型トランジスタとするため、本実施の形態では、酸化物半導体層405上に第2のゲート絶縁層412と、該第2のゲート絶縁層412上に第2のゲート電極470を設け、第2のゲート電極470に印加する電圧によって薄膜トランジスタ430のしきい値制御を行う。

30

【0073】

また、第2のゲート絶縁層412は、第2の酸化物半導体層407を覆う保護層としても機能する。

【0074】

なお、図2（A）及び図2（C）では、第2の配線410は、第1のゲート絶縁層403に形成されたコンタクトホール404を介してゲート電極402と直接接続する例を示したが、特に限定されず、接続電極を別途設けて第2の配線410とゲート電極402とを電氣的に接続させてもよい。

【0075】

また、本実施の形態は、実施の形態1と自由に組み合わせることができる。

40

【0076】

（実施の形態3）

本実施の形態では、表示装置について、ブロック図等を参照して説明する。

【0077】

図3（A）は、アクティブマトリクス型液晶表示装置のブロック図の一例を示す。図3（A）に示す液晶表示装置は、基板300上に表示素子を備えた画素を複数有する画素部301と、各画素のゲート電極に接続された走査線を制御する走査線駆動回路302と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路303と、を有する。

【0078】

図3（B）は、アクティブマトリクス型発光表示装置のブロック図の一例を示す。図3（

50

B) に示す発光表示装置は、基板 3 1 0 上に表示素子を備えた画素を複数有する画素部 3 1 1 と、各画素のゲート電極に接続された走査線を制御する第 1 の走査線駆動回路 3 1 2 及び第 2 の走査線駆動回路 3 1 3 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 3 1 4 と、を有する。一つの画素にスイッチング用 T F T (Thin Film Transistor。以下、T F T という。) と電流制御用 T F T の 2 つを配置する場合、図 3 ( B ) に示す発光表示装置では、スイッチング用 T F T のゲート電極に接続された第 1 の走査線に入力される信号を第 1 の走査線駆動回路 3 1 2 で生成し、電流制御用 T F T のゲート電極に接続された第 2 の走査線に入力される信号を第 2 の走査線駆動回路 3 1 3 で生成する。ただし、第 1 の走査線に入力される信号と、第 2 の走査線に入力される信号とを、一の走査線駆動回路で生成する構成としても良い。また、例えば、スイッチング素子が有する T F T の数によって、スイッチング素子の動作を制御するのに用いられる第 1 の走査線が、各画素に複数設けられていてもよい。この場合、複数の第 1 の走査線に入力される信号を、全て 1 つの走査線駆動回路で生成しても良いし、複数の走査線駆動回路を設けてこれらの各々で生成しても良い。

10

#### 【 0 0 7 9 】

なお、ここでは、走査線駆動回路 3 0 2、第 1 の走査線駆動回路 3 1 2、第 2 の走査線駆動回路 3 1 3、及び信号線駆動回路 3 0 3、3 1 4 を表示装置に作製する形態を示したが、走査線駆動回路 3 0 2、第 1 の走査線駆動回路 3 1 2、または第 2 の走査線駆動回路 3 1 3 の一部を I C 等の半導体装置で実装してもよい。また、信号線駆動回路 3 0 3、3 1 4 の一部を I C 等の半導体装置で実装してもよい。

20

#### 【 0 0 8 0 】

図 4 は、表示装置を構成する、信号入力端子 3 2 2、走査線 3 2 3、信号線 3 2 4、非線形素子を含む保護回路及び画素部の位置関係を説明する図である。絶縁表面を有する基板 3 2 0 上には走査線 3 2 3 と信号線 3 2 4 が交差して配置され、画素部 3 2 7 が構成されている。なお、画素部 3 2 7 は、図 3 に示す画素部 3 0 1 と画素部 3 1 1 に相当する。

#### 【 0 0 8 1 】

画素部 3 0 1 は、信号線駆動回路 3 0 3 から列方向に伸張して配置された複数の信号線 S 1 ~ S m (図示せず。) により信号線駆動回路 3 0 3 と接続され、走査線駆動回路 3 0 2 から行方向に伸張して配置された複数の走査線 G 1 ~ G n (図示せず。) により走査線駆動回路 3 0 2 と接続され、信号線 S 1 ~ S m 並びに走査線 G 1 ~ G n に対応してマトリクス状に配置された複数の画素 (図示せず。) を有する。そして、各画素は、信号線 S j (信号線 S 1 ~ S m のうちいずれか一)、走査線 G i (走査線 G 1 ~ G n のうちいずれか一) と接続される。

30

#### 【 0 0 8 2 】

画素部 3 2 7 は複数の画素 3 2 8 がマトリクス状に配列して構成されている。画素 3 2 8 は、走査線 3 2 3 と信号線 3 2 4 に接続する画素 T F T 3 2 9、保持容量部 3 3 0、画素電極 3 3 1 を含んで構成されている。

#### 【 0 0 8 3 】

ここで示す画素構成において、保持容量部 3 3 0 では、一方の電極と画素 T F T 3 2 9 が接続され、他方の電極と容量線 3 3 2 が接続される場合を示している。また、画素電極 3 3 1 は表示素子 (液晶素子、発光素子、コントラスト媒体 (電子インク) 等) を駆動する一方の電極を構成する。これらの表示素子の他方の電極はコモン端子 3 3 3 に接続されている。

40

#### 【 0 0 8 4 】

保護回路は、画素部 3 2 7 と、信号線入力端子 3 2 2 との間に配設されている。また、走査線駆動回路と、画素部 3 2 7 の間に配設されている。本実施の形態では、複数の保護回路を配設して、走査線 3 2 3、信号線 3 2 4 及び容量バス線 3 3 7 に静電気等によりサージ電圧が印加され、画素 T F T 3 2 9 等が破壊されないように構成されている。そのため、保護回路にはサージ電圧が印加されたときに、コモン配線に電荷を逃がすように構成されている。

50



## 【 0 0 8 5 】

本実施の形態では、走査線 3 2 3 側に保護回路 3 3 4、信号線 3 2 4 側に保護回路 3 3 5、容量バス線 3 3 7 に保護回路 3 3 6 を配設する例を示している。ただし、保護回路の配設位置はこれに限定されない。また、走査線駆動回路を IC 等の半導体装置で実装しない場合は、走査線 3 2 3 側に保護回路 3 3 4 を設けなくとも良い。

## 【 0 0 8 6 】

これらの回路の各々に実施の形態 1 または実施の形態 2 に示した T F T を用いることで、以下の利点がある。

## 【 0 0 8 7 】

駆動回路は、論理回路部と、スイッチ部またはバッファ部とに大別される。論理回路部に設ける T F T は閾値電圧を制御することが可能な構成であるとよい。一方で、スイッチ部またはバッファ部に設ける T F T はオン電流が大きいことが好ましい。実施の形態 1 または実施の形態 2 に示した T F T を有する駆動回路を設けることで、論理回路部に設ける T F T の閾値電圧の制御が可能となり、スイッチ部またはバッファ部に設ける T F T のオン電流を大きくすることが可能となる。更には、駆動回路が占有する面積を小さくし、狭額縁化にも寄与する。

## 【 0 0 8 8 】

また、走査線駆動回路を構成するシフトレジスタ回路について以下に説明する。

## 【 0 0 8 9 】

図 5 に示すシフトレジスタ回路は、フリップフロップ回路 3 5 1 を複数有し、制御信号線 3 5 2、制御信号線 3 5 3、制御信号線 3 5 4、制御信号線 3 5 5、制御信号線 3 5 6、及びリセット線 3 5 7 を有する。

## 【 0 0 9 0 】

図 5 のシフトレジスタ回路に示すように、フリップフロップ回路 3 5 1 では、初段の入力端子 I N に、制御信号線 3 5 2 を介して、スタートパルス S S P が入力され、次段以降の入力端子 I N に前段のフリップフロップ回路 3 5 1 の出力信号端子 S O U T が接続されている。また、N 段目 ( N は自然数である。 ) のリセット端子 R E S は、 ( N + 3 ) 段目のフリップフロップ回路の出力信号端子 S o u t とリセット線 3 5 7 を介して接続されている。N 段目のフリップフロップ回路 3 5 1 のクロック端子 C L K には、制御信号線 3 5 3 を介して、第 1 のクロック信号 C L K 1 が入力されると仮定すると、 ( N + 1 ) 段目のフリップフロップ回路 3 5 1 のクロック端子 C L K には、制御信号線 3 5 4 を介して、第 2 のクロック信号 C L K 2 が入力される。また、 ( N + 2 ) 段目のフリップフロップ回路 3 5 1 のクロック端子 C L K には、制御信号線 3 5 5 を介して、第 3 のクロック信号 C L K 3 が入力される。また、 ( N + 3 ) 段目のフリップフロップ回路 3 5 1 のクロック端子 C L K には、制御信号線 3 5 6 を介して、第 4 のクロック信号 C L K 4 が入力される。そして、 ( N + 4 ) 段目のフリップフロップ回路 3 5 1 のクロック端子 C L K には、制御信号線 3 5 3 を介して、第 1 のクロック信号 C L K 1 が入力される。また、N 段目のフリップフロップ回路 3 5 1 は、ゲート出力端子 G o u t より、N 段目のフリップフロップ回路の出力 S R o u t N を出力する。

## 【 0 0 9 1 】

なお、フリップフロップ回路 3 5 1 と、電源及び電源線との接続を図示していないが、各フリップフロップ回路 3 5 1 には電源線を介して電源電位 V d d 及び電源電位 G N D が供給されている。

## 【 0 0 9 2 】

なお、本明細書で説明する電源電位は、基準電位を 0 V とした場合の、電位差に相当する。そのため、電源電位のことを電源電圧、または電源電圧のことを電源電位と呼ぶこともある。

## 【 0 0 9 3 】

なお、本明細書において、A と B とが接続されている、とは、A と B とが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、A と B とが電気

10

20

30

40

50

的に接続されているとは、AとBとの間に何らかの電気的作用を有する対象物が存在するとき、対象物を介してAとBとが概略同一ノードとなる場合を表すものとする。具体的には、TFTのようなスイッチング素子を介してAとBとが接続され、該スイッチング素子の導通によって、AとBとが概略同電位となる場合や、抵抗素子を介してAとBとが接続され、該抵抗素子の両端に発生する電位差が、AとBとを含む回路の動作に影響しない程度となっている場合等、回路動作を考えた場合にAとBとを同一ノードとして捉えて差し支えない状態である場合を表す。

#### 【0094】

次に、図6に、図5で示したシフトレジスタ回路が有するフリップフロップ回路351の一形態を示す。図6に示すフリップフロップ回路351は、論理回路部361と、スイッチ部362と、を有する。論理回路部361は、TFT363乃至TFT368を有する。また、スイッチ部362は、TFT369乃至TFT372を有している。なお論理回路部とは、外部より入力される信号に応じて後段の回路であるスイッチ部に出力する信号を切り替えるための回路である。また、スイッチ部とは、外部及び制御回路部から入力される信号に応じてスイッチとなるTFTのオンまたはオフの切り替え、当該TFTのサイズ及び構造に応じた電流を出力するための回路である。

10

#### 【0095】

フリップフロップ回路351において、入力端子inはTFT364のゲート端子、及びTFT367のゲート端子に接続されている。リセット端子RESは、TFT363のゲート端子に接続されている。クロック端子CLKは、TFT369の第1端子、及びTFT371の第1端子に接続されている。電源電位Vddが供給される電源線は、TFT364の第1端子、並びにTFT366のゲート端子及び第2端子に接続されている。電源電位GNDが供給される電源線は、TFT363の第2端子、TFT365の第2端子、TFT367の第2端子、TFT368の第2端子、TFT370の第2端子、及びTFT372の第2端子に接続されている。また、TFT363の第1端子、TFT364の第2端子、TFT365の第1端子、TFT368のゲート端子、TFT369のゲート端子、及びTFT371のゲート端子は互いに接続されている。また、TFT366の第1端子は、TFT365のゲート端子、TFT367の第1端子、TFT368の第1端子、TFT370のゲート端子、及びTFT372のゲート端子に接続されている。また、ゲート出力端子Goutは、TFT369の第2端子、及びTFT370の第1端子に接続されている。出力信号端子Soutは、TFT371の第2端子、及びTFT372の第1端子に接続されている。

20

30

#### 【0096】

なお、ここでは、TFT363乃至TFT372が、すべてN型TFTである例についての説明を行う。

#### 【0097】

なお、TFTは、ゲートと、ドレインと、ソースと、を含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル形成領域を有し、ドレイン領域とチャネル形成領域とソース領域とを介して電流を流すことができる。ここで、ソースとドレインは、TFTの構造や動作条件等によって入れ替わることがあるため、いずれがソースであり、いずれがドレインであるかを特定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばず、例えば、それぞれを第1端子、第2端子と表記する場合もある。また、この場合に、ゲートとして機能する端子については、ゲート端子と表記する。

40

#### 【0098】

次に、図6に示したフリップフロップ回路351のレイアウト図の一例を図7に示す。

#### 【0099】

図7のフリップフロップ回路は、電源電位Vddが供給される電源線381、リセット線382、制御信号線353、制御信号線354、制御信号線355、制御信号線356、制御信号線383、電源電位GNDが供給される電源線384、論理回路部361、及び

50

スイッチ部 362 を有する。論理回路部 361 は、TFT 363 乃至 TFT 368 を有する。また、スイッチ部 362 は、TFT 369 乃至 TFT 372 を有している。また、図 7 では、ゲート出力端子  $G_{out}$  に接続される配線、出力信号端子  $S_{out}$  に接続される配線についても示している。

【0100】

図 7 中では、半導体層 385、第 1 の配線層 386、第 2 の配線層 387、第 3 の配線層 388、コンタクトホール 389 について示している。なお、第 1 の配線層 386 は、ゲート電極を形成する層により形成し、第 2 の配線層 387 は、TFT のソース電極又はドレイン電極を形成する層により形成し、第 3 の配線層 388 は、画素部における画素電極を形成する層により形成すればよい。ただし、これに限定されず、例えば第 3 の配線層 388 を、画素電極を形成する層とは別の配線層として形成しても良い。

10

【0101】

なお、図 7 中の各回路素子間の接続関係は、図 6 で説明した通りである。なお、図 7 では、第 1 のクロック信号が入力されるフリップフロップ回路について示しているため、制御信号線 354 乃至制御信号線 356 との接続については図示されていない。

【0102】

図 7 のフリップフロップ回路のレイアウト図において、論理回路部 361 が有する TFT 366 または TFT 367 のしきい値電圧を制御することで、EDMOS 回路 373 を構成することができる。代表的には、TFT 366 をデプレッション型とし、TFT 367 をエンハンスメント型とした EDMOS 回路 373 で構成し、スイッチ部 362 が有する TFT 369 乃至 TFT 372 をデュアルゲート型の TFT、またはデプレッション型の TFT とする。なお、図 6 において、EDMOS 回路 373 における TFT 366 と TFT 367 は図 2 に示した EDMOS 回路とは、デプレッション型の TFT のゲート電極の接続位置が異なっている。

20

【0103】

TFT 366 または TFT 367 をデュアルゲート型の TFT で形成し、バックゲート電極の電位を制御することで、デプレッション型の TFT、或いはエンハンスメント型の TFT とすることができる。

【0104】

図 7 では、TFT 366 のしきい値電圧を制御するためのバックゲート電極と同電位の制御信号線 390 を別途設けて、デプレッション型としている。TFT 366 はデュアルゲート型の TFT であり、バックゲート電極の電位は、ゲート電極に印加される電源電位  $V_{dd}$  が供給される電源線 381 とは異なる電位である。

30

【0105】

図 7 においては、TFT 369 ~ 372 は、デュアルゲート型の TFT であり、バックゲート電極とゲート電極が同電位である例であり、バックゲート電極の電位は、ゲート電極に印加される電源電位  $V_{dd}$  が供給される電源線と同じ電位である。

【0106】

このようにして、表示装置の画素部および駆動回路に配置する TFT を酸化物半導体層を用いた n チャネル型 TFT のみで形成することができる。

40

【0107】

また、論理回路部 361 における TFT 366 は電源電位  $V_{dd}$  に応じて電流を流すための TFT であり、TFT 366 をデュアルゲート型 TFT またはデプレッション型の TFT として、流れる電流を大きくすることにより、性能を低下させることなく、TFT の小型化を図ることができる。

【0108】

また、スイッチ部 362 を構成する TFT において、TFT を流れる電流量を大きくし、且つオンとオフの切り替えを高速に行うことができるため、性能を低下させることなく TFT が占める面積を縮小することができる。従って、該 TFT により構成される回路が占める面積を縮小することもできる。なお、スイッチ部 362 における TFT 369 乃至 T

50

F T 3 7 2 は、図示するように半導体層 3 8 5 を第 1 の配線層 3 8 6 及び第 3 の配線層 3 8 8 で挟むようにレイアウトして、デュアルゲート型 T F T を形成すればよい。

【 0 1 0 9 】

また、図 7 では、デュアルゲート型 T F T が、半導体層 3 8 5 を第 1 の配線層 3 8 6 と、コンタクトホール 3 8 9 により第 1 の配線層 3 8 6 に接続されて同電位となった第 3 の配線層 3 8 8 と、により挟まれて構成される例を示したが、この構成に限定されない。例えば、第 3 の配線層 3 8 8 に対して、別途制御信号線を設け、第 3 の配線層 3 8 8 の電位を第 1 の配線層 3 8 6 から独立して制御する構成としてもよい。

【 0 1 1 0 】

なお、図 7 に示すフリップフロップ回路のレイアウト図において、T F T 3 6 3 乃至 T F T 3 7 2 のチャンネル形成領域の形状を U 字型（コの字型又は馬蹄型）にしてもよい。また、図 7 中では、各 T F T のサイズを等しくしているが、後段の負荷の大きさに応じて出力信号端子 S o u t またはゲート出力端子 G o u t に接続される各 T F T の大きさを適宜変更しても良い。

【 0 1 1 1 】

次に、図 8 に示すタイミングチャートを用いて、図 5 に示すシフトレジスタ回路の動作について説明する。図 8 は、図 5 に示した制御信号線 3 5 2 乃至制御信号線 3 5 6 にそれぞれ供給されるスタートパルス S S P、第 1 のクロック信号 C L K 1 乃至第 4 のクロック信号 C L K 4、及び 1 段目乃至 5 段目のフリップフロップ回路の出力信号端子 S o u t から出力される S o u t 1 乃至 S o u t 5 について示している。なお、図 8 の説明では、図 6 及び図 7 において各素子に付した符号を用いる。

【 0 1 1 2 】

なお、図 8 は、フリップフロップ回路が有する T F T のそれぞれが、N 型 T F T の場合のタイミングチャートである。また第 1 のクロック信号 C L K 1 及び第 4 のクロック信号 C L K 4 は図示するように 1 / 4 波長（点線にて区分けした一区間）ずつシフトした構成となっている。

【 0 1 1 3 】

まず、期間 T 1 において、1 段目のフリップフロップ回路には、スタートパルス S S P が H レベルで入力され、論理回路部 3 6 1 はスイッチ部の T F T 3 6 9 及び T F T 3 7 1 をオンし、T F T 3 7 0 及び T F T 3 7 2 をオフにする。このとき、第 1 のクロック信号 C L K 1 は L レベルであるため、S o u t 1 は L レベルである。

【 0 1 1 4 】

なお、期間 T 1 において、2 段目以降のフリップフロップ回路には、I N 端子に信号が入力されないため、動作することなく L レベルを出力している。なお、初期状態では、シフトレジスタ回路の各フリップフロップ回路は、L レベルを出力するものとして説明を行う。

【 0 1 1 5 】

次に、期間 T 2 において、1 段目のフリップフロップ回路では、期間 T 1 と同様に、論理回路部 3 6 1 がスイッチ部 3 6 2 の制御を行う。期間 T 2 では、第 1 のクロック信号 C L K 1 は H レベルとなるため、S o u t 1 は H レベルとなる。また、期間 T 2 では、2 段目のフリップフロップ回路には、S o u t 1 が H レベルで I N 端子に入力され、論理回路部 3 6 1 がスイッチ部の T F T 3 6 9 及び T F T 3 7 1 をオンし、T F T 3 7 0 及び T F T 3 7 2 をオフする。このとき、第 2 のクロック信号 C L K 2 は L レベルであるため、S o u t 2 は L レベルである。

【 0 1 1 6 】

なお、期間 T 2 において、3 段目以降のフリップフロップ回路には、I N 端子に信号が入力されないため、動作することなく L レベルを出力している。

【 0 1 1 7 】

次に、期間 T 3 において、1 段目のフリップフロップ回路では、期間 T 2 の状態を保持するように論理回路部 3 6 1 がスイッチ部 3 6 2 の制御を行う。そのため、期間 T 3 では、

10

20

30

40

50

第1のクロック信号CLK1はHレベルであり、Sout1はHレベルとなる。また、期間T3において、2段目のフリップフロップ回路では、期間T2と同様に、論理回路部361がスイッチ部362の制御を行う。期間T3では、第2のクロック信号CLK2はHレベルであるため、Sout2はHレベルである。また、期間T3の3段目のフリップフロップ回路には、Sout2がHレベルでIN端子に入力され、論理回路部361がスイッチ部のTF T369及び371をオンし、TF T370及び372をオフにする。このとき、第3のクロック信号CLK3はLレベルであるため、Sout3はLレベルである。

【0118】

なお、期間T3において、4段目以降のフリップフロップ回路には、IN端子に信号が入力されないため、動作することなくLレベルを出力している。

10

【0119】

次に、期間T4において、1段目のフリップフロップ回路では、期間T3の状態を保持するように論理回路部361がスイッチ部362の制御を行う。そのため、期間T4において、第1のクロック信号CLK1はLレベルであり、Sout1はLレベルとなる。また、期間T4において、2段目のフリップフロップ回路では、期間T3の状態を保持するように論理回路部361がスイッチ部362の制御を行う。そのため、期間T4において、第2のクロック信号CLK2はHレベルであり、Sout2はHレベルとなる。また、期間T4において、3段目のフリップフロップ回路では、期間T3と同様に、論理回路部361がスイッチ部362の制御を行う。期間T4では、第3のクロック信号CLK3はHレベルであるため、Sout3はHレベルである。また、期間T4の4段目のフリップフロップ回路には、Sout3がHレベルでIN端子に入力され、論理回路部361がスイッチ部362のTF T369及びTF T371をオンし、TF T370及びTF T372をオフにする。このとき、第4のクロック信号CLK4はLレベルであるため、Sout4はLレベルである。

20

【0120】

なお、期間T4において、5段目以降のフリップフロップ回路には、IN端子に信号が入力されないため、動作することなくLレベルを出力している。

【0121】

次に、期間T5において、2段目のフリップフロップ回路では、期間T3の状態を保持するように論理回路部361がスイッチ部362の制御を行う。そのため、期間T5において、第2のクロック信号CLK2はLレベルであり、Sout2はLレベルとなる。また、期間T5において、3段目のフリップフロップ回路では、期間T4の状態を保持するように論理回路部361がスイッチ部362の制御を行う。そのため、期間T5において、第3のクロック信号CLK3はHレベルであり、Sout3はHレベルとなる。また、期間T5において4段目のフリップフロップ回路には、期間T4と同様に、論理回路部361がスイッチ部362の制御を行う。期間T5では、第4のクロック信号CLK4はHレベルであるため、Sout4はHレベルである。また、5段目以降のフリップフロップ回路は、1段目乃至4段目のフリップフロップ回路と同様の配線関係であり、入力される信号のタイミングも同様であるため、説明は省略する。

30

40

【0122】

図5のシフトレジスタ回路で示したように、Sout4は1段目のフリップフロップ回路のリセット信号を兼ねる。期間T5では、Sout4がHレベルとなり、この信号が1段目のフリップフロップ回路のリセット端子RESに入力される。リセット信号が入力されることにより、スイッチ部362のTF T369及びTF T371をオフし、TF T370及びTF T372をオンする。そして、1段目のフリップフロップ回路のSout1は、次のスタートパルスSSPが入力されるまで、Lレベルを出力することになる。

【0123】

以上説明した動作により、2段目以降のフリップフロップ回路でも、後段のフリップフロップ回路から出力されるリセット信号に基づいて論理回路部のリセットが行われ、Sou

50

t 1 乃至 S o u t 5 に示すように、クロック信号の 1 / 4 波長分シフトした波形の信号を出力するシフトレジスタ回路とすることができる。

【 0 1 2 4 】

また、フリップフロップ回路として、論理回路部にエンハンスメント型とデプレッション型を組み合わせた E D M O S の T F T、スイッチ部にデュアルゲート型の T F T を具備する構成とすることにより、論理回路部 3 6 1 を構成する T F T を流れる電流量を大きくすることができ、性能を低下させることなく、T F T が占める面積、更には該 T F T により構成される回路が占める面積を縮小することができる。また、スイッチ部 3 6 2 を構成する T F T においては、T F T を流れる電流量を大きくし、オンとオフの切り替えを高速に行うことができるため、性能を低下させることなく T F T が占める面積、更には該 T F T により構成される回路が占める面積を縮小することができる。従って、表示装置の狭額縁化、小型化、高性能化を図ることができる。

10

【 0 1 2 5 】

また、図 3 に示す信号線駆動回路に、ラッチ回路、レベルシフト回路等を設けることができる。信号線駆動回路から画素部に信号を送る最終段にバッファ部を設け、増幅した信号を信号線駆動回路から画素部に送る。このため、バッファ部に、オン電流が大きい T F T、代表的にはデュアルゲート型の T F T またはデプレッション型の T F T を設けることで、T F T の面積を縮小することが可能であり、信号線駆動回路が占める面積を縮小することができる。従って、表示装置の狭額縁化、小型化、高性能化を図ることができる。なお、信号線駆動回路の一部であるシフトレジスタは、高速な動作を必要とされるため、I C 等を用いて表示装置に実装することが好ましい。

20

【 0 1 2 6 】

また、本実施の形態は、実施の形態 1 または実施の形態 2 と自由に組み合わせることができる。

【 0 1 2 7 】

( 実施の形態 4 )

本実施の形態では、実施の形態 1 に示した第 2 の薄膜トランジスタ 1 7 0 を含む表示装置の作製工程について、図 9 乃至図 1 6 を用いて説明する。

【 0 1 2 8 】

図 9 ( A ) において、透光性を有する基板 1 0 0 にはコーニング社の 7 0 5 9 ガラスや 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

30

【 0 1 2 9 】

次いで、導電層を基板 1 0 0 全面に形成した後、第 1 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極 ( ゲート電極 1 0 1 を含むゲート配線、容量配線 1 0 8、及び第 1 の端子 1 2 1 ) を形成する。このとき少なくともゲート電極 1 0 1 の端部にテーパ形状が形成されるようにエッチングする。この段階での断面図を図 9 ( A ) に示した。なお、この段階での上面図が図 1 1 に相当する。なお、レジストマスクの形成にスピンコート法を用いる場合、レジスト膜の均一性の向上のため、大量のレジスト材料や、大量の現像液が使用され、余分な材料の消費量が多い。特に基板が大型化すると、スピンコート法を用いる成膜方法では、大型の基板を回転させる機構が大規模となる点、材料液のロスおよび廃液量が多い点で大量生産上、不利である。また、矩形の基板をスピンコートさせると回転軸を中心とする円形のムラが塗布膜に生じやすい。そこで、インクジェット法などの液滴吐出法やスクリーン印刷法などを用いて選択的にレジスト材料膜を形成し、露光を行ってレジストマスクを形成することが好ましい。選択的にレジスト材料膜を形成することによって、レジスト材料の使用量の削減が図れるため大幅なコストダウンが実現でき、1 0 0 0 m m × 1 2 0 0 m m、1 1 0 0 m m × 1 2 5 0 m m、1 1 5 0 m m × 1 3 0 0 m m のような大面積基板にも対応できる。

40

【 0 1 3 0 】

50

ゲート電極 101 を含むゲート配線と容量配線 108、端子部の第 1 の端子 121 は、アルミニウム (Al) や銅 (Cu) などの低抵抗導電性材料で形成することが望ましいが、Al 単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。耐熱性導電性材料としては、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、クロム (Cr)、ネオジム (Nd)、スカンジウム (Sc) から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物で形成する。

#### 【0131】

次いで、ゲート電極 101 上にゲート絶縁層 102 を全面に成膜する。ゲート絶縁層 102 はスパッタ法などを用い、膜厚を 50 ~ 400 nm とする。薄膜トランジスタの歩留まりを優先する場合には、ゲート絶縁層 102 の膜厚は厚いほうが好ましい。

#### 【0132】

例えば、ゲート絶縁層 102 としてスパッタ法により酸化シリコン膜を用い、100 nm の厚さで形成する。勿論、ゲート絶縁層 102 はこのような酸化シリコン膜に限定されるものでなく、酸化窒化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。また、ゲート絶縁層 102 として酸化窒化シリコン膜、または窒化シリコン膜などを用いる場合、ガラス基板からの不純物、例えばナトリウムなどが拡散し、後に形成する酸化物半導体に侵入することをブロックすることができる。

#### 【0133】

次いで、第 2 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去してゲート電極と同じ材料の配線や電極に達するコンタクトホールを形成する。このコンタクトホールは後に形成する導電膜と直接接続するために設ける。例えば、駆動回路部において、ゲート電極とソース電極或いはドレイン電極と直接接する薄膜トランジスタや、端子部のゲート配線と電氣的に接続する端子を形成する場合にコンタクトホールを形成する。なお、ここでは第 2 のフォトリソグラフィ工程を行って、後に形成する導電膜と直接接続するためのコンタクトホールを形成する例を示したが、特に限定されず、後で画素電極との接続のためのコンタクトホールと同じ工程でゲート電極層に達するコンタクトホールを形成し、画素電極と同じ材料で電氣的な接続を行ってもよい。画素電極と同じ材料で電氣的な接続を行う場合にはマスク数を 1 枚削減することができる。

#### 【0134】

次に、ゲート絶縁層 102 上に、第 1 の  $n^+$  膜 (本実施の形態では、In - Ga - Zn - O 系非単結晶膜) をスパッタ法で成膜する。 $n^+$  膜は、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$  としたターゲットを用い、成膜条件は、圧力を 0.4 Pa とし、電力を 500 W とし、成膜温度を室温とし、アルゴンガス流量 40 sccm を導入してスパッタ成膜を行う。 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$  としたターゲットを意図的に用いているにも関わらず、成膜直後で大きさ 1 nm ~ 10 nm の結晶粒を含む In - Ga - Zn - O 系非単結晶膜が形成されることがある。なお、ターゲットの成分比、成膜圧力 (0.1 Pa ~ 2.0 Pa)、電力 (250 W ~ 3000 W : 8 インチ)、温度 (室温 ~ 1000)、反応性スパッタの成膜条件などを適宜調節することで結晶粒の有無や、結晶粒の密度や、直径サイズは、1 nm ~ 10 nm の範囲で調節されうると言える。第 1 の  $n^+$  膜の膜厚は、5 nm ~ 20 nm とする。勿論、膜中に結晶粒が含まれる場合、含まれる結晶粒のサイズが膜厚を超える大きさとならない。本実施の形態では第 1 の  $n^+$  膜の膜厚は、5 nm とする。

#### 【0135】

次に、第 1 の  $n^+$  膜上に金属材料からなる導電膜をスパッタ法や真空蒸着法で形成する。ここでは Ti 膜、Nd を含むアルミニウム膜、Ti 膜の 3 層構造とする。導電膜の材料としては、Al、Cr、Ta、Ti、Mo、W から選ばれた元素、または上述した元素を成

10

20

30

40

50

分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、導電膜は、2層構造としてもよく、アルミニウム膜上にチタン膜を積層してもよい。また、導電膜は、シリコンを含むアルミニウム膜の単層構造や、チタン膜の単層構造としてもよい。

【0136】

次に、導電膜上に第2の $n^+$ 膜（本実施の形態では、 $In-Ga-Zn-O$ 系非単結晶膜）をスパッタ法で成膜する。この第2の $n^+$ 膜は、第1の $n^+$ 膜と同じ成膜条件を用いて形成することができる。第2の $n^+$ 膜は、成膜直後で大きさ $1\text{ nm} \sim 10\text{ nm}$ の結晶粒を含む場合のある $In-Ga-Zn-O$ 系非単結晶膜を用いる。第2の $n^+$ 膜の膜厚は、 $5\text{ nm} \sim 20\text{ nm}$ とする。本実施の形態では第2の $n^+$ 膜の膜厚は、 $5\text{ nm}$ とする。

【0137】

ゲート絶縁層102、第1の $n^+$ 膜、導電膜、及び第2の $n^+$ 膜は、スパッタ法で、チャンバーに導入するガスまたは設置するターゲットを適宜切り替えることにより大気に触れることなく連続成膜することができる。大気に触れることなく連続成膜すると、不純物の混入を防止することができる。大気に触れることなく連続成膜する場合、マルチチャンバー方式の製造装置を用いることが好ましい。

【0138】

なお、本実施の形態において導電膜は上下を $In-Ga-Zn-O$ 系非単結晶膜よりなる第1及び第2の $n^+$ 膜で挟まれて形成されている。このとき $In-Ga-Zn-O$ 系非単結晶膜は、バリアメタルとして機能することが可能なため、導電膜をアルミニウム膜の単層としても良い。導電膜をアルミニウム膜の単膜とすることで、スパッタ法で、チャンバーに設置するターゲットを1種類とすることができ、コストの削減を図ることができる。

【0139】

次に、第3のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して第1のソース領域106a及び第1のドレイン領域106b、ソース電極層105a及びドレイン電極層105b、第2の $n^+$ 膜よりなる $n^+$ 層141a、141bを形成する。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。ここでは、ITO07N（関東化学社製）を用いたウェットエッチングにより、 $n^+$ 層141a、141bを形成した後、Ti膜のエッチャントとしてアンモニア過水（過酸化水素：アンモニア：水＝5：2：2）を用い、Ndを含むアルミニウム膜のエッチングには磷酸と酢酸と硝酸を混ぜた溶液を用いてそれぞれエッチングを行う。このウェットエッチングにより、Ti膜とAl-Nd膜とTi膜を順次積層した導電膜をエッチングしてソース電極層105a及びドレイン電極層105bを形成する。その後、同じレジストマスクを用いてITO07N（関東化学社製）を用いたウェットエッチングにより、第1のソース領域106a及び第1のドレイン領域106bを形成する。この段階での断面図を図9（B）に示した。なお、この段階での上面図が図12に相当する。

【0140】

端子部において、接続電極120は、ゲート絶縁層に形成されたコンタクトホールを介して端子部の第1の端子121と直接接続される。また、接続電極120上に第2の $n^+$ 膜よりなる $n^+$ 層145が残存する。また、接続電極120の下方に存在し、且つ第1の端子121と重なる第1の $n^+$ 膜よりなる $n^+$ 層143が残存する。第2の端子122上には、第2の $n^+$ 膜よりなる $n^+$ 層144が残存し、第2の端子122の下方には、第1の $n^+$ 膜よりなる $n^+$ 層142が残存する。なお、ここでは図示しないが、上述した工程と同じ工程を経て駆動回路の薄膜トランジスタのソース配線或いはドレイン配線とゲート電極が直接接続される。また、容量部においては、容量配線108と重なる第1及び第2の $n^+$ 膜は除去される。

【0141】

次に、レジストマスクを除去した後、表面に付着するゴミなどを除去するためのプラズマ処理を行うことが好ましい。この段階での断面図を図9（C）に示す。ここではアルゴンガスを導入してRF電源によりプラズマを発生させる逆スパッタを行い、露出しているゲ

10

20

30

40

50



ート絶縁層にプラズマ処理を行う。

【0142】

ソース電極層105a及びドレイン電極層105b上には第2の $n^+$ 膜である $n^+$ 層141a、141bが設けられているため、プラズマダメージが低減される。また、第2の $n^+$ 膜である $n^+$ 層141a、141bが設けられているため、ソース電極層105a及びドレイン電極層105bの酸化による配線抵抗の増大を抑えることができる。

【0143】

次いで、プラズマ処理後、酸化物半導体膜を成膜する。プラズマ処理後、大気に曝すことなく酸化物半導体膜を成膜することは、ゲート絶縁層と酸化物半導体膜の界面にゴミなどを付着させない点で有用である。ここでは、直径8インチのIn（インジウム）、Ga（ガリウム）、及びZn（亜鉛）を含む酸化物半導体ターゲット（ $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ ）を用いて、基板とターゲットの間との距離を170mm、圧力0.4Pa、直流（DC）電源0.5kW、アルゴン又は酸素雰囲気下で成膜する。なお、パルス直流（DC）電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜の膜厚は、5nm～200nmとする。本実施の形態では酸化物半導体膜の膜厚は、100nmとする。

10

【0144】

次に、第4のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して酸化物半導体層103を形成する。ここではITO07N（関東化学社製）を用いたウェットエッチングにより、不要な部分を除去して酸化物半導体層103を形成する。なお、第1の $n^+$ 膜、第2の $n^+$ 膜、及び酸化物半導体膜は同じエッチャントを用いるため、ここでのエッチングにより第1の $n^+$ 膜の一部及び第2の $n^+$ 膜の一部が除去される。酸化物半導体膜で覆われ、残存した第2の $n^+$ 膜は、それぞれ第2のソース領域146a、及び第2のドレイン領域146bとなる。なお、ここでのエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。その後、レジストマスクを除去する。

20

【0145】

また、この第4のフォトリソグラフィ工程において、ソース電極層又はドレイン電極層105a、105bと同じ材料である第2の端子を端子部に残す。なお、第2の端子122はソース配線（ソース電極層又はドレイン電極層105a、105bを含むソース配線）と電気的に接続されている。

30

【0146】

次いで、200～600、代表的には300～500の熱処理を行うことが好ましい。例えば炉に入れ、窒素雰囲気下または大気雰囲気下で350、1時間の熱処理を行う。以上の工程で酸化物半導体層103をチャンネル形成領域とする薄膜トランジスタ170が作製できる。この段階での断面図を図10（A）に示した。なお、この段階での上面図が図13に相当する。なお、熱処理を行うタイミングは、酸化物半導体膜の成膜後であれば特に限定されず、例えば保護絶縁膜形成後に行ってもよい。

【0147】

さらに、露出している酸化物半導体層103の表面に、酸素ラジカル処理を行ってもよい。酸素ラジカル処理を行うことにより薄膜トランジスタをノーマリーオフとすることができる。また、ラジカル処理を行うことにより、酸化物半導体層103のエッチングによるダメージを回復することができる。ラジカル処理は $O_2$ 、 $N_2O$ 、好ましくは酸素を含む $N_2$ 、He、Ar雰囲気下で行うことが好ましい。また、上記雰囲気に $Cl_2$ 、 $CF_4$ を加えた雰囲気下で行ってもよい。なお、ラジカル処理は、無バイアスで行うことが好ましい。

40

【0148】

次いで、第2の薄膜トランジスタ170を覆う保護絶縁層107を形成する。保護絶縁層107はスパッタ法などを用いて得られる窒化シリコン膜、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、酸化タ

50

ンタル膜などの単層またはこれらの積層を用いることができる。駆動回路の一部の薄膜トランジスタにおいては、この保護絶縁層 107 を第 2 のゲート絶縁層として機能させ、その上に第 2 のゲート電極を形成する。保護絶縁層 107 は、膜厚を 50 ~ 400 nm とする。薄膜トランジスタの歩留まりを優先する場合には、保護絶縁層 107 の膜厚は厚いほうが好ましい。また、保護絶縁層 107 として酸化窒化シリコン膜、または窒化シリコン膜などを用いる場合、保護絶縁層 107 形成後に何らかの原因で付着する不純物、例えばナトリウムなどが拡散し、酸化物半導体に侵入することをブロックすることができる。

#### 【0149】

次に、第 5 のフォトリソグラフィ工程を行い、レジストマスクを形成し、保護絶縁層 107 のエッチングによりドレイン電極層 105b に達するコンタクトホール 125 を形成する。また、ここでのエッチングにより第 2 の端子 122 に達するコンタクトホール 127、接続電極 120 に達するコンタクトホール 126 も形成する。この段階での断面図を図 10 (B) に示す。

10

#### 【0150】

次いで、レジストマスクを除去した後、透明導電膜を成膜する。透明導電膜の材料としては、酸化インジウム ( $\text{In}_2\text{O}_3$ ) や酸化インジウム酸化スズ合金 ( $\text{In}_2\text{O}_3$  SnO<sub>2</sub>、ITO と略記する) などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特に ITO のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 ( $\text{In}_2\text{O}_3$  ZnO) を用いても良い。

20

#### 【0151】

次に、第 6 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極 110 を画素部に形成する。この第 6 のフォトリソグラフィ工程において、駆動回路においては、回路の一部に画素電極 110 と同じ材料を用いて、酸化物半導体層上にしきい値を制御する電極層 (バックゲート電極) を形成する。なお、バックゲート電極を有する薄膜トランジスタは、図 1 (A) 及び実施の形態 1 に図示しているため、ここでは詳細な説明は省略する。

#### 【0152】

また、この第 6 のフォトリソグラフィ工程において、容量部におけるゲート絶縁層 102 及び保護絶縁層 107 を誘電体として、容量配線 108 と画素電極 110 とで保持容量が形成される。なお、ここでは、ゲート絶縁層 102 及び保護絶縁層 107 を誘電体として、容量配線 108 と画素電極 110 とで保持容量を形成する例を示したが、特に限定されず、ソース電極またはドレイン電極と同じ材料で構成される電極を容量配線上方に設け、その電極と、容量配線と、それらの間にゲート絶縁層 102 を誘電体として構成する保持容量を形成し、その電極と画素電極とを電氣的に接続する構成としてもよい。

30

#### 【0153】

また、この第 6 のフォトリソグラフィ工程において、第 1 の端子及び第 2 の端子をレジストマスクで覆い端子部に形成された透明導電膜 128、129 を残す。透明導電膜 128、129 は FPC との接続に用いられる電極または配線となる。第 1 の端子 121 と直接接続された接続電極 120 上に形成された透明導電膜 128 は、ゲート配線の入力端子として機能する接続用の端子電極となる。第 2 の端子 122 上に形成された透明導電膜 129 は、ソース配線の入力端子として機能する接続用の端子電極である。

40

#### 【0154】

次いで、レジストマスクを除去し、この段階での断面図を図 10 (C) に示す。なお、この段階での上面図が図 14 に相当する。

#### 【0155】

また、図 15 (A1)、図 15 (A2) は、この段階でのゲート配線端子部の上面図及び断面図をそれぞれ図示している。図 15 (A1) は図 15 (A2) 中の C1 - C2 線に沿った断面図に相当する。図 15 (A1) において、保護絶縁膜 154 上に形成される透明導電膜 155 は、入力端子として機能する接続用の端子電極である。また、図 15 (A1

50

）において、端子部では、ゲート配線と同じ材料で形成される第 1 の端子 1 5 1 と、ソース配線と同じ材料で形成される接続電極 1 5 3 とがゲート絶縁層 1 5 2 及び第 1 のソース領域と同じ材料で形成される  $n^+$  層 1 6 0 を介して重なり、導通させている。また、接続電極 1 5 3 と透明導電膜 1 5 5 が保護絶縁膜 1 5 4 に設けられたコンタクトホールを介して直接接して導通させている。

【 0 1 5 6 】

また、図 1 5 ( B 1 )、及び図 1 5 ( B 2 ) は、ソース配線端子部の上面図及び断面図をそれぞれ図示している。また、図 1 5 ( B 1 ) は図 1 5 ( B 2 ) 中の D 1 - D 2 線に沿った断面図に相当する。図 1 5 ( B 1 ) において、保護絶縁膜 1 5 4 上に形成される透明導電膜 1 5 5 は、入力端子として機能する接続用の端子電極である。また、図 1 5 ( B 1 ) において、端子部では、ゲート配線と同じ材料で形成される電極 1 5 6 が、ソース配線と電氣的に接続される第 2 の端子 1 5 0 の下方に  $n^+$  層 1 6 1 及びゲート絶縁層 1 5 2 を介して重なる。電極 1 5 6 は第 2 の端子 1 5 0 とは電氣的に接続しておらず、電極 1 5 6 を第 2 の端子 1 5 0 と異なる電位、例えばフローティング、GND、0 V などに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第 2 の端子 1 5 0 は、保護絶縁膜 1 5 4 を介して透明導電膜 1 5 5 と電氣的に接続している。

【 0 1 5 7 】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第 1 の端子、ソース配線と同電位の第 2 の端子、容量配線と同電位の第 3 の端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

【 0 1 5 8 】

こうして 6 回のフォトリソグラフィ工程により、6 枚のフォトマスクを使用して、ボトムゲート型の  $n$  チャネル型薄膜トランジスタである第 2 の薄膜トランジスタ 1 7 0、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【 0 1 5 9 】

また、画素電極と同じ材料を用いてゲート配線と電氣的に接続する構成とする場合には、第 3 のフォトリソグラフィ工程を省略できるため、5 回のフォトリソグラフィ工程により、5 枚のフォトマスクを使用して、ボトムゲート型の  $n$  チャネル型薄膜トランジスタである第 2 の薄膜トランジスタ、保持容量を完成させることができる。

【 0 1 6 0 】

また、図 1 ( C ) に示すように第 2 のゲート電極の材料を画素電極の材料と異ならせる場合には 1 回のフォトリソグラフィ工程が増え、1 枚のフォトマスクが増加する。

【 0 1 6 1 】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電氣的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電氣的に接続する第 4 の端子を端子部に設ける。この第 4 の端子は、共通電極を固定電位、例えば GND、0 V などに設定するための端子である。

【 0 1 6 2 】

また、図 1 4 の画素構成に限定されず、図 1 4 とは異なる上面図の例を図 1 6 に示す。図 1 6 では容量配線を設けず、画素電極を隣り合う画素のゲート配線と保護絶縁膜及びゲート絶縁層を介して重ねて保持容量を形成する例であり、この場合、容量配線及び容量配線と接続する第 3 の端子は省略することができる。なお、図 1 6 において、図 1 4 と同じ部分には同じ符号を用いて説明する。

10

20

30

40

50

## 【 0 1 6 3 】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

## 【 0 1 6 4 】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

10

## 【 0 1 6 5 】

また、通常の垂直周期を1.5倍若しくは2倍以上にすることで動画特性を改善する、所謂、倍速駆動と呼ばれる駆動技術を用いてもよい。

## 【 0 1 6 6 】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED（発光ダイオード）光源または複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

20

## 【 0 1 6 7 】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

## 【 0 1 6 8 】

本実施の形態で得られるnチャネル型のトランジスタは、In-Ga-Zn-O系非単結晶膜をチャネル形成領域に用いており、良好な動特性を有するため、これらの駆動技術を組み合わせることができる。

## 【 0 1 6 9 】

また、発光表示装置を作製する場合、有機発光素子の一方の電極（カソードとも呼ぶ）は、低電源電位、例えばGND、0Vなどに設定するため、端子部に、カソードを低電源電位、例えばGND、0Vなどに設定するための第4の端子が設けられる。また、発光表示装置を作製する場合には、ソース配線、及びゲート配線に加えて電源供給線を設ける。従って、端子部には、電源供給線と電氣的に接続する第5の端子を設ける。

30

## 【 0 1 7 0 】

ゲート線駆動回路またはソース線駆動回路で酸化物半導体を用いた薄膜トランジスタで形成することにより、製造コストを低減する。そして駆動回路に用いる薄膜トランジスタのゲート電極とソース配線、或いはドレイン配線を直接接続させることでコンタクトホール数を少なくし、駆動回路の占有面積を縮小化できる表示装置を提供することができる。

40

## 【 0 1 7 1 】

従って、本実施の形態により、電気特性が高い表示装置を低コストで提供することができる。

## 【 0 1 7 2 】

また、本実施の形態は、実施の形態1、実施の形態2、または実施の形態3と自由に組み合わせることができる。

## 【 0 1 7 3 】

（実施の形態5）

本実施の形態では、半導体装置として電子ペーパーの例を示す。

## 【 0 1 7 4 】

50

図 17 は、液晶表示装置とは異なる半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置の画素部に用いられる薄膜トランジスタ 581 としては、実施の形態 4 で示す画素部の薄膜トランジスタと同様に作製でき、In-Ga-Zn-O 系非単結晶膜を半導体層として含む薄膜トランジスタである。また、実施の形態 1 に示したように、同一基板上に画素部と駆動回路を作製することができ、製造コストを低減した電子ペーパーを実現することができる。

【0175】

図 17 の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第 1 の電極層及び第 2 の電極層の間に配置し、第 1 の電極層及び第 2 の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

10

【0176】

薄膜トランジスタ 581 はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層は、第 1 の電極層 587 と、絶縁層 583、584、585 に形成する開口で接しており電氣的に接続している。第 1 の電極層 587 と第 2 の電極層 588 との間には黒色領域 590a 及び白色領域 590b を有し、周りに液体で満たされているキャピティ 594 を含む球形粒子 589 が一対の基板 580、596 の間に設けられており、球形粒子 589 の周囲は樹脂等の充填材 595 で充填されている（図 17 参照。）。

【0177】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径  $10\ \mu\text{m} \sim 200\ \mu\text{m}$  程度のマイクロカプセルを用いる。第 1 の電極層と第 2 の電極層との間に設けられるマイクロカプセルは、第 1 の電極層と第 2 の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

20

30

【0178】

以上の工程により、半導体装置として製造コストが低減された電子ペーパーを作製することができる。

【0179】

本実施の形態は、実施の形態 1、または実施の形態 2 に記載した構成と適宜組み合わせて実施することが可能である。

【0180】

（実施の形態 6）

本実施の形態では、半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。

40

【0181】

有機 EL 素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

50

## 【 0 1 8 2 】

無機 E L 素子は、その素子構成により、分散型無機 E L 素子と薄膜型無機 E L 素子とに分類される。分散型無機 E L 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー - アクセプター再結合型発光である。薄膜型無機 E L 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機 E L 素子を用いて説明する。

## 【 0 1 8 3 】

図 1 8 は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

10

## 【 0 1 8 4 】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層 ( I n - G a - Z n - O 系非単結晶膜 ) をチャネル形成領域に用いる n チャネル型のトランジスタを 1 つの画素に 2 つ用いる例を示す。

## 【 0 1 8 5 】

画素 6 4 0 0 は、スイッチング用トランジスタ 6 4 0 1、駆動用トランジスタ 6 4 0 2、発光素子 6 4 0 4 及び容量素子 6 4 0 3 を有している。スイッチング用トランジスタ 6 4 0 1 はゲートが走査線 6 4 0 6 に接続され、第 1 電極 ( ソース電極及びドレイン電極の一方 ) が信号線 6 4 0 5 に接続され、第 2 電極 ( ソース電極及びドレイン電極の他方 ) が駆動用トランジスタ 6 4 0 2 のゲートに接続されている。駆動用トランジスタ 6 4 0 2 は、ゲートが容量素子 6 4 0 3 を介して電源線 6 4 0 7 に接続され、第 1 電極が電源線 6 4 0 7 に接続され、第 2 電極が発光素子 6 4 0 4 の第 1 電極 ( 画素電極 ) に接続されている。発光素子 6 4 0 4 の第 2 電極は共通電極 6 4 0 8 に相当する。

20

## 【 0 1 8 6 】

なお、発光素子 6 4 0 4 の第 2 電極 ( 共通電極 6 4 0 8 ) には低電源電位が設定されている。なお、低電源電位とは、電源線 6 4 0 7 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば G N D、0 V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 6 4 0 4 に印加して、発光素子 6 4 0 4 に電流を流して発光素子 6 4 0 4 を発光させるため、高電源電位と低電源電位との電位差が発光素子 6 4 0 4 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

30

## 【 0 1 8 7 】

なお、容量素子 6 4 0 3 は駆動用トランジスタ 6 4 0 2 のゲート容量を代用して省略することも可能である。駆動用トランジスタ 6 4 0 2 のゲート容量については、チャネル領域とゲート電極との間で容量が形成されていてもよい。

## 【 0 1 8 8 】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ 6 4 0 2 のゲートには、駆動用トランジスタ 6 4 0 2 が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ 6 4 0 2 は線形領域で動作させる。駆動用トランジスタ 6 4 0 2 は線形領域で動作させるため、電源線 6 4 0 7 の電圧よりも高い電圧を駆動用トランジスタ 6 4 0 2 のゲートにかける。なお、信号線 6 4 0 5 には、( 電源線電圧 + 駆動用トランジスタ 6 4 0 2 の  $V_{th}$  ) 以上の電圧をかける。

40

## 【 0 1 8 9 】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図 1 8 と同じ画素構成を用いることができる。

## 【 0 1 9 0 】

アナログ階調駆動を行う場合、駆動用トランジスタ 6 4 0 2 のゲートに発光素子 6 4 0 4 の順方向電圧 + 駆動用トランジスタ 6 4 0 2 の  $V_{th}$  以上の電圧をかける。発光素子 6 4 0 4 の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向し

50

きい値電圧を含む。なお、駆動用トランジスタ 6402 が飽和領域で動作するようなビデオ信号を入力することで、発光素子 6404 に電流を流すことができる。駆動用トランジスタ 6402 を飽和領域で動作させるため、電源線 6407 の電位は、駆動用トランジスタ 6402 のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子 6404 にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0191】

なお、図 18 に示す画素構成は、これに限定されない。例えば、図 18 に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0192】

次に、発光素子の構成について、図 19 (A)、図 19 (B)、図 19 (C) を用いて説明する。ここでは、駆動用 TFT が図 1 (B) に示す薄膜トランジスタ 170 の場合を例に挙げて、画素の断面構造について説明する。図 19 (A)、図 19 (B)、図 19 (C) の半導体装置に用いられる駆動用 TFT である TFT 7001、7011、7021 は、実施の形態 1 で示す薄膜トランジスタ 170 と同様に作製でき、In-Ga-Zn-O 系非単結晶膜を半導体層として含む高い電気特性を有する薄膜トランジスタである。

【0193】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、図 18 に示す画素構成はどの射出構造の発光素子にも適用することができる。

【0194】

上面射出構造の発光素子について図 19 (A) を用いて説明する。

【0195】

図 19 (A) に、駆動用 TFT である TFT 7001 が図 1 (B) に示す薄膜トランジスタ 170 であり、発光素子 7002 から発せられる光が陽極 7005 側に抜ける場合の、画素の断面図を示す。図 19 (A) では、発光素子 7002 の陰極 7003 と駆動用 TFT である TFT 7001 が電氣的に接続されており、陰極 7003 上に発光層 7004、陽極 7005 が順に積層されている。陰極 7003 は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi 等が望ましい。そして発光層 7004 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極 7003 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極 7005 は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITO と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

【0196】

陰極 7003 及び陽極 7005 で発光層 7004 を挟んでいる領域が発光素子 7002 に相当する。図 19 (A) に示した画素の場合、発光素子 7002 から発せられる光は、矢印で示すように陽極 7005 側に射出する。

【0197】

なお、駆動回路において酸化物半導体層上に設ける第 2 のゲート電極は、陰極 7003 と同じ材料で形成すると工程を簡略化できるため好ましい。

【0198】

次に、下面射出構造の発光素子について図 19 (B) を用いて説明する。駆動用 TFT 7011 が図 1 (A) に示す薄膜トランジスタ 170 であり、発光素子 7012 から発せられる光が陰極 7013 側に射出する場合の、画素の断面図を示す。図 19 (B) では、駆

10

20

30

40

50

動用 T F T 7 0 1 1 と電氣的に接続された透光性を有する導電膜 7 0 1 7 上に、発光素子 7 0 1 2 の陰極 7 0 1 3 が成膜されており、陰極 7 0 1 3 上に発光層 7 0 1 4、陽極 7 0 1 5 が順に積層されている。なお、陽極 7 0 1 5 が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜 7 0 1 6 が成膜されていてもよい。陰極 7 0 1 3 は、図 1 9 ( A ) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度（好ましくは、5 nm ~ 30 nm 程度）とする。例えば 20 nm の膜厚を有するアルミニウム膜を、陰極 7 0 1 3 として用いることができる。そして発光層 7 0 1 4 は、図 1 9 ( A ) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7 0 1 5 は光を透過する必要はないが、図 1 9 ( A ) と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜 7 0 1 6 は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

10

#### 【 0 1 9 9 】

陰極 7 0 1 3 及び陽極 7 0 1 5 で、発光層 7 0 1 4 を挟んでいる領域が発光素子 7 0 1 2 に相当する。図 1 9 ( B ) に示した画素の場合、発光素子 7 0 1 2 から発せられる光は、矢印で示すように陰極 7 0 1 3 側に射出する。

#### 【 0 2 0 0 】

なお、駆動回路において酸化物半導体層上に設ける第 2 のゲート電極は、陰極 7 0 1 3 と同じ材料で形成すると工程を簡略化できるため好ましい。

20

#### 【 0 2 0 1 】

次に、両面射出構造の発光素子について、図 1 9 ( C ) を用いて説明する。図 1 9 ( C ) では、駆動用 T F T 7 0 2 1 と電氣的に接続された透光性を有する導電膜 7 0 2 7 上に、発光素子 7 0 2 2 の陰極 7 0 2 3 が成膜されており、陰極 7 0 2 3 上に発光層 7 0 2 4、陽極 7 0 2 5 が順に積層されている。陰極 7 0 2 3 は、図 1 9 ( A ) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有する Al を、陰極 7 0 2 3 として用いることができる。そして発光層 7 0 2 4 は、図 1 9 ( A ) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7 0 2 5 は、図 1 9 ( A ) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

30

#### 【 0 2 0 2 】

陰極 7 0 2 3 と、発光層 7 0 2 4 と、陽極 7 0 2 5 とが重なっている部分が発光素子 7 0 2 2 に相当する。図 1 9 ( C ) に示した画素の場合、発光素子 7 0 2 2 から発せられる光は、矢印で示すように陽極 7 0 2 5 側と陰極 7 0 2 3 側の両方に射出する。

#### 【 0 2 0 3 】

なお、駆動回路において酸化物半導体層上に設ける第 2 のゲート電極は、導電膜 7 0 2 7 と同じ材料で形成すると工程を簡略化できるため好ましい。また、駆動回路において酸化物半導体層上に設ける第 2 のゲート電極は、導電膜 7 0 2 7 及び陰極 7 0 2 3 と同じ材料を用いて積層させると、工程を簡略化できることに加え、積層することにより配線抵抗を低下させることができ、好ましい。

40

#### 【 0 2 0 4 】

なお、ここでは、発光素子として有機 E L 素子について述べたが、発光素子として無機 E L 素子を設けることも可能である。

#### 【 0 2 0 5 】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ（駆動用 T F T ）と発光素子が電氣的に接続されている例を示したが、駆動用 T F T と発光素子との間に電流制御用 T F T が接続されている構成であってもよい。

#### 【 0 2 0 6 】

なお本実施の形態で示す半導体装置は、図 1 9 ( A )、図 1 9 ( B )、図 1 9 ( C ) に示

50



した構成に限定されるものではなく、開示した技術的思想に基づく各種の変形が可能である。

【0207】

次に、半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の上面及び断面について、図20（A）、図20（B）を用いて説明する。図20（A）は、第1の基板上に形成された薄膜トランジスタ及び発光素子を、第2の基板との間にシール材によって封止した、パネルの上面図であり、図20（B）は、図20（A）のH-Iにおける断面図に相当する。

【0208】

第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bを囲むようにして、シール材4505が設けられている。また画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bの上に第2の基板4506が設けられている。よって画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、第1の基板4501とシール材4505と第2の基板4506とによって、充填材4507と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【0209】

また第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、薄膜トランジスタを複数有しており、図20（B）では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509とを例示している。

【0210】

薄膜トランジスタ4509、4510は、In-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い実施の形態1に示す薄膜トランジスタを適用することができる。また、薄膜トランジスタ4509は、実施の形態1及び図1（B）に示すように半導体層の上下にゲート電極を有している。

【0211】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電気的に接続されている。なお発光素子4511の構成は、第1の電極層4517、電界発光層4512、第2の電極層4513の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

【0212】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0213】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0214】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC膜等を形成することができる。

【0215】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

10

20

30

40

50

## 【0216】

本実施の形態では、接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509、4510が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

## 【0217】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

## 【0218】

発光素子4511からの光の取り出し方向に位置する第2の基板4506は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたは

10

## 【0219】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。

## 【0220】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ / 4板、 / 2板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により

20

## 【0221】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された単結晶半導体基板、或いは絶縁基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図20（A）及び図20（B）の構成に限定されない。

## 【0222】

以上の工程により、製造コストを低減した発光表示装置（表示パネル）を作製することができる。

30

## 【0223】

本実施の形態は、実施の形態1、または実施の形態2に記載した構成と適宜組み合わせて実施することが可能である。

## 【0224】

## （実施の形態7）

本実施の形態では、半導体装置の一形態に相当する液晶表示パネルの上面及び断面について、図21（A1）、図21（A2）、図21（B）を用いて説明する。図21（A1）、図21（A2）は、第1の基板4001上に形成された実施の形態1で示したIn-Ga-Zn-O系非単結晶膜を半導体層として含む薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図21（B）は、図21（A1）、図21（A2）のM-Nにおける断面図に相当する。

40

## 【0225】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

50

## 【0226】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図21(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図21(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

## 【0227】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図21(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4020、4021が設けられている。

10

## 【0228】

薄膜トランジスタ4010、4011は、In-Ga-Zn-O系非単結晶膜を半導体層として含む実施の形態1に示す薄膜トランジスタを適用することができる。薄膜トランジスタ4011は、実施の形態2の図2(A)に示したバックゲート電極を有する薄膜トランジスタに相当する。

## 【0229】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

20

## 【0230】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

30

## 【0231】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

## 【0232】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10\mu\text{s} \sim 100\mu\text{s}$ と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

40

## 【0233】

なお本実施の形態は透過型液晶表示装置の例であるが、反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

## 【0234】

50

また、本実施の形態の液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

#### 【0235】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、実施の形態1で得られた薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層（絶縁層4020、絶縁層4021）で覆う構成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、スパッタ法を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。本実施の形態では保護膜をスパッタ法で形成する例を示すが、特に限定されずPCVD法などの種々の方法で形成すればよい。駆動回路の一部においては、この保護膜が第2のゲート絶縁層として機能し、第2のゲート絶縁層上にバックゲートを有する薄膜トランジスタを含む。

#### 【0236】

ここでは、保護膜として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、スパッタ法を用いて酸化珪素膜を形成する。保護膜として酸化珪素膜を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

#### 【0237】

また、保護膜の二層目として絶縁層を形成する。ここでは、絶縁層4020の二層目として、スパッタ法を用いて窒化珪素膜を形成する。保護膜として窒化珪素膜を用いると、ナトリウム等のイオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

#### 【0238】

また、保護膜を形成した後に、半導体層のアニール（300～400）を行ってもよい。また、保護膜を形成した後にバックゲートを形成する。

#### 【0239】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

#### 【0240】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

#### 【0241】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021を材料液を用いて形成する場合、ベークする工程で同時に、半導体層のアニール（300～400）を行ってもよい。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

10

20

30

40

50

## 【 0 2 4 2 】

画素電極層 4 0 3 0、対向電極層 4 0 3 1 は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

## 【 0 2 4 3 】

また、画素電極層 4 0 3 0、対向電極層 4 0 3 1 として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が 1 0 0 0 0 / 以下、波長 5 5 0 nm における透光率が 7 0 % 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が 0 . 1 ・ c m 以下であることが好ましい。

10

## 【 0 2 4 4 】

導電性高分子としては、いわゆる 電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの 2 種以上の共重合体などがあげられる。

## 【 0 2 4 5 】

また別途形成された信号線駆動回路 4 0 0 3 と、走査線駆動回路 4 0 0 4 または画素部 4 0 0 2 に与えられる各種信号及び電位は、FPC 4 0 1 8 から供給されている。

## 【 0 2 4 6 】

本実施の形態では、接続端子電極 4 0 1 5 が、液晶素子 4 0 1 3 が有する画素電極層 4 0 3 0 と同じ導電膜から形成され、端子電極 4 0 1 6 は、薄膜トランジスタ 4 0 1 0、4 0 1 1 のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

20

## 【 0 2 4 7 】

接続端子電極 4 0 1 5 は、FPC 4 0 1 8 が有する端子と、異方性導電膜 4 0 1 9 を介して電氣的に接続されている。

## 【 0 2 4 8 】

また図 2 1 ( A 1 )、図 2 1 ( A 2 ) においては、信号線駆動回路 4 0 0 3 を別途形成し、第 1 の基板 4 0 0 1 に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

30

## 【 0 2 4 9 】

図 2 2 は、TFT 基板 2 6 0 0 を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

## 【 0 2 5 0 】

図 2 2 は液晶表示モジュールの一例であり、TFT 基板 2 6 0 0 と対向基板 2 6 0 1 がシール材 2 6 0 2 により固着され、その間に TFT 等を含む画素部 2 6 0 3、液晶層を含む表示素子 2 6 0 4、着色層 2 6 0 5 が設けられ表示領域を形成している。着色層 2 6 0 5 はカラー表示を行う場合に必要であり、RGB 方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT 基板 2 6 0 0 と対向基板 2 6 0 1 の外側には偏光板 2 6 0 6、偏光板 2 6 0 7、拡散板 2 6 1 3 が配設されている。光源は冷陰極管 2 6 1 0 と反射板 2 6 1 1 により構成され、回路基板 2 6 1 2 は、フレキシブル配線基板 2 6 0 9 により TFT 基板 2 6 0 0 の配線回路部 2 6 0 8 と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

40

## 【 0 2 5 1 】

液晶表示モジュールには、TN ( T w i s t e d N e m a t i c ) モード、IPS ( I n - P l a n e - S w i t c h i n g ) モード、FFS ( F r i n g e F i e l d S w i t c h i n g ) モード、MVA ( M u l t i - d o m a i n V e r t i c a l A l i g n m e n t ) モード、PVA ( P a t t e r n e d V e r t i c a l A l i g

50

nment)、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)などを用いることができる。

【0252】

以上の工程により、半導体装置として製造コストを低減した液晶表示パネルを作製することができる。

【0253】

本実施の形態は、実施の形態1、実施の形態2、または実施の形態3に記載した構成と適宜組み合わせることで実施することが可能である。

【0254】

(実施の形態8)

開示した発明に係る半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【0255】

図23(A)は、携帯情報端末機器9200の一例を示している。携帯情報端末機器9200は、コンピュータを内蔵しており、様々なデータ処理を行うことが可能である。このような携帯情報端末機器9200としては、PDA(Personal Digital Assistance)が挙げられる。

【0256】

携帯情報端末機器9200は、筐体9201および筐体9203の2つの筐体で構成されている。筐体9201と筐体9203は、連結部9207で折りたたみ可能に連結されている。筐体9201には表示部9202が組み込まれており、筐体9203はキーボード9205を備えている。もちろん、携帯情報端末機器9200の構成は上述のものに限定されず、少なくともバックゲート電極を有する薄膜トランジスタを備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。同一基板上に駆動回路と画素部を形成することにより製造コストが低減され、電気特性の高い薄膜トランジスタを有する携帯情報端末機器を実現できる。

【0257】

図23(B)は、デジタルビデオカメラ9500の一例を示している。デジタルビデオカメラ9500は、筐体9501に表示部9503が組み込まれ、その他に各種操作部が設けられている。なお、デジタルビデオカメラ9500の構成は特に限定されず、少なくともバックゲート電極を有する薄膜トランジスタを備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。同一基板上に駆動回路と画素部を形成することにより製造コストが低減され、電気特性の高い薄膜トランジスタを有するデジタルビデオカメラを実現できる。

【0258】

図23(C)は、携帯電話機9100の一例を示している。携帯電話機9100は、筐体9102および筐体9101の2つの筐体で構成されており、連結部9103により折りたたみ可能に連結されている。筐体9102には表示部9104が組み込まれており、筐体9101には操作キー9106が設けられている。なお、携帯電話機9100の構成は特に限定されず、少なくともバックゲート電極を有する薄膜トランジスタを備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。同一基板上に駆動回路と画素部を形成することにより製造コストが低減され、電気特性の高い薄膜トランジスタを有する携帯電話機を実現できる。

10

20

30

40

50

## 【 0 2 5 9 】

図 2 3 ( D ) は、携帯可能なコンピュータ 9 3 0 0 の一例を示している。コンピュータ 9 3 0 0 は、開閉可能に連結された筐体 9 3 0 1 と筐体 9 3 0 2 を備えている。筐体 9 3 0 1 には表示部 9 3 0 3 が組み込まれ、筐体 9 3 0 2 はキーボード 9 3 0 4 などを備えている。なお、コンピュータ 9 3 0 0 の構成は特に限定されず、少なくともバックゲート電極を有する薄膜トランジスタを備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。同一基板上に駆動回路と画素部を形成することにより製造コストが低減され、電気特性の高い薄膜トランジスタを有するコンピュータを実現できる。

## 【 0 2 6 0 】

図 2 4 ( A ) は、テレビジョン装置 9 6 0 0 の一例を示している。テレビジョン装置 9 6 0 0 は、筐体 9 6 0 1 に表示部 9 6 0 3 が組み込まれている。表示部 9 6 0 3 により、映像を表示することが可能である。また、ここでは、スタンド 9 6 0 5 により筐体 9 6 0 1 を支持した構成を示している。

10

## 【 0 2 6 1 】

テレビジョン装置 9 6 0 0 の操作は、筐体 9 6 0 1 が備える操作スイッチや、別体のリモコン操作機 9 6 1 0 により行うことができる。リモコン操作機 9 6 1 0 が備える操作キー 9 6 0 9 により、チャンネルや音量の操作を行うことができ、表示部 9 6 0 3 に表示される映像を操作することができる。また、リモコン操作機 9 6 1 0 に、当該リモコン操作機 9 6 1 0 から出力する情報を表示する表示部 9 6 0 7 を設ける構成としてもよい。

## 【 0 2 6 2 】

なお、テレビジョン装置 9 6 0 0 は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

20

## 【 0 2 6 3 】

図 2 4 ( B ) は、デジタルフォトフレーム 9 7 0 0 の一例を示している。例えば、デジタルフォトフレーム 9 7 0 0 は、筐体 9 7 0 1 に表示部 9 7 0 3 が組み込まれている。表示部 9 7 0 3 は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

## 【 0 2 6 4 】

なお、デジタルフォトフレーム 9 7 0 0 は、操作部、外部接続用端子（USB 端子、USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部 9 7 0 3 に表示させることができる。

30

## 【 0 2 6 5 】

また、デジタルフォトフレーム 9 7 0 0 は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

## 【 0 2 6 6 】

図 2 5 ( A ) は、図 2 3 ( C ) の携帯電話とは異なる他の携帯電話機 1 0 0 0 の一例を示している。携帯電話機 1 0 0 0 は、筐体 1 0 0 1 に組み込まれた表示部 1 0 0 2 の他、操作ボタン 1 0 0 3、外部接続ポート 1 0 0 4、スピーカ 1 0 0 5、マイク 1 0 0 6 などを備えている。

40

## 【 0 2 6 7 】

図 2 5 ( A ) に示す携帯電話機 1 0 0 0 は、表示部 1 0 0 2 を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つ操作は、表示部 1 0 0 2 を指などで触れることにより行うことができる。

## 【 0 2 6 8 】

表示部 1 0 0 2 の画面は主として 3 つのモードがある。第 1 は、画像の表示を主とする表

50

示モードであり、第２は、文字等の情報の入力を主とする入力モードである。第３は表示モードと入力モードの２つのモードが混合した表示＋入力モードである。

【０２６９】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部１００２を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部１００２の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

【０２７０】

また、携帯電話機１０００内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機１０００の向き（縦か横か）を判断して、表示部１００２の画面表示を自動的に切り替えるようにすることができる。

10

【０２７１】

また、画面モードの切り替えは、表示部１００２を触れること、又は筐体１００１の操作ボタン１００３の操作により行われる。また、表示部１００２に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

【０２７２】

また、入力モードにおいて、表示部１００２の光センサで検出される信号を検知し、表示部１００２のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

20

【０２７３】

表示部１００２は、イメージセンサとして機能させることもできる。例えば、表示部１００２に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

【０２７４】

図２５（Ｂ）も携帯電話機の一例である。図２５（Ｂ）の携帯電話機は、筐体９４１１に、表示部９４１２、及び操作ボタン９４１３を含む表示装置９４１０と、筐体９４０１に操作ボタン９４０２、外部入力端子９４０３、マイク９４０４、スピーカ９４０５、及び着信時に発光する発光部９４０６を含む通信装置９４００とを有しており、表示機能を有する表示装置９４１０は電話機能を有する通信装置９４００と矢印の２方向に脱着可能である。よって、表示装置９４１０と通信装置９４００の短軸同士を取り付けることも、表示装置９４１０と通信装置９４００の長軸同士を取り付けることもできる。また、表示機能のみを必要とする場合、通信装置９４００より表示装置９４１０を取り外し、表示装置９４１０を単独で用いることもできる。通信装置９４００と表示装置９４１０とは無線通信又は有線通信により画像又は入力情報を授受することができ、それぞれ充電可能なバッテリーを有する。

30

【符号の説明】

【０２７５】

- １００ 基板
- １０１ ゲート電極
- １０２ ゲート絶縁層
- １０３ 酸化物半導体層
- １０５ a ソース電極層
- １０５ b ドレイン電極層
- １０６ a ソース領域
- １０６ b ドレイン領域
- １０７ 保護絶縁層
- １０８ 容量配線
- １１０ 画素電極

40

50



1 1 2	走査線駆動回路	
1 2 0	接続電極	
1 2 1	端子	
1 2 2	端子	
1 2 5	コンタクトホール	
1 2 6	コンタクトホール	
1 2 7	コンタクトホール	
1 2 8	透明導電膜	
1 2 9	透明導電膜	
1 4 1 a	n <sup>+</sup> 層	10
1 4 1 b	n <sup>+</sup> 層	
1 4 6 a	ソース領域	
1 4 6 b	ドレイン領域	
1 4 2	n <sup>+</sup> 層	
1 4 3	n <sup>+</sup> 層	
1 4 4	n <sup>+</sup> 層	
1 4 5	n <sup>+</sup> 層	
1 5 0	端子	
1 5 1	端子	
1 5 2	ゲート絶縁層	20
1 5 3	接続電極	
1 5 4	保護絶縁膜	
1 5 5	透明導電膜	
1 5 6	電極	
1 7 0	薄膜トランジスタ	
3 0 0	基板	
3 0 1	画素部	
3 0 2	走査線駆動回路	
3 0 3	信号線駆動回路	
3 1 0	基板	30
3 1 1	画素部	
3 1 2	走査線駆動回路	
3 1 3	走査線駆動回路	
3 1 4	信号線駆動回路	
3 2 0	基板	
3 2 2	信号線入力端子	
3 2 3	走査線	
3 2 4	信号線	
3 2 7	画素部	
3 2 8	画素	40
3 2 9	画素 T F T	
3 3 0	保持容量部	
3 3 1	画素電極	
3 3 2	容量線	
3 3 3	コモン端子	
3 3 4	保護回路	
3 3 5	保護回路	
3 3 6	保護回路	
3 3 7	容量バス線	
3 5 1	フリップフロップ回路	50

3 5 2	制御信号線	
3 5 3	制御信号線	
3 5 4	制御信号線	
3 5 5	制御信号線	
3 5 6	制御信号線	
3 5 7	リセット線	
3 6 1	論理回路部	
3 6 2	スイッチ部	
3 6 3	T F T	
3 6 4	T F T	10
3 6 5	T F T	
3 6 6	T F T	
3 6 7	T F T	
3 6 8	T F T	
3 6 9	T F T	
3 7 0	T F T	
3 7 1	T F T	
3 7 2	T F T	
3 7 3	E D M O S 回路	
3 8 1	電源線	20
3 8 2	リセット線	
3 8 3	制御信号線	
3 8 4	電源線	
3 8 5	半導体層	
3 8 6	配線層	
3 8 7	配線層	
3 8 8	配線層	
3 8 9	コンタクトホール	
3 9 0	制御信号線	
4 0 0	基板	30
4 0 1	ゲート電極	
4 0 2	ゲート電極	
4 0 3	ゲート絶縁層	
4 0 4	コンタクトホール	
4 0 5	酸化物半導体層	
4 0 6 a	n + 層	
4 0 6 b	n + 層	
4 0 8 a	n + 層	
4 0 8 b	n + 層	
4 0 7	酸化物半導体層	40
4 0 9	配線	
4 1 0	配線	
4 1 1	配線	
4 1 2	ゲート絶縁層	
4 2 0	n + 層	
4 2 3	n + 層	
4 2 5	n + 層	
4 3 0	薄膜トランジスタ	
4 3 1	薄膜トランジスタ	
4 3 2	薄膜トランジスタ	50

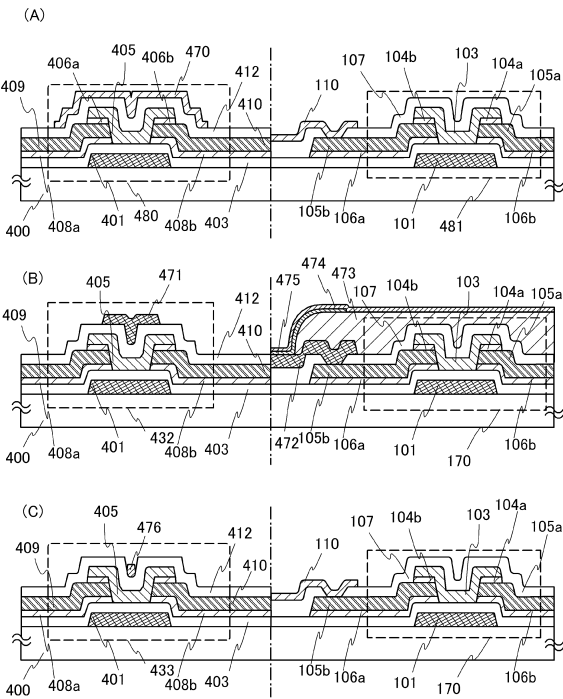
4 3 3	薄膜トランジスタ	
4 7 0	ゲート電極	
4 7 1	電極	
4 7 1	ゲート電極	
4 7 2	電極	
4 7 3	絶縁層	
4 7 4	電極	
4 7 5	発光層	
4 7 6	電極	
4 8 0	薄膜トランジスタ	10
5 8 1	薄膜トランジスタ	
5 8 5	絶縁層	
5 8 7	電極層	
5 8 8	電極層	
5 8 9	球形粒子	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
5 9 4	キャビティ	
5 9 5	充填材	
1 0 0 0	携帯電話機	20
1 0 0 1	筐体	
1 0 0 2	表示部	
1 0 0 3	操作ボタン	
1 0 0 4	外部接続ポート	
1 0 0 5	スピーカ	
1 0 0 6	マイク	
2 6 0 0	T F T 基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	
2 6 0 3	画素部	30
2 6 0 4	表示素子	
2 6 0 5	着色層	
2 6 0 6	偏光板	
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	
2 6 1 3	拡散板	40
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	50

4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁層	
4 0 2 0	絶縁層 ( 絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	10
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 3 a	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 1 8 a	F P C	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	20
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	30
6 4 0 2	駆動用トランジスタ	
6 4 0 3	容量素子	
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	
6 4 0 7	電源線	
6 4 0 8	共通電極	
7 0 0 1	T F T	
7 0 0 2	発光素子	
7 0 0 3	陰極	40
7 0 0 4	発光層	
7 0 0 5	陽極	
7 0 1 1	駆動用 T F T	
7 0 1 2	発光素子	
7 0 1 3	陰極	
7 0 1 4	発光層	
7 0 1 5	陽極	
7 0 1 6	遮蔽膜	
7 0 1 7	導電膜	
7 0 2 1	駆動用 T F T	50

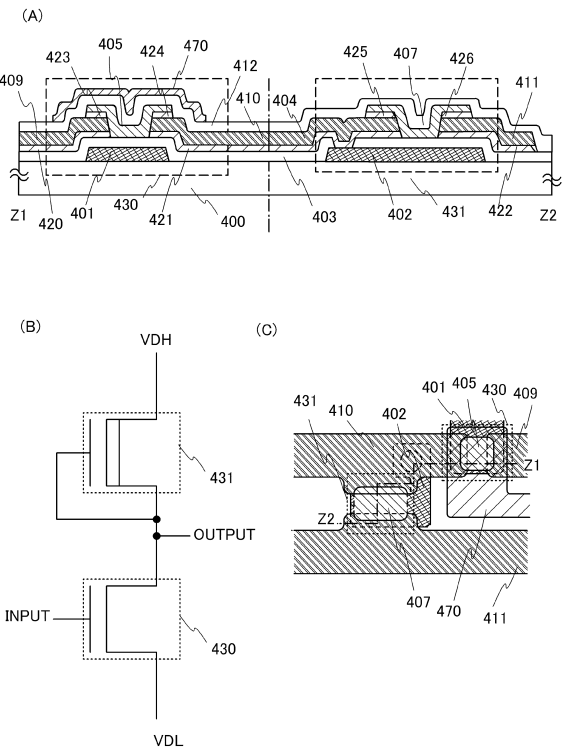
7 0 2 2	発光素子	
7 0 2 3	陰極	
7 0 2 4	発光層	
7 0 2 5	陽極	
7 0 2 7	導電膜	
9 1 0 0	携帯電話機	
9 1 0 1	筐体	
9 1 0 2	筐体	
9 1 0 3	連結部	
9 1 0 4	表示部	10
9 1 0 6	操作キー	
9 2 0 0	携帯情報端末機器	
9 2 0 1	筐体	
9 2 0 2	表示部	
9 2 0 3	筐体	
9 2 0 5	キーボード	
9 2 0 7	連結部	
9 3 0 0	コンピュータ	
9 3 0 1	筐体	
9 3 0 2	筐体	20
9 3 0 3	表示部	
9 3 0 4	キーボード	
9 4 0 0	通信装置	
9 4 0 1	筐体	
9 4 0 2	操作ボタン	
9 4 0 3	外部入力端子	
9 4 0 4	マイク	
9 4 0 5	スピーカ	
9 4 0 6	発光部	
9 4 1 0	表示装置	30
9 4 1 1	筐体	
9 4 1 2	表示部	
9 4 1 3	操作ボタン	
9 5 0 0	デジタルビデオカメラ	
9 5 0 1	筐体	
9 5 0 3	表示部	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	40
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	

【図面】

【図 1】



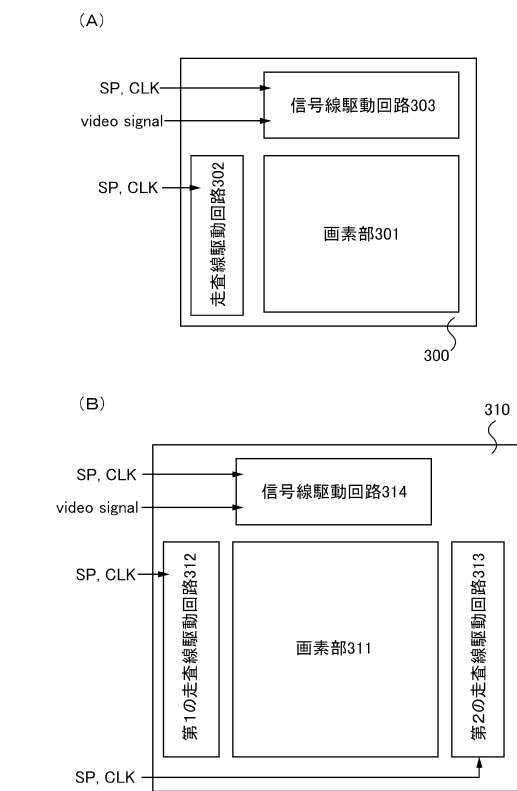
【図 2】



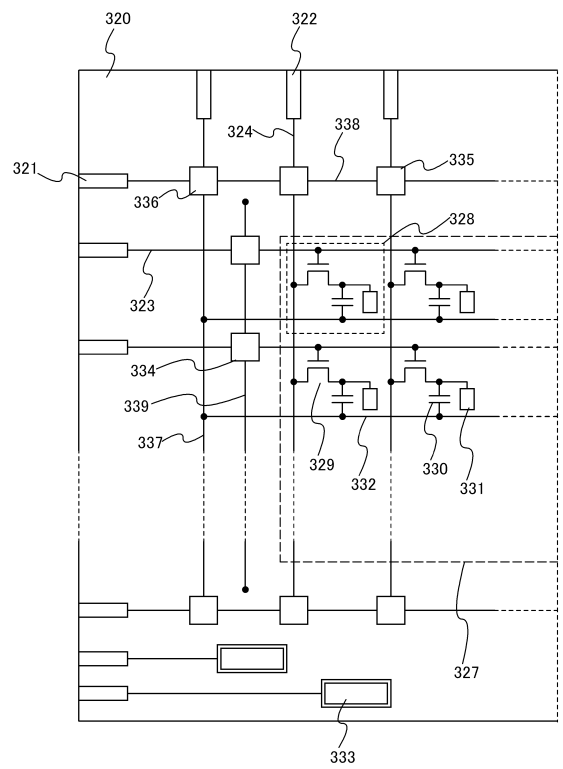
10

20

【図 3】



【図 4】

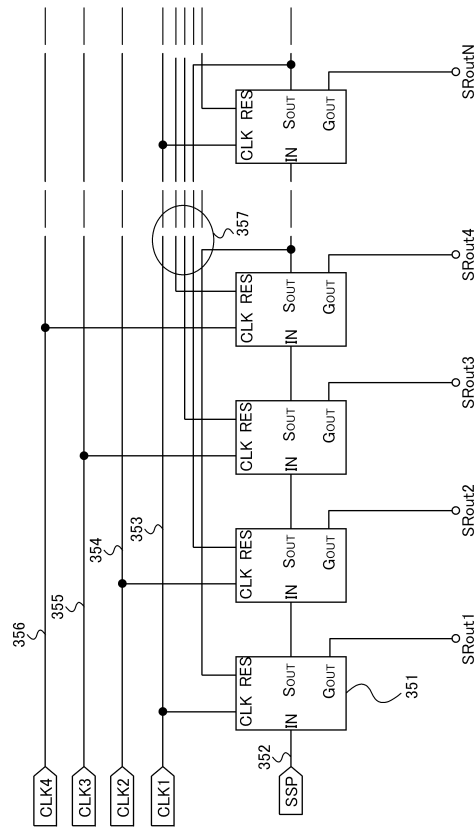


30

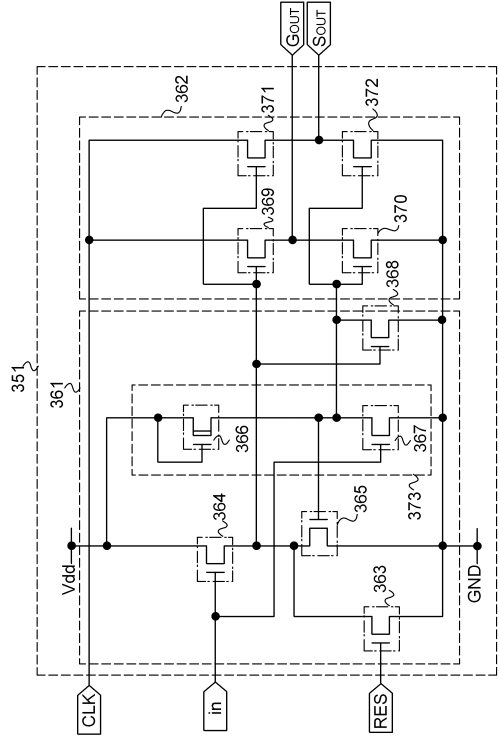
40

50

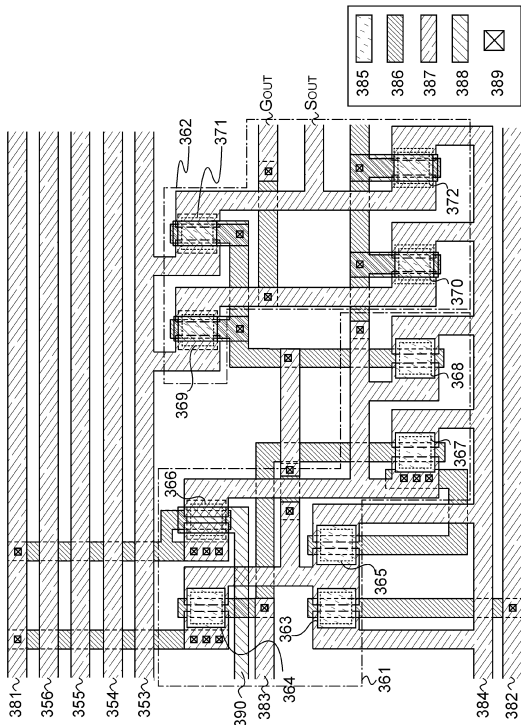
【図 5】



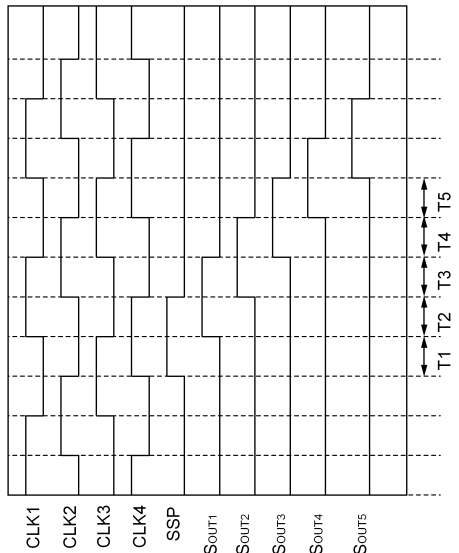
【図 6】



【図 7】



【図 8】



10

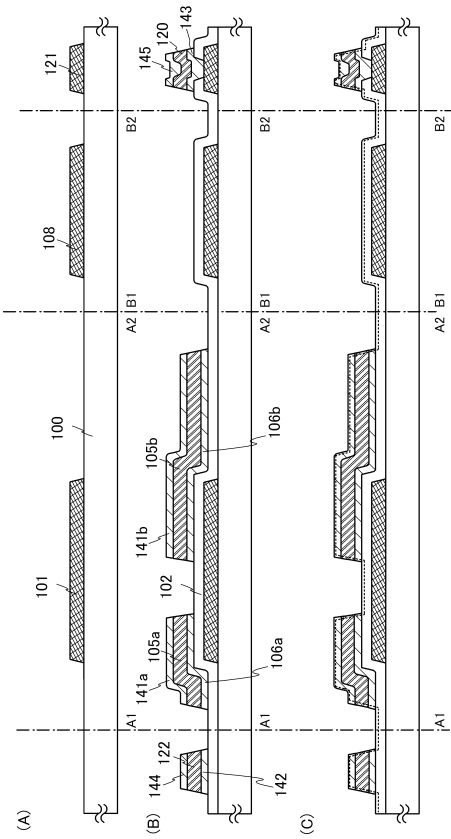
20

30

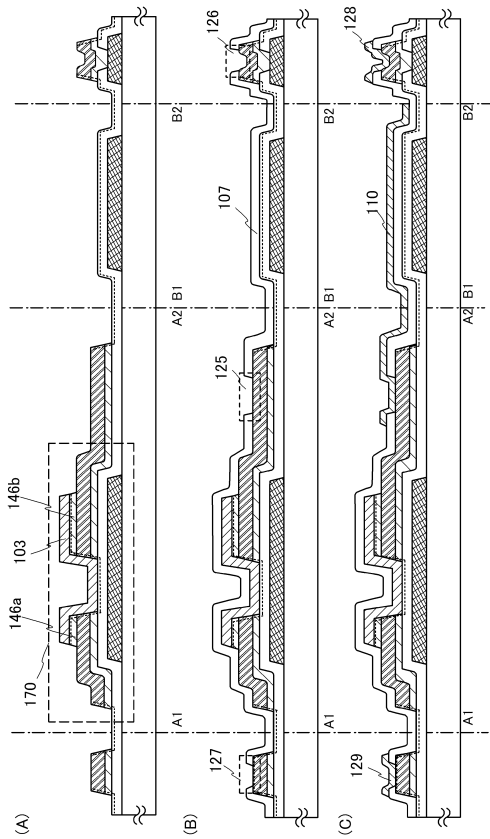
40

50

【図 9】



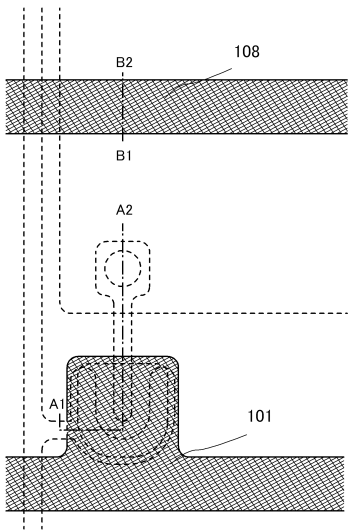
【図 10】



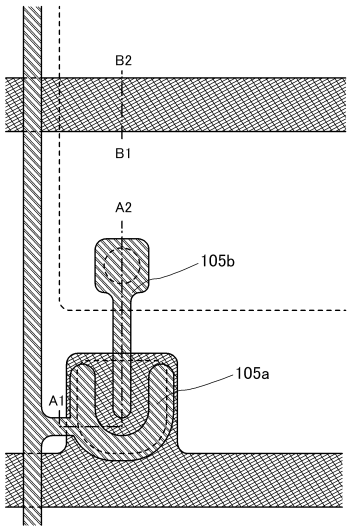
10

20

【図 11】



【図 12】

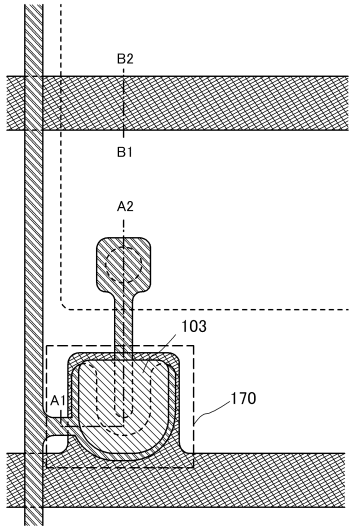


30

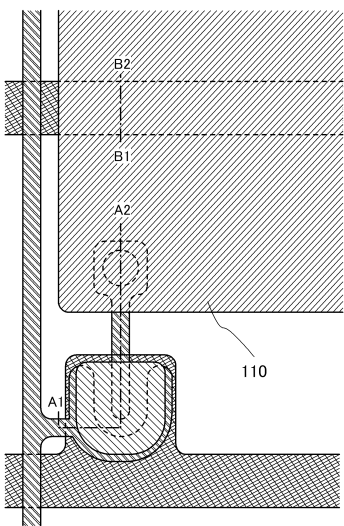
40



【図 13】

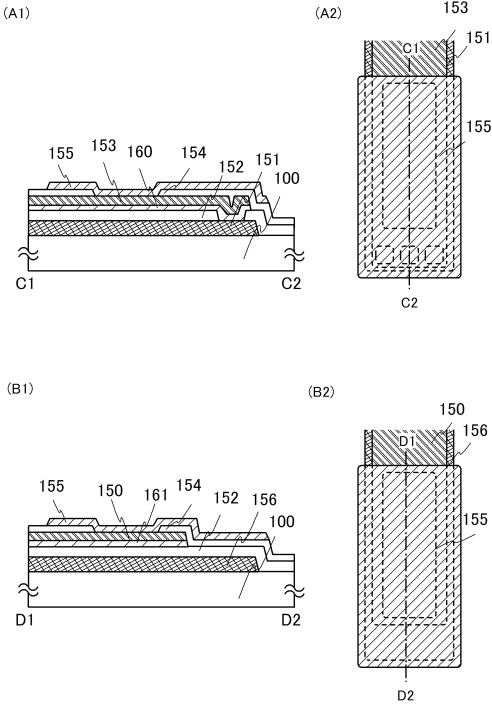


【図 14】

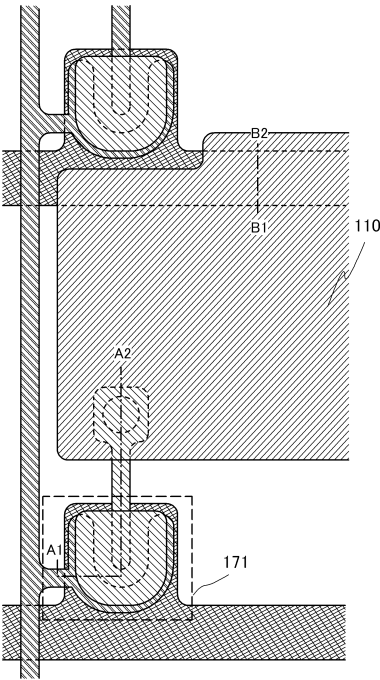


10

【図 15】



【図 16】



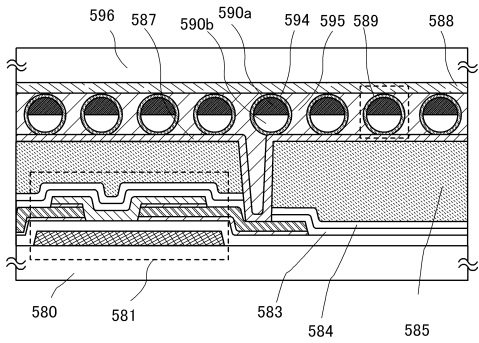
20

30

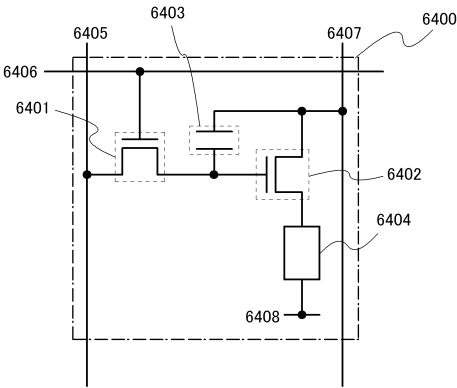
40

50

【図 17】

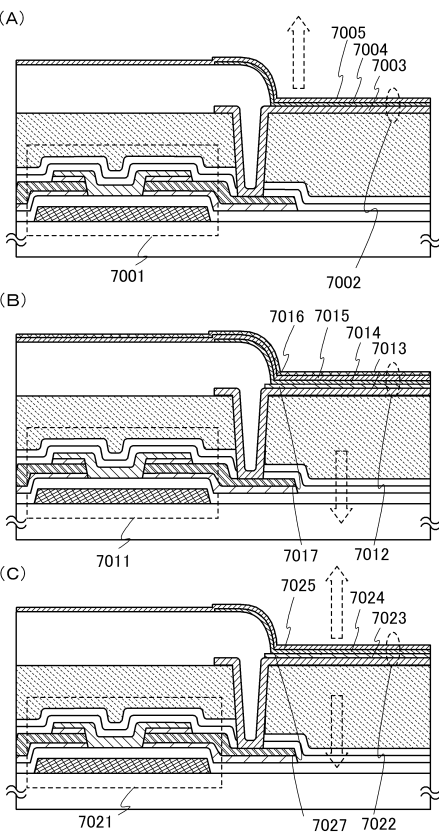


【図 18】

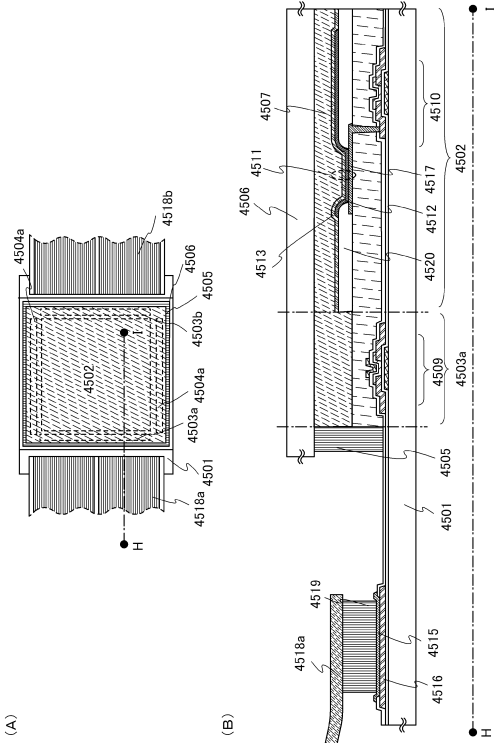


10

【図 19】



【図 20】



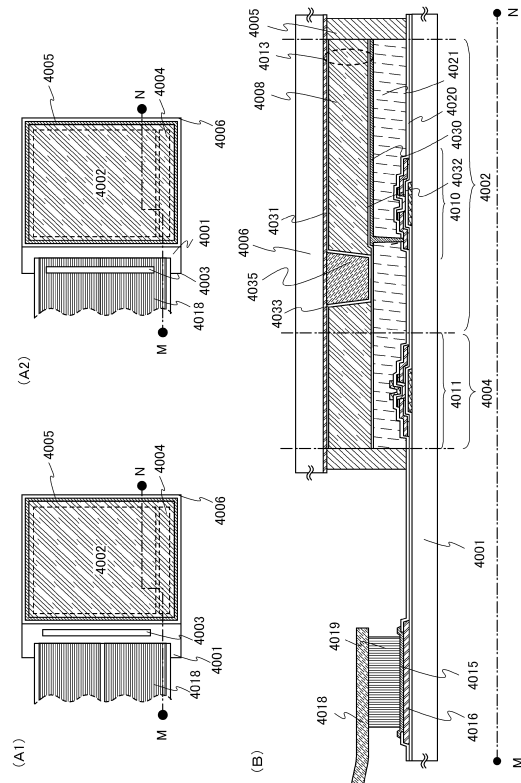
20

30

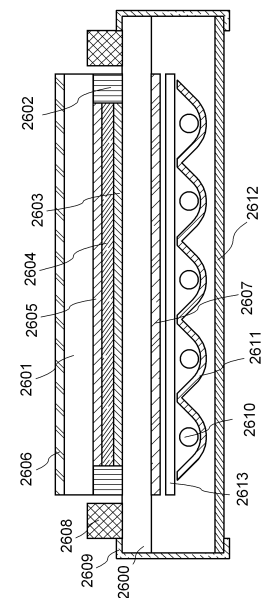
40

50

【 図 2 1 】



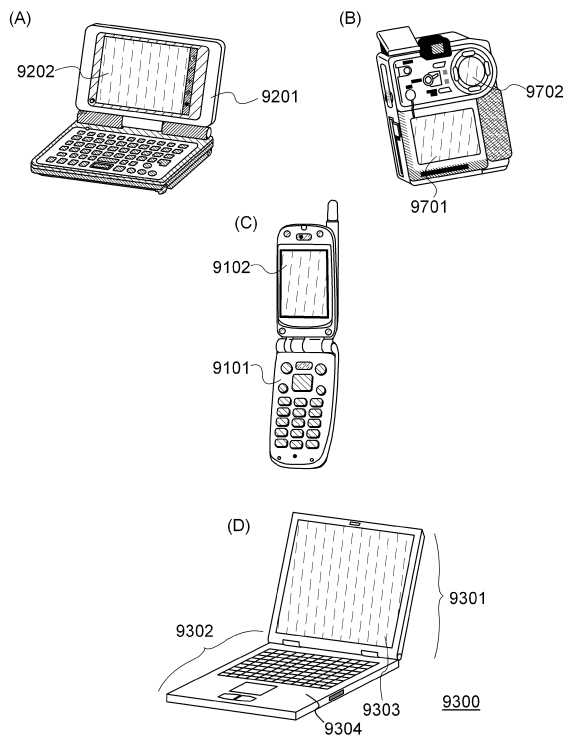
【 図 2 2 】



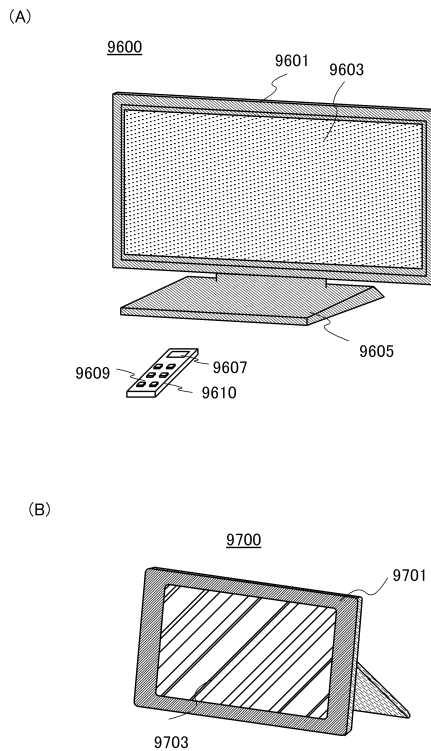
10

20

【 図 2 3 】



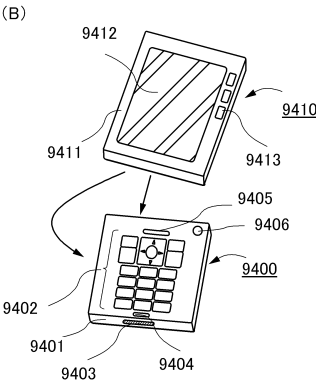
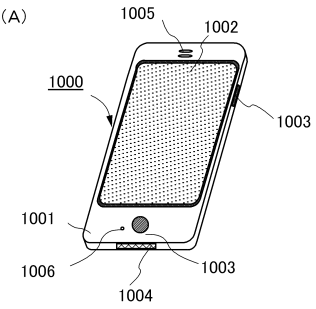
【 図 2 4 】



30

40

【 図 25 】



10

20

30

40

50

---

フロントページの続き

審査官 岩本 勉

- (56)参考文献 特開 2 0 0 8 - 1 0 7 8 0 7 ( J P , A )  
米国特許出願公開第 2 0 0 8 / 0 0 7 9 0 0 1 ( U S , A 1 )  
特開 2 0 0 8 - 1 1 2 5 5 0 ( J P , A )  
米国特許出願公開第 2 0 0 8 / 0 0 8 0 6 6 1 ( U S , A 1 )
- (58)調査した分野 (Int.Cl. , D B 名)  
H 1 0 D 8 6 / 6 0  
G 1 1 C 1 9 / 2 8  
G 0 9 F 9 / 3 0