

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 24 年 1 月 12 日 (2012.1.12)

【公開番号】特開 2009-164587 (P2009-164587A)
 【公開日】平成 21 年 7 月 23 日 (2009.7.23)
 【年通号数】公開・登録公報 2009-029
 【出願番号】特願 2008-308748 (P2008-308748)
 【国際特許分類】

H 0 1 L 27/10 (2006.01)

G 1 1 C 17/14 (2006.01)

【F I】

H 0 1 L 27/10 4 3 1

H 0 1 L 27/10 4 8 1

G 1 1 C 17/06 B

【手続補正書】

【提出日】平成 23 年 11 月 21 日 (2011.11.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

「第 1 の状態」、「第 2 の状態」、又は「第 3 の状態」から選ばれた一の状態を有するアンチフューズを備え、

前記アンチフューズは、書き込み動作が行われることにより、

前記「第 1 の状態」であるときは、前記「第 2 の状態」又は前記「第 3 の状態」に変化し、

前記「第 2 の状態」であるときは、前記「第 1 の状態」又は前記「第 3 の状態」に変化せず、

前記「第 3 の状態」であるときは、前記「第 1 の状態」又は前記「第 2 の状態」に変化せず、

前記「第 2 の状態」及び前記「第 3 の状態」を 2 値データの「0」及び「1」、又は「1」及び「0」に対応させることを特徴とするメモリ。

【請求項 2】

請求項 1 において、

前記アンチフューズは、前記「第 1 の状態」であるときは、第 1 の電極と、第 2 の電極と、前記第 1 の電極と前記第 2 の電極との間にシリコン層と絶縁層との積層膜である抵抗材料層と、を有することを特徴とするメモリ。

【請求項 3】

「第 1 の状態」、「第 2 の状態」、又は「第 3 の状態」から選ばれた一の状態を有するアンチフューズを備え、

前記アンチフューズが前記「第 1 の状態」である場合は、第 1 の書き込み方法による書き込み動作が行われることにより前記「第 2 の状態」に変化し、第 2 の書き込み方法による書き込み動作が行われることにより前記「第 3 の状態」に変化し、

前記アンチフューズが前記「第 2 の状態」又は前記「第 3 の状態」である場合は、前記第 1 の書き込み方法又は前記第 2 の書き込み方法による書き込み動作が行われても状態は変化せず、

前記「第 2 の状態」及び前記「第 3 の状態」を 2 値データの " 0 " 及び " 1 "、又は " 1 " 及び " 0 " に対応させることを特徴とするメモリ。

【請求項 4】

請求項 3 において、

前記アンチフューズは、第 1 の電極と、第 2 の電極と、前記第 1 の電極と前記第 2 の電極との間に抵抗材料層と、を有し、

前記第 1 の書き込み方法は、前記第 1 の電極と前記第 2 の電極の間に、電界が第 1 の方向になるように電圧を印加する方法であり、

前記第 2 の書き込み方法は、前記第 1 の電極と前記第 2 の電極の間に、電界が前記第 1 の方向と逆の第 2 の方向になるように電圧を印加する方法であることを特徴とするメモリ。

【請求項 5】

請求項 4 において、

前記抵抗材料層は、前記アンチフューズが前記「第 1 の状態」であるときは、シリコン層と絶縁層との積層膜であることを特徴とするメモリ。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、

前記アンチフューズの状態は、

前記アンチフューズにブレークダウン電圧以下の電圧を印加した場合において、前記「第 1 の状態」のときの電気抵抗値を R_1 とし、前記「第 2 の状態」のときの電気抵抗値を R_2 とし、前記「第 3 の状態」のときの電気抵抗値を R_3 として、

$R_1 > R_2 > R_3$ の関係を満たすことを特徴とするメモリ。

【請求項 7】

アンチフューズを複数含むメモリと、

薄膜トランジスタを複数含む駆動回路と、

アンテナと、

を有し、

前記アンチフューズのーは、

「第 1 の状態」、「第 2 の状態」、又は「第 3 の状態」から選ばれた一の状態を取り、書き込み動作が行われることにより、

前記「第 1 の状態」であるときは、前記「第 2 の状態」又は前記「第 3 の状態」に変化し、

前記「第 2 の状態」であるときは、前記「第 1 の状態」又は前記「第 3 の状態」に変化せず、

前記「第 3 の状態」であるときは、前記「第 1 の状態」又は前記「第 2 の状態」に変化せず、

前記「第 2 の状態」及び前記「第 3 の状態」を 2 値データの " 0 " 及び " 1 "、又は " 1 " 及び " 0 " に対応させることを特徴とする半導体装置。

【請求項 8】

請求項 7 において、

前記アンチフューズは、前記「第 1 の状態」であるときは、第 1 の電極と、第 2 の電極と、前記第 1 の電極と前記第 2 の電極との間にシリコン層と絶縁層との積層膜である抵抗材料層と、を有することを特徴とする半導体装置。

【請求項 9】

アンチフューズを複数含むメモリと、

薄膜トランジスタを複数含む駆動回路と、

アンテナと、

を有し、

前記アンチフューズのーは、

「第 1 の状態」、「第 2 の状態」、又は「第 3 の状態」から選ばれた一の状態を取り、

前記「第 1 の状態」である場合は、第 1 の書き込み方法による書き込み動作が行われることにより前記「第 2 の状態」に変化し、第 2 の書き込み方法による書き込み動作が行われることにより前記「第 3 の状態」に変化し、

前記「第 2 の状態」又は前記「第 3 の状態」である場合は、前記第 1 の書き込み方法又は前記第 2 の書き込み方法による書き込み動作が行われても状態は変化せず、

前記「第 2 の状態」及び前記「第 3 の状態」を 2 値データの " 0 " 及び " 1 " 、又は " 1 " 及び " 0 " に対応させることを特徴とする半導体装置。

【請求項 10】

請求項 9 において、

前記アンチフューズは、第 1 の電極と、第 2 の電極と、前記第 1 の電極と前記第 2 の電極との間に抵抗材料層と、を有し、

前記第 1 の書き込み方法は、前記第 1 の電極と前記第 2 の電極の間に、電界が第 1 の方向になるように電圧を印加する方法であり、

前記第 2 の書き込み方法は、前記第 1 の電極と前記第 2 の電極の間に、電界が前記第 1 の方向と逆の第 2 の方向になるように電圧を印加する方法であることを特徴とする半導体装置。

【請求項 11】

請求項 10 において、

前記抵抗材料層は、前記アンチフューズが前記「第 1 の状態」であるときは、シリコン層と絶縁層との積層膜であることを特徴とする半導体装置。

【請求項 12】

請求項 7 乃至請求項 11 のいずれか一において、

前記アンチフューズの状態は、

前記アンチフューズにブレイクダウン電圧以下の電圧を印加した場合、前記「第 1 の状態」のときの電気抵抗値を R_1 とし、前記「第 2 の状態」のときの電気抵抗値を R_2 とし、前記「第 3 の状態」のときの電気抵抗値を R_3 として、

$R_1 > R_2 > R_3$ の関係を満たすことを特徴とする半導体装置。