

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年1月12日(2012.1.12)

【公開番号】特開2009-164587(P2009-164587A)

【公開日】平成21年7月23日(2009.7.23)

【年通号数】公開・登録公報2009-029

【出願番号】特願2008-308748(P2008-308748)

【国際特許分類】

H 01 L 27/10 (2006.01)

G 11 C 17/14 (2006.01)

【F I】

H 01 L 27/10 4 3 1

H 01 L 27/10 4 8 1

G 11 C 17/06 B

【手続補正書】

【提出日】平成23年11月21日(2011.11.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

「第1の状態」、「第2の状態」、又は「第3の状態」から選ばれた一の状態を有するアンチフューズを備え、

前記アンチフューズは、書き込み動作が行われることにより、

前記「第1の状態」であるときは、前記「第2の状態」又は前記「第3の状態」に変化し、

前記「第2の状態」であるときは、前記「第1の状態」又は前記「第3の状態」に変化せず、

前記「第3の状態」であるときは、前記「第1の状態」又は前記「第2の状態」に変化せず、

前記「第2の状態」及び前記「第3の状態」を2値データの”0”及び”1”、又は”1”及び”0”に対応させることを特徴とするメモリ。

【請求項2】

請求項1において、

前記アンチフューズは、前記「第1の状態」であるときは、第1の電極と、第2の電極と、前記第1の電極と前記第2の電極との間にシリコン層と絶縁層との積層膜である抵抗材料層と、を有することを特徴とするメモリ。

【請求項3】

「第1の状態」、「第2の状態」、又は「第3の状態」から選ばれた一の状態を有するアンチフューズを備え、

前記アンチフューズが前記「第1の状態」である場合は、第1の書き込み方法による書き込み動作が行われることにより前記「第2の状態」に変化し、第2の書き込み方法による書き込み動作が行われることにより前記「第3の状態」に変化し、

前記アンチフューズが前記「第2の状態」又は前記「第3の状態」である場合は、前記第1の書き込み方法又は前記第2の書き込み方法による書き込み動作が行われても状態は変化せず、

前記「第2の状態」及び前記「第3の状態」を2値データの「0」及び「1」、又は「1」及び「0」に対応させることを特徴とするメモリ。

【請求項4】

請求項3において、

前記アンチフューズは、第1の電極と、第2の電極と、前記第1の電極と前記第2の電極との間に抵抗材料層と、を有し、

前記第1の書き込み方法は、前記第1の電極と前記第2の電極の間に、電界が第1の方向になるように電圧を印加する方法であり、

前記第2の書き込み方法は、前記第1の電極と前記第2の電極の間に、電界が前記第1の方向と逆の第2の方向になるように電圧を印加する方法であることを特徴とするメモリ。

【請求項5】

請求項4において、

前記抵抗材料層は、前記アンチフューズが前記「第1の状態」であるときは、シリコン層と絶縁層との積層膜であることを特徴とするメモリ。

【請求項6】

請求項1乃至請求項5のいずれか一において、

前記アンチフューズの状態は、

前記アンチフューズにブレークダウン電圧を印加した場合において、前記「第1の状態」のときの電気抵抗値をR1とし、前記「第2の状態」のときの電気抵抗値をR2とし、前記「第3の状態」のときの電気抵抗値をR3として、

R1 > R2 > R3の関係を満たすことを特徴とするメモリ。

【請求項7】

アンチフューズを複数含むメモリと、

薄膜トランジスタを複数含む駆動回路と、

アンテナと、

を有し、

前記アンチフューズの一は、

「第1の状態」、「第2の状態」、又は「第3の状態」から選ばれた一の状態を取り、書き込み動作が行われることにより、

前記「第1の状態」であるときは、前記「第2の状態」又は前記「第3の状態」に変化し、

前記「第2の状態」であるときは、前記「第1の状態」又は前記「第3の状態」に変化せず、

前記「第3の状態」であるときは、前記「第1の状態」又は前記「第2の状態」に変化せず、

前記「第2の状態」及び前記「第3の状態」を2値データの「0」及び「1」、又は「1」及び「0」に対応させることを特徴とする半導体装置。

【請求項8】

請求項7において、

前記アンチフューズは、前記「第1の状態」であるときは、第1の電極と、第2の電極と、前記第1の電極と前記第2の電極との間にシリコン層と絶縁層との積層膜である抵抗材料層と、を有することを特徴とする半導体装置。

【請求項9】

アンチフューズを複数含むメモリと、

薄膜トランジスタを複数含む駆動回路と、

アンテナと、

を有し、

前記アンチフューズの一は、

「第1の状態」、「第2の状態」、又は「第3の状態」から選ばれた一の状態を取り、

前記「第1の状態」である場合は、第1の書き込み方法による書き込み動作が行われることにより前記「第2の状態」に変化し、第2の書き込み方法による書き込み動作が行われることにより前記「第3の状態」に変化し、

前記「第2の状態」又は前記「第3の状態」である場合は、前記第1の書き込み方法又は前記第2の書き込み方法による書き込み動作が行われても状態は変化せず、

前記「第2の状態」及び前記「第3の状態」を2値データの“0”及び“1”、又は“1”及び“0”に対応させることを特徴とする半導体装置。

【請求項10】

請求項9において、

前記アンチフューズは、第1の電極と、第2の電極と、前記第1の電極と前記第2の電極との間に抵抗材料層と、を有し、

前記第1の書き込み方法は、前記第1の電極と前記第2の電極の間に、電界が第1の方向になるように電圧を印加する方法であり、

前記第2の書き込み方法は、前記第1の電極と前記第2の電極の間に、電界が前記第1の方向と逆の第2の方向になるように電圧を印加する方法であることを特徴とする半導体装置。

【請求項11】

請求項10において、

前記抵抗材料層は、前記アンチフューズが前記「第1の状態」であるときは、シリコン層と絶縁層との積層膜であることを特徴とする半導体装置。

【請求項12】

請求項7乃至請求項11のいずれか一において、

前記アンチフューズの状態は、

前記アンチフューズにブレークダウン電圧を印加した場合、前記「第1の状態」のときの電気抵抗値をR1とし、前記「第2の状態」のときの電気抵抗値をR2とし、前記「第3の状態」のときの電気抵抗値をR3として、

R1 > R2 > R3の関係を満たすことを特徴とする半導体装置。