

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4759598号
(P4759598)

(45) 発行日 平成23年8月31日(2011.8.31)

(24) 登録日 平成23年6月10日(2011.6.10)

(51) Int. Cl. F I
HO 1 L 29/78 (2006.01)
 HO 1 L 29/78 6 1 8 B
 HO 1 L 29/78 6 1 8 E
 HO 1 L 29/78 6 1 9 A

請求項の数 15 (全 19 頁)

(21) 出願番号	特願2008-196038 (P2008-196038)	(73) 特許権者	000001007
(22) 出願日	平成20年7月30日(2008.7.30)		キヤノン株式会社
(65) 公開番号	特開2009-99944 (P2009-99944A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成21年5月7日(2009.5.7)	(74) 代理人	100094112
審査請求日	平成22年11月19日(2010.11.19)		弁理士 岡部 譲
(31) 優先権主張番号	特願2007-254364 (P2007-254364)	(74) 代理人	100064447
(32) 優先日	平成19年9月28日(2007.9.28)		弁理士 岡部 正夫
(33) 優先権主張国	日本国(JP)	(74) 代理人	100096943
			弁理士 臼井 伸一
早期審査対象出願		(74) 代理人	100101498
			弁理士 越智 隆夫
		(74) 代理人	100096688
			弁理士 本宮 照久
		(74) 代理人	100102808
			弁理士 高梨 憲通

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ、その製造方法及びそれを用いた表示装置

(57) 【特許請求の範囲】

【請求項1】

ゲート電極と、ゲート絶縁層と、In、Zn及びGaのうち少なくとも1つを含むアモルファス酸化物からなる半導体層と、ソース電極と、ドレイン電極と、金属酸化物からなる保護層と、を含む薄膜トランジスタであって、

前記保護層は前記半導体層の上に該半導体層と接して設けられ、

前記半導体層は、少なくともチャネル層として機能する第1の領域と、前記保護層に接して設けられている第2の領域と、を含み、

前記第2の領域は、柱状構造を含むことを特徴とする薄膜トランジスタ。

【請求項2】

前記柱状構造をなす柱の径の平均値が、前記半導体層の厚さの2/3以下であることを特徴とする請求項1に記載の薄膜トランジスタ。

【請求項3】

前記半導体層が前記保護層を形成する際に受けるダメージの深さよりも深く酸化されていることを特徴とする請求項1又は2に記載の薄膜トランジスタ。

【請求項4】

ゲート電極と、ゲート絶縁層と、In、Zn及びGaのうち少なくとも1つを含むアモルファス酸化物からなる半導体層と、ソース電極とドレイン電極と、金属酸化物からなる保護層と、を含むボトムゲート型の薄膜トランジスタの製造方法であって、

前記ゲート電極を形成する工程と、

前記ゲート電極の上に前記ゲート絶縁層を形成する工程と、
 前記ゲート絶縁層の上に前記半導体層を形成する工程と、
 前記ソース電極及び前記ドレイン電極を形成する工程と、
 前記半導体層の上に該半導体層と接する前記保護層を形成する工程と、を含み、前記半導体層を形成する工程は、少なくともチャンネル層として機能する第1の領域を形成する工程と、前記第1の領域の上に柱状構造を含む第2の領域を形成する工程と、を含み、前記保護層を酸化雰囲気中で形成することを特徴とする薄膜トランジスタの製造方法。

【請求項5】

前記第1の領域を形成する工程及び前記第2の領域を形成する工程はスパッタ法で行い、

10

前記第2の領域を形成する工程は前記第1の領域を形成する工程よりもスパッタ法におけるパワー密度が小さいことを特徴とする請求項4に記載の薄膜トランジスタの製造方法。

【請求項6】

前記保護層を酸化雰囲気中で形成する際に、前記半導体層が前記保護層を形成する際に受けるダメージの深さよりも深く該半導体層を酸化することを特徴とする請求項4又は5に記載の薄膜トランジスタの製造方法。

【請求項7】

基板上に設けられたゲート電極と、前記ゲート電極上にゲート絶縁層を介して設けられた、In、Zn及びGaのうち少なくとも1つを含むアモルファス酸化物からなる半導体層と、前記半導体層に接して設けられたソース及びドレイン電極と、金属酸化物からなる保護層と、を含むボトムゲート型の薄膜トランジスタであって、

20

前記保護層は、前記半導体層上に該半導体層と接して設けられ、

前記半導体層の前記保護層に接した少なくとも一部の領域が柱状構造を含むことを特徴とする薄膜トランジスタ。

【請求項8】

前記柱状構造をなす柱の径の平均値が、前記半導体層の厚さの2/3以下であることを特徴とする請求項7に記載の薄膜トランジスタ。

【請求項9】

前記半導体層は、前記ゲート絶縁層に接する第1の領域を有し、該第1の領域はチャンネル層として機能することを特徴とする請求項7又は8に記載の薄膜トランジスタ。

30

【請求項10】

前記第1の領域は、前記保護層に接する前記半導体層の少なくとも一部の領域より低抵抗であることを特徴とする請求項9に記載の薄膜トランジスタ。

【請求項11】

前記第1の領域は、前記保護層に接する前記半導体層の少なくとも一部の領域より質量密度が高いことを特徴とする請求項9又は10に記載の薄膜トランジスタ。

【請求項12】

前記ソース及びドレイン電極は、前記半導体層上に形成された前記保護層がパターンニングされた後に形成された電極であることを特徴とする請求項7～11のいずれか1項に記載の薄膜トランジスタ。

40

【請求項13】

請求項1～3又は請求項7～12のいずれか1項に記載の薄膜トランジスタと、前記薄膜トランジスタにより構成される画素駆動回路と、を具備することを特徴とする表示装置。

【請求項14】

請求項1～3又は請求項7～12のいずれか1項に記載の薄膜トランジスタと、前記薄膜トランジスタにより駆動される有機EL素子と、を具備することを特徴とする表示装置。

【請求項15】

基板上に請求項1～3又は請求項7～12のいずれか1項に記載の薄膜トランジスタと

50

、層間絶縁膜と、下部電極と、電子輸送層と、発光層と、ホール輸送層と、ホール注入層とを有し、前記下部電極は前記層間絶縁膜に設けたコンタクトホールを介して前記薄膜トランジスタのドレイン電極と接続されていることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ(TFT)、その製造方法及びそれを用いた表示装置に関し、特に、TFT間の特性ばらつきが改善された薄膜トランジスタ、その製造方法及びそれを用いた表示装置に関する。

【背景技術】

【0002】

近年、透明酸化半導体を活性層(「チャンネル層」等とも言う。)に用いたTFTの開発が進められている。たとえば、特許文献1には、In、Ga、Zn、Oからなるアモルファスの透明酸化半導体膜(IGZO膜)を活性層として用いたTFTの技術が開示されている。このTFTは、透明かつ低温で成膜可能であり、プラスチックのような可撓性を有する基板上に透明TFTをつくるのが可能であるとして注目されている。

【0003】

また、特許文献2には、アモルファスIGZO膜を活性層としたTFTに保護膜を付けることで、環境安定性を向上させる技術が開示されている。

【特許文献1】特開2006-165529号公報

【特許文献2】特開2007-73705号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

酸化半導体は、雰囲気中の水の吸着によって、半導体特性が変化することが知られている。これに対して、特許文献2では、半導体層上を保護層で被覆し、雰囲気の変化に起因する不安定動作を抑制する試みが開示されている。このような技術によって、雰囲気の変化に起因する不安定動作は、ある程度抑制することができる。

【0005】

しかし、ボトムゲート型TFTの場合、同時に製造した複数のTFT間で、保護層を形成する前の段階では見られなかった特性のばらつきが生じる場合があることが分かった。また、このような特性のばらつきが生じ得るTFTを用いるアクティブマトリクス型表示装置においては、表示画像の不均一性を招いていた。本発明者らは、この現象の機構を以下のように理解している。

【0006】

ボトムゲート型TFTの場合、半導体層の直上に保護層を成膜する。そのため、保護層をスパッタ法などで成膜する場合、保護層の成膜工程は、半導体層のうち保護層と接する領域(部分的な層)にダメージを与える場合がある。以後、TFTの半導体層のうち上記の保護層と接する部分的な層を本明細書ではバックチャンネル層と呼ぶ。

【0007】

一方、酸化半導体では、酸素欠損によってキャリアが生じ、低抵抗になる。そのため、酸化半導体を用いたTFTの場合、その半導体層のバックチャンネル層には、このような酸素欠損を伴うダメージにより、低抵抗でかつ場所によって深さの不均一なダメージ層が存在し得る。このような深さ(厚さ)の不均一なダメージ層がTFT間の特性ばらつきの要因であると考えられる。

【0008】

そこで、本発明は、スパッタ法などで保護層を形成する際の半導体層が受けるダメージの不均一性によるTFT間の特性ばらつきを改善し、このTFTを用いるアクティブマトリクス型表示装置の画像の均一性を向上させることを目的とする。

【課題を解決するための手段】

10

20

30

40

50

【0009】

本発明は、上記課題を解決するための手段として、ゲート電極と、ゲート絶縁層と、In、Zn及びGaのうち少なくとも1つを含むアモルファス酸化物からなる半導体層と、ソース電極と、ドレイン電極と、金属酸化物からなる保護層と、で形成される薄膜トランジスタであって、前記保護層は前記半導体層の上に該半導体層と接して設けられ、前記半導体層は、少なくともチャンネル層として機能する第1の領域と、前記保護層に接して設けられている第2の領域と、を含み、前記第2の領域は、柱状構造を含むことを特徴とする。

【0010】

また、本発明は、ゲート電極と、ゲート絶縁層と、In、Zn及びGaのうち少なくとも1つを含むアモルファス酸化物からなる半導体層と、ソース電極とドレイン電極と、金属酸化物からなる保護層と、を含む薄膜トランジスタの製造方法であって、前記ゲート電極を形成する工程と、前記ゲート絶縁層を形成する工程と、前記半導体層を形成する工程と、前記ソース電極及び前記ドレイン電極を形成する工程と、前記保護層を形成する工程と、を含み、前記保護層は、前記半導体層の上に該半導体層と接して設けられ、前記半導体層を形成する工程は、少なくともチャンネル層として機能する第1の領域を形成する工程と、柱状構造を含む第2の領域を形成する工程と、を含み、前記保護層を酸化雰囲気中で形成することを特徴とする。

10

【0011】

また、本発明は、基板上に設けられたゲート電極と、前記ゲート電極上にゲート絶縁層を介して設けられた、In、Zn及びGaのうち少なくとも1つを含むアモルファス酸化物からなる半導体層と、前記半導体層に接して設けられたソース及びドレイン電極と、金属酸化物からなる保護層と、を含むボトムゲート型の薄膜トランジスタであって、前記保護層は、前記半導体層上に該半導体層と接して設けられ、前記半導体層の前記保護層に接した少なくとも一部の領域が柱状構造を含むことを特徴とする。

20

【発明の効果】

【0012】

本発明によれば、スパッタ法などで保護層を形成する際の半導体層が受けるダメージの不均一性によるTFT間の特性ばらつきを改善し、このTFTを用いるアクティブマトリクス型表示装置の画像の均一性を向上させることができる。

30

【発明を実施するための最良の形態】

【0013】

以下、本発明に係る薄膜トランジスタ、その製造方法及びそれを用いた表示装置の実施の形態について説明する。

【0014】

本実施の形態に係る薄膜トランジスタは、ゲート電極と、ゲート絶縁層と、アモルファス酸化物からなる半導体層と、ソース電極と、ドレイン電極と、保護層とで形成される。保護層は半導体層の上に該半導体層と接して設けられる。半導体層は、少なくともチャンネル層として機能する第1の層と、該第1の層よりも高抵抗な第2の層とを含む。第1の層は、半導体層のゲート電極側に設けられている。第2の層は、半導体層の保護層側に設けられている。本発明において上記、第1の層及び第2の層とは、必ずしも「層」として独立して設けられる必要は無く、機能的に分離された領域が形成されていることを意味する。例えば連続的に形成された1つの層であっても層厚方向に組成や構造等を変化させることにより実質的に機能の異なる2つの領域が形成されている場合も本発明に含まれる。

40

【0015】

本実施の形態に係る薄膜トランジスタの第1の製造方法は、ゲート電極を形成する工程と、ゲート絶縁層を形成する工程と、半導体層を形成する工程と、ソース電極及びドレイン電極を形成する工程と、保護層を形成する工程とを含む。保護層は、半導体層の上に該半導体層と接して設けられる。半導体層を形成する工程は、少なくともチャンネル層として

50

機能する第1の層(領域)を形成する工程と、該第1の層よりも高抵抗な第2の層(領域)を形成する工程とを含む。保護層は、酸化雰囲気中で形成する。

【0016】

また、本実施の形態に係る薄膜トランジスタの第2の製造方法は、ゲート電極を形成する工程と、ゲート絶縁層を形成する工程と、半導体層を形成する工程と、ソース電極及びドレイン電極を形成する工程と、保護層を形成する工程とを含む。さらに、保護層の形成の後に、酸化雰囲気中で熱処理を施す工程を含む。保護層は、半導体層の上に該半導体層と接して設けられ、熱処理を施す工程は、半導体層に、ゲート絶縁層と接し、少なくともチャンネル層として機能する第1の層(領域)と、保護層と接し該第1の層(領域)よりも高抵抗な第2の層を形成する工程を含む。

10

【0017】

本実施形態においては、第2の層の質量密度を第1の層の質量密度以下とすることが好ましい。こうすると、保護層形成時に半導体層が受けるダメージの深さよりも酸化の深さを大きくすることが可能となる。これにより、上記ダメージを受けた層(ダメージ層ともいう)が層厚方向全体にわたって酸化される。従って、高抵抗な第2の層を形成することによりダメージ層も高抵抗化するため、半導体層の低抵抗化を効果的に抑制することができる。これは、ダメージ層が酸化されることにより高抵抗化し、半導体特性に悪影響を与えなくなるからである。本実施形態においては、ダメージ層が高抵抗に変質し、半導体層の電気特性に悪影響を与えない状態にする(無害化する)ことを不動態化という。

【0018】

本実施形態においては、第2の層を柱状構造とすることは、上記質量密度の低い第2の層を実現するための好ましい形態のひとつである。即ち、第2の層が全体としてはアモルファス構造でありながらも、金属原子の空間的粗密に由来する柱状構造を含むことにより、上記の低い質量密度を得ることができる。金属原子の空間的粗密、すなわち局所的に質量密度の低い境界に囲まれた柱からなる稠密な柱状構造体(柱状構造が密集した状態)では、隣接する柱間の低密度境界においていわゆる増速酸化が生じ、この高酸素濃度境界から柱内部への酸化が生じる。ここでいう増速酸化とは、格子欠陥によって拡散が促進され、その結果、増速される酸化現象のことである。即ち、低密度境界領域では酸化速度が高密度領域よりも速くなる。これにより、第2の層では酸化速度が大きくなり、ダメージ層は全て酸化されることにより不動態化された高抵抗層となる。

20

30

【0019】

本実施形態においては、少なくとも第2の層の質量密度を、層を構成する材料の結晶状態における質量密度の90%以下とすることが好ましい。こうすると、第2の層における酸化速度をダメージ侵入速度より速めることができる。ここで、第2の層における酸化速度とは単位時間あたりに酸化が進行する速度であり、ダメージ侵入速度とは保護層形成時に半導体層内部にダメージが進入する速度(酸素欠損等が形成される速度)である。第2の層における酸化速度をダメージ侵入速度より速めることにより、ダメージ層よりも酸化層を厚くする(即ちダメージ層を高抵抗層である酸化層内部に包含させる)ことができる。

【0020】

本実施形態において、構成する材料の結晶状態における質量密度とは、In、Ga、Znからなる酸化物を例に挙げて説明すると、下記の数1の組成比による重み付き理論密度を表す式で示されるDである。

40

【0021】

【数 1】

$$D = \frac{D_{In_2O_3} + D_{Ga_2O_3} \times \frac{C_{Ga}}{C_{In}} + D_{ZnO} \times \frac{C_{Zn}}{C_{In}}}{1 + \frac{C_{Ga}}{C_{In}} + \frac{C_{Zn}}{C_{In}}}$$

10

【0022】

ここで、 $D_{In_2O_3}$ 、 $D_{Ga_2O_3}$ 、 D_{ZnO} は、それぞれ In_2O_3 、 Ga_2O_3 、 ZnO の単結晶の密度である。また、 C_{Ga}/C_{In} 及び C_{Zn}/C_{In} は、それぞれGaとInの組成比、ZnとInの組成比である。

【0023】

次に、この柱状構造による増速酸化が効果的である柱の径と半導体層の層厚に対する条件について説明する。本実施形態においては、柱状構造をなす柱の径の平均値を、半導体層の厚さの2/3以下とすることが好ましい。こうすると、第2の層を効率的に酸化することができる。柱状構造の境界から動径方向への酸化速度は、粒径によらず同じである。しかし、柱状構造の粒径が大きいと、柱の中心部に酸化されない領域が残り、均一に高抵抗化できない。一方、柱状構造の粒径が小さいと、柱の中心部まで酸化が進行し、均一に高抵抗化することができる。

20

【0024】

上記のように本実施形態においては、第2の層の質量密度は第1の層よりも小さい方が第2の層を容易に高抵抗化することができる。しかし、柱状構造の粒径を小さくして、酸化による高抵抗化された層が少なくともダメージ層と同一の深さであるか、ダメージ層よりも深く形成することができれば、第1の層と第2の層の質量密度は等しくすることもできる。従って、柱状構造は第2の層のみに限定されるものではなく、第1の層も同様の柱状構造を含んでもよい。

30

【0025】

本実施形態においては、半導体層材料として、アモルファス酸化物半導体層の材料を選択し、その組成を最適化することによって上記の効果をより高めることができる。

【0026】

本実施形態においては、保護層形成後に酸化雰囲気中で熱処理を施すことによって、保護層形成時に半導体層に表面から形成されたダメージ層より深い層まで酸化し、ダメージ層を不動態化することが可能となる。

【0027】

本実施形態においては、保護層形成時のダメージ層を酸化して高抵抗な不動態化された第2の層とし、薄膜トランジスタの実効的なチャンネル層となる第1の層のみで電気特性が決定される。これにより、たとえダメージ層の厚さが面内で不均一であっても、ダメージ層が酸化によって不動態化するため複数TFT間のばらつきを抑制することが可能となる。

40

【0028】

以上のように、本実施形態によれば、保護層の形成時に半導体層のバックチャンネル層に形成されるダメージ層よりも深い位置まで酸化処理を行う。これにより、ダメージ層を酸化することにより不動態化し、薄膜トランジスタのチャンネル領域の電気伝導特性に及ぼす悪影響を効果的に抑制することができる。この結果、複数のTFT間の特性ばらつきを抑制することができる。

【0029】

50

また、本発明によるTFTより構成される画素駆動回路を用いたアクティブマトリクス型表示装置により、均一な画像が得られる表示装置を提供することができる。

【0030】

以下、添付図面を参照して、本発明に係る薄膜トランジスタ、その製造方法、及びそれを用いた表示装置の実施形態について説明する。

【0031】

図1は、本発明の一実施形態としての保護層付きボトムゲート型TFTの構成を示す模式断面図である。図1に示す保護層付きボトムゲート型TFTは、基板1上に、ゲート電極2、ゲート絶縁層3、半導体層4、ソース電極5、ドレイン電極6、保護層7を積層して形成される。

10

【0032】

基板1には、ガラス基板を用いる。基板1は、ポリエチレンテレフタレート(PET)やポリエチレンナフタレート(PEN)等のプラスチックフィルムを使用することもできる。

【0033】

ゲート電極2は、基板1上に積層される。ゲート電極2には、Ti、Mo、W、Al、Au等の金属及びITO(Indium Tin Oxide:酸化インジウムスズ)等の導電性酸化物を使用することができる。また、金属に関しては、たとえばMo-Wのような合金も使用することができる。また、膜の密着性を高めるために、酸化物との密着性が良い金属、例えばTi、AlやAu等を挟んだ、金属の積層体を電極として使用することができる。

20

【0034】

ゲート絶縁層3は、基板1とゲート電極2上に積層される。ゲート絶縁層3には、SiO_x、SiN、SiON等のSi酸化物及びSi窒化物が使用される。また、Siだけでなく他金属元素の酸化物及び窒化物、例えば、Al₂O₃、AlN等を使用することもできる。

【0035】

半導体層4は、ゲート絶縁層3上に積層される。半導体層4には、In、Ga、Znの少なくとも1つ含む酸化物半導体を使用される。半導体層4の構成については、後記する。

【0036】

ソース電極5及びドレイン電極6は、半導体層4上に積層される。ソース電極5及びドレイン電極6には、ゲート電極2と同様の、金属及び導電性酸化物を使用することができる。また、金属に関しては、ゲート電極2と同様にMo-Wのような合金も使用することができる。また、酸化物半導体との機械的密着性や電気的接合性を高める目的で、例えばTiと他の金属の積層体を使用することができる。いずれの電極も、金属積層体を用いる場合、隣接層との界面を形成する金属とその界面に電荷を輸送する、又は電圧を印加するための金属により、電極としての役割を分担させることができる。

30

【0037】

保護層7は、ソース電極5、ドレイン電極6及び半導体層4上に積層される。半導体層4のバックチャネル層を酸化させるため、保護層7は酸化雰囲気中で成膜される。保護層7には、シリコン酸化物、シリコン酸窒化物等の絶縁性の金属酸化物を使用される。

40

【0038】

保護層7の形成後に、酸素、又は酸素と窒素の混合気体など酸化雰囲気において、典型的には100 - 300 の温度範囲で、数分から1時間ほど熱処理を施してもよい。また、半導体層4が酸化物からなる保護層7に覆われている場合、保護層7の形成工程以降の成膜工程は、半導体層4の酸化状態には影響しない。したがって、保護層7の上に金属窒化物等の更なる保護層を設けることにより、酸化雰囲気に対してより強い保護層を形成することも可能である。

【0039】

また、本発明の効果とは直接関係しないが、保護層7を半導体層4上に成膜してパター

50

ニングした後、ソース電極 5 及びドレイン電極 6 を形成してもよい。この場合、半導体層 4 が保護層 7 で覆われているため、エッチングプロセスによってソース電極 5 及びドレイン電極 6 をパターニングしても、半導体層 4 にダメージを与えることは少ない。

【 0 0 4 0 】

(半導体層について)

以下、図 8 を参照して、半導体層 4 の構成について詳細に説明する。

【 0 0 4 1 】

図 8 に示すように、本発明の望ましい実施の形態の一つは、半導体層 4 には少なくともチャンネル層(半導体活性領域)として機能する第 1 の層 4 a と、第 1 の層よりも高抵抗な第 2 の層 4 b とを含む構成である。第 1 の層 4 a は半導体層 4 のゲート電極 2 側に設けられ、第 2 の層 4 b は保護層 7 側に設けられている。第 2 の層 4 b の質量密度は第 1 の層 4 a よりも低く、保護層 7 の堆積時に半導体層 4 内のバックチャンネル層のダメージを受ける領域(ダメージ層)を含むように形成される。ここで半導体層 4 を二つの層に分けているが、これは電気的特性において機能的に二つの領域に区分されるということの意味する。即ち 1 層であっても層の内部で機能的に分離した 2 つの領域が存在すれば良く、必ずしも形態的に明瞭な境界が存在していなくとも良い。

10

【 0 0 4 2 】

本発明の要点は、半導体層 4 の第 2 の層 4 b に含まれるバックチャンネル層において、酸素が拡散しやすい状態を設け、表層だけでなく保護層成膜時に半導体層 4 の表面からダメージが侵入する層厚よりも深くまで酸化することである。これにより、半導体層 4 内のダメージが侵入した層(ダメージ層)が酸化されて高抵抗となり不動態化する。よって、たとえ半導体層 4 内のダメージの侵入深さが基板面内の異なる場所で不均一(ダメージ層の厚さが場所によって不均一)であったとしても、バックチャンネル層のうち高抵抗化したダメージ層は不動態化され、T F T 特性の不均一性を招かない。

20

【 0 0 4 3 】

ここで、結晶中における原子の拡散現象は、原子が隣接するサイトにジャンプする頻度に依存する。一般に、空孔が存在する場合、原子のジャンプに対するポテンシャル障壁が小さくなり、原子が隣接サイトにジャンプする頻度が高まる(原子が隣接サイトにジャンプし易い)。言い換えれば、空孔を介して原子が拡散しやすい。同様に、明確な格子サイトを持たないアモルファスにおいても、質量密度が低く原子レベルの空隙があることが、原子が拡散しやすい条件である。

30

【 0 0 4 4 】

このことを本発明の場合にあてはめると、酸化条件下の保護層 7 の形成時、又は保護層 7 の堆積後に酸化雰囲気中で熱処理を行う際に、質量密度が低い第 2 の層 4 b において、表面から酸素原子が拡散しやすく酸化速度が増速されることに対応する。

【 0 0 4 5 】

半導体層 4 の形成時、途中で成膜条件を変えることにより、第 2 の層 4 b の質量密度を第 1 の層 4 a よりも低く形成することができる。例えば、比較的質量密度の高い膜が得られるスパッタ法で第 1 の層 4 a を成膜した後に、比較的 low 密度の膜が得られるパルスレーザー堆積(P L D)法で第 2 の層 4 b を形成することで、質量密度の異なる 2 層構成を実現することができる。

40

【 0 0 4 6 】

第 2 の層 4 b の質量密度は、層を構成する材料の結晶状態における質量密度の 9 0 % 以下であるように形成されることがより望ましい。

【 0 0 4 7 】

たとえば、P L D 法でアモルファス酸化物半導体を成膜する場合、成膜圧力を上げることで、結晶状態における質量密度の 9 0 % 以下の低密度膜を形成することができる。例えば、成膜圧力が 1 P a 以下では結晶状態における質量密度の 9 2 ~ 9 3 % の膜が成膜されるが、成膜圧力が 5 ~ 6 P a 以上では結晶状態における質量密度の 8 2 ~ 8 4 % の膜が成膜される。

50

【 0 0 4 8 】

これに対し、スパッタ法で成膜されるアモルファス酸化物半導体の質量密度は、結晶状態における質量密度の93～94%程度である。従って、PLD法で形成したアモルファス酸化物半導体層と、スパッタ法で形成したアモルファス酸化物半導体層とを積層することにより質量密度の異なる2層構成となる。また、スパッタ法のみで半導体層4を形成する場合も、成膜の途中でパワー密度を低下させることにより、質量密度の高い第1の層4aと低い第2の層4bを実現することができる。

【 0 0 4 9 】

また、本発明の望ましい実施の形態の1つは、少なくとも第2の層4bに柱状構造が含まれる構成である。以下、この形態について説明する。

10

【 0 0 5 0 】

多結晶体では、結晶粒内における原子の拡散（格子拡散）より結晶粒界における拡散（粒界拡散）の方が、拡散速度が大きいことが知られている。これは粒界の原子密度が粒内より低いためである。同様に、アモルファスにおいても、原子密度の低い界面が存在していれば、その界面に沿った方向の拡散速度が大きくなる。

【 0 0 5 1 】

一般に、アモルファス膜は均質であるとみなされているが、巨視的には柱状構造をとり得る。この柱状構造とは、原子配列に対称性がなくアモルファスであるが、原子密度又は質量密度が空間的に均質ではなく、高密度な柱状粒が隣接する柱状粒と低密度な界面領域を介して接する構造を言う。

20

【 0 0 5 2 】

アモルファス膜に柱状構造が形成される過程について説明する。ターゲット材からスパッタされて飛来した原子は、基板に衝突して付着する。そして、基板表面を拡散した後、固定される。成膜初期において飛来する原子は完全に一様に堆積するわけではなく、ドーム状の島を作り、堆積表面には微小な凹凸ができる。微小な凹凸は、次に飛来する原子に対してシャドウイング効果を示す。即ち凸部の影に位置する領域には当該凸部に遮蔽されることによって原子が飛来する確率が低下する。このため、堆積表面上での原子の運動エネルギーが小さく、表面拡散距離が島の径に比較して短いと、凹凸の谷（凹部）に到達する原子は少なくなる。ひとたび形成された凹凸は、堆積の進行に伴いシャドウイング効果を増強させるので、膜はその表面の凹凸が強調されるようにして成長する。さらに膜が成長するにしたがい、谷の部分は周囲の部分から取り残されて、低密度の界面を形成する。このようにして、アモルファスの膜は、島状組織から、低密度の界面領域を有する柱状構造を有する層へと遷移する。

30

【 0 0 5 3 】

また、アモルファスの柱状構造の形成は、下地のラフネス（粗さ）に影響される。下地が平坦であれば、成膜初期には柱状構造は形成されず、ある程度の膜厚まで堆積が進んでから柱状構造が確認されるようになる。一方、最初期の堆積表面が凹凸を持つ場合、その凹凸を継承するように、成膜の初期から柱状構造が形成される。これは堆積膜の構造が下地の表面形状の影響を受けることが原因であると考えられる。

【 0 0 5 4 】

したがって、上記のとおり、たとえば、半導体層成膜時のスパッタ成膜パワーを下げて、基板に付着した原子の運動エネルギー、ひいては表面拡散距離を小さくすることで、柱状構造の形成を誘起又は促進することができる。また、堆積表面に凹凸を設けておくことでも、柱状構造の形成を誘起又は促進することができる。

40

【 0 0 5 5 】

図3は、半導体層の酸化が進行する様子を示す模式断面図である。図3(a)は半導体層に柱状構造を有しない場合、図3(b)は半導体層に柱状構造を有する場合をそれぞれ示す。図3(a)に示すように、半導体層に柱状構造を有しない場合は、膜厚方向のみに酸化が進む。これに対し、図3(b)に示すように、半導体層に柱状構造を有する場合、膜厚方向に酸化が進むだけでなく、柱状構造の増速酸化された界面領域から、柱の内部に

50

向かって動径方向にも酸化が進行する。この効果により、半導体層上に保護層を堆積するに際して、半導体層表面からの酸化速度が促進され、保護層形成時に半導体層に形成されるダメージ層を酸化することにより不動態化する。

【0056】

アモルファスにおける柱状構造は、TFTの断面をたとえばTEM (transmission electron microscope: 透過電子顕微鏡) 観察することによって、確認することができる。ただし、通常の観察とは異なり、意図的にデフォーカスする必要がある。固体中に入射した電子線は位相が変化する。アモルファスにおける柱状構造の界面領域のように低密度な箇所は、粒内部とその位相変化量が異なる。この位相差によりコントラストが生じ(位相コントラスト)、柱状構造の界面はアンダーフォーカスにおいては高輝度、オーバーフォーカスにおいては低輝度のコントラストとして観察される。

10

【0057】

また、STEM-HAADF (Scanning TEM-high angular annular dark field) 像によっても確認することができる。STEMの暗視野像は、細く絞った電子線を走査しながら、試料中で散乱された電子の強度を測定して像を形成する。そのなかでも、高角度に散乱された電子のみを、円環状検出器で検出して結像したものがHAADF像である。高角度に散乱される電子は、主としてラザフォード散乱によるものであり、散乱強度は散乱体の原子番号の2乗に比例する(Zコントラスト)。したがって、HAADF像は組成及び質量膜厚を反映したコントラストを示すため、HAADF像によって低密度の界面を有する柱状構造を確認することができる。

20

【0058】

上記TFTの出力端子であるソース電極又はドレイン電極を、発光素子や光スイッチング素子の電極に接続することで表示装置を構成することができる。

【0059】

以下、表示装置の断面図を用いて本発明の具体的な表示装置の構成の例について説明する。

【0060】

図2は、本発明の一実施形態として、有機ELを発光素子として用いる表示装置の一例を示す模式断面図である。

【0061】

基板301上に、ゲート電極302と、ゲート絶縁層303と、半導体層304と、ドレイン電極305と、ソース電極306と、保護層307とから構成されるTFTを形成する。ソース電極306に層間絶縁膜309を介して下部電極308が接続される。下部電極308は発光層310と接する。発光層310は、上部電極311と接している。ここで、下部電極308、発光層310、上部電極311は有機EL素子を構成する。

30

【0062】

このような構成により、TFTのゲート電極302の印加電圧によって、半導体層304に形成されるチャネルを介してドレイン電極305からソース電極306に流れる電流値が制御される。これにより、有機EL素子の発光層310に注入する電流が制御される。

40

【0063】

次に、本発明を実施例によりさらに詳細に説明するが、本発明はこれらの実施例によって何ら限定されるものではない。

【実施例1】

【0064】

本実施例では、半導体層に柱状構造を含むTFTについて説明する。

【0065】

ガラス基板を用いて、図1に示す保護層付きボトムゲート型TFTを作製する。

【0066】

まず、ガラス基板1上に、ターゲットとしてTiターゲット及びMoターゲットを用い

50

、スパッタ法により、Ti 5 nm / Mo 40 nm / Ti 5 nmの金属多層膜を成膜する。この金属膜を、フォトリソグラフィーによりパターンニングし、ゲート電極2を形成する。

【0067】

その上に、ターゲットとしてSiO₂を用いて、スパッタ法によりアモルファスSiO_xを200 nm成膜し、ゲート絶縁層3とする。このときのスパッタガスはArを使用する。

【0068】

その上に、ターゲットとしてIn - Zn - Ga - Oを用い、スパッタ法によりIn - Zn - Ga - Oからなるアモルファス酸化物半導体膜を40 nm成膜する。フォトリソグラフィーとウェットエッチングによってパターンニングし、半導体層4を形成する。

10

【0069】

その後、ターゲットとしてTiターゲット及びMoターゲットを用い、スパッタ法により、Ti 5 nm / Mo 100 nm / Ti 5 nmの金属膜を成膜する。この金属膜を、フォトリソグラフィーによりパターンニングし、ソース電極5及びドレイン電極6を形成する。

【0070】

その上に、ターゲットとしてSiO₂を用いて、スパッタ法によりアモルファスSiO_xを100 nm成膜して、保護層7とする。このときのスパッタガスは、混合比50%の酸素 / Arガスであり、酸化雰囲気中で保護層7を成膜する。

【0071】

さらに、このTFETを酸素20%の窒素ガス雰囲気において、250 1時間の熱処理を施す。

20

【0072】

こうして図1に示す保護層付きボトムゲートTFETが完成する。

【0073】

このようにして作製されるTFETの断面TEM写真を、図4に示す。ここで、TEM写真の視野には、ゲート絶縁層と保護層に挟まれた半導体層が確認される。この半導体層には、下地のゲート絶縁層の凹凸によって、径が10 ~ 20 nm程度の柱状構造が形成されている。

【0074】

図5は、半導体層に柱状構造を有する保護層付きボトムゲート型TFET、96個の伝達特性(I_d - V_g特性：I_dはドレイン電流(A)、V_gはゲート電圧(V))を示す。この場合は、同図に示されるように、特性ばらつきの小さい、均一性の高いTFETが得られる。

30

【0075】

図6には、比較のために、半導体層に柱状構造を有しない保護層付きボトムゲート型TFET、96個の伝達特性(I_d - V_g特性)を示す。ここでは、ゲート絶縁層に表面が平滑な熱酸化Siを使用しているため、半導体層に柱状構造は確認されない。この場合は、同図に示されるように、図5の半導体層に柱状構造を有するTFETと比較して、明らかに特性ばらつきが大きいことがわかる。

【0076】

表1は、96個のTFETにおける特性ばらつきを、伝達特性に見られる電流の立ち上り電圧(V_{on})の標準偏差によって比較した表である。

40

【0077】

【表 1】

	柱状構造なし 保護層なしTFT	柱状構造なし 保護層ありTFT	本発明による TFT
標準偏差 V_{on}	0.13 V	0.83 V	0.12 V

10

【0078】

ここで、 V_{on} とは、ドレイン電流(I_d)が 10^{-10} A流れはじめるときのゲート電圧(V_g)の値である。これによると、柱状構造が確認されないTFTでは、保護層をつけることによって、 V_{on} のばらつきが大きくなっている。一方、本発明の柱状構造を有するTFTでは、保護層をつけた後でも、 V_{on} のばらつきが低く抑えられている。

【0079】

このように本発明の構成によれば、保護層を形成しても均一性の高いTFTを作製することができる。

【実施例 2】

20

【0080】

本実施例では、半導体層が質量密度の高い第1の層と低い第2の層からなるTFTについて説明する。

【0081】

n型Si基板を用いて、図7に示す保護層付きボトムゲート型TFTを作製する。

【0082】

まず、n型Si基板92上に厚さ100 nmの熱酸化Si膜(ゲート絶縁膜93)を形成する。ここで図7中にゲート電極は独立して設けられていないが、n型Si基板92がゲート電極として機能する。その上に、ターゲットとしてIn-Zn-Ga-Oを用い、スパッタ法により、In-Zn-Ga-Oからなるアモルファス酸化物半導体膜(第1の層)を、基板温度室温で30 nm成膜する。さらにその上に、PLD法により、In-Zn-Ga-Oからなるアモルファス酸化物半導体膜(第2の層)を、基板温度室温で10 nm成膜する。両アモルファス酸化物半導体膜(第1の層及び第2の層)を、フォトリソグラフィとウェットエッチングによってパターンニングし、半導体層94を形成する。

30

【0083】

その後、ターゲットとしてTiターゲット及びMoターゲットを用い、スパッタ法により、Ti 5 nm / Mo 100 nm / Ti 5 nmの金属膜を成膜する。この金属膜を、フォトリソグラフィによりパターンニングし、ソース電極95及びドレイン電極96を形成する。その上に、ターゲットとしてSiO₂を用い、スパッタ法により、アモルファスSiO_xを100 nm成膜して、保護層97とする。このときのスパッタガスは、混合比50%の酸素/Arガスであり、酸化雰囲気中で保護層97を成膜する。さらに、このTFTを酸素20%の窒素ガス雰囲気において、250 1時間の熱処理を施す。

40

【0084】

こうして、図7に示すn型Si基板を用いた保護層付きボトムゲートTFTが完成する。

【0085】

次に、上記TFTについて、アモルファス酸化物半導体膜の成膜工程で用いる成膜法の違いによる質量密度の違いを調べた。

【0086】

まず、成膜法としてスパッタ法のみを用いた場合を調べた。厚さ100 nmの熱酸化S

50

i 膜を形成した n 型 Si 基板の上に、スパッタ法のみによって In - Zn - Ga - O からなるアモルファス酸化物半導体膜を基板温度室温で成膜した。この成膜工程は、RF パワー 300 W、成膜圧力 0.5 Pa で成膜する条件で行った。得られたアモルファス酸化物半導体膜の組成を、蛍光 X 線分析により調べ、さらに X 線反射率測定によって質量密度を測定すると、数 1 で示される結晶状態における質量密度に対して 93.7% という値が得られた。

【0087】

次に、成膜法として PLD 法のみを用いた場合を調べた。同様に、厚さ 100 nm の熱酸化 Si 膜を形成した n 型 Si 基板の上に、PLD 法のみによって In - Zn - Ga - O からなるアモルファス酸化物半導体膜を基板温度室温で成膜した。この成膜工程は、10

パワー 20 mJ の KrF エキシマレーザーを集光してターゲットペレットに照射し、酸素圧力 6 Pa で成膜する条件で行った。得られたアモルファス酸化物半導体膜の質量密度を測定すると、数 1 で示される結晶状態における質量密度に対して 83.7% という値が得られた。

【0088】

したがって、スパッタ法と PLD 法を組み合わせることで、半導体層が質量密度の高い第 1 の層と低い第 2 の層からなる TFT が作製できる。

【実施例 3】

【0089】

本実施例では、図 2 の TFT を用いた表示装置について説明する。20

【0090】

TFT の製造工程は、実施例 1 と同様である。TFT を作製した後、層間絶縁膜 309 を成膜する。このとき、ドレイン電極 305 と下部電極 308 を接続するためのコンタクトホールを形成しておく。次に、電子ビーム蒸着法により Al を成膜して下部電極 308 を形成する。この下部電極 308 は、コンタクトホールを介してドレイン電極 305 と接続されている。次に、蒸着法により電子輸送層、発光層、ホール輸送層、ホール注入層を順に形成して、全体として有機 EL 発光層とする。最後に、スパッタ法により ITO を成膜して、上部電極 311 とする。

【0091】

ここで、TFT のソース電極 306 に電圧を印加し、ゲート電極 302 の印加電圧を変化させると、ドレイン電極 305 から下部電極 308 を介して発光層 310 に電流が注入され、有機 EL 素子を駆動することができる。このようにして、有機 EL 素子を用いる表示装置を形成することができる。30

【0092】

なお、上記実施形態及び実施例では、ボトムゲート型 TFT に適用した場合を説明しているが、本発明は必ずしもこれに限定されない。たとえば、トップゲート型 TFT の場合でも、半導体層の上に該半導体層に接して保護層の少なくとも一部が設けられる構成のものであれば適用可能である。

【0093】

以上、実施形態及び実施例を参照して本発明を説明したが、本発明は上記実施形態及び実施例に限定されるものではなく、本発明の構成や詳細には、本発明の範囲内で当業者が理解し得る様々な変更をすることができる。40

【産業上の利用可能性】

【0094】

本発明は、薄膜トランジスタ、その製造方法、及びこれを用いた表示装置に利用可能であり、特に薄膜トランジスタを用いたアクティブマトリクス型の表示装置に利用可能である。

【図面の簡単な説明】

【0095】

【図 1】本発明の一実施形態に係る保護層付きボトムゲート型 TFT の断面図である。50

【図2】本発明の一実施形態に係る表示装置の一例の断面図である。

【図3】図1に示す半導体層の酸化が進行する様子を示す模式断面図で、(a)は半導体層に柱状構造を有しない場合の断面図、(b)は半導体層に柱状構造を有する場合の断面図である。

【図4】図1に示す半導体層の柱状構造を示す断面TEM写真とその模式図である。

【図5】図1に示す半導体層に柱状構造を有する保護層付きボトムゲート型TFT、96個の伝達特性を示すグラフである。

【図6】図1に示す半導体層に柱状構造が確認されない保護層付きボトムゲート型TFT、96個の伝達特性を示すグラフである。

【図7】本発明の一実施形態に係るn型Si基板を用いた保護層付きボトムゲート型TFTの断面図である。

10

【図8】図1に示す保護層付きボトムゲート型TFTの要部構成を示す断面図である。

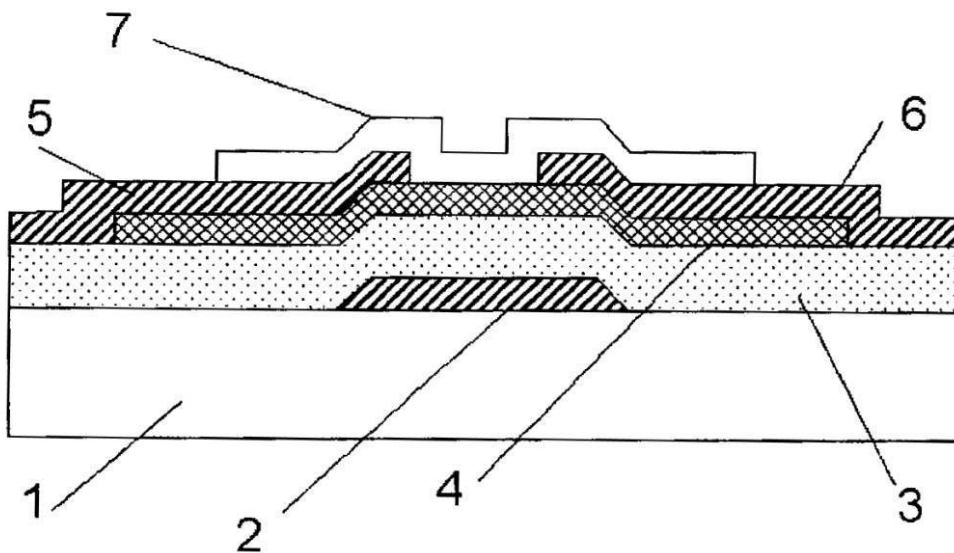
【符号の説明】

【0096】

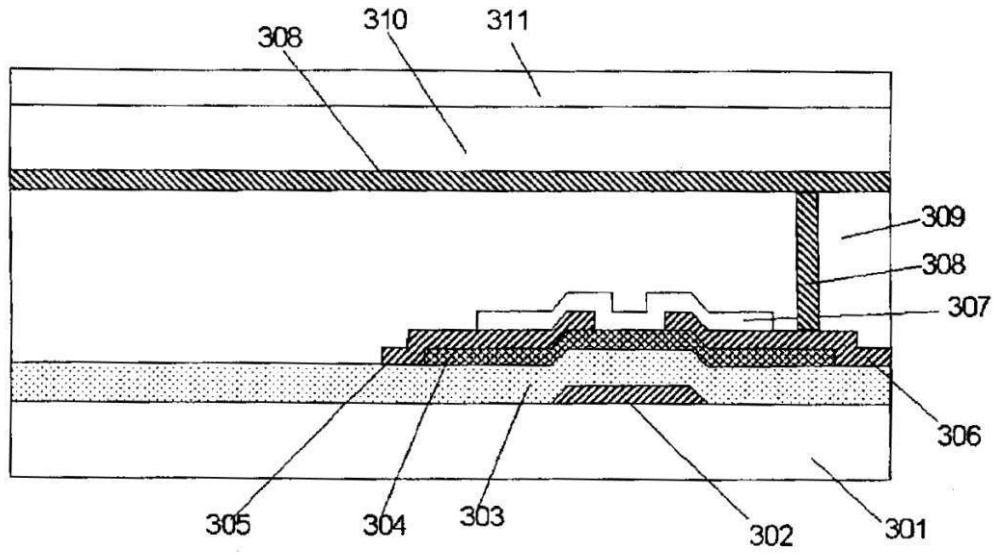
- 1 基板
- 2 ゲート電極
- 3 ゲート絶縁層
- 4 半導体層
- 4 a 第1の層
- 4 b 第2の層
- 5 ソース電極
- 6 ドレイン電極
- 7 保護層

20

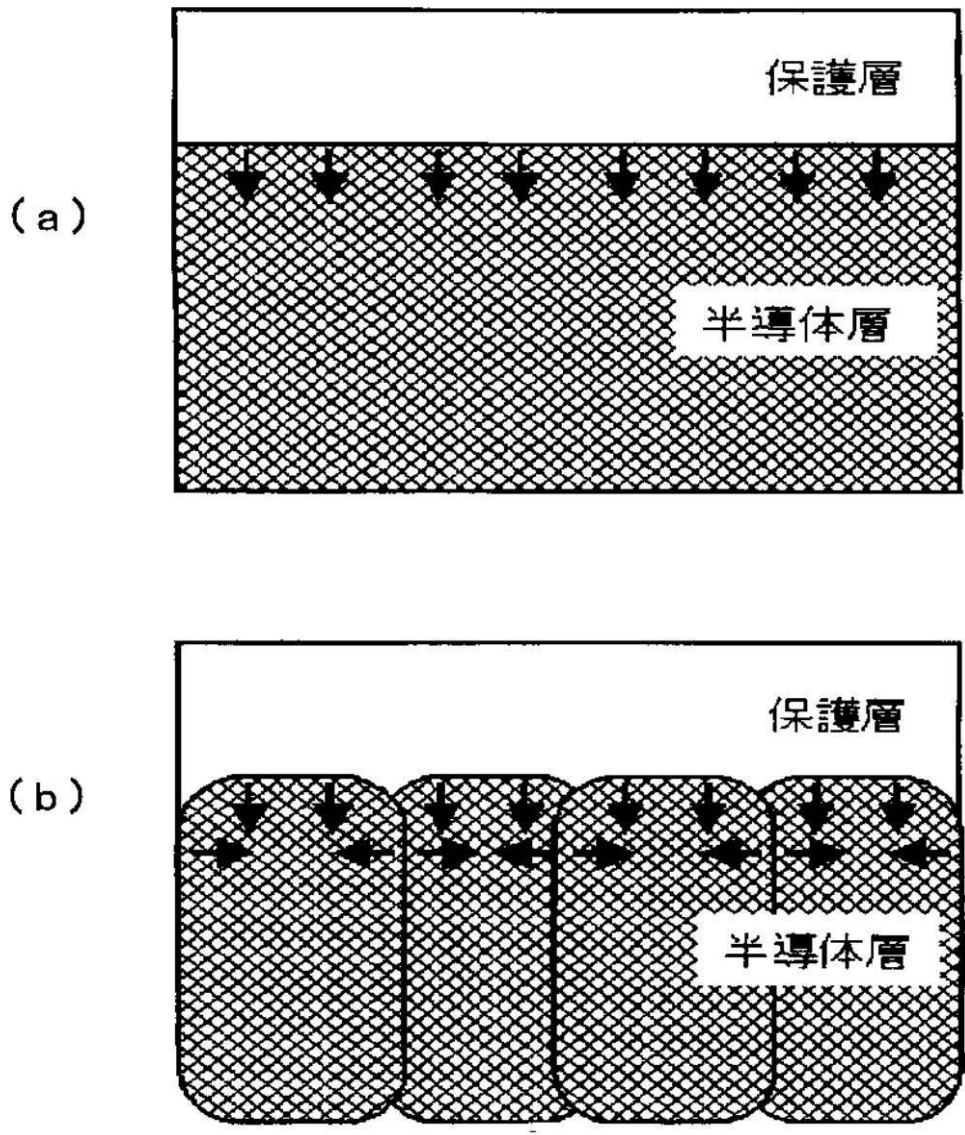
【図1】



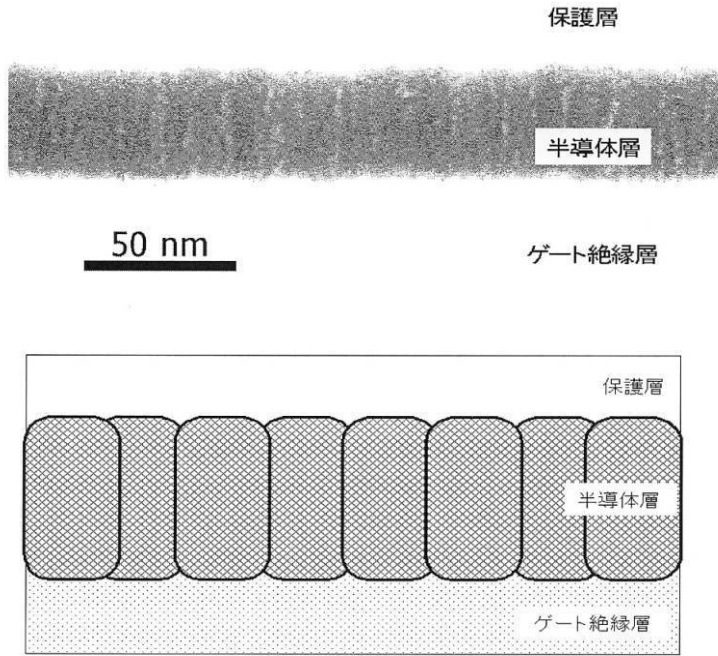
【圖 2】



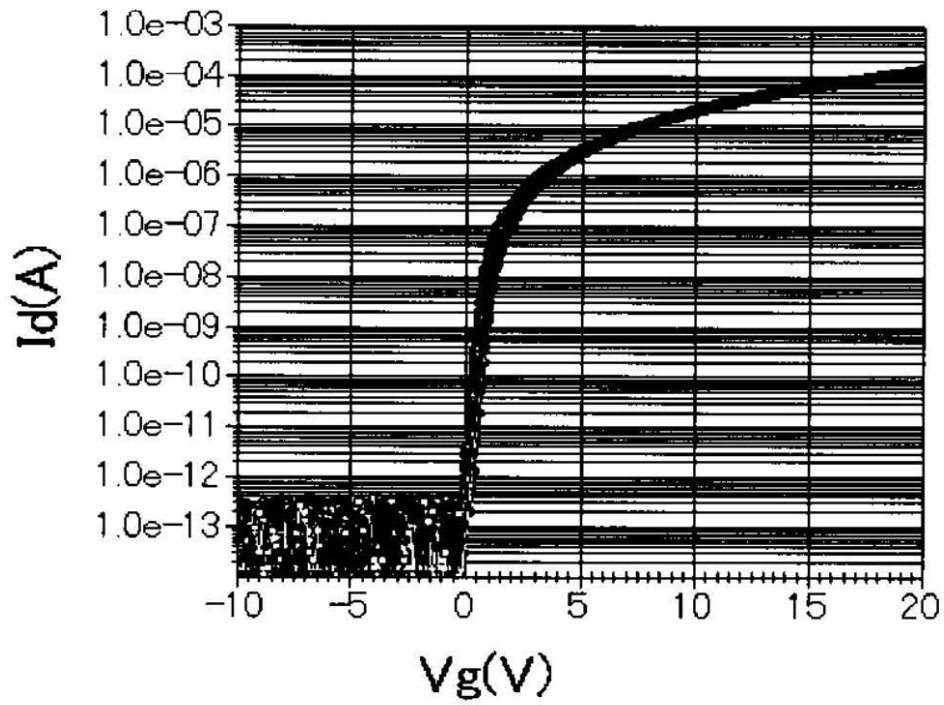
【圖 3】



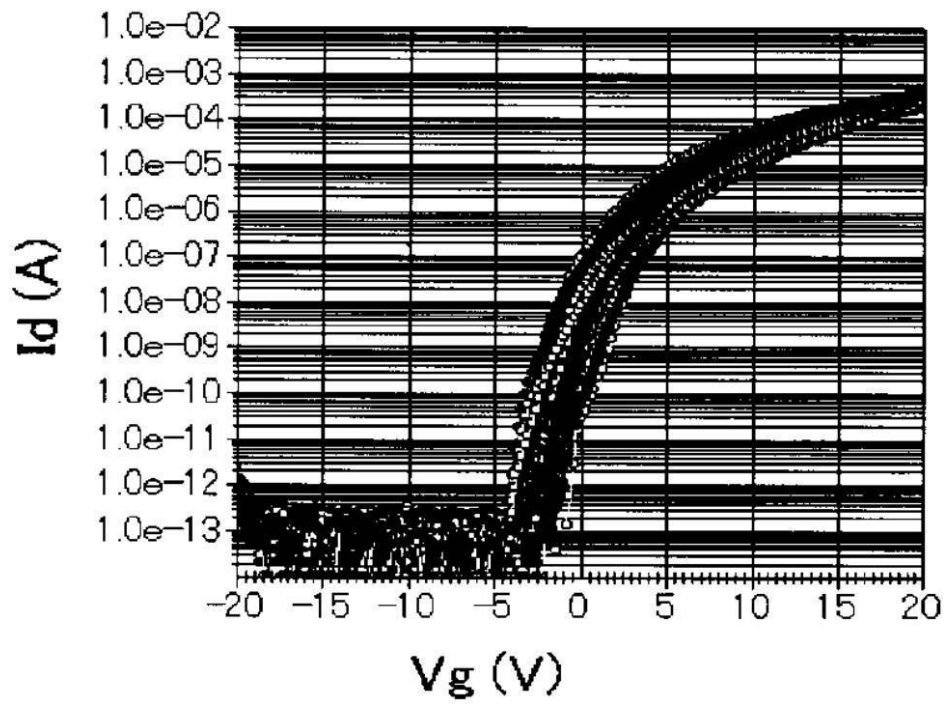
【図4】



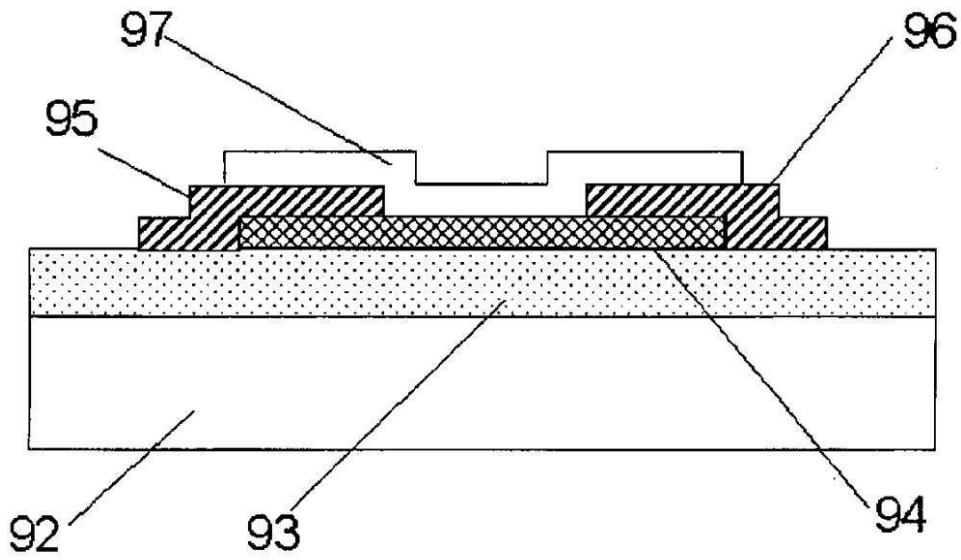
【図5】



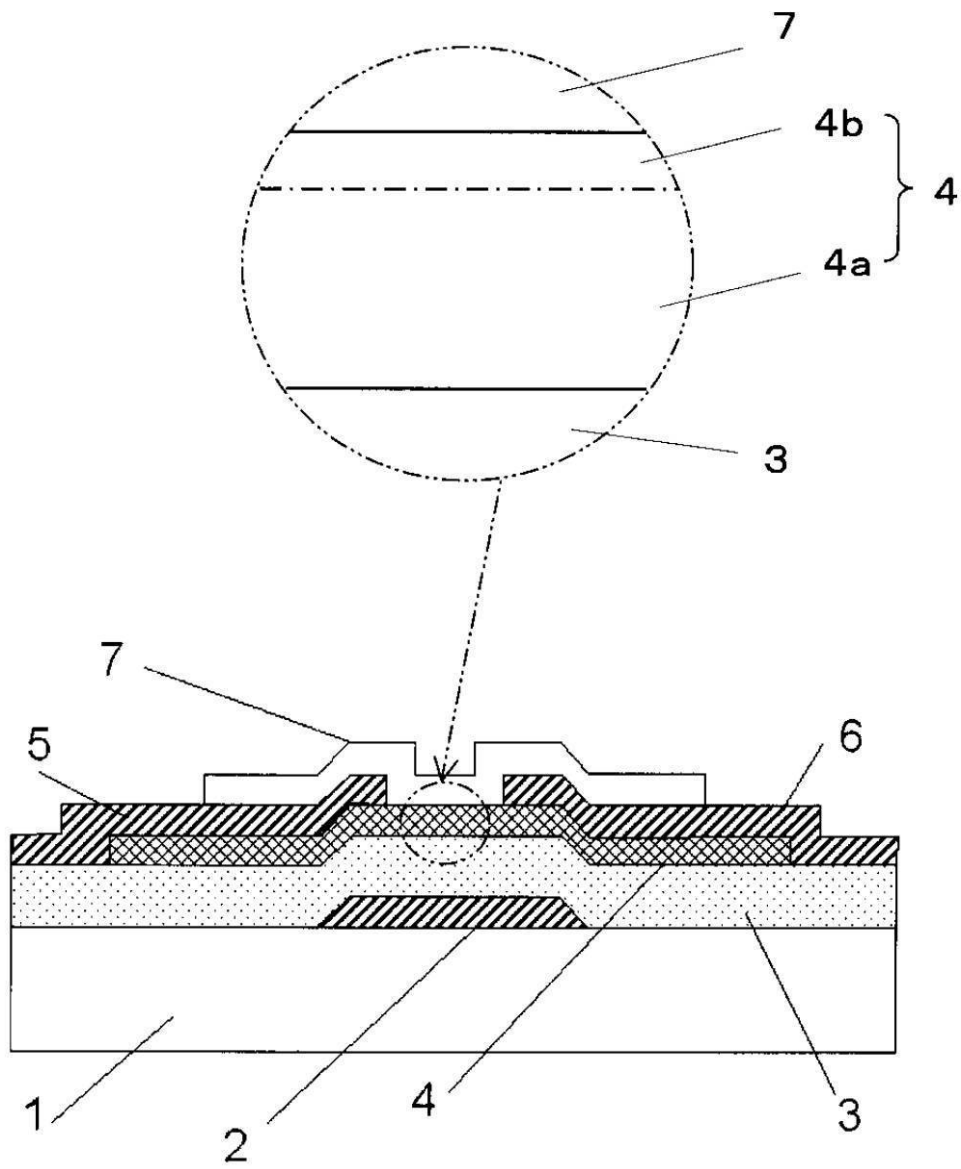
【図6】



【図7】



【図 8】



フロントページの続き

- (74)代理人 100104352
弁理士 朝日 伸光
- (74)代理人 100107401
弁理士 高橋 誠一郎
- (74)代理人 100106183
弁理士 吉澤 弘司
- (74)代理人 100120064
弁理士 松井 孝夫
- (74)代理人 100128646
弁理士 小林 恒夫
- (74)代理人 100128668
弁理士 齋藤 正巳
- (74)代理人 100128657
弁理士 三山 勝巳
- (72)発明者 島田 幹夫
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 林 享
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 雲見 日出也
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 綿引 隆

- (56)参考文献 特開2007-073705(JP,A)
特開平07-058336(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|--------|
| H01L | 21/336 |
| H01L | 29/786 |