



(12) 发明专利

(10) 授权公告号 CN 101924552 B

(45) 授权公告日 2013. 08. 07

(21) 申请号 201010202906. 3

(22) 申请日 2010. 06. 11

(30) 优先权数据

2009-141116 2009. 06. 12 JP

2010-081506 2010. 03. 31 JP

(73) 专利权人 日本电波工业株式会社

地址 日本东京

(72) 发明人 木村弘树

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 许海兰

(51) Int. Cl.

H03L 7/18(2006. 01)

H03L 7/099(2006. 01)

(56) 对比文件

CN 1117672 A, 1996. 02. 28, 全文.

CN 1169622 A, 1998. 01. 07, 全文.

CN 101093995 A, 2007. 12. 26, 全文.

JP 特开平 7-131343 A, 1995. 05. 19, 全文.

JP 特开平 9-8551 A, 1997. 01. 10, 全文.

CN 101421929 A, 2009. 04. 29, 全文.

审查员 吴卿

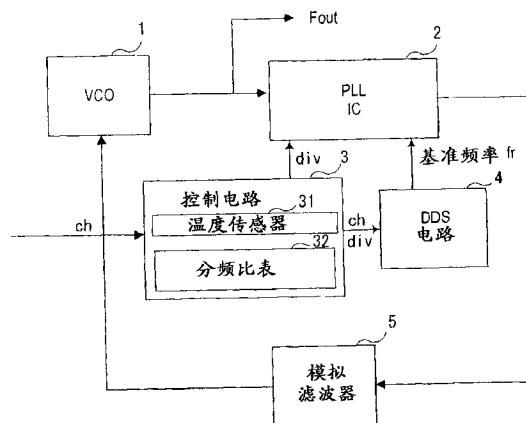
权利要求书2页 说明书6页 附图7页

(54) 发明名称

PLL 电路

(57) 摘要

本发明提供一种能够对全部信道得到寄生特性良好的 VCO 输出并且能够抑制因温度变化造成的特性变动的 PLL 电路。在该 PLL 电路中, 控制电路 (3) 具备温度传感器 (31)、与温度对应地对每个信道编号存储了电压控制振荡器的输出的寄生特性良好的分频比的分频比表 (32), 从分频比表 (32) 读取与由温度传感器 (31) 检测出的温度和所输入的信道编号对应的分频比, 并设定到 PLLIC (2), 并且向 DDS 电路 (基准频率生成电路) (4) 设定信道编号和分频比, DDS 电路 (4) 根据信道编号和分频比计算出基准频率的值, 生成与该值对应的基准频率。



1. 一种 PLL 电路, 具备振荡产生与控制电压对应的频率的电压控制振荡器, 该 PLL 电路的特征在于包括:

基准频率生成电路, 输出与信道编号对应的一定的频率;

相位比较单元, 对按照设定了的分频比对上述电压控制振荡器的输出频率进行了分频的频率和上述基准频率生成电路的输出频率进行比较而输出相位差;

循环滤波器, 根据上述相位差而生成控制电压;

控制部件, 具备对每个信道编号存储了上述电压控制振荡器的输出的寄生特性良好的分频比的分频比表, 其中如果从外部输入了信道编号, 则从上述分频比表读取与上述输入的信道编号对应的分频比, 并设定到上述相位比较单元, 并且对上述基准频率生成电路设定上述信道编号和上述分频比, 其中

在控制部件中具备测定周围的温度的温度传感器,

分频比表与温度对应地对每个信道编号存储了电压控制振荡器的输出的寄生特性良好的分频比,

上述控制部件从上述分频比表中读取与输入的信道编号和由上述温度传感器检测出的温度对应的分频比,

上述基准频率生成电路根据上述信道编号和上述分频比计算出基准频率的值, 并生成与计算出的该值对应的基准频率。

2. 根据权利要求 1 所述的 PLL 电路, 其特征在于:

相位比较单元是将电路集成在单一芯片中的 PLL 集成电路。

3. 根据权利要求 1 或 2 所述的 PLL 电路, 其特征在于:

基准频率生成电路具备对应地存储信道编号和电压控制振荡器的输出频率的表, 如果输入了信道编号和分频比, 则从对应地存储信道编号和电压控制振荡器的输出频率的上述表中读取与所输入的信道编号对应的电压控制振荡器的输出频率, 根据上述电压控制振荡器的输出频率和所输入的分频比, 将上述电压控制振荡器的输出频率除以上述所输入的分频比, 计算出基准频率的值。

4. 根据权利要求 1 所述的 PLL 电路, 其特征在于:

相位比较单元具备:

按照所设定的分频比对电压控制振荡器的输出频率进行分频的分频器;

将上述分频器的输出变换为数字信号的 A/D 变换器;

对上述 A/D 变换器的输出和基准频率进行比较的相位比较器;

对上述相位比较器的输出进行频带限制的数字滤波器;

将上述数字滤波器的输出变换为模拟信号的 D/A 变换器,

控制部件向上述分频器设定分频比,

基准频率生成电路将所生成的基准频率输出到上述相位比较器。

5. 根据权利要求 4 所述的 PLL 电路, 其特征在于:

基准频率生成电路具备对应地存储信道编号和电压控制振荡器的输出频率的表, 如果输入了信道编号和分频比, 则从对应地存储信道编号和电压控制振荡器的输出频率的上述表中读取与所输入的信道编号对应的电压控制振荡器的输出频率, 根据上述电压控制振荡器的输出频率、所输入的分频比, 将上述电压控制振荡器的输出频率除以上述所输入的分

频比,计算出基准频率的值。

PLL 电路

技术领域

[0001] 本发明涉及 PLL 电路,特别涉及能够提高寄生特性的 PLL 电路。

背景技术

[0002] [现有技术的说明 :图 7]

[0003] 使用图 7 说明一般的 PLL (Phase Locked Loop) 电路。图 7 是表示一般的 PLL 电路的结构的结构框图。

[0004] 如图 7 所示,一般的 PLL 电路包括 VC0 (Voltage Controlled Oscillator :电压控制振荡器) 1、PLLIC2、DDS (Direct Digital Synthesizer) 电路 4'、模拟滤波器 5。

[0005] VC01 与来自模拟滤波器 5 的控制电压对应地振荡频率。

[0006] PLLIC2 是以下这样的集成电路,即按照所设定的分频比对 VC01 的输出频率进行分频,输出控制为与来自 DDS 电路 4' 的基准频率相比,VC01 的输出频率成为规定频率的电压,PLLIC2 由单一芯片构成。

[0007] DDS 电路 4' 根据所设定的信道编号,生成并输出基准频率信号。

[0008] 模拟滤波器 5 取出来自 PLLIC2 的电压的直流部分,作为 VC01 的控制电压而输出。

[0009] 在上述结构的 PLL 电路中,PLLIC2 按照指定的分频比对输入的 VC01 的输出信号进行分频,对来自 DDS 电路 4' 的基准频率信号和相位进行比较,输出基于相位差的电压,由模拟滤波器 5 取出直流分量,作为控制电压施加到 VC01。由此,使 VC01 的输出 F_{out} 成为规定的频率。

[0010] [DDS 电路 4' :图 8]

[0011] 在此,使用图 8,说明现有的 PLL 电路的 DDS 电路 4' 的概要结构。图 8 是现有的 DDS 电路 4' 的概要结构图。

[0012] 如图 8 所示,现有的 DDS 电路 4' 的基本结构具备控制部件 41'、基准频率表 43。

[0013] 基准频率表 43 存储与信道编号对应的基准频率。

[0014] 另外,控制部件 41' 如果输入了信道编号,则参照基准频率表 43 读取基准频率,输出对应的正弦波的数据。

[0015] 进而,虽然省略图示,但由 D/A 变换器变换为模拟信号,经由滤波器而作为基准频率信号输出到 PLLIC2。

[0016] [寄生恶化 :图 9]

[0017] 在使用上述 PLL 电路作为合成器的情况下,通过改变来自 DDS 电路 4' 的基准频率、PLLIC2 的分频比的设定,能够输出多个信道。

[0018] 但是,根据信道,有时在来自 DDS 电路 4' 的基准频率、PLLIC2 的输出中包含寄生成分,作为结果,在 VC01 的输出中会产生寄生。

[0019] 另外,还有该寄生恶化具有温度依存性的情况。

[0020] 在此,使用图 9,说明在一般的 PLL 电路中,改变了 PLLIC2 的分频比 (div) 的情况下的 0 ~ 600 信道的 VC01 的输出寄生特性。图 9 是一般的 PLL 电路的 VC01 的输出寄生特

性的模式说明图。

[0021] 在图 9 中,表示了将 PLLIC2 的分频比改变为 133、135、137 的情况下的 VC01 的输出寄生特性。如图 9 所示可知,对于任意一个分频比,都有寄生特性显著恶化的信道。即,在每个信道中都有寄生特性良好的分频比和不好的分频比,对每个信道都不同。

[0022] [关联技术]

[0023] 作为与 PLL 电路有关的技术,有日本特开 2004-166179 号公报“无线通信用半导体集成电路装置”(申请人:关西日本电气株式会社,专利文献 1)、日本特开 2003-69426 号公报“频率合成器”(申请人:松下电器产业株式会社,专利文献 2)。

[0024] 另外,作为与频率合成器相关的技术,有日本特开 2007-208367 号公报“同步信号生成装置、发送机和控制方法”(申请人:株式会社ケンウツド,专利文献 3)。

[0025] 在专利文献 1 中记载了:在 PLL 电路中,通过从微型计算机设定信道编号,来设定最优的分频数 N、A,减轻微型计算机的负荷。

[0026] 但是,在专利文献 1 中,并没有记载基准频率 f_r 是固定值,是可变的。

[0027] 在专利文献 2 中记载了:在频率合成器中,即使基准频率信号与温度变化对应地变动,通过与温度变化对应地调节分频比,也能够减小输出频率的变动。

[0028] 但是,在专利文献 2 中,并没有记载有意图地改变基准频率信号,抑制寄生恶化。

[0029] 在专利文献 3 中记载了:针对 DDS 的输入信号频率和输出信号频率的组合,调整 PLL 电路的分频比、DDS 的输出频率 / 输入频率等,使得 DDS 的寄生成为规定电平以下。

[0030] 但是,在现有的 PLL 电路中,来自 DDS 电路的基准频率和 PLLIC 的分频比根据信道而被固定,并没有考虑到寄生特性,因此有以下的问题点:VCO 输出的寄生特性有时恶化,由于恶化依存于温度,所以特性根据温度变化而变动。

发明内容

[0031] 本发明就是鉴于上述实际情况而提出的,其目的在于:提供一种 PLL 电路,它能够对全部信道得到寄生特性良好的 VCO 输出,并且能够抑制因温度变化造成的特性变动。

[0032] 用于解决上述现有例子的问题点的本发明是具备振荡与控制电压对应的频率的电压控制振荡器的 PLL 电路,具备:基准频率生成电路,输出与信道编号对应的一定的频率;相位比较单元,对按照设定了的分频比对电压控制振荡器的输出频率进行了分频的频率和基准频率生成电路的输出频率进行比较而输出相位差;循环滤波器,根据相位差而生成控制电压;控制部件,对每个信道编号存储了电压控制振荡器的输出的寄生特性良好的分频比的分频比表,其中,如果从外部输入了信道编号,则从分频比表读取与输入的信道编号对应的分频比,并设定到相位比较单元,并且对基准频率生成电路设定信道编号和分频比,基准频率生成电路根据信道编号和分频比计算出基准频率的值并生成与计算出的对应的值对应的基准频率,具有以下这样的效果:输入了任意的信道编号,都能够成为与希望的电压控制振荡器的输出频率对应的最优的分频比和基准频率,能够使电压控制振荡器输出的寄生特性良好。

[0033] 另外,在本发明的上述 PLL 电路中,相位比较单元是把电路集成为单一芯片的 PLL 集成电路,具有能够使 PLL 电路全体小型化的效果。

[0034] 另外,在本发明的上述 PLL 电路中,相位比较单元具备:按照所设定的分频比对电

压控制振荡器的输出频率进行分频的分频器；将分频器的输出变换为数字信号的 A/D 变换器；对 D/A 变换器的输出和基准频率进行比较的相位比较器；对相位比较器的输出进行频带限制的数字滤波器；将数字滤波器的输出变换为模拟信号的 A/D 变换器，其中控制部件对分频器设定分频比，基准频率生成电路将所生成的基准频率输出到相位比较器，具有以下这样的效果：能够实现不使用 PLL 集成电路也能够使电压控制振荡器输出的寄生特性良好的数字控制 PLL 电路。

[0035] 另外，在本发明的上述 PLL 电路中，在控制部件中具备测定周围的温度的温度传感器，分频比表与温度对应地对每个信道编号存储了电压控制振荡器的输出的寄生特性良好的分频比，控制部件从分频比表读取与所输入的信道编号和由温度传感器检测出的温度对应的分频比，具有以下这样的效果：能够与使用的温度对应地设定为最优的分频比和基准频率，能够抑制因温度变化产生的特性的变动，使电压控制振荡器输出的寄生特性进一步良好。

[0036] 另外，在本发明的上述 PLL 电路中，基准频率生成电路具备：使信道编号和电压控制振荡器的输出频率对应起来进行存储的表，其中，如果输入了信道编号和分频比，则从表中读取与所输入的信道编号对应的电压控制振荡器的输出频率，根据电压控制振荡器的输出频率、输入的分频比，将电压控制振荡器的输出频率除以分频比，计算出基准频率的值，具有以下这样的效果：即使在希望的信道编号改变了的情况下，也能够容易地计算出适当的基准频率的值。

附图说明

[0037] 图 1 是本实施例的 PLL 电路的结构框图。

[0038] 图 2 是分频比表 32 的模式说明图。

[0039] 图 3 是 DDS 电路 4 的概要结构图。

[0040] 图 4 是表示了从 DDS 电路 4 输出的基准频率的例子的表图。

[0041] 图 5 是本 PLL 电路的 VCO1 的常温时的输出寄生特性的模式说明图。

[0042] 图 6 是适用了本 PLL 电路的数字控制 PLL 电路的结构框图。

[0043] 图 7 是表示一般的 PLL 电路的结构框图。

[0044] 图 8 是现有的 DDS 电路 4' 的概要结构图。

[0045] 图 9 是一般的 PLL 电路的 VCO1 的输出寄生特性的模式说明图。

[0046] 附图标号

[0047] 1:VCO;2:PLLIC;3、13:控制电路;4、14:DDS 电路;5:模拟滤波器;11:分频器;12:A/D 变换器;15:相位比较器;16:数字滤波器;18:D/A 变换器;19:A/D 变换器;31:温度传感器;32:分频比表;41:控制部件;42:VCO 输出频率表;43:基准频率表

具体实施方式

[0048] [实施例的概要]

[0049] 参照附图，说明本发明的实施例。

[0050] 本发明的实施例的 PLL 电路在控制电路中具备温度传感器，并且与使用温度区域对应地，对每个信道将试验求出的寄生特性良好的分频比存储为分频比表，从外部输入了

信道编号时,控制电路读取与由温度传感器检测出的温度数据和信道编号对应的分频比而设定到 PLLIC,将信道编号和分频比设定到 DDS 电路,DDS 电路根据信道编号和分频比计算出基准频率,生成基准频率信号并输出,因此,能够在实际使用的温度区域中使希望的信道的 VCO 输出的寄生特性良好。

[0051] [实施例的 PLL 电路:图 1]

[0052] 使用图 1 说明本实施例的 PLL 电路的结构。图 1 是实施例的 PLL 电路的结构框图。

[0053] 如图 1 所示,本实施例的 PLL 电路包括 VC01、PLLIC2、控制电路 3、DDS 电路 4、模拟滤波器 5,VC01、PLLIC2、模拟滤波器 5 的结构和动作与现有技术相同。

[0054] 另外,PLLIC2 相当于权利要求所记载的 PLL 集成电路,控制电路 3 相当于控制部件,DDS 电路 4 相当于基准频率生成电路。

[0055] 说明本 PLL 电路的特征部分。

[0056] [控制电路 3]

[0057] 控制电路 3 基本上具备计算电路和存储部件,作为本 PLL 电路的特征,在存储部件中存储分频比表 32,还设置有温度传感器 31。

[0058] 温度传感器 31 测量 VC01 等进行温度管理的代表性的部件的周围温度。

[0059] 分频比表 32 是本 PLL 电路的特征部分,与使用温度对应地,对每个信道编号存储了寄生特性良好的分频比。

[0060] [分频比表:图 2]

[0061] 在此,使用图 2,说明存储在控制电路 3 中的分频比表 32。图 2 是分频比表 32 的示意说明图。

[0062] 如图 2 所示,分频比表针对实际使用的全部信道,对每个使用温度,存储了寄生特性良好的分频比,在本 PLL 电路中,针对 1~600 信道,存储了低温、常温、高温时适当的分频比。在此,假设不满 0°C 为低温,0°C~50°C 为常温,50°C 以上为高温。

[0063] 各表值是预先试验求出的,对每个分频比较图 9 所示那样的各信道的寄生特性,选择各信道的寄生特性良好的最优的分频比。

[0064] 另外,作为本 PLL 电路的特征,控制电路 3 根据从外部输入的信道编号和来自温度传感器 31 的温度数据,从分频比表 32 读取分频比,向 PLLIC2 设定分频比,并且向 DDS 电路 4 设定信道编号和分频比。由此,在每次向控制电路 3 设定信道编号时,都向 PLLIC2 和 DDS 电路 4 设定寄生良好的最优的分频比。

[0065] [DDS 电路 4:图 3]

[0066] 接着,使用图 3 说明本 PLL 电路的 DDS 电路 4。图 3 是 DDS 电路 4 的概要结构图。

[0067] 现有的 DDS 电路 4' 在输入了信道编号时,将应该生成的基准频率确定为一个,但在本 PLL 电路的 DDS 电路 4 中,根据从控制电路 3 输入的信道编号和分频比在内部计算基准频率,与之对应地生成基准频率信号。

[0068] 如图 3 所示,本 PLL 电路的 DDS 电路 4 基本具备控制部件 41 和 VCO 输出频率表 42,其他还与现有技术一样地具备正弦波表、D/A 变换器、滤波器。

[0069] VCO 输出频率表 42 存储了与信道编号对应地规定的 VC01 的输出频率的值。在此,对 0~600 信道存储了 VC01 的输出频率。

[0070] 另外,在本 DDS 电路 4 中,控制部件 41 根据从图 1 所示的控制电路 3 输入的信

道编号和分频比,计算出应该输出的基准频率的值,根据该值生成基准频率信号,输出到 PLLIC2。

[0071] [基准频率的计算:图 4]

[0072] 在 DDS 电路 4 的控制部件 41 中,如果输入了从控制电路 3 输入的信道编号和分频比,则参照 VCO 输出频率表 42,读取与输入的信道编号对应的 VCO 输出频率。

[0073] 另外,控制部件 41 根据基准频率 (MHz) = VCO 输出频率 (GHz) / 分频比的计算公式,计算出基准频率。

[0074] 图 4 表示具体的计算例子。图 4 是表示从 DDS 电路 4 输出的基准频率的例子的表图。

[0075] 如图 4 所示,例如在信道编号为 0,分频比为 133 的情况下,基准频率(在图中记载为“DDS 输出频率”)为 15.03759MHz,即使是相同的信道编号 0,在分频比 137 的情况下,为 14.59854MHz。在本 PLL 电路中,如图 2 的分频比表所规定的那样,即使是相同的信道编号,由于温度的不同,最优的分频比也不同,因此,从 DDS 电路 4 输出的基准频率也不同。

[0076] 另外,DDS 电路 4 的控制部件 41 根据计算出的基准频率的值,输出正弦波的数据,由 D/A 变换器变换为模拟信号,并经由滤波器将模拟正弦波信号作为基准频率信号输出到 PLLIC2。

[0077] 由此,在 DDS 电路 4 中,能够与信道编号或使用温度对应地,根据寄生特性良好的分频比,生成基准频率信号。

[0078] [本 PLL 电路的寄生特性:图 5]

[0079] 接着,使用图 5,说明本 PLL 电路的 0 ~ 600 信道的 VCO1 的输出寄生特性。图 5 是本 PLL 电路的 VCO1 的常温时的输出寄生特性的示意说明图。

[0080] 如图 5 所示可以认为,在本 PLL 电路中,将对每个信道编号最优的分频比设定到 PLLIC2,与之对应地改变 DDS 电路 4 的基准频率,由此,在全部信道编号中能够得到比图 9 的一般的 PLL 电路的寄生特性更良好的特性。

[0081] 另外,在图 5 中,只表示出常温时,但低温时和高温时也成为比现有技术更良好的输出寄生特性。

[0082] [本 PLL 电路的适用例子:图 6]

[0083] 接着,使用图 6,说明本 PLL 电路的适用例子。图 6 是适用了本 PLL 电路的数字控制 PLL 电路的结构框图。

[0084] 如图 6 所示,适用了本 PLL 电路的数字控制 PLL 电路具备分频器 11、A/D 变换器 12、相位比较器 15、数字滤波器 16、D/A 变换器 17,来代替图 1 的 PLLIC2、VCO1、DDS 电路 14、模拟滤波器 18 与图 1 的 PLL 电路相同。

[0085] 控制电路 13 与图 1 的 PLL 电路的控制电路 3 一样,具备温度传感器和分频比表,向 A/D 变换器 12 和 D/A 变换器 17 指示输出的定时这一点与图 1 的 PLL 电路不同。

[0086] 另外,数字控制 PLL 电路的控制电路 13 与图 1 的 PLL 电路的控制电路 3 一样,根据输入的信道编号和检测出的温度数据,从分频比表读取最优的分频比,设定到分频器 11。

[0087] 同时,控制电路 13 向 DDS 电路 14 输出信道编号和分频比,在 DDS 电路 14 中,根据输入的信道编号和分频比,计算出基准频率,将正弦波数据输出到相位比较器 15。

[0088] 简单地说明上述结构的数字控制 PLL 电路的动作。

[0089] 由分频器 11 以从控制电路 13 指定的分频比 (N) 对 VCO1 的输出信号进行分频,按照指定的定时在 A/D 变换器 12 中进行 A/D 变换,并输入到相位比较器 15。

[0090] 在相位比较器 15 中,对来自 DDS 电路 14 的基准频率和来自 A/D 变换器 12 的输出数据的相位进行比较,检测相位差,由数字滤波器 16 对相位差信号进行滤波,按照指定的定时在 D/A 变换器 17 中变换为模拟信号,在模拟滤波器 18 中进行频带限制,将控制电压施加到 VCO1。

[0091] 在适用了本 PLL 电路的数字控制 PLL 电路中,由于对分频器 11 和 DDS 电路 14 设定与温度和信道对应的最优的分频比,所以具有使 VCO1 的输出具有良好的寄生特性的效果。

[0092] [实施例的效果]

[0093] 根据本发明的实施例的 PLL 电路,是以下这样的 PLL 电路,在控制电路 3 中设置温度传感器 31,与温度对应地具备存储了每个信道的寄生特性最好的分频比的分频比表 32,控制电路 3 根据从外部输入的信道编号、由温度传感器 31 检测出的温度数据,从分频比表 32 读取对应的分频比并设定到 PLLIC2,将分频比和信道编号设定到 DDS 电路 4, DDS 电路 4 根据所设定的分频比和信道编号,计算出基准频率的值,生成基准频率信号,因此,具有以下的效果:无论在怎样的温度和信道下,都能够防止 PLLIC2 和 DDS 电路 4 中的寄生特性的恶化,能够使 VCO 输出的寄生特性良好。

[0094] 另外,在本实施例中,与温度对应地具备设置在控制电路 3 中的分频比表,但在根据使用本 PLL 电路的环境而限制温度区域的情况下(例如常温等),也可以只存储与该温度区域对应的分频比。

[0095] 另外,在因温度造成的特性的变动大的情况下,也可以增多温度区域的区分。

[0096] 本发明适用于能够提高寄生特性的 PLL 电路。

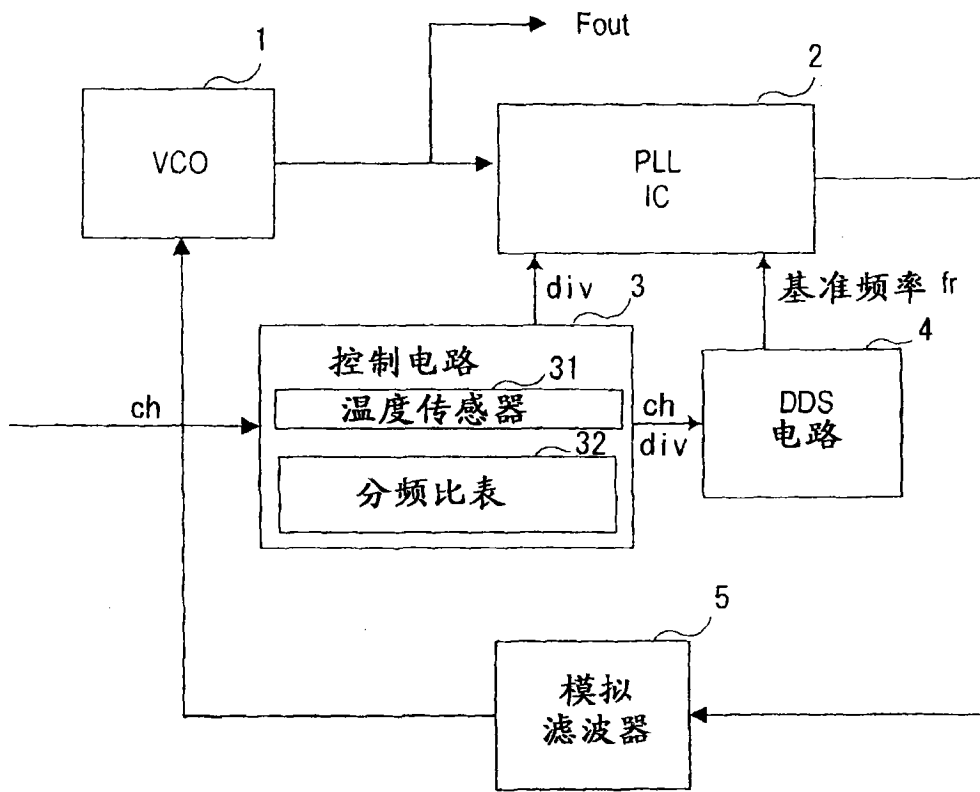


图 1

ch	div		
	低温度	普通温度	高温度
1	133	135	135
2	133	135	135
3	135	137	137
4	135	137	137
5	133	133	133
6	133	133	133
7	133	133	133
8	137	137	133
9	137	137	133
10	135	137	133
11	133	133	135
12	133	133	135
13	133	135	135
14	137	135	135
15	133	137	135
16	133	137	133
17	137	137	133
18	137	137	133
19	133	137	133
20	133	137	133
21	133	133	133
22	137	133	133
23	137	133	133
24	133	137	133
25	133	133	135
26	133	133	137
27	133	137	133
28	133	137	133
29	137	133	133
30	137	133	135

图 2

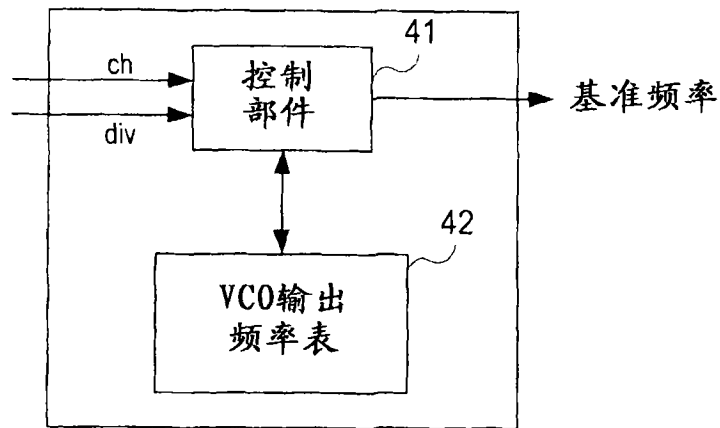


图 3

ch	VCO输出 频率 (GHz)	分频比	DDS输出 频率 (MHz)
0	2000	133	15.03759
0	2000	137	14.59854
600	2060	133	15.48872
600	2060	137	15.03649

图 4

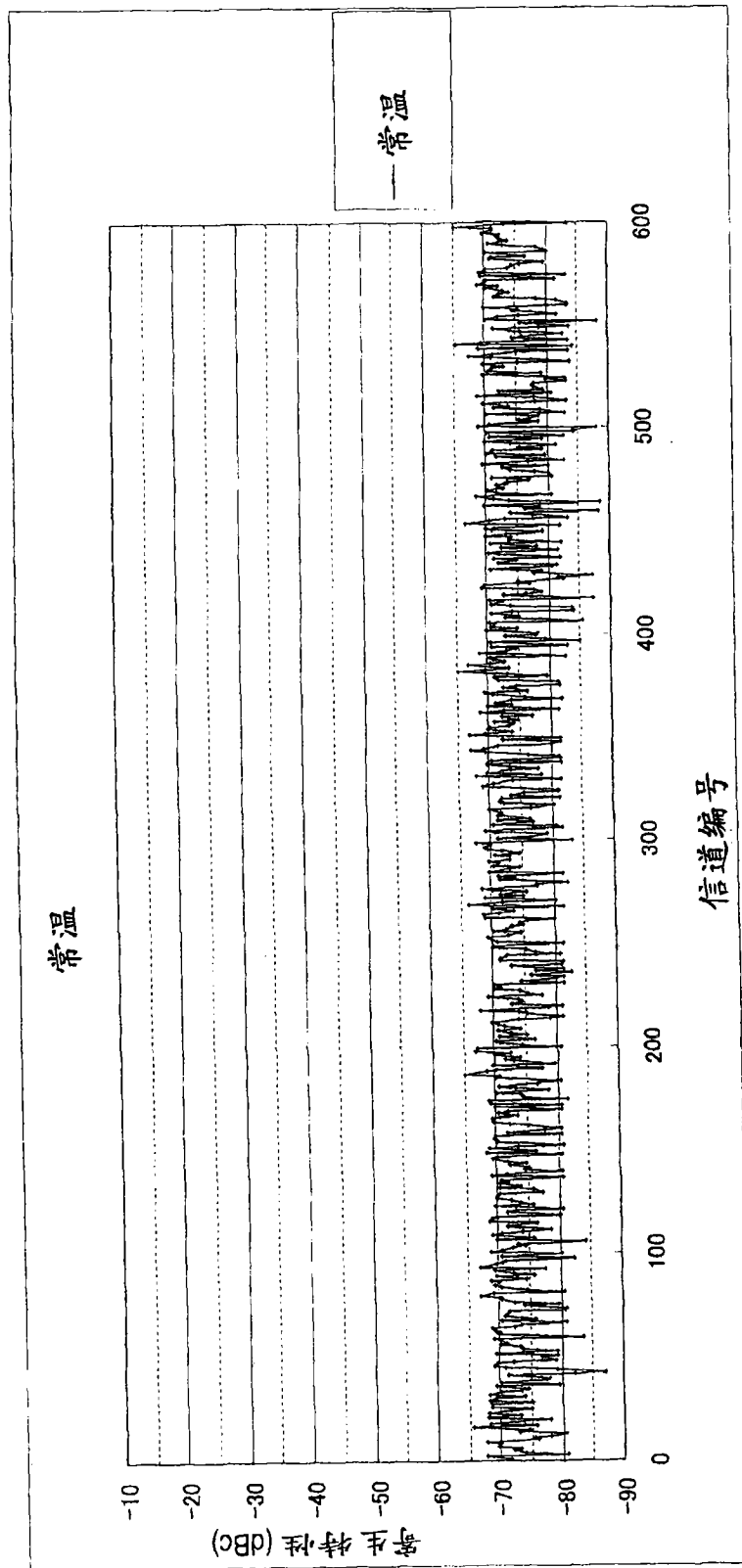


图 5

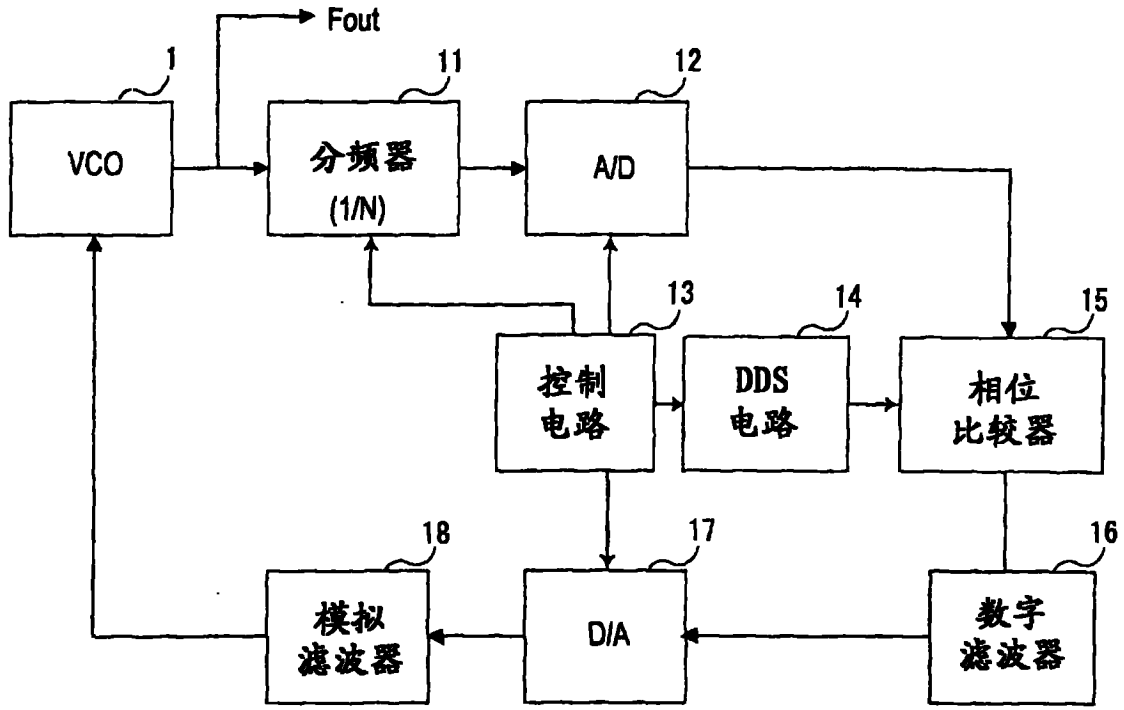


图 6

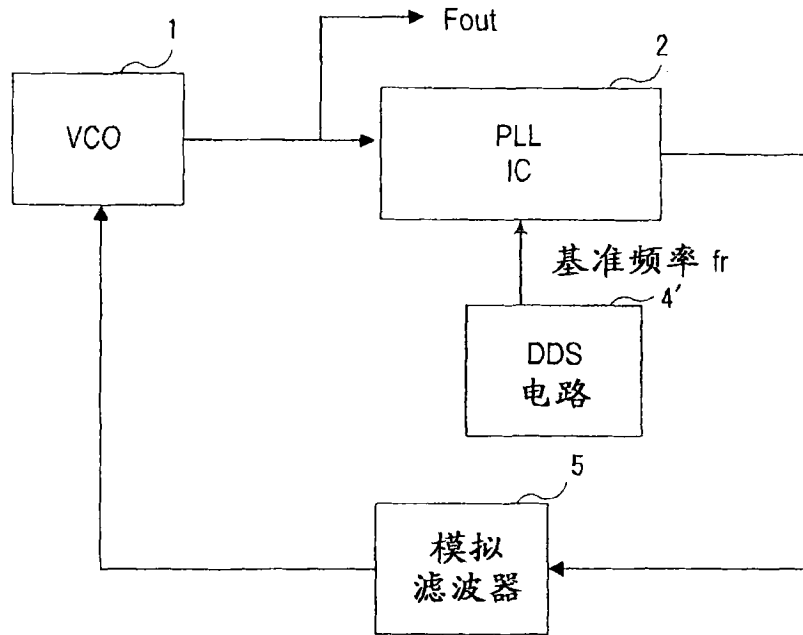


图 7(现有技术)

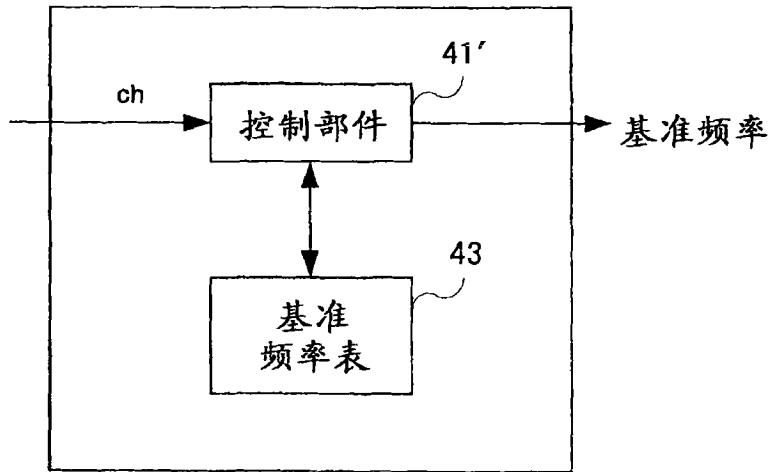


图 8(现有技术)

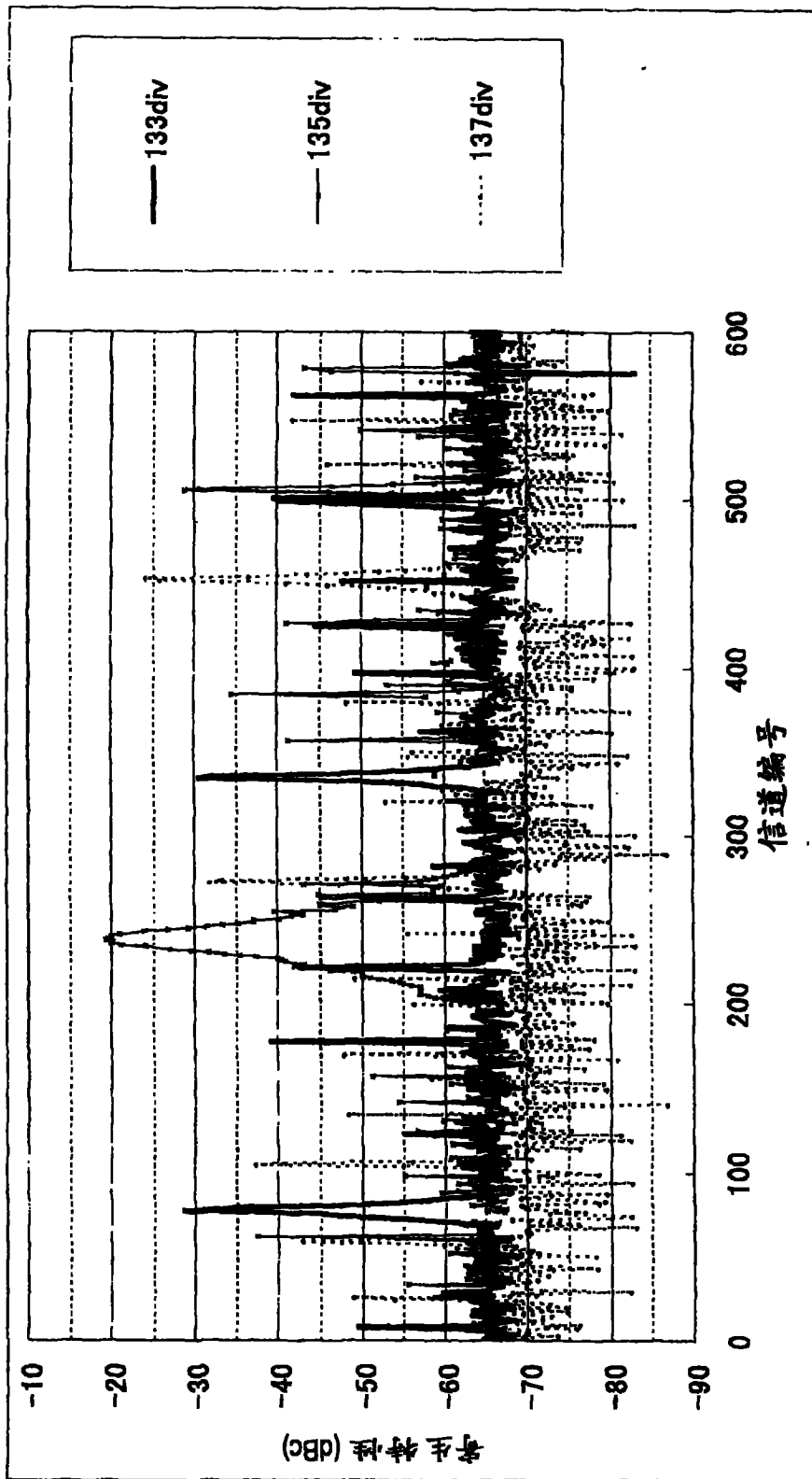


图9(现有技术)