



(12)发明专利

(10)授权公告号 CN 105448697 B

(45)授权公告日 2018.05.01

(21)申请号 201410345037.8

审查员 霍淑利

(22)申请日 2014.07.18

(65)同一申请的已公布的文献号

申请公布号 CN 105448697 A

(43)申请公布日 2016.03.30

(73)专利权人 中微半导体设备(上海)有限公司

地址 201201 上海市浦东新区金桥出口加

工区(南区)泰华路188号

(72)发明人 王红超

(74)专利代理机构 上海天辰知识产权代理事务

所(特殊普通合伙) 31275

代理人 吴世华 林彦之

(51)Int.Cl.

H01L 21/306(2006.01)

B81C 1/00(2006.01)

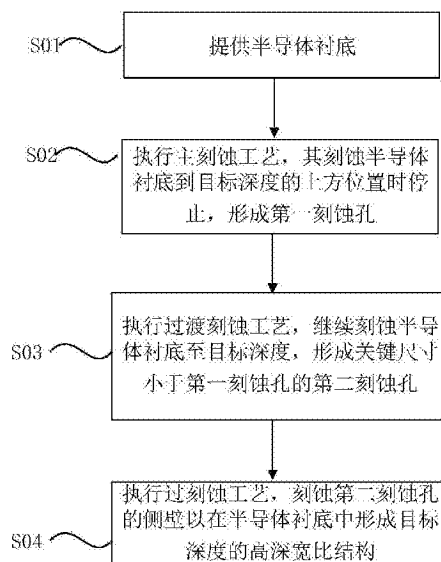
权利要求书2页 说明书6页 附图6页

(54)发明名称

高深宽比结构的刻蚀方法及MEMS器件的制作方法

(57)摘要

本发明公开了一种高深宽比结构的刻蚀方法,其包括主刻蚀、过渡刻蚀与过刻蚀。其中,主刻蚀工艺刻蚀半导体衬底至目标深度的上方位置时停止,形成第一刻蚀孔;过渡刻蚀控制继续刻蚀半导体衬底至目标深度,形成关键尺寸小于第一刻蚀孔的第二刻蚀孔;过刻蚀工艺刻蚀第二刻蚀孔的侧壁而最终形成目标深度的高深宽比结构。本发明可保护高深宽比结构底部不被横向刻蚀,从而避免刻蚀过程中横向凹陷的产生,提高器件性能。



1. 一种高深宽比结构的刻蚀方法,其特征在于,其包括以下步骤:

步骤S01,提供一半导体衬底;

步骤S02,执行主刻蚀工艺,刻蚀所述半导体衬底至目标深度的上方位置时停止以形成第一刻蚀孔,该主刻蚀工艺包括交替循环的刻蚀步骤和沉积步骤,所述第一刻蚀孔限定高深宽比结构的主体形状;

步骤S03,执行过渡刻蚀工艺,继续刻蚀所述半导体衬底至所述目标深度以形成关键尺寸小于第一刻蚀孔的第二刻蚀孔,该过渡刻蚀工艺包括交替循环的刻蚀步骤和沉积步骤,其中刻蚀步骤和沉积步骤的刻蚀/沉积速率比小于所述主刻蚀工艺中刻蚀步骤和沉积步骤的刻蚀/沉积速率比以增加形成在所述第二刻蚀孔侧壁的聚合物;以及

步骤S04,执行过刻蚀工艺,刻蚀所述第二刻蚀孔的侧壁以在所述半导体衬底中形成达到所述目标深度的、与所述第一刻蚀孔限定的主体形状一致的高深宽比结构。

2. 根据权利要求1所述的高深宽比结构的刻蚀方法,其特征在于,步骤S02中,所述主刻蚀工艺刻蚀所述半导体衬底至所述目标深度上方2-3 μm 的高度处停止。

3. 根据权利要求2所述的高深宽比结构的刻蚀方法,其特征在于,步骤S02中通过终点检测技术或工艺时间控制所述主刻蚀工艺的刻蚀深度。

4. 根据权利要求1所述的高深宽比结构的刻蚀方法,其特征在于,步骤S03中通过刻蚀终点检测技术或工艺时间控制所述过渡刻蚀工艺的刻蚀深度。

5. 根据权利要求1所述的高深宽比结构的刻蚀方法,其特征在于,步骤S01包括在所述半导体衬底上形成图形化的掩膜层;所述主刻蚀工艺、过渡刻蚀工艺和过刻蚀工艺均以所述图形化的掩膜层为刻蚀掩膜执行刻蚀工艺。

6. 根据权利要求1所述的高深宽比结构的刻蚀方法,其特征在于,所述主刻蚀工艺的刻蚀/沉积速率比为1:1~2:1;所述过渡刻蚀工艺的刻蚀/沉积速率比小于等于1:1。

7. 根据权利要求1所述的高深宽比结构的刻蚀方法,其特征在于,在进行所述主刻蚀工艺、过渡刻蚀工艺和过刻蚀工艺时,通入处理腔室的气体包括刻蚀气体和沉积气体,所述刻蚀气体为 SF_6 ,所述沉积气体为 C_4F_8 。

8. 根据权利要求7所述的高深宽比结构的刻蚀方法,其特征在于,所述主刻蚀工艺、过渡刻蚀工艺和过刻蚀工艺中所述处理腔室的压力、温度、气体流速和射频源功率均相同;其中刻蚀气体的流速为100~2000sccm,沉积气体的流速为100~2000sccm,处理腔室的压力范围为40~120毫托,源射频源的功率为1500~3000瓦,偏置射频源的功率以脉冲方式输出且大于300瓦。

9. 一种MEMS器件的制造方法,其特征在于,包括以下步骤:

提供一基体衬底,该基体衬底上沉积有氧化层;

提供一半导体衬底并将所述基体衬底与所述半导体衬底键合;

执行主刻蚀工艺,刻蚀所述半导体衬底至其底部的上方位置时停止以形成第一刻蚀孔,该主刻蚀工艺包括交替循环的刻蚀步骤和沉积步骤,所述第一刻蚀孔限定高深宽比结构的主体形状;

执行过渡刻蚀工艺,继续刻蚀所述半导体衬底直至暴露所述氧化层表面以形成关键尺寸小于所述第一刻蚀孔的第二刻蚀孔,该过渡刻蚀工艺包括交替循环的刻蚀步骤和沉积步骤,其中刻蚀步骤和沉积步骤的刻蚀/沉积速率比小于所述主刻蚀工艺中刻蚀步骤和沉积

步骤的刻蚀/沉积速率比以增加形成在所述第二刻蚀孔侧壁的聚合物;以及

执行过刻蚀工艺,刻蚀所述第二刻蚀孔的侧壁以形成贯穿所述半导体衬底、与所述第一刻蚀孔限定的主体形状一致的高深宽比结构。

10.一种MEMS器件的制造方法,其特征在于,包括以下步骤:

提供一基体衬底,该基体衬底上形成一氧化层;

在所述基体衬底和氧化层中形成MEMS空腔;

提供一半导体衬底并将所述基体衬底与所述半导体衬底键合;

执行主刻蚀工艺,刻蚀所述半导体衬底至其底部的上方位置时停止以形成第一刻蚀孔,该主刻蚀工艺包括交替循环的刻蚀步骤和沉积步骤,所述第一刻蚀孔限定高深宽比结构的主体形状;

执行过渡刻蚀工艺,继续刻蚀所述半导体衬底至其底部以形成与所述MEMS空腔连通且关键尺寸小于所述第一刻蚀孔的第二刻蚀孔,该过渡刻蚀工艺包括交替循环的刻蚀步骤和沉积步骤,其中刻蚀步骤和沉积步骤的刻蚀/沉积速率比小于所述主刻蚀工艺中刻蚀步骤和沉积步骤的刻蚀/沉积速率比以增加形成在所述第二刻蚀孔侧壁的聚合物;以及

执行过刻蚀工艺,刻蚀所述第二刻蚀孔的侧壁以形成贯穿所述半导体衬底且与所述MEMS空腔连通、与所述第一刻蚀孔限定的主体形状一致的高深宽比结构。

高深宽比结构的刻蚀方法及MEMS器件的制作方法

技术领域

[0001] 本发明涉及半导体集成电路制造工艺技术领域,尤其涉及一种高深宽比结构的刻蚀方法及相应的MEMS器件的制作方法。

背景技术

[0002] 深反应离子刻蚀技术(Deep reactive ion etching, DRIE)是一种基于等离子体技术的刻蚀工艺,主要用于加工具有垂直侧壁的高深宽比微结构,具有垂直性好的特点。这一技术在过去的十几年中极大地拓展了体硅工艺的加工能力和使用范围,在MEMS加工技术以及新兴的3D互连技术中应用十分广泛。但是在基于SOI技术的MEMS高深宽比微结构加工以及基于SOI技术的3D互连高深宽比结构加工时,DRIE工艺却存在着一些被认为对刻蚀速率和结构轮廓不利的效应,如横向刻蚀(Notching)效应。

[0003] 常规的应用于MEMS加工技术和3D互连技术的RIE工艺基于Bosch工艺的原理实现高深宽比的刻蚀,主要由两步组成:第一步,主刻蚀(Main Etch),用来形成高深宽比结构的主体形状,在这一步骤大部分硅被快速刻尽形成深槽,主要影响高深宽比结构的主体垂直度;第二步,过刻蚀(Over Etch),这一步用来去除主刻蚀步骤中没有刻尽的硅残留。

[0004] 为了提高通孔的侧壁的垂直度和粗糙度的要求,现有的RIE刻蚀高深宽比结构通常采用Bosch工艺。美国专利US5501893对Bosch工艺记载道:Bosch工艺是利用沉积、刻蚀交替进行的方法进行深孔刻蚀。其具体过程为:提供半导体衬底,所述半导体衬底上形成有具有开口的光刻胶掩膜层;进行刻蚀步骤:向刻蚀腔室中通入刻蚀气体(比如: SF_6),刻蚀气体被解离为等离子体,对所述半导体衬底进行刻蚀,形成刻蚀孔;进行沉积步骤:向刻蚀腔室中通入沉积气体(比如: CF_4 、 C_4F_8),沉积气体被解离为等离子体,在刻蚀孔的侧壁形成聚合物,所述聚合物在下一刻蚀步骤时保护已形成的刻蚀孔的侧壁不会被刻蚀到,从而保证整个Bosch刻蚀过程的各向异性;重复上述刻蚀步骤和沉积步骤,高速交替循环,直至在半导体衬底中形成高深宽比结构。

[0005] 然而,由于电子比离子有更宽的角度分布,侧壁和掩膜对电子的遮蔽要多于对离子的遮蔽,因此,最后到达孔底部的离子要多于电子。当主刻蚀结束时(当刻蚀到达SOI衬底的氧化硅埋层时),因为氧化硅为绝缘体,离子电荷积聚在槽底部,造成沟槽底部电势的差异,当后续离子轰击槽底时会受到积聚电荷的排斥而改向轰击侧壁,导致侧壁底部被掏蚀。如图1所示产生横向凹陷(Notching)。

[0006] 因此,如何在基于SOI技术的MEMS器件及3D互连的RIE刻蚀中的消除Notching效应成为业界亟需解决的问题。

[0007] 为了消除刻蚀横向凹陷,中国专利ZL200310122904.3公开了一种两步过刻蚀的方法,第一步用高压过刻蚀,此高压容易使等离子体中产生高分子聚合物,使侧壁上及底部形成钝化保护层,第二步是一般常规的过刻蚀,它的压力相较第一步而言稍低,用来去除未刻尽的硅残留。然而,这两步过刻蚀的刻蚀时间很难掌握,若第一步过刻蚀时间越长,侧壁的钝化保护层就越厚,形貌越倾斜,横向凹槽出现可能性越小;若第二步过刻蚀刻蚀时

间越长,栅就越垂直,但是横向凹槽出现的可能性就越大。因此,该专利的方法很难既保证没有横向凹槽,又同时尽可能使侧壁形貌垂直。

[0008] 中国专利申请CN103400800A公开了一种Bosch刻蚀方法,其刻蚀步骤为,通入刻蚀气体,施加源射频功率源到反应腔以维持反应腔内的等离子浓度,同时施加第一偏置功率源到基座,沿开口刻蚀部分基片形成刻蚀孔;其沉积步骤为,通入沉积气体,施加第二偏置功率源到基座,在刻蚀孔的侧壁表面和掩膜层表面沉积形成聚合物,第二偏置功率源的频率大于第一偏置功率源的频率。然而,该专利申请的刻蚀方法需要对刻蚀和沉积步骤偏置功率源的频率不断进行交替调整,增加了工艺难度和成本,也不利于工艺的稳定性。

发明内容

[0009] 本发明的目的在于弥补上述现有技术的不足,提供一种高深宽比结构刻蚀方法,通过在主刻蚀工艺与过刻蚀工艺之间增加一步过渡刻蚀工艺,避免刻蚀过程中横向凹陷的产生。

[0010] 为实现上述目的,本发明提供一种高深宽比结构的刻蚀方法,其包括以下步骤:

[0011] 步骤S01,提供一半导体衬底;

[0012] 步骤S02,执行主刻蚀工艺,刻蚀所述半导体衬底至目标深度的上方位置时停止以形成第一刻蚀孔,该主刻蚀工艺包括交替循环的刻蚀步骤和沉积步骤,所述第一刻蚀孔限定高深宽比结构的主体形状;

[0013] 步骤S03,执行过渡刻蚀工艺,继续刻蚀所述半导体衬底至所述目标深度以形成关键尺寸小于第一刻蚀孔的第二刻蚀孔,该过渡刻蚀工艺包括交替循环的刻蚀步骤和沉积步骤,其中刻蚀步骤和沉积步骤的刻蚀/沉积速率比小于所述主刻蚀工艺中刻蚀步骤和沉积步骤的刻蚀/沉积速率比;以及

[0014] 步骤S04,执行过刻蚀工艺,刻蚀所述第二刻蚀孔的侧壁以在所述半导体衬底中形成达到所述目标深度的高深宽比结构。

[0015] 进一步地,步骤S02中,所述主刻蚀工艺刻蚀所述半导体衬底至所述目标深度上方2-3 μm 的高度处停止。

[0016] 进一步地,步骤S02中通过终点检测技术或工艺时间控制所述主刻蚀工艺的刻蚀深度。

[0017] 进一步地,步骤S03中通过刻蚀终点检测技术或工艺时间控制所述过渡刻蚀工艺的刻蚀深度。

[0018] 进一步地,步骤S01包括在所述半导体衬底上形成图形化的掩膜层;所述主刻蚀工艺、过渡刻蚀工艺和过刻蚀工艺均以所述图形化的掩膜层为刻蚀掩膜执行刻蚀工艺。

[0019] 进一步地,所述主刻蚀工艺的刻蚀/沉积速率比为1:1~2:1,所述过渡刻蚀工艺的刻蚀/沉积速率比小于等于1:1。

[0020] 进一步地,在进行所述主刻蚀工艺、过渡刻蚀工艺和过刻蚀工艺时,通入处理腔室的气体包括刻蚀气体和沉积气体,所述刻蚀气体为 SF_6 ,所述沉积气体为 C_4F_8 。

[0021] 进一步地,所述主刻蚀工艺、过渡刻蚀工艺和过刻蚀工艺中所述处理腔室的压力、温度、气体流速和射频源功率均相同;其中刻蚀气体的流速为100~2000sccm,沉积气体的流速为100~2000sccm,处理腔室的压力范围为40~120毫托,源射频源的功率为1500~

3000瓦,偏置射频源的功率以脉冲方式输出且大于300瓦。

[0022] 本发明还基于上述的高深宽比结构的刻蚀方法提出了一种MEMS器件的制作方法,包括以下步骤:提供一基体衬底,该基体衬底上沉积有氧化层;提供一半导体衬底并将所述基体衬底与所述半导体衬底键合;执行主刻蚀工艺,刻蚀所述半导体衬底至其底部的上方位置时停止以形成第一刻蚀孔,该主刻蚀工艺包括交替循环的刻蚀步骤和沉积步骤,所述第一刻蚀孔限定高深宽比结构的主体形状;执行过渡刻蚀工艺,继续刻蚀所述半导体衬底直至暴露所述氧化层表面以形成关键尺寸小于所述第一刻蚀孔的第二刻蚀孔,该过渡刻蚀工艺包括交替循环的刻蚀步骤和沉积步骤,其中刻蚀步骤和沉积步骤的刻蚀/沉积速率比小于所述主刻蚀工艺中刻蚀步骤和沉积步骤的刻蚀/沉积速率比;以及执行过刻蚀工艺,刻蚀所述第二刻蚀孔的侧壁以形成贯穿所述半导体衬底的高深宽比结构。

[0023] 本发明还基于上述的高深宽比结构刻蚀方法提出了另一种MEMS器件的制作方法,包括以下步骤:提供一基体衬底,该基体衬底上形成一氧化层;在所述基体衬底和氧化层中形成MEMS空腔;提供一半导体衬底并将所述基体衬底与所述半导体衬底键合;执行主刻蚀工艺,刻蚀所述半导体衬底至其底部的上方位置时停止以形成第一刻蚀孔,该主刻蚀工艺包括交替循环的刻蚀步骤和沉积步骤,所述第一刻蚀孔限定高深宽比结构的主体形状;执行过渡刻蚀工艺,继续刻蚀所述半导体衬底至其底部以形成与所述MEMS空腔连通且关键尺寸小于所述第一刻蚀孔的第二刻蚀孔,该过渡刻蚀工艺包括交替循环的刻蚀步骤和沉积步骤,其中刻蚀步骤和沉积步骤的刻蚀/沉积速率比小于所述主刻蚀工艺中刻蚀步骤和沉积步骤的刻蚀/沉积速率比;以及执行过刻蚀工艺,刻蚀所述第二刻蚀孔的侧壁以形成贯穿所述半导体衬底且与所述MEMS空腔连通的高深宽比结构。

[0024] 本发明提供的高深宽比结构的刻蚀方法,通过在常规主刻蚀工艺与过刻蚀工艺之间,增加一步过渡刻蚀工艺的步骤,其中,主刻蚀工艺将高深宽比结构刻蚀至目标深度(如下层刻蚀停止层)上方位置时停止,随后进行刻蚀/沉积速率比更小的过渡刻蚀工艺,来保护高深宽比结构底部不因过刻蚀工艺而被横向刻蚀,从而避免在高深宽比结构底部产生横向凹陷,能够显著提高器件性能。

附图说明

[0025] 为能更清楚理解本发明的目的、特点和优点,以下将结合附图对本发明的较佳实施例进行详细描述,其中:

[0026] 图1是采用现有的Bosch工艺形成的高深宽比结构的底部凹陷的示意图;

[0027] 图2是本发明的高深宽比结构的刻蚀方法的流程示意图;

[0028] 图3a至3d是本发明的高深宽比结构的刻蚀方法各步骤的截面示意图;

[0029] 图4a至4d是本发明一实施例应用高深宽比结构的刻蚀方法制作MEMS器件的截面示意图;

[0030] 图5a至5c是本发明另一实施例应用高深宽比结构的刻蚀方法制作MEMS器件的截面示意图。

具体实施方式

[0031] 图2为本发明的高深宽比结构刻蚀方法的流程示意图,图3a~3d为高深宽比结构

的刻蚀方法各步骤的剖视图,请结合参照图2和图3a~3d,高深宽比结构的刻蚀方法通过深反应离子刻蚀(RIE)工艺完成,其具体包括以下步骤:

[0032] 步骤S01,请参考图3a,提供半导体衬底10。

[0033] 该步骤中,还包括在半导体衬底上形成掩膜层11并图形化,在掩膜层中形成暴露出半导体衬底表面的窗口11a。其中,掩膜层的材料可以选自氧化硅、氮化硅或其组成的多层结构,也可以采用金属硬掩膜材料如氮化钛等,本发明并不加以限制。掩膜层的图形化可通过常规的光刻刻蚀实现,在此不作赘述。

[0034] 步骤S02,请参考图3b,执行主刻蚀(Main Etch)工艺,其刻蚀半导体衬底到目标深度的上方位置时停止,形成第一刻蚀孔。

[0035] 本步骤中主刻蚀工艺为博世(Bosch)刻蚀,包括交替循环的刻蚀步骤和沉积步骤。其具体过程为:刻蚀步骤采用等离子体干法刻蚀进行,向处理腔室中通入刻蚀气体,如 SF_6 ,刻蚀气体被电离为等离子体,对半导体衬底未被掩膜层遮蔽的暴露部分进行刻蚀,形成刻蚀孔;进行沉积步骤时向刻蚀腔室中通入沉积气体,如 C_4F_8 ,沉积气体被电离为等离子体,在刻蚀孔的侧壁形成聚合物,该聚合物在下一刻蚀步骤时保护已形成的刻蚀孔的侧壁不会被刻蚀到,从而保证整个博世刻蚀工艺的各向异性。重复上述刻蚀步骤和沉积步骤,直至在半导体衬底中形成第一刻蚀孔12,如图3b所示。需要注意的是,第一刻蚀孔12限定了最终形成的高深宽比结构的形状,但其深度要小于高深宽比结构的目标深度,即在刻蚀至距离目标深度上方一定高度的位置时,主刻蚀工艺停止,以留下一部分半导体衬底厚度待过渡刻蚀工艺及过刻蚀工艺去除。较佳的,主刻蚀工艺是刻蚀半导体衬底至目标深度上方2-3 μm 的高度处停止,可通过终点检测技术或工艺时间控制来决定主刻蚀工艺的刻蚀深度。

[0036] 在主刻蚀工艺期间,刻蚀/沉积速率比为1:1至2:1,这样使得刻蚀的速率较快,因此刻蚀形成的第一刻蚀孔的形貌较高。

[0037] 步骤S03,请参考图3c,执行过渡刻蚀(Transition Etch)工艺,继续刻蚀半导体衬底至目标深度,形成关键尺寸小于第一刻蚀孔的第二刻蚀孔。

[0038] 本步骤中,过渡刻蚀工艺同样为博世工艺,包括交替循环的刻蚀步骤和沉积步骤,并且掩膜层仍作为过渡刻蚀工艺的掩膜。其中,刻蚀步骤采用等离子体干法刻蚀,刻蚀气体仍选用 SF_6 ,沉积步骤中沉积气体仍选用 CF_4 ,刻蚀步骤与沉积步骤交替循环,需要注意的是,本步骤中刻蚀步骤和沉积步骤的刻蚀/沉积速率比要小于主刻蚀工艺中刻蚀步骤和沉积步骤的刻蚀/沉积速率比,较佳的两者的刻蚀/沉积速率比小于等于1:1。过渡刻蚀工艺沿着第一刻蚀孔刻蚀半导体衬底并在第一刻蚀孔12底部形成关键尺寸(critical dimension)小于第一刻蚀孔的关键尺寸(也即是高深宽比结构的关键尺寸)的第二刻蚀孔13,如图3c所示。其中可通过终点检测技术或工艺时间控制来决定过渡刻蚀工艺的刻蚀深度。第一刻蚀孔12和第二刻蚀孔13构成一台阶型孔。一般来说,第二刻蚀孔13底部侧壁处会有部分的半导体衬底材料残留。由于本步骤中刻蚀/沉积速率比相较于步骤S01的主刻蚀工艺降低,因此总体刻蚀速率减缓,而沉积步骤所生成的聚合物更多地形成在第二刻蚀孔的侧壁,可抵消后续过刻蚀工艺所造成的底部横向凹陷。

[0039] 步骤S03,请参考图3d,执行过刻蚀(Over Etch)工艺,刻蚀第二刻蚀孔的侧壁以在半导体衬底中形成目标深度的高深宽比结构。

[0040] 本步骤中,仍以掩膜层作为刻蚀掩膜,并且仍然采用包括交替循环的刻蚀步骤和

沉积步骤的博世工艺。其中,刻蚀步骤采用等离子体干法刻蚀,刻蚀气体仍选用 SF_6 ,沉积步骤中沉积气体仍选用 CF_4 ,刻蚀步骤与沉积步骤交替循环。在本步骤中刻蚀步骤和沉积步骤的刻蚀/沉积速率比要大于过渡刻蚀工艺中刻蚀步骤和沉积步骤的刻蚀/沉积速率比,例如可与主刻蚀工艺采用的刻蚀/沉积速率比相同,过刻蚀工艺的持续时间根据工艺需求及刻蚀/沉积速率比设定,可与现有技术的过刻蚀工艺时间相同,一般占据整个高深宽比结构刻蚀时间的至少20%以上。过渡刻蚀工艺刻蚀第二刻蚀孔12的侧壁,也包括第二刻蚀孔底部残留的半导体衬底材料。由于第二刻蚀孔的关键尺寸要小于第一刻蚀孔,过刻蚀工艺对第二刻蚀孔侧壁聚合物的横向刻蚀恰可以去除台阶型孔的凸出的台阶部,而使得过刻蚀工艺后最终形成达到目标深度的高深宽比结构14,并且高深宽比结构底部不会产生横向凹槽,由此保证了高深宽比结构侧壁的完整性。

[0041] 在进行主刻蚀工艺、过渡刻蚀工艺和过刻蚀工艺这三个步骤中,处理腔室的压力、温度、气体流速和射频源功率等工艺参数均可设定为相同,其中处理腔室的压力范围为40~120毫托,较佳的为70毫托;源射频源的功率为1500~3000瓦,较佳的为1800瓦;偏置射频源的功率以脉冲方式输出且功率大于300瓦,脉冲占空比约为10%。刻蚀气体 SF_6 的流速为100~2000sccm,沉积气体 C_4F_8 的流速为100~2000sccm,较佳的均为1000sccm。

[0042] 本发明的高深宽比结构的刻蚀方法可应用于MEMS器件的隔离沟槽和固定电极的制备,也可以应用于3D互连的硅通孔TSV的制备。接下来将结合具体实施例对应用本发明的所述高深宽比结构刻蚀方法的MEMS器件隔离沟槽和固定电极的制作进行详细说明。

[0043] 实施例1

[0044] 本实施例中,应用上述高深宽比结构刻蚀方法形成基于SOI技术的MEMS器件的隔离沟槽。

[0045] 首先,请参考图4a,提供第一半导体衬底100,该第一半导体衬底作为基体衬底,其上还形成一层氧化层101。

[0046] 然后,请参考图4b,提供第二半导体衬底200并将其与第一半导体衬底100具有氧化层的一侧键合。键合工艺为熔融键合或称为硅硅键合,硅硅键合的方法包括平坦化第一半导体衬底和第二半导体衬底的表面、进行清洗去除表面污染物、将第一和第二半导体衬底相对放置,在高温环境下施加一定压力使两者结合。具体工艺方法为本领域技术人员所熟知,在此不作赘述。键合后的第一半导体衬底、氧化层和第二半导体衬底形成SOI结构衬底,且分别作为顶层硅层、绝缘层和底层硅层。

[0047] 接着,请参考图4c,在第二半导体衬底200中刻蚀出高深宽比结构201,包括前述的主刻蚀工艺步骤、过渡刻蚀工艺步骤和过刻蚀工艺步骤,每一刻蚀工艺的具体步骤和工艺参数与上文描述基本相同,在此不再详述。需要注意的是本实施例中,高深宽比结构的目标深度为到达SOI衬底的氧化层101为止,即等同于第二半导体衬底的厚度。具体的,主刻蚀工艺步骤停止于第二半导体衬底200底部(即氧化层101上表面)的上方位置时停止,形成限定高深宽比结构主体形状的第一刻蚀孔。过渡刻蚀工艺步骤沿着第一刻蚀孔继续刻蚀第二半导体衬底200至其底部,停止于氧化层并暴露部分的氧化层101上表面,形成关键尺寸较小的第二刻蚀孔。此处的氧化层101作为刻蚀停止层,并且经过渡刻蚀工艺后氧化层表面仍残留部分的第二半导体衬底材料。过刻蚀工艺步骤则刻蚀第二刻蚀孔的侧壁(包括氧化层101表面残留的第二半导体衬底材料),最终刻蚀出贯穿第二半导体衬底且形貌一致的高深宽

比结构。如图4d所示,高深宽比结构底部侧壁具有光滑的形貌,可消除现有技术中应用DRIE刻蚀SOI硅片时notching现象的产生。

[0048] 最后,在该高深宽比结构中填充隔离介质而形成基于SOI技术的MEMS器件的隔离结构。

[0049] 实施例2

[0050] 本实施例应用本发明的高深宽比结构的刻蚀方法形成基于SOI技术的MEMS器件的固定电极。本实施例可与实施例1相结合或独立实施。

[0051] 首先,请参考图5a,提供第一半导体衬底100,该第一半导体衬底作为基体衬底,其上还形成一层氧化层101。

[0052] 接着,在第一半导体衬底100和氧化层101中形成凹槽102,该凹槽用作MEMS器件的MEMS空腔(cavity)。

[0053] 然后,请参考图5b,提供第二半导体衬底200并将其与第一半导体衬底100具有凹槽的一侧键合。键合工艺为熔融键合或称硅硅键合。键合后的第一半导体衬底、氧化层和第二半导体衬底形成SOI结构的衬底,并分别作为SOI结构衬底的顶层硅层、绝缘层和底层硅层。

[0054] 接着,请参考图5c,在第二半导体衬底200中与MEMS空腔相对的位置刻蚀出高深宽比结构201,其包括前述的主刻蚀工艺步骤、过渡刻蚀工艺步骤和过刻蚀工艺步骤,各刻蚀工艺的具体步骤和工艺参数与上文描述基本相同,在此不再详述。需要注意的是,本实施例中高深宽比结构的目标深度为到达MEMS空腔为止,即等同第二半导体衬底的厚度。具体的,主刻蚀工艺步骤刻蚀至第二半导体衬底200底部的上方位置时停止,形成限定高深宽比结构主体形状的第一刻蚀孔。过渡刻蚀工艺步骤沿着第一刻蚀孔继续刻蚀第二半导体衬底200至第二半导体衬底的底部以形成与MEMS空腔连通且关键尺寸比第一刻蚀孔小的第二刻蚀孔。过刻蚀工艺步骤则刻蚀第二刻蚀孔的侧壁,最终形成贯穿第二半导体衬底且形貌一致的高深宽比结构,该高深宽比结构与MEMS空腔连通。由此,形成有高深宽比结构的第二半导体材料可充当基于SOI技术的MEMS器件的固定电极。

[0055] 综上所述,本发明提供的高深宽比结构的刻蚀方法,通过在常规的主刻蚀与过刻蚀之间,增加一步过渡刻蚀步骤,其中,使主刻蚀工艺将高深宽比结构刻蚀至目标深度上方位置时停止,随后进行刻蚀/沉积速率比更小的过渡刻蚀工艺,来避免后续过刻蚀工艺所造成的横向刻蚀在高深宽比结构底部产生向内的凹陷,由此提高器件性能。

[0056] 虽然本发明已以较佳实施例揭示如上,然所述诸多实施例仅为了便于说明而举例而已,并非用以限定本发明,本领域的技术人员在不脱离本发明精神和范围的前提下可作若干的更动与润饰,本发明所主张的保护范围应以权利要求书所述为准。

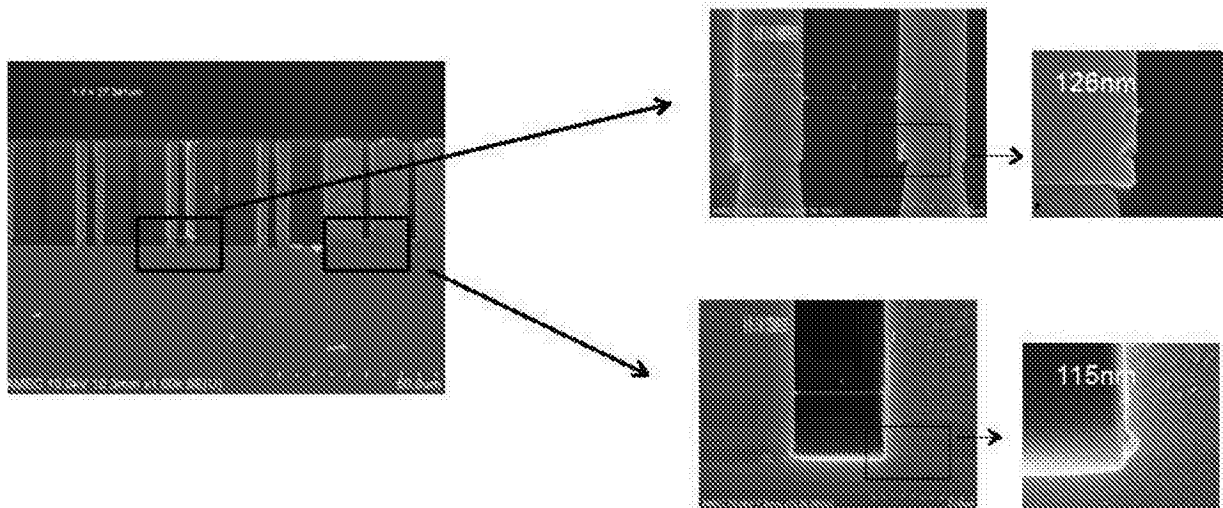


图1

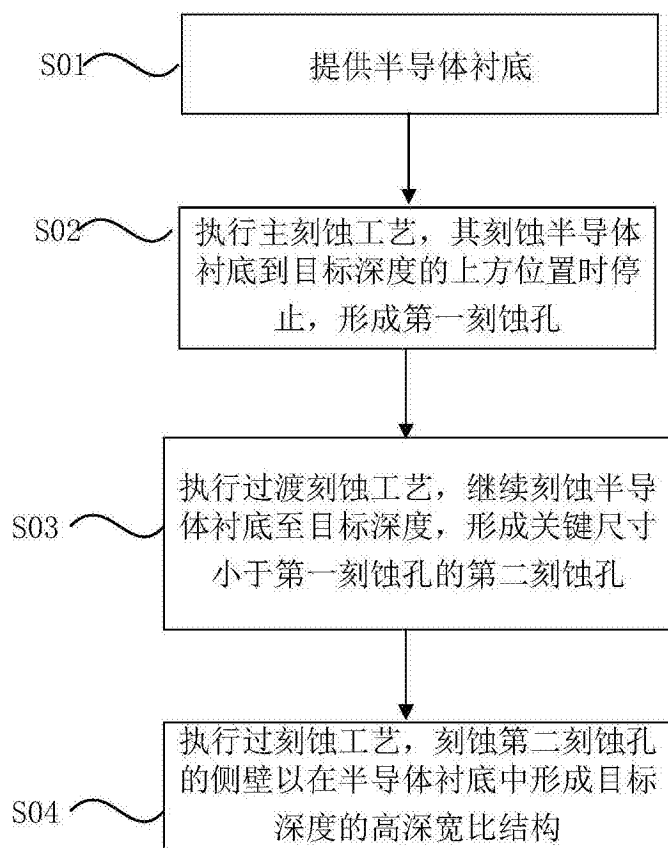


图2

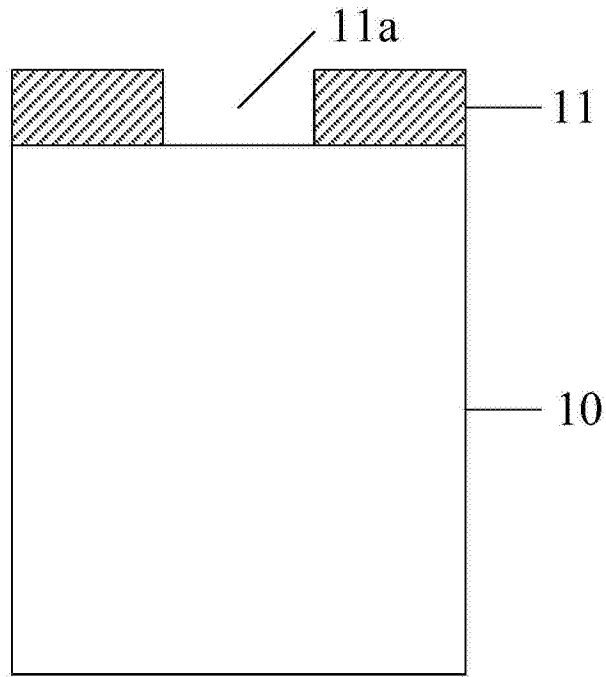


图3a

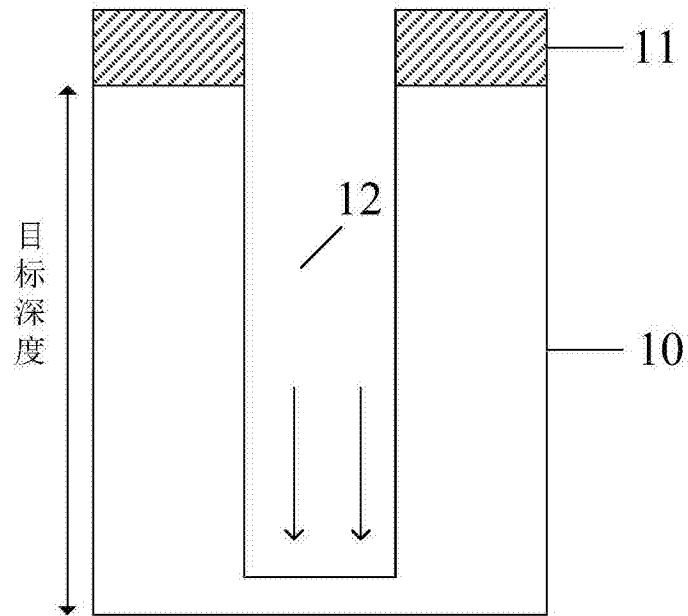


图3b

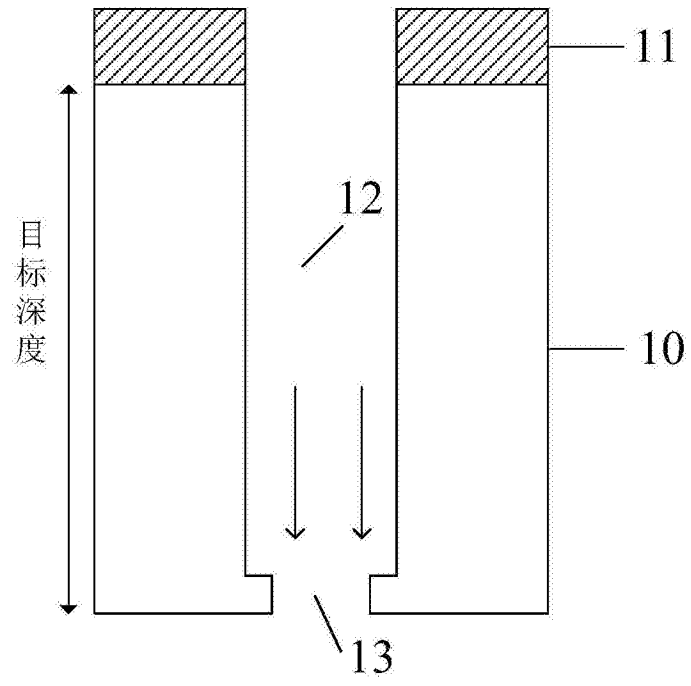


图3c

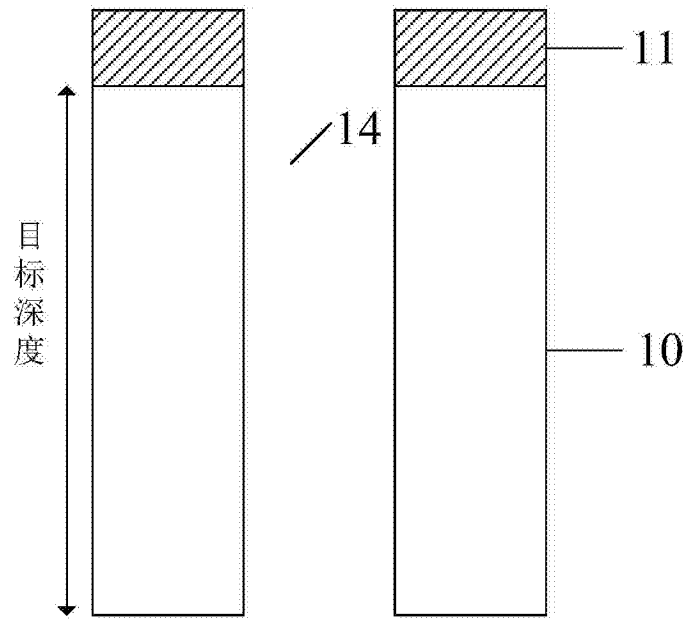


图3d

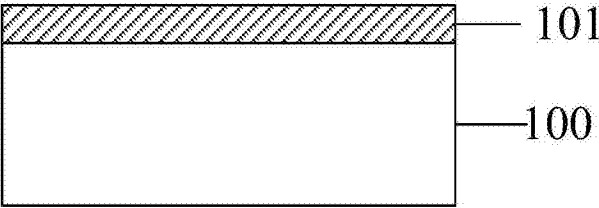


图4a

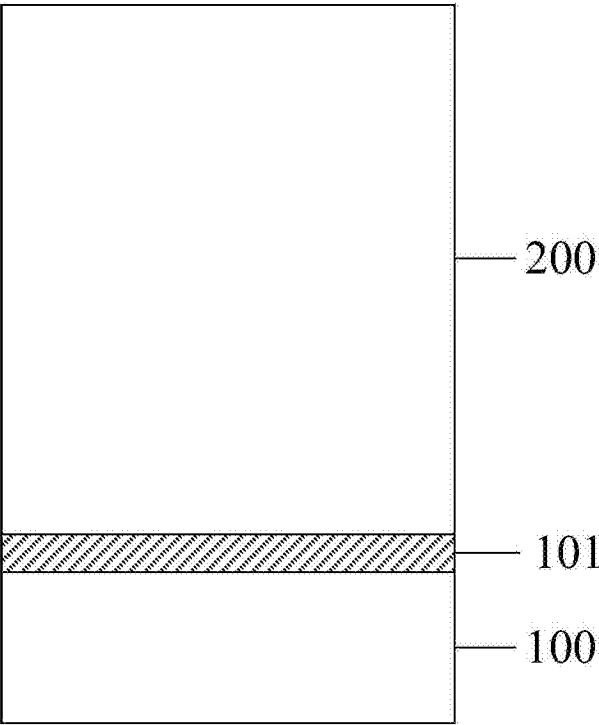


图4b

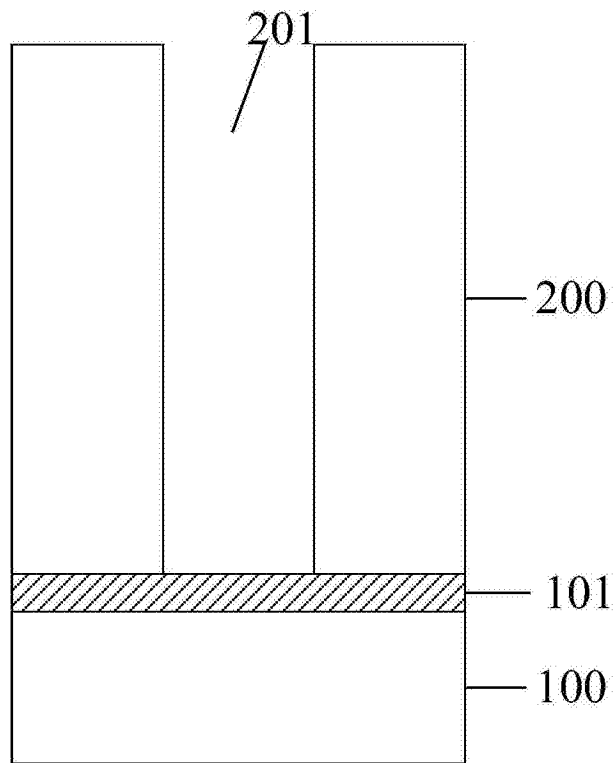


图4c

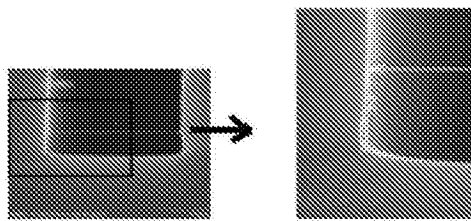


图4d

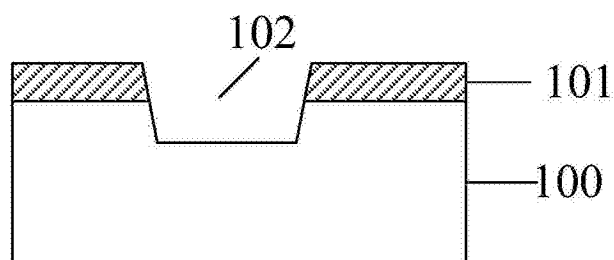


图5a

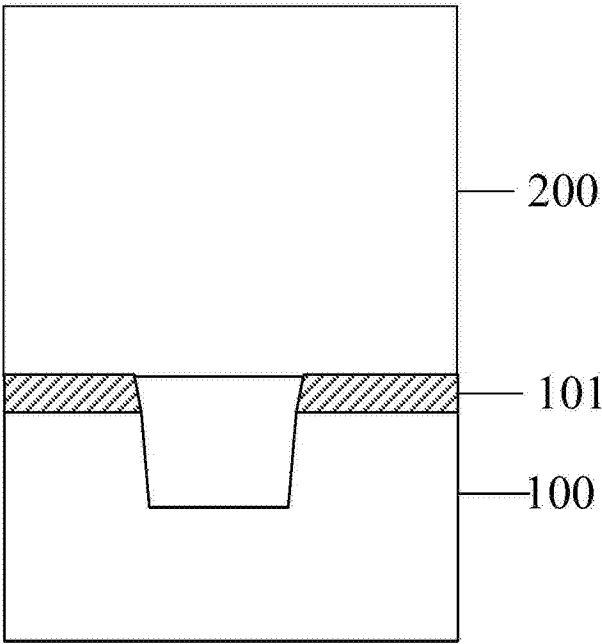


图5b

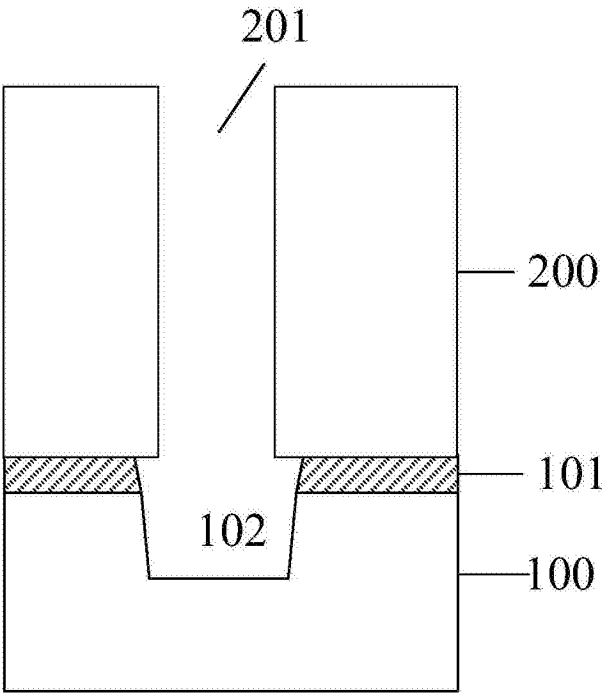


图5c