

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成20年4月24日(2008.4.24)

【公開番号】特開2005-260235(P2005-260235A)

【公開日】平成17年9月22日(2005.9.22)

【年通号数】公開・登録公報2005-037

【出願番号】特願2005-65101(P2005-65101)

【国際特許分類】

H 0 1 L 21/8247 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/115 (2006.01)

【F I】

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 3 4

【手続補正書】

【提出日】平成20年3月10日(2008.3.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のビットを記憶するための不揮発性メモリセルであって、
 実質的に平坦な表面を備える第 1 の導電型の実質的に単結晶の半導体基板材料と、
 前記平坦な表面に対し実質的に垂直な側壁と、底壁とを有する、前記基板における第 1
 のトレンチと、
 前記第 1 のトレンチから離間し、前記平坦な表面に対し実質的に垂直な側壁と、底壁と
 を有する、前記基板における第 2 のトレンチと、
 前記第 1 のトレンチの前記底壁に沿った、前記第 1 の導電型とは異なる第 2 の導電型の
 前記材料における第 1 の領域と、
 前記第 1 の領域から離間し、前記第 2 のトレンチの前記底壁に沿った、前記第 2 の導電
 型の前記材料における第 2 の領域と、
 前記第 1 のトレンチの前記側壁に沿う第 1 の部分と、前記第 2 のトレンチの前記側壁に
 沿う第 2 の部分と、第 3 の部分とを有し、電荷を伝導するために前記第 1 の領域と前記第
 2 の領域とを接続するチャンネル領域と、
 前記チャンネル領域上の誘電体と、
 前記誘電体上にあり、前記チャンネル領域の前記第 1 の部分から離間し、前記チャンネル領
 域の前記第 1 の部分は前記第 1 の領域に隣接している、前記複数のビットの少なくとも 1
 つの記憶のための、第 1 の浮遊ゲートと、
 前記誘電体上にあり、前記チャンネル領域の前記第 2 の部分から離間し、前記チャンネル領
 域の前記第 2 の部分は前記第 2 の領域に隣接している、前記複数のビットの少なくとも他
 の 1 つの記憶のための、第 2 の浮遊ゲートと、
 前記誘電体上にあり、前記チャンネル領域の前記第 3 の部分から離間し、前記チャンネル領
 域の前記第 3 の部分は前記第 1 の部分と前記第 2 の部分との間にある、ゲート電極と、
 前記第 1 のトレンチ内にあり、前記第 1 の浮遊ゲートと容量結合され、前記第 1 の領域
 から絶縁された、第 1 の独立制御可能なゲート電極と、

前記第 2 のトレンチ内にあり、前記第 2 の浮遊ゲートと容量結合され、前記第 2 の領域から絶縁された、第 2 の独立制御可能なゲート電極と、
を備える、前記セル。

【請求項 2】

前記実質的に単結晶の半導体基板材料が、平坦な表面を備える単結晶シリコンであることを特徴とする請求項 1 に記載のセル。

【請求項 3】

前記第 1 の浮遊ゲートが、前記ゲート電極に対し実質的に垂直である先端部を有することを特徴とする請求項 1 に記載のセル。

【請求項 4】

前記第 2 の浮遊ゲートが、前記ゲート電極に対し実質的に垂直である先端部を有することを特徴とする請求項 3 に記載のセル。

【請求項 5】

平坦な表面を備える第 1 の導電型の実質的に単結晶の半導体基板材料と、
前記基板において相互に実質的に平行な複数の離間したトレンチであって、各トレンチは、前記平坦な表面に対し実質的に垂直な側壁と、底壁とを有する、前記トレンチと、
前記半導体基板材料内に複数のロウ及びカラムに配列された、各セルが複数のビットを記憶するための、複数の不揮発性メモリセルと、
を備える複数のロウ及びカラムに配列された不揮発性メモリセルのアレイであって、各々のセルが、

第 1 のトレンチの底壁に沿った、前記第 1 の導電型とは異なる第 2 の導電型の前記材料における第 1 の領域と、

第 2 のトレンチの底壁に沿った、前記第 2 の導電型の前記材料における第 2 の領域と、
第 1 のトレンチの側壁に沿う第 1 の部分と、第 2 のトレンチの側壁に沿う第 2 の部分と、
前記第 1 の部分と前記第 2 の部分との間にある第 3 の部分とを有し、電荷を伝導するために前記第 1 の領域と前記第 2 の領域とを接続する、チャンネル領域と、

前記チャンネル領域上の誘電体と、

前記誘電体上にあり、前記第 1 のトレンチにおいて、前記チャンネル領域の前記第 1 の部分から離間し、前記チャンネル領域の前記第 1 の部分は前記第 1 の領域に隣接している、前記複数のビットの少なくとも 1 つの記憶のための、第 1 の浮遊ゲートと、

前記誘電体上にあり、前記第 2 のトレンチにおいて、前記チャンネル領域の前記第 2 の部分から離間し、前記チャンネル領域の前記第 2 の部分は前記第 2 の領域に隣接している、前記複数のビットの少なくとも他の 1 つの記憶のための、第 2 の浮遊ゲートと、

前記誘電体上にあり、前記チャンネル領域の前記第 3 の部分から離間した、ゲート電極と、

前記第 1 のトレンチ内にあり、前記第 1 の浮遊ゲートと容量結合され、前記第 1 の領域から絶縁された、第 1 の独立制御可能なゲート電極と、

前記第 2 のトレンチ内にあり、前記第 2 の浮遊ゲートと容量結合され、前記第 2 の領域から絶縁された、第 2 の独立制御可能なゲート電極と、
を備え、

同じロウの前記セルが、前記ゲート電極を共用し、

同じカラムの前記セルが、前記第 1 の領域、前記第 2 の領域、前記第 1 の独立制御可能なゲート電極、及び前記第 2 の独立制御可能なゲート電極を共用し、

隣接するカラムの前記セルが、前記第 1 の領域、及び前記第 1 の独立制御可能なゲート電極を共用する

ことを特徴とする不揮発性メモリセルのアレイ。

【請求項 6】

前記実質的に単結晶の半導体基板材料が、平坦な表面を備える単結晶シリコンであることを特徴とする請求項 5 に記載のアレイ。

【請求項 7】

前記第 1 の浮遊ゲートが、前記ゲート電極に対し実質的に垂直である先端部を有することを特徴とする請求項 5 に記載のアレイ。

【請求項 8】

前記第 2 の浮遊ゲートが、前記ゲート電極に対し実質的に垂直である先端部を有することを特徴とする請求項 7 に記載のアレイ。

【請求項 9】

実質的に平坦な表面を有する第 1 の導電型の半導体基板材料内に不揮発性メモリの分離のないセルを製造する方法であって、

各々が第 1 の側壁、第 2 の側壁及び底壁を有する複数の離間したトレンチを、前記半導体基板の前記平坦な表面内の第 1 の方向に形成する段階と、

各々が前記第 1 の側壁及び第 2 の側壁からそれぞれ離間している一対の浮遊ゲートを、各トレンチにおける第 1 の側壁及び第 2 の側壁に沿って形成する段階と、

第 2 の導電型の第 1 の端子を、前記半導体基板内の各トレンチの底壁に沿って形成する段階と、

各々が前記トレンチ内の浮遊ゲートから絶縁され、該浮遊ゲートと容量結合され、前記トレンチの底壁に沿って前記第 1 の端子から絶縁され、各々が前記第 1 の方向に連続である制御ゲートを、各トレンチ内に形成する段階と、

前記平坦な表面から離間し、隣接するトレンチ間のトランジスタのゲートとして作用する導電体を、前記平坦な表面上に形成する段階と、

前記第 1 の方向に対し実質的に垂直な第 2 の方向に沿って前記導電体をパターンニングして、各対の間に所定の間隙を有する複数の離間した導電体のストリップを形成する段階と、

、

各トレンチにおける各対の浮遊ゲートを切断する段階と、

を含む、前記方法。

【請求項 10】

前記一対の浮遊ゲートを形成する段階が、

二酸化ケイ素の層を、各トレンチの前記第 1 の側壁、前記第 2 の側壁及び前記底壁に沿って形成する段階と、

ポリシリコンの層を、各トレンチの前記第 1 の側壁、前記第 2 の側壁及び前記底壁の前記二酸化ケイ素に沿って堆積させる段階と、

前記ポリシリコンの層を異方性エッチングして、前記ポリシリコンの層を前記底壁から除去し、一対のポリシリコン浮遊ゲートスペースを、各トレンチの前記第 1 の側壁及び前記第 2 の側壁に沿って形成する段階と、

を含むことを特徴とする請求項 9 に記載の方法。

【請求項 11】

前記浮遊ゲートの各々に沿って、各トレンチの前記底壁に最も近接する端部に先端部を形成する段階を更に含むことを特徴とする請求項 10 に記載の方法。

【請求項 12】

前記浮遊ゲートの各々に沿って、各トレンチの前記底壁から最も遠隔する端部に先端部を形成する段階を更に含むことを特徴とする請求項 10 に記載の方法。

【請求項 13】

前記切断する段階が、前記制御ゲートを切断することなく、各トレンチの前記間隙を介して前記浮遊ゲートの各対を切断することを特徴とする請求項 9 に記載の方法。

【請求項 14】

前記複数の離間したトレンチを前記平坦な表面内に形成する段階が、

マスキング材料の層を前記基板の前記平坦な表面の上に適用し、該マスキング材料を前記第 1 の方向にパターンニングして、複数のマスキングストリップと、該マスキングストリップの各対の間の第 1 の間隙を有する複数の第 1 の間隙とを形成する段階と、

前記基板をエッチングして、前記第 1 の間隙を介して前記複数のトレンチを形成する段階と、

を含むことを特徴とする請求項 10 に記載の方法。

【請求項 15】

前記該マスキング材料が窒化ケイ素であることを特徴とする請求項 14 に記載の方法。

【請求項 16】

前記切断する段階が、前記制御ゲートを各トレンチ内に形成するのに先立って行われることを特徴とする請求項 9 に記載の方法。

【請求項 17】

前記一対の浮遊ゲートを形成する段階が、

二酸化ケイ素の層を、各トレンチの前記第 1 の側壁、前記第 2 の側壁及び前記底壁に沿って形成する段階と、

ポリシリコンの層を、各トレンチの前記第 1 の側壁、前記第 2 の側壁及び前記底壁の前記二酸化ケイ素に沿って堆積させる段階と、

前記ポリシリコンの層を異方性エッチングして、前記ポリシリコンの層を前記底壁から除去し、一対のポリシリコン浮遊ゲートスペーサを、各トレンチの前記第 1 の側壁及び前記第 2 の側壁に沿って形成する段階と、

を含むことを特徴とする請求項 16 に記載の方法。

【請求項 18】

前記浮遊ゲートの各々に沿って、各トレンチの前記底壁に最も近接する端部に先端部を形成する段階を更に含むことを特徴とする請求項 17 に記載の方法。

【請求項 19】

前記浮遊ゲートの各々に沿って、各トレンチの前記底壁から最も遠隔する端部に先端部を形成する段階を更に含むことを特徴とする請求項 17 に記載の方法。