

公告本

申請日期	90 - 10 - 16
案 號	90 12 5534
類 別	H01L 21/60

A4
C4

512468

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	半導體載體用膜之製造方法
	日 文	半導体キャリア用フィルムの製造方法
二、發明人 創作	姓 名	1.片岡 龍男 TATSUO KATAOKA 2.小澤 行弘 IKUHIRO OZAWA
	國 籍	均日本
三、申請人	住、居所	均日本國埼玉縣上尾市原市1333-2三井金屬鑛業股份有限公司總合研究所內
	姓 名 (名 稱)	日商三井金屬鑛業股份有限公司 MITSUI MINING & SMELTING COMPANY, LTD.
	國 籍	日本
	住、居所 (事務所)	日本國東京都品川區大崎1丁目11番1號
	代 表 人 姓 名	宮村 真平

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 2000年12月25日 特願2000-392702 ☒有 ☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明(1)

技術領域

本發明係有關半導體載體用膜之製造方法，其詳細係關於藉由減少銅箔厚度並且構成平滑表面，可形成微細圖案間距的半導體載體用膜之製造方法。

背景技術

LSI等所構成的半導體晶片(電子零件)之組裝技術，其有薄膜覆晶封裝(COF; Chip on Film)等。

於此所使用之薄膜覆晶封裝基板，係於基底薄膜之聚醯亞胺系薄膜上使用銅電鍍法或使用銅箔直接壓鑄黏貼於聚醯亞胺系薄膜之膠帶狀半導體載體用膜(以下，時而稱之為兩層基材)。

對銅箔直接壓鑄黏貼於聚醯亞胺系薄膜的情形，使用厚度 $12\mu\text{m}$ 以上的銅箔時，最後所得到的電路基板之圖案間距極限為 $40\mu\text{m}$ 。

近年，要求更加微細圖案間距，例如具有 $30\mu\text{m}$ 的電路基板。從此般觀點，壓鑄所使用的銅箔期望能更薄。

雖可製作厚度 $5\sim 9\mu\text{m}$ 的銅箔，但少量時，成本變高，生產性差。另外，銅箔厚度變薄時，因搬運或處理上的問題，必須貼補強材，貼上鋁，並對鋁做電著析出等，此使材料價格變高。此外，亦必須剝離補強材，溶解除去之工程、裝置。

另外，對此般厚度的薄銅箔直接壓鑄黏貼於聚醯亞胺系薄膜之情形，壓鑄時具有產生皺紋等問題，製造過程困難而且成品率差，兩層基材的製品化於實質上有困難。

五、發明說明(2)

如上述，即使製作厚度 $5\sim 9\mu\text{m}$ 的銅箔，因其具有處理上的問題或製造上的問題，使用此般厚度的薄銅箔製造兩層基材，其包含費用等實質上有困難。

發明之揭示

本發明即在解決上述問題，其目的在於，可實施具有微細圖案間距的電路基板之製造，而且具有信賴性，另外在於提供低價位的半導體載體用膜之製造方法。

本發明係諸位檢討的結果，發現藉由使用具有一定以上銅箔厚度之兩層基材的銅箔，蝕刻至所定之厚度，可達成上述目的。

本發明係基於上述發現，提供一種半導體載體用膜之製造方法，其特徵在於使用厚度 $12\mu\text{m}$ 以上的銅箔與聚醯亞胺系薄膜所構成之基材，且該銅箔蝕刻成厚度 $5\sim 9\mu\text{m}$ 。

圖式之簡要說明

圖1為顯示實施例一之蝕刻狀態的斷面圖；

圖2為顯示實施例一之蝕刻狀態的斷面圖；

圖3為顯示實施例一及實施例二所得到半導體載體用膜之銅箔厚度測量位置的平面圖。

發明之最佳實施形態

以下，說明本發明之半導體載體用膜製造方法的實施形態。

本發明，係使用厚度 $12\mu\text{m}$ 以上的銅箔與聚醯亞胺系薄膜所構成之兩層基材。此兩層基材，係薄膜厚度 $38\sim 50\mu\text{m}$ ，銅箔厚度 $12\mu\text{m}$ 以上直接貼附(無接著劑)之基材。

五、發明說明(3)

基材寬度的標準規格為35 mm, 48 mm, 70 mm。此般膠帶狀之兩層基材，係以ESPANEX(商品名：薄膜厚度 $40\mu\text{m}$ ，銅層厚度 $12\mu\text{m}$ ，新日鐵化學社製)等為範例。

本發明，係將此兩層基材的銅箔蝕刻成厚度 $5\sim 9\mu\text{m}$ 。銅箔厚度未滿 $5\mu\text{m}$ 時，銅箔厚度不足以成為導體，電路的電性或通電容量上有問題，超過 $9\mu\text{m}$ 時，具有 $30\mu\text{m}$ 左右的圖案間距之電路基版形成上有困難。

蝕刻條件雖為任意值，蝕刻後銅箔的厚度差對平均值最好選擇為 $\pm 0.5\mu\text{m}$ 以內之條件。

如上述，基材的寬度以35 mm, 48 mm, 70 mm為標準規格，可使用此寬度進行蝕刻，亦可用基材的供給寬度(例如500 mm)一次全面進行蝕刻使銅箔厚度為 $5\sim 9\mu\text{m}$ ，之後，縱切加工成上述標準規格。

如此所得到的半導體載體用膜，係根據通常的方法，於銅箔側塗佈光阻劑，乾燥後，藉由曝光，沖洗，蝕刻，剝離光阻劑的步驟，形成配線電路圖案，另外視需要塗佈防焊光阻劑、實施硬化及無電解錫鉛電鍍，可得到薄膜覆晶封裝基板等電路基板。

根據本發明，半導體載體用膜的銅箔厚度可自由控制，可製造具有任意厚度的配線圖案之電路基板。特別是，圖案間距 $30\mu\text{m}$ 之微細圖案間距的電路基板。例如可實現薄膜覆晶封裝基板之製造。

上述說明係關於兩層基材，即使為附接著劑的3層基材，藉由銅箔於積層後蝕刻，可得到一定厚度的銅箔，可

五、發明說明 (4)

製造具有微細圖案間距的電路基板。

[實施例1]

對 $40\mu\text{m}$ 的聚醯亞胺系薄膜壓鑄厚度 $12\mu\text{m}$ 的銅箔(商品名: SQ-VLP, 三井金屬社製)之ESPANEX基材(兩層基材, 新日鐵化學社製)縱切成寬度 70mm , 藉由蝕刻裝置依照下述之蝕刻條件, 如圖1所示蝕刻銅箔厚度成 $9\mu\text{m}$, 得到半導體載體用膜。

<蝕刻條件>

- 蝕刻溫度: 40°C
- 速度: $1.7\text{m}/\text{分}$
- 噴嘴: 1支
- 噴壓: $2\text{kg}/\text{cm}^2$
- 蝕刻液: HCl 與含有 H_2O_2 之氯化亞銅溶液
- 兩層基材至噴嘴的距離: 15cm

[實施例2]

使用與實施例一同樣的ESPANEX基材(兩層基材), 縱切成寬度 70mm , 藉由蝕刻裝置依照下述之蝕刻條件, 如圖2所示蝕刻銅箔厚度成 $5\mu\text{m}$, 得到半導體載體用膜。

<蝕刻條件>

- 蝕刻溫度: 40°C
- 速度: $1.85\text{m}/\text{分}$
- 噴嘴: 4支
- 噴壓: $2\text{kg}/\text{cm}^2$
- 蝕刻液: HCl 與含有 H_2O_2 之氯化亞銅溶液

五、發明說明 (5)

•兩層基材至噴嘴的距離：15 cm

測量於實施例一及實施例二所得到的半導體載體用膜之銅箔厚度。如圖3所示，測量的實施係於P1(前)，P2(中央)，P3(後)的長邊方向3個位置及其寬度方向10個位置。實施例一的結果與實施例二的結果分別表示於表1與表2。

[表1]

(單位：μm)

		前(P ₁)	中央(P ₂)	後(P ₃)
次 數	1	9.0	9.0	9.0
	2	9.0	9.0	9.0
	3	9.0	9.0	9.0
	4	8.5	8.5	8.5
	5	8.5	8.5	8.5
	6	8.5	8.5	8.5
	7	8.5	8.5	8.5
	8	9.0	9.0	8.5
	9	9.0	9.0	8.5
	10	9.0	9.0	9.0
最大值		9.0	9.0	9.0
最小值		8.5	8.5	8.5
最大值－最小值		0.5	0.5	0.5
平均值		8.80	8.80	8.70

裝
訂
線

五、發明說明 (6)

[表 2]

(單位：μm)

		前(P ₁)	中央(P ₂)	後(P ₃)
次 數	1	5.5	5.5	5.5
	2	5.5	5.5	5.5
	3	5.5	5.5	5.5
	4	5.5	5.5	5.5
	5	5.5	5.5	5.5
	6	5.5	5.5	5.5
	7	5.5	5.5	5.5
	8	5.5	5.5	5.5
	9	6.0	5.5	5.5
	10	6.0	6.0	6.0
最大值		6.0	6.0	6.0
最小值		5.5	5.5	5.5
最大值－最小值		0.5	0.5	0.5
平均值		5.6	5.6	5.5

使用實施例一及二所得到的半導體載體用膜，根據通常的方法，於銅箔側塗佈光阻劑，乾燥後，藉由曝光，沖洗，蝕刻，剝離光阻劑的步驟，形成配線電路圖案，實施無電解錫鉛電鍍，另外塗佈防焊光阻劑(商品名：SN

裝
訂
線

五、發明說明(7)

9000)、硬化，得到圖案間距 $30\mu\text{m}$ 的薄膜覆晶封裝基板。

產業上之利用可能性

根據本發明之製造方法，可製造具有微細圖案間距的電路基板，特別是薄膜覆晶封裝基板，並且具有信賴性，此外可得到低價位之半導體載體用膜。

四、中文發明摘要（發明之名稱：半導體載體用膜之製造方法）

本發明係一種半導體載體用膜之製造方法，其特徵在於使用厚度 $12\mu\text{m}$ 以上的銅箔與聚醯亞胺系薄膜所構成之基材，且該銅箔蝕刻成厚度 $5\sim 9\mu\text{m}$ 。

日文發明摘要（發明之名稱：半導体キャリア用フィルムの製造方法）

厚さ $12\mu\text{m}$ 以上の銅箔とポリイミド系フィルムからなる基材を用い、該銅箔を $5\sim 9\mu\text{m}$ の厚さにエッチングすることを特徴とする半導体キャリア用フィルムの製造方法。

六、申請專利範圍

1. 一種半導體載體用膜之製造方法，其特徵在於使用一基材，其係包含厚度 $12\mu\text{m}$ 以上的銅箔與聚醯亞胺系薄膜者，且該銅箔蝕刻成厚度 $5\sim 9\mu\text{m}$ 。
2. 如申請專利範圍第1項之半導體載體用膜之製造方法，其中上述蝕刻後銅箔的厚度差對平均值為 $\pm 0.5\mu\text{m}$ 以內。

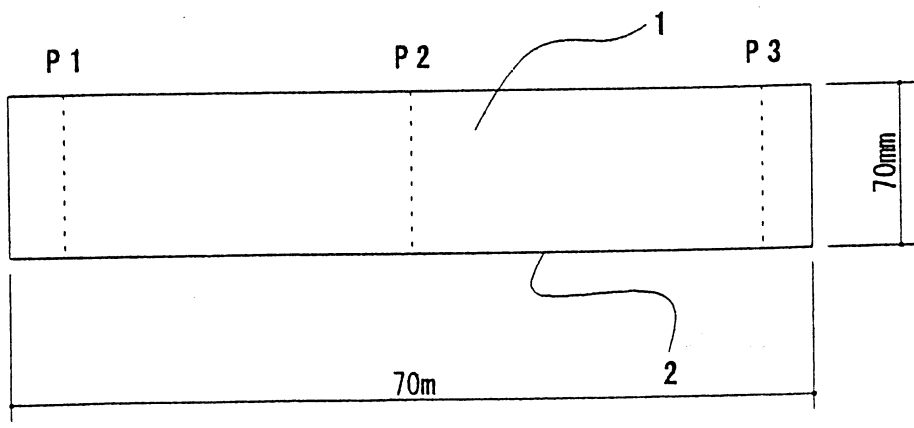
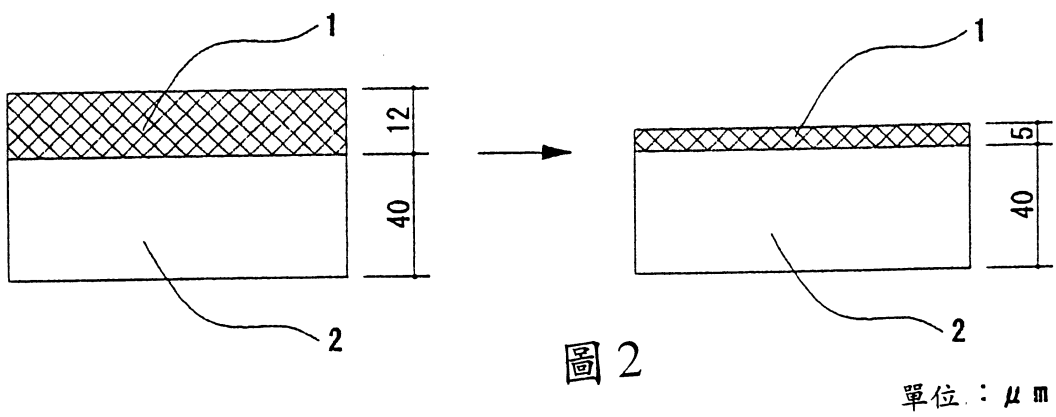
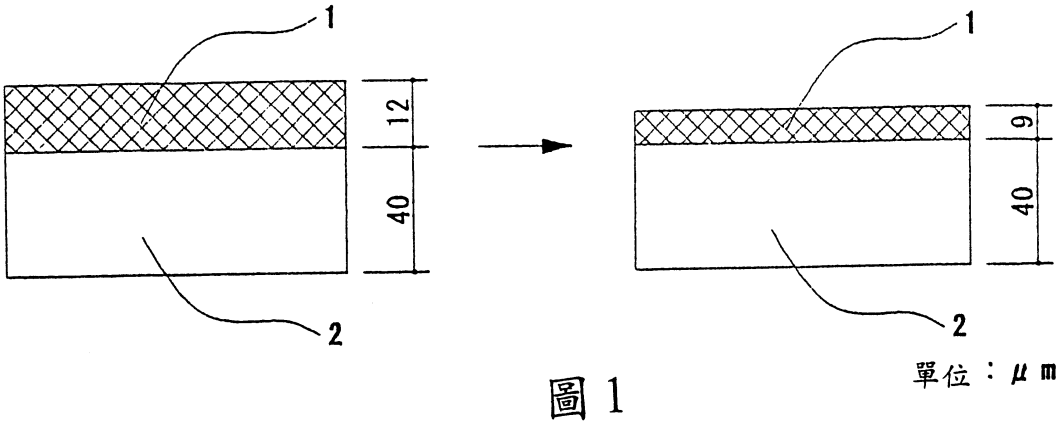


圖 3