



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년06월08일
(11) 등록번호 10-1154748
(24) 등록일자 2012년06월01일

(51) 국제특허분류(Int. Cl.)
H01L 21/28 (2006.01)
(21) 출원번호 10-2009-7009408
(22) 출원일자(국제) 2007년09월10일
심사청구일자 2009년05월20일
(85) 번역문제출일자 2009년05월07일
(65) 공개번호 10-2009-0080514
(43) 공개일자 2009년07월24일
(86) 국제출원번호 PCT/US2007/077975
(87) 국제공개번호 WO 2008/060745
국제공개일자 2008년05월22일
(30) 우선권주장
11/560,044 2006년11월15일 미국(US)
(56) 선행기술조사문헌
KR100321156 B1*
US06069072 A1*
US20050224979 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
인터내셔널 비즈니스 머신즈 코퍼레이션
미국 10504 뉴욕주 아몬크 뉴오차드 로드
(72) 발명자
양, 치차오
미국 12077 뉴욕주 글렌몬트 윈드햄 힐 로드 29
왕, 평추안
미국 12533 뉴욕주 호프웰 정크션 클리어뷰 서클 52
왕, 윤유
미국 12570 뉴욕주 포그와그 사이퍼 레인 34
(74) 대리인
허정훈, 윤여원

전체 청구항 수 : 총 5 항

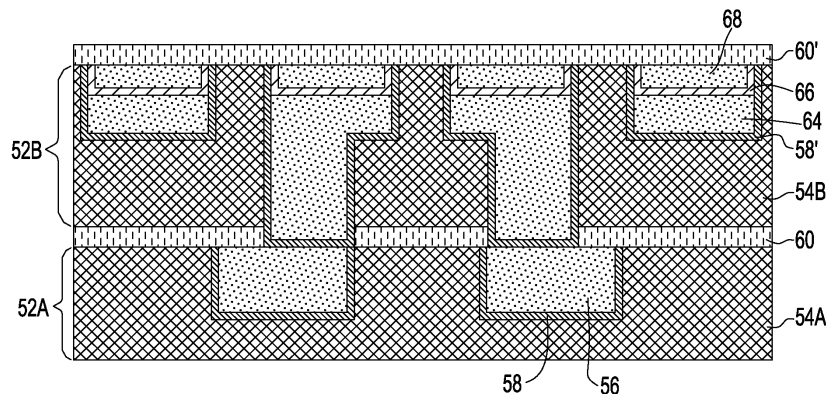
심사관 : 김상걸

(54) 발명의 명칭 향상된 전자이동 신뢰성을 가지는 상호접속 구조체 및 그 제조 방법

(57) 요약

향상된 전자이동(EM) 신뢰성을 가지는 상호접속 구조체가 제공된다. 본 발명에 따른 상호접속 구조체는 금속 상호접속 내에서 적어도 부분적으로 EM 방지 라이너(66)와 통합됨으로써 EM 실패를 일으키는 사개방 회로를 방지한다. 하나의 실시예에 있어서, "U자 형" EM 방지 라이너(66)가 제공되는데, 이는 유전체 재료(54B)로부터 도전 재료(64, 68)를 분리하는 확산 경계와 인접하다. 다른 실시예에 있어서, "U자 형" EM 방지 라이너와 확산 경계 사이에 공간이 존재한다. 또 다른 실시예에 있어서, 확산 경계와 인접한 수평 EM 방지 라이너가 제공된다. 또 다른 실시예에 있어서, 수평 EM 라이너와 확산 경계 사이에 공간이 존재한다.

대표도 - 도3A



특허청구의 범위

청구항 1

상호접속 구조체로서,

유전체 재료 내에 위치하는, 적어도 하나의 도전적으로 채워진 부분(conductively filled feature)을 가지는 유전체 재료;

상기 유전체 재료로부터 상기 적어도 하나의 도전적으로 채워진 부분을 분리하는 확산 경계; 및

상기 적어도 하나의 도전적으로 채워진 부분 내에 위치하고, 상기 적어도 하나의 도전적으로 채워진 부분의 제2 도전 영역으로부터 상기 적어도 하나의 도전적으로 채워진 부분의 제1 도전 영역을 적어도 부분적으로 분리하는 전자이동(ElectroMigration; EM) 방지 라이너;를 포함하고,

상기 적어도 하나의 도전적으로 채워진 부분 및 상기 EM 방지 라이너는 상기 유전체 재료 내에 형성된 개구 내에 국한되고, 상기 제1 도전 영역과 상기 제2 도전 영역은 동일한 도전 물질로 이루어지며,

상기 EM 방지 라이너는 U자 형태이고, 단지 확산 경계의 수직 측벽의 상부 부분에만 직접적으로 접촉하고, 상기 EM 방지 라이너의 어떤 부분도 상기 유전체 재료와 접촉하지 않는,

상호접속 구조체.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

제1항에 있어서,

상기 유전체 재료는 하위 상호접속 레벨의 최상위에 위치하는 상위 상호접속 레벨이며, 상기 하위 상호접속 레벨은 거기에 삽입된 다른 도전부를 가지는 다른 유전체 재료를 포함하는 상호접속 구조체.

청구항 8

상호접속 구조체를 제조하는 방법으로서,

유전체 재료 내에서 확산 경계와 나란히 정렬된 적어도 하나의 개구를 제공하는 단계 - 상기 유전체 재료는 SiO_2 , 실세스퀴옥산(silsesquioxanes), 탄소 도핑 산화물(규소, 탄소, 산소 및 수소 원자들을 포함), 열경화성 폴리아릴렌 에테르(thermosetting polyarylene ethers), 또는 그들의 복수층(multilayers)을 포함함 - ;

상기 적어도 하나의 개구 내에 상향식 증착 채우기 프로세스(bottom-up deposition fill process)를 이용하여 Cu 또는 Cu 합금을 포함하는 제1 도전 영역을 형성하는 단계;

상기 제1 도전 영역의 적어도 표면 상에 비선택적 증착 프로세스에 의해, Ta, TaN, Ti, TiN, Ru, RuN, RuTa₂N, Ir, IrCu, 또는 Co(W,B,P,Mo,Re)를 포함하며 2nm에서 8nm까지의 두께를 갖는 전자이동(EM) 방지 라이너를 형

성하는 단계 - 상기 EM 방지 라이너는 U자 형이며 상기 확산 경계에 인접함 - ; 및

상기 EM 방지 라이너 상에 Cu 또는 Cu 합금이 포함된 제2 도전 영역을 형성하는 단계 - 상기 제1 및 제2 도전 영역은 상기 유전체 재료 내의 도전부를 형성함 -

를 포함하는 상호접속 구조체를 제조하는 방법.

청구항 9

상호접속 구조체로서,

유전체 재료 안에 적어도 하나의 도전적으로 채워진 부분을 가지는 유전체 재료;

상기 적어도 하나의 도전적으로 채워진 부분을 상기 유전체 재료와 분리하는 확산 경계;

상위 도전 재료로부터 하위 도전 재료를 분리하는 수평 전자기동(ElectroMigration:EM) 방지 라이너;를 포함하고,

상기 적어도 하나의 도전적으로 채워진 부분, 상기 확산 경계, 및 상기 수평 EM 방지 라이너는 상기 유전체 재료 내에 형성된 개구 내에 국한되고,

상기 하위 도전 재료 및 상기 상위 도전 재료는 동일한 도전성 재료로 이루어지고, 상기 수평 EM 방지 라이너의 어떤 부분도 상기 유전체 재료와 접촉하지 않으며, 상기 수평 EM 방지 라이너는 상기 확산 경계의 수평 표면으로부터 수직 방향으로 떨어져 있는(be vertically offset),

상호접속 구조체.

청구항 10

상호접속 구조체를 제조하는 방법으로서,

유전체 재료 내에서 확산 경계와 나란히 정렬된 적어도 하나의 개구를 제공하는 단계;

상기 적어도 하나의 개구 내에 제1 도전 영역을 부분적으로 형성하는 단계;

상기 적어도 하나의 개구 내의 상기 제1 도전 영역의 적어도 표면 상에 전자기동(ElectroMigration:EM) 방지 라이너를 형성하는 단계 - 상기 EM 방지 라이너의 어떤 부분도 상기 유전체 재료와 접촉하지 않으며, 상기 EM 방지 라이너는 상기 확산 경계의 수직 측면의 상부 부분에만 직접적으로 접촉하는 U자 형태의 EM 방지 라이너 및 상기 확산 경계의 수평 표면으로부터 수직 방향으로 떨어져 있는(be vertically offset) 수평 EM 라이너를 구성하는 그룹으로부터 선택됨 -; 및

상기 EM 방지 라이너 상에 제2 도전 영역을 형성하여 상기 적어도 하나의 개구의 남은 부분을 채우는 단계 - 상기 제1 도전 영역 및 제2 도전 영역은 상기 유전체 재료 내에 도전부(a conductive feature)를 형성하고, 동일한 도전 물질로 이루어짐 -;를 포함하는,

상호접속 구조체를 제조하는 방법.

명세서

기술분야

[0001] 본 발명은 반도체 상호접속 구조체 및 그 제조 방법에 관한 것이다. 보다 구체적으로, 본 발명은 향상된 전자기동(ElectroMigration; EM) 신뢰성을 가지며, EM 방지 라이너가 유전체 재료의 도전부(conductive feature) 내에 존재하는 반도체 상호접속 구조체에 관한 것이다.

배경기술

[0002] 일반적으로, 반도체 장치는 복수의 회로를 포함하는데, 이는 반도체 기판상에서 집적회로(IC)를 형성한다. 신호 경로의 복잡한 네트워크는 기판의 표면 상에 분산된 회로 소자들을 연결하기 위해서 일반적으로 라우팅 될 것이다. 장치들을 가로지르는 이러한 신호들의 효과적인 라우팅은, 예를 들어 단일 또는 듀얼 다마신(damascene) 배선 구조체와 같은 다중 레벨이나 복수층 기법의 구성을 요구한다. 배선 구조체는 전형적으로 구리(Cu)를 포함하는데, 알루미늄(Al) 기반 상호접속과 비교할 때, 구리 기반 상호접속은 복잡한 반도체 칩상

의 다수의 트랜지스터 사이에서 보다 높은 속도의 신호 전송을 제공하기 때문이다.

[0003] 전형적인 상호접속 구조체에서, 금속 비아(metal vias)는 반도체 기판에 대해 수직으로 형성되며, 금속 라인은 반도체 기판에 대해 평행하게 형성된다. 또한, 금속 라인 및 금속 비아(예를 들어, 도전부)를 4.0 미만의 유전 상수를 가지는 유전체 재료에 삽입함으로써, 오늘날의 IC 제품 칩에서, 인접한 메탈 라인에서의 신호("크로스토크(cross talk)"로 알려짐)의 감소와 신호 속도의 향상이 이루어진다.

[0004] 반도체 상호접속 구조체에 있어서, 전자이동(EM)은 하나의 금속 실패 메커니즘으로서 식별되어 왔다. 매우 큰 규모의 집적(VLSI) 회로에 있어서, EM은 가장 나쁜 신뢰성 우려 중의 하나이다. 프로세스를 퀄리파이(qualify)하기 위해서 문제점은 프로세스 개발 기간 동안 해결될 필요가 있을 뿐만 아니라, 칩의 수명 동안에도 지속될 필요가 있다. 고밀도의 전류에 의해 일어나는 금속 이온의 이동으로 인해서 상호접속 구조체의 금속 도체 내부에 공간이 생성된다.

[0005] 금속 상호접속에서의 빠른 확산 경로는 전반적인 집적 기법과 칩 제조에 사용되는 재료에 따라 다양하지만, 금속/포스트 평탄화 유전체 캡 인터페이스를 따라 운송되는 Cu 원자와 같은 금속 원자가 EM 수명 예측에 중요한 역할을 한다는 것이 관찰되고 있다. EM 초기의 공간은 처음에 금속/유전체 캡 인터페이스에서 핵모양으로 응집한 후, 상호접속의 아래쪽 방향으로 성장하여, 궁극적으로 사개방 회로(circuit dead opening)가 된다.

[0006] 도 1A-1D는 EM 실패의 다양한 단계에서의 종래 기술의 상호접속 구조체의 도면이다. 이러한 도면에 있어서, 참조번호 12는 유전체 캡을 지시하며, 참조번호 10은 금속 상호접속부(metal interconnect feature)를 지시한다. 종래 기술의 상호접속 구조체의 기타 다른 구성요소는 EM 문제점을 모호하게 하는 것을 방지하기 위해서 도면 부호를 붙이지 않았다. 도 1A는 초기 스트레스 단계이다. 도 1B는 금속 상호접속부(10)/유전체 캡(12) 인터페이스에서 공간(14)의 핵이 시작될 때의 시점이다. 도 1C는 공간(14)이 도전부(10)의 아래쪽 방향으로 성장할 때의 시점이며, 도 1D는 공간(14)의 성장이 금속 상호접속부(10)를 가로질러 사개방 회로가 될 때의 시점이다.

[0007] 도 2A-2B는 응력을 받은(stressed) 상호접속 구조체의 SEM 이미지로, 금속 라인(M2)에 형성된 공간을 도시하는데, 이는 금속 라인의 인터페이스 및 오버레이 유전체 캡을 따라 일어나는 금속 라인에서의 대량 수송을 의미한다.

[0008] 상기와 같이 관점에서, EM 실패로 일어나는 사개방 회로를 방지하는 상호접속 구조체를 제공할 필요가 있다.

발명의 상세한 설명

[0009] 하나의 특징에 있어서, 본 발명은 향상된 EM 신뢰성을 가지는 상호접속 구조체에 관한 것이다. 본 발명에 따른 상호접속 구조체는, 금속 상호접속 내에 EM 방지 라이너를 통합함으로써 EM 실패로 일어나는 사개방 회로를 방지한다. 본 발명에 따른 상호접속 구조체의 다른 이점은 갑작스런 데이터 손실의 방지 및 반도체 제품의 수명의 연장을 포함한다.

[0010] 일반적으로, 본 발명에 따른 반도체 상호접속 구조체는 유전체 재료 내에 위치하는 적어도 하나의 도전적으로 채워진 부분(conductively filled feature; 64)을 가지는 유전체 재료를 포함하며, 적어도 하나의 도전적으로 채워진 부분은 전자이동(ElectroMigration; EM) 방지 라이너(66)를 포함하는데, EM 방지 라이너는 적어도 하나의 도전적으로 채워진 부분의 제2 도전 영역(68)으로부터 적어도 하나의 도전적으로 채워진 부분의 제1 도전 영역(64)을 적어도 부분적으로 분리한다.

[0011] 하나의 실시예에 있어서, "U자 형" EM 방지 라이너가 제공되는데, 이는 유전체 재료로부터 적어도 하나의 도전적으로 채워진 부분을 분리하는 확산 경계와 인접한다. 다른 실시예에 있어서, "U자 형" EM 방지 라이너와 확산 경계 사이에 공간이 위치한다. 또 다른 실시예에 있어서, 확산 경계와 인접한 수평 EM 라이너가 제공된다. 또 다른 실시예에 있어서, 수평 EM 라이너와 확산 경계 사이에 공간이 존재한다.

[0012] 본 발명의 다른 특징은 향상된 상호접속 구조체를 제조하는 방법에 관한 것이다. 본 발명에 따른 방법은 다음의 단계를 포함한다. 유전체 재료 내에 확산 경계와 나란히 정렬된 적어도 하나의 개구를 제공하는 단계, 적어도 하나의 개구 내에 제1 도전 영역을 형성하는 단계, 제1 도전 영역의 적어도 표면에 전자이동(EM) 방지 라이너를 형성하는 단계, 및 EM 방지 라이너 상에 제2 도전 영역을 형성하는 단계 - 제1 및 제2 도전 영역은 유전체 재료 내에서 도전부를 형성함 - 를 포함한다.

[0013] 하나의 실시예에 있어서, "U자 형" EM 방지 라이너가 제공되는데, 이는 유전체 재료로부터 도전부를 분리하는 확산 경계와 인접한다(abut). 다른 실시예에 있어서, "U자 형" EM 방지 라이너와 확산 경계 사이에 공간이

위치한다. 또 다른 실시예에 있어서, 확산 경계와 인접한 수평 EM 라이너가 제공된다. 또 다른 실시예에 있어서, 수평 EM 라이너와 확산 경계 사이에 공간이 존재한다.

실시예

- [0020] 본 발명은 향상된 전자이동(EM) 신뢰성을 가지는 상호접속 구조체 및 그 형성 방법을 제공하는데, 이는 다음의 논의 및 본 명세서에 첨부된 도면을 참조하여 보다 상세하게 기술될 것이다. 본 명세서의 도면은 예시적인 목적으로 제공되는 것이며, 예컨대 도면은 실제 크기대로 그려지지 않았다.
- [0021] 다음의 설명에 있어서, 본 발명의 명확한 이해를 제공하기 위해, 특정 구조체, 컴포넌트, 재료, 디멘전, 프로세싱 단계 및 기술과 같은 다양한 구체적인 상세가 기재되어 있다. 그러나, 본 기술 분야의 당업자에게는 이러한 구체적인 상세 없이도 본 발명이 실시될 수 있다는 것이 명확하다. 다른 실시예에 있어서, 잘 알려진 구조 또는 프로세싱 단계는 본 발명을 모호하게 하는 것을 방지하기 위해서 상세하게 기술되지 않았다.
- [0022] 층, 영역 또는 기관과 같은 요소가 다른 요소의 "위에" 또는 "상에" 있다고 언급되는 경우, 이는 직접적으로 다른 요소 상에 있거나, 중개하는 요소가 존재할 수도 있다는 것을 이해할 수 있다. 반면에, 하나의 요소가 다른 요소에 "직접적으로 위에" 또는 "직접적으로 상에" 있다고 언급되는 경우, 중개하는 요소는 존재하지 않는다. 하나의 요소가 다른 요소에 "연결되어" 또는 "결합되어" 있다고 언급되는 경우, 이는 직접적으로 다른 요소에 연결되거나 결합될 수 있거나, 중개하는 요소가 존재할 수 있다. 반면에, 하나의 요소가 다른 요소에 "직접적으로 연결되어" 또는 "직접적으로 결합되어"라고 언급되는 경우에는, 중개하는 요소는 존재하지 않는다.
- [0023] 상기 언급된 바와 같이, 본 발명은 향상된 EM 신뢰성을 가지는 상호접속 구조체를 제공한다. 본 발명에 따른 상호접속 구조체는 금속 상호접속 내에 EM 방지 라이너를 통합함으로써 EM 실패로 인해 일어나는 사개방 회로를 방지한다.
- [0024] 도 3A 내지 도 3D는 본 발명의 다양한 실시예를 도시한다. 구체적으로, 도 3A 내지 도 3D는 본 발명의 상호접속 구조체를 도시하는데, EM 방지 라이너(66)는 도전 재료(64, 68)로 채워진 유전체 재료(54B)의 개구 내에 위치한다. 본 발명에 따라, 제2 유전체 재료(54B) 내에서, 도전 재료(64)는 제1 도전 영역(conductive region)을 형성하고, 도전 재료(68)는 제2 도전 영역을 형성한다. 제1 및 제2 도전 영역은 제2 유전체 재료(54B) 내에 차례로 도전부(conductive feature)를 형성한다.
- [0025] 도 3A는 본 발명의 제1 실시예를 도시하는데, "U자 형" EM 방지 라이너(66)는, 유전체 재료(54B)로부터 도전 재료(64, 68)를 분리하는 확산 경계(58')와 인접한다. 도 3B는 제2 실시예를 도시하는데, "U자 형" EM 방지 라이너와 확산 경계(58') 사이에 공간이 위치한다. 도 3C는 제3 실시예를 도시하는데, 수평 EM 라이너(66)는 확산 경계와 인접하고, 도 3D는 본 발명의 제4 실시예를 도시하는데, 수평 EM 라이너(66)와 확산 경계(58') 사이에 공간이 존재한다.
- [0026] 도 4A 내지 도 4F를 참조하면, 도 4A 내지 도 4F는 도 3A에 도시된 반도체 상호접속 구조체를 형성하는데 사용되는 기본 프로세싱 단계들을 도시한다. 이러한 예에 있어서, "U자 형" EM 방지 라이너(66)는 제2 유전체 재료(54B)의 적어도 하나의 개구에 놓이는 확산 경계(58')와 인접한다. 구체적으로, 본 발명에 따른 방법은 도 4A에 도시되는 패턴화 상호접속 구조체(50)를 제공하면서 시작된다. 도 4A에서 도시되는 패턴화 상호접속 구조체(50)는 유전체 캡핑 층(capping layer; 60)에 의해서 분리되는 제1 상호접속 레벨(52A) 및 제2 상호접속 레벨(52B)을 포함한다.
- [0027] 제1 상호접속 레벨(52A)은 하나 이상의 반도체 장치를 포함하는 반도체 기관 위에 위치하는데, 이는 확산 경계(58)에 의해서 제1 유전체 재료(54A)로부터 분리되는 적어도 하나의 도전부(56)를 가지는 제1 유전체 재료(54A)를 포함한다. 제2 상호접속 레벨(52B)은 제2 유전체 재료(54B')를 포함하는데, 이는 그 안에 위치하는 적어도 하나의 개구를 가진다.
- [0028] 도 4A에서는, 단일 다마신 구조체(damascene structure)에 대한 라인 개구(62A), 및 제2 유전체 재료(54B)에서 듀얼 다마신 구조체에 대한 비아 개구(via opening; 63A)와 라인 개구(63B)가 도시된다. 비록 이러한 다양한 개구가 도시되나, 본 발명은 단일 다마신 라인 개구가 형성되거나, 다마신 라인 및 비아 개구가 형성되는 케이스에서 동작한다. 듀얼 다마신 라인 및 비아 개구가 형성되는 경우, 적어도 하나의 도전부(56) 위에 위치한 유전체 캡핑 층(60)의 부분이 제거된다.
- [0029] 패턴화 상호접속 구조체(50)는 제2 유전체 재료(54B)에서 형성되는 적어도 하나의 개구 내에 확산 경계(58')

를 포함할 수도 있다.

- [0030] 도 4A에서 도시된 패턴화 상호접속 구조체(50)는 단일 다마신 프로세스 또는 듀얼 다마신 프로세스를 포함하여 본 기술분야에서 잘 알려진 표준 후처리(Back End Of the Line: BEOL) 프로세스를 사용하여 제조된다. 제 1 비아 후 라인 개구 프로세스(a first via then line opening process)가 사용되거나 제1 라인 후 비아 개구 프로세스(a first line then via opening process)가 사용될 수 있다.
- [0031] 프로세스는 전형적으로 증착(deposition), 리소그래피, 확산 경계로 개구를 채운 다음 도전 재료로 개구를 채우고 에칭하는 것, 그리고 평탄화를 포함한다. 이러한 상호접속 구조체 제조 단계에 대한 프로세스의 상세는 본 기술 분야의 당업자에게 잘 알려져 있으며, 본 발명을 모호하게 하는 것을 방지하기 위해서 본 명세서에서는 이러한 상세가 생략된다.
- [0032] 패턴화 상호접속 구조체(50)의 제1 상호접속 레벨(52A)은 기관(본 명세서의 도면에는 도시되지 않음)의 최상층에서 형성될 수 있음을 유의하자. 기관은 도시되지 않으나, 반도체 재료, 절연 재료, 도전 재료 또는 그 임의의 조합을 포함할 수 있다. 기관이 반도체 재료로 구성되는 경우, Si, SiGe, SiGeC, SiC, Ge alloys, GaAs, InAs, InP 및 기타 III/V 또는 II/VI 족 반도체와 같은 임의의 반도체가 사용될 수 있다. 이렇게 열거된 유형의 반도체 재료에 추가하여, 본 발명은 반도체 기관이, 예를 들어 Si/SiGe, Si/SiC, SOI(silicon-on-insulators) 또는 SGOIs(silicon germanium-on-insulators)와 같이 층상 반도체인 케이스에서도 고려될 수 있다.
- [0033] 기관이 절연 재료인 경우, 절연 재료는 유기 절연체, 무기 절연체 또는 복수층을 포함하는 그 조합일 수 있다. 기관이 도전 재료인 경우, 기관은, 예를 들어 폴리실리콘막(polySi), 단일원소 금속(elemental metal), 단일원소 금속의 합금, 금속 규소 화합물, 금속 질화물, 또는 복수층을 포함하는 그 조합을 포함할 수 있다. 기관이 반도체 재료를 포함하는 경우, 하나 이상의 반도체 장치, 예를 들어, CMOS(complementary metal oxide semiconductor) 장치가 그 위에서 제조될 수 있다. 기관이 절연 재료 및 도전 재료의 조합을 포함하는 경우, 기관은 제1 상호접속 레벨의 복수층 상호접속 구조체를 나타낼 수 있다.
- [0034] 제1 유전체 재료(54A) 및 제2 유전체 재료(54B)는 동일하거나 다른 재료일 수 있는데, 무기 유전체나 유기 유전체를 포함하여 임의의 내부 레벨 또는 외부 레벨 유전체를 포함한다. 제1 및 제2 유전체 재료(54A, 54B)는 각각 다공성(porous)이거나 다공성이 아닐 수 있다. 제1 및 제2 유전체 재료(54A, 54B)로 사용될 수 있는 적절한 유전체의 일부에는 SiO₂, 실세스퀴옥산(silsesquioxanes), 규소, 탄소, 산소 및 수소 원자를 포함하는 탄소 도핑 산화물 (즉, 오르가노실리케이트(organosilicates)), 열경화성 폴리아릴렌 에테르(polyarylene ethers), 또는 그 복수층을 포함하나, 이에 한정되는 것은 아니다. 본 명세서에서 '폴리아릴렌'이라는 용어는 결합(bond)에 의해서 함께 결합된 비활성 치환 아릴기 부위나 아릴기 부위, 융합 고리(fused rings), 또는 비활성 결합 그룹, 예컨대 산소, 유황, 술폰(sulfone), 술폭시드(sulfoxide), 카르보닐기 등을 지시하는데 사용된다.
- [0035] 제1 및 제2 유전체 재료(54A, 54B)는 각각 전형적으로 약 4.0 이하의 유전 상수를 가지며, 보다 전형적으로는 약 2.8 이하의 유전 상수를 가진다. 본 명세서에서 언급되는 모든 유전 상수는 특별히 언급되지 않는 한, 진공상태에 관한 것이다. 이러한 유전체는 4.0 보다 높은 유전 상수를 가지는 유전체 재료와 비교할 때, 일반적으로 보다 낮은 기생 크로스토크(parasitic cross talk)를 가진다. 유전체 재료의 두께는 사용되는 유전체 재료뿐만 아니라, 제1 및 제2 유전체 재료 내에서의 유전체 층의 정확한 수에 따라 다양할 수 있다. 전형적으로 일반적인 상호접속 구조체에 대해서, 제1 유전체 재료(54A) 및 제 2 유전체 재료(54B) 각각은 약 50nm 내지 약 1000nm의 두께를 가진다.
- [0036] 확산 경계(58, 58')는 동일하거나 다른 재료일 수 있는데, Ta, TaN, Ti, TiN, Ru, RuN, RuTa, RuTaN, W, WN 또는 도전 재료가 이곳을 통과하여 확산하는 것을 방지하기 위한 경계로서 기능할 수 있는 임의의 기타 재료를 포함한다. 확산 경계(58, 58')의 두께는 사용되는 증착 프로세스뿐만 아니라 사용되는 재료에 따라 다양할 수 있다. 전형적으로, 확산 경계(58, 58') 각각은 약 4nm 내지 약 40nm의 두께를 가지며, 보다 전형적으로 약 7nm 내지 약 20nm의 두께를 가진다.
- [0037] 도전부(56)에 사용되는 도전 재료는, 예를 들어 polySi, 도전 금속, 적어도 하나의 도전 금속을 포함하는 합금, 도전 금속 규소 화합물 또는 그 조합을 포함한다. 바람직하게는, 적어도 하나의 도전부(56)를 형성하는데 사용되는 도전 재료는, 예를 들어 Cu, W 또는 Al과 같은 도전 금속이며, 본 발명에 있어서 보다 바람직하게는 Cu 또는 Cu 합금(예컨대, AlCu)이다.

- [0038] 유전체 캡핑 층(60)은 제1 상호접속 레벨(52A)로부터 제2 상호접속 레벨(52B)을 적어도 일부 분리하는데, SiC, Si₃N₄, SiO₂, 탄소 도핑 산화물(carbon doped oxide), 질소 또는 수소 도핑 실리콘 카바이드(nitrogen and hydrogen doped silicon carbide) SiC(N,H) 또는 그 복수층과 같은 임의의 적절한 유전체 캡핑 재료를 포함한다. 유전체 캡핑 층(60)의 두께는 생성하는데 사용되는 기술과 층을 만드는 재료에 따라 다양할 수 있다. 전형적으로, 유전체 캡핑 층(60)은 약 15nm 내지 100nm의 두께를 가지며, 보다 전형적으로 약 25nm 내지 45nm의 두께를 가진다.
- [0039] 도 4A에 도시된 패터닝 상호접속 구조체(50)를 제공한 후에, (상위 상호접속 레벨(52B)의 제1 도전 영역을 형성하는) 도전 재료(64)는 제2 유전체 재료(54B)에서의 적어도 하나의 개구(비아 및/또는 라인 개구) 내에 부분적으로 형성된다. 도전 재료(64)는 적어도 하나의 도전부(56)에 대하여 앞서 정의된 바와 같이 동일하거나 상이한 도전 재료를 포함할 수 있다. 바람직하게는, 도전 재료(64)는 Cu(구리), W(텅스텐) 또는 Al(알루미늄)이며, 본 발명에 있어서 보다 바람직하게는 Cu 또는 Cu 합금(예컨대, AlCu)이다. 도전 재료(64)는 제2 유전체 재료(54B)에서의 적어도 하나의 개구를 부분적으로 채우면서 형성되거나, 적어도 하나의 개구를 가득 채운 후, 제2 유전체 재료(54B)의 상위 표면 아래의 레벨에 대해 도전 재료를 우묵하게(recess) 하면서 형성될 수 있다. 화학 기상 증착(Chemical Vapor Deposition; CVD), 플라즈마 향상 화학적 기상 증착(Plasma enhanced chemical vapor deposition; PECVD), 스퍼터링(sputtering), 화학 용액 증착(chemical solution deposition) 또는 도금(plating)을 포함하여, 아래쪽에서 위쪽으로 적어도 하나의 개구를 채우는 종래의 증착 프로세스가 사용될 수 있다. 바람직하게는, 상향식(bottom-up) 도금 프로세스가 적용될 수 있다.
- [0040] 우묵하게 하는(recess) 단계가 사용되는 경우, 도전 재료(64)의 부분을 선택적으로 제거하는 에칭 프로세스가 제2 유전체 재료(54B)에서의 적어도 하나의 개구를 부분적으로 채우기 위해 사용될 수 있다. 도 4B에서 이상적인 상향식 채우기가 도시되었다는 것을 유의하자. '이상적인'이란 채우기가 주로 개구의 아래쪽 부분에서 위쪽 부분으로 일어난다는 것을 의미한다.
- [0041] 이제 도 4C를 참조하는데, 이는 도 4B에 도시된 구조체의 모든 노출된 표면(수평 및 수직을 포함함) 위에 방지 라이너(66)가 형성된 후의 구조체를 도시한다. EM 방지 라이너(66)는 Ta, TaN, Ti, TiN, Ru, RuN, RuTa, RuTa₂, Ir, IrCu, Co(W,B,P,Mo,Re) 또는 EM 실패를 방지할 수 있는 임의의 재료를 포함한다. 도 4C에 도시된 실시예에 있어서, EM 방지 라이너는, 예를 들어 CVD 및 스퍼터링과 같은 무방향성 증착 프로세스를 사용하여 형성된다. EM 방지 라이너(66)는 전형적으로 약 1nm 내지 약 20nm의 두께를 가지며, 보다 전형적으로는 약 2nm 내지 약 8nm의 두께를 가진다.
- [0042] 본 발명의 다른 실시예에 있어서, EM 방지 라이너(66)는 방향성 증착 프로세스를 사용하여 형성될 수 있는데, 이는 구조체의 EM 방지 라이너의 하나의 수평 표면을 선택적으로 증착한다. 본 발명의 이러한 실시예는, 예를 들어 도 5에서 도시된다. 본 발명의 이러한 실시예는 측매 도금 프로세스를 포함할 수도 있는데, 여기서, EM 방지 라이너(66)는 도전 재료(64)의 노출된 수평 표면상에서만 형성된다. 이러한 실시예에 있어서(도시되지 않음), 어떠한 EM 방지 라이너도 제2 유전체 재료(54B) 상에 형성되지 않는다. EM 방지 라이너(66)의 방향성 증착은, 예를 들어 도 3C 및 도 3D에서 도시된 상호접속 구조체, 즉 제2 유전체 재료(54B)의 도전적으로 채워진 개구내에서의 수평 EM 방지 라이너를 형성하는데 사용된다.
- [0043] 명확함을 위해서, 나머지 프로세싱 단계는 도 4C에 도시된 구조체를 사용한다. 이러한 예시가 제공되나, 다음의 프로세싱 단계는 본 발명의 다른 실시예에 대해서도 적용된다.
- [0044] 다음으로, 도 4D에 도시된 바와 같이, 동일하거나 상이한 도체, 바람직하게는 동일한 도체를 도전 재료(64)로서 포함할 수 있는, 추가의 도전 재료(68)가 형성된다. 종래의 증착 프로세스가 도 4D에 도시된 구조체를 형성하는데 사용될 수 있다. 도전 재료(68)는 상위 상호접속 레벨(52B)의 제2 도전 영역을 형성함을 유의하자.
- [0045] 도 4E는 도전 재료(68)를 평탄하게 한 후의 구조체를 도시하는데, 그 상위 표면이 실질적으로 제2 유전체 재료(54B)의 상위 표면에 대해 코플래너(co-planar)하다. 이러한 평탄화 단계 동안에, 제2 유전체 재료(54B)의 최상위면에 위치한 임의의 EM 방지 라이너가 제거된다. 평탄화는 화학적 기계적 연마(Chemical Mechanical Polishing; CMP) 및/또는 연삭(grinding)에 의해서 이루어질 수 있다.
- [0046] 평탄화 후에, 제2 유전체 캡핑 층(60')이 도 4E에 도시된 구조체 상에 형성되어 도 3A에 도시된 구조체가 제공된다. 제2 유전체 캡핑 층(60')은 제1 유전체 캡핑 층(60)처럼 동일하거나 상이한 재료로 구성될 수 있다.
- [0047] 본 발명의 다른 실시예에 있어서, 제2 유전체 재료(54B)에서 적어도 하나의 개구를 부분적으로 채우는 경우, 도전 재료(64)의 비이상적인 증착이 일어난다. 이러한 실시예는 도 4A에 도시된 패터닝 상호접속 구조체(5

0)를 처음으로 제공하면서 시작된다. 다음으로, 도전 재료(64)의 비이상적인 증착은, 예를 들어 도 6에 도시된 구조체를 제공하면서 일어난다. 비이상적인 증착이 일어나는 경우, 제2 유전체 재료(54B)의 패터닝 수직 벽에 근접한 적어도 하나의 개구의 부분은 도전 재료(64)를 포함할 수도 있다. 따라서, 이러한 실시예는 이상적인 상향식 증착이 아니다. 이러한 비이상적인 증착은 대부분의 경우에서 일어난다.

[0048] 도 6에서 도시된 구조체의 형성을 따라서, 상기 설명된 프로세싱 단계는 도 3C 및 도 3D에 도시된 구조체를 형성하는데 사용될 수 있다.

[0049] 상기 언급된 바와 같이, 본 발명은 금속 상호접속 내에 EM 방지 라이너를 통합함으로써 향상된 EM 신뢰성을 가지는 상호접속 구조체를 제공한다. 본 구조체의 다른 이점은 갑작스런 데이터의 손실의 방지 및 반도체 제품의 수명 연장을 포함한다.

[0050] 상기에 추가하여, 향상된 상호접속 구조체의 다른 장점은 제2 유전체 재료(54B)에서의 도전부와 오버레이 유전체 캡핑 층(60') 사이에서 약한(weak) 인터페이스가 제공된다는 점이다. 또한, 향상된 구조체는 종래 기술의 상호접속 구조체에 비해 스트레스를 보다 잘 조절할 수 있다.

[0051] 본 발명이 자세히 도시되었고, 그 바람직한 실시예에 관하여 기술되었으나, 본 기술 분야의 당업자는 형태 및 상세에 있어서의 앞서 언급된 것 및 기타 변경이 본 발명의 사상과 범위를 벗어나지 않고 이뤄질 수 있다는 것을 이해할 것이다. 따라서, 본 발명은 기술되고 도시된 정확한 형태 및 상세에 제한되지 않으며, 첨부된 청구항의 범위 내에 있다.

산업상 이용 가능성

[0052] 본 발명은 반도체 구조체의 제조에 산업적으로 적용될 수 있으며, 보다 구체적으로는 VLSI 칩의 집적 회로 및 장치의 제조와 설계 분야에 산업적으로 적용될 수 있다.

도면의 간단한 설명

[0014] 도 1A-1D는 종래 기술의 상호접속 구조체에서 EM 실패로 일어나는 사개방 회로의 형성을 도시하는 단면도.

[0015] 도 2A-2B는 종래 기술의 상호접속 구조체에서 EM 실패로 일어나는 사개방 회로의 형성을 도시하는 SEM 이미지.

[0016] 도 3A-3D는 금속부 내에 EM 방지 라이너를 형성함으로써 사개방 회로가 방지되는 본 발명의 다양한 상호접속 구조체의 단면도.

[0017] 도 4A-4F는 도 3A에 도시된 구조체를 형성하는데 사용되는 기본 프로세싱 단계를 도시하는 단면도.

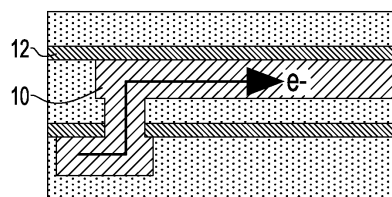
[0018] 도 5는 도 3C에 도시된 구조체를 형성하는데 사용되는 중간 구조체의 단면도.

[0019] 도 6은 유전체 재료의 적어도 하나의 개구를 부분적으로 채우는데 사용되는 비이상적인 상향식 증착 프로세스를 도시하는 단면도.

도면

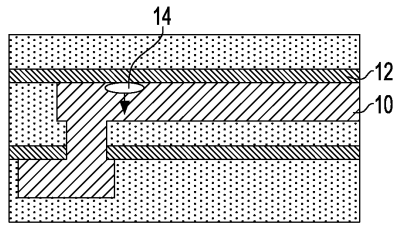
도면1A

(종래 기술)



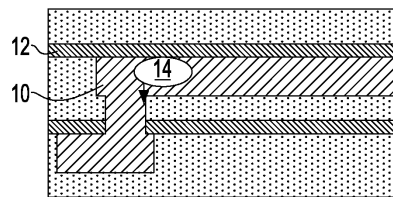
도면1B

(종래 기술)



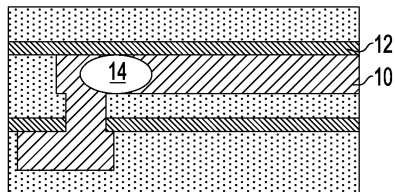
도면1C

(종래 기술)

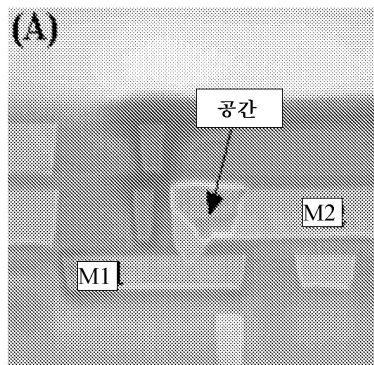


도면1D

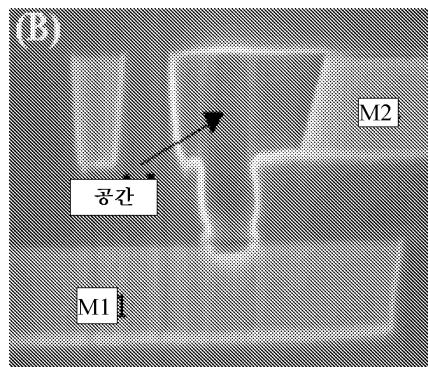
(종래 기술)



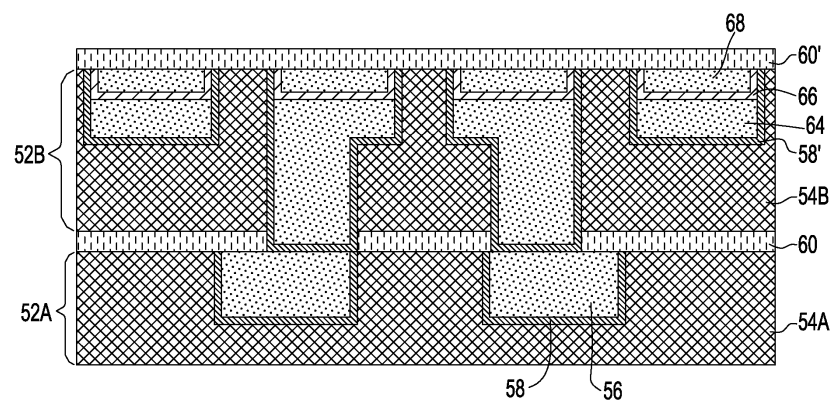
도면2A



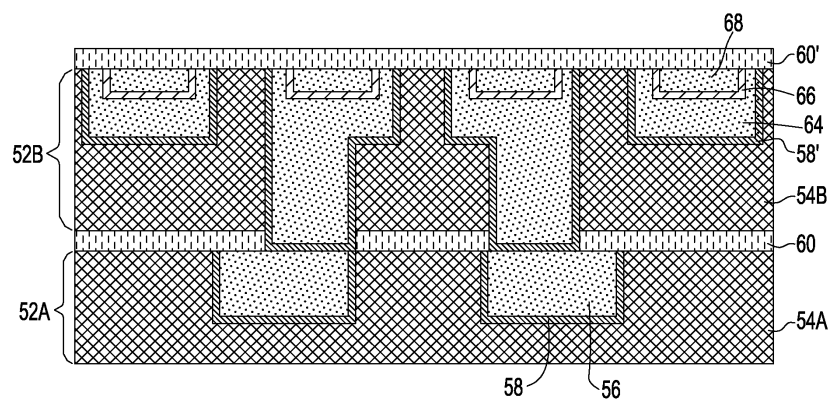
도면2B



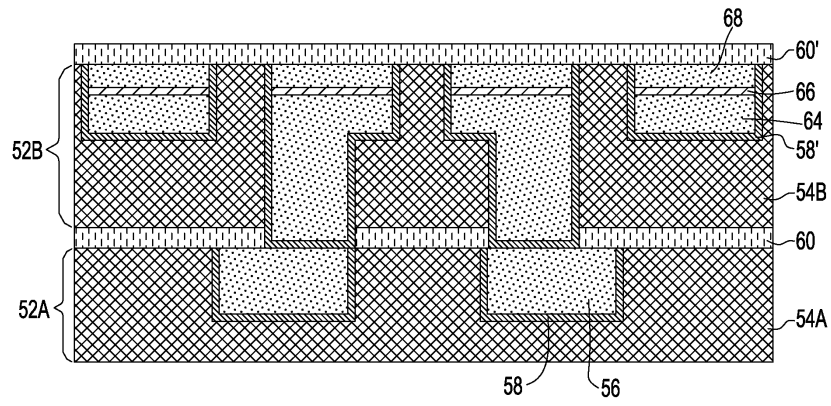
도면3A



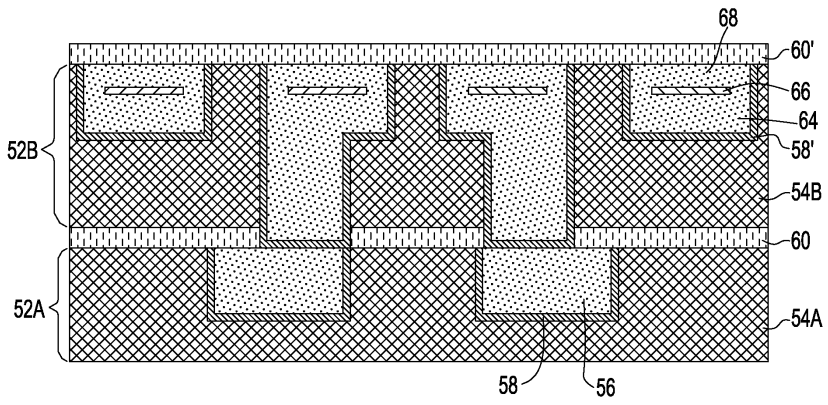
도면3B



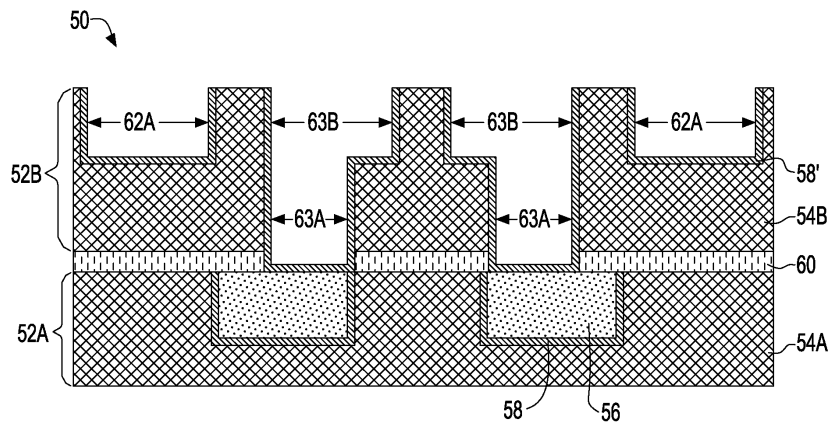
도면3C



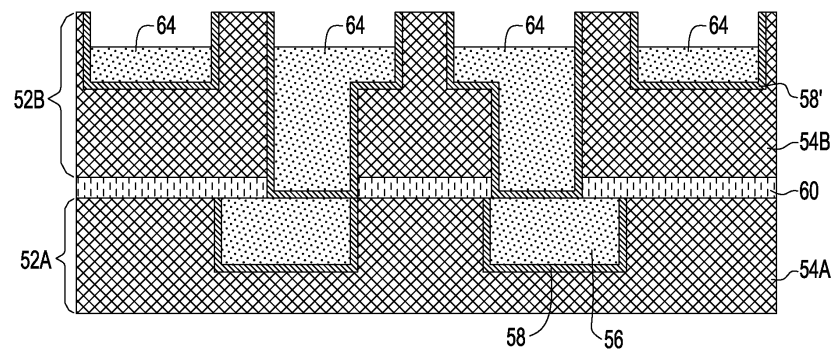
도면3D



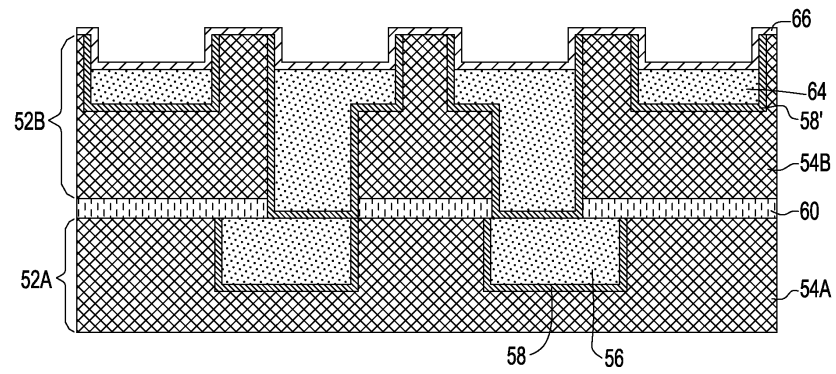
도면4A



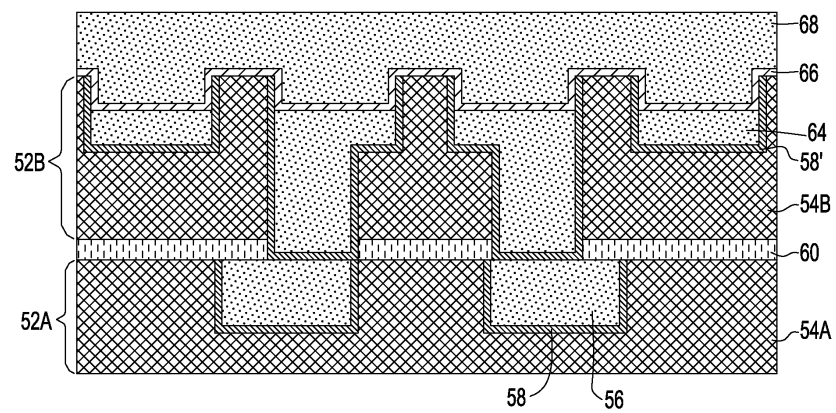
도면4B



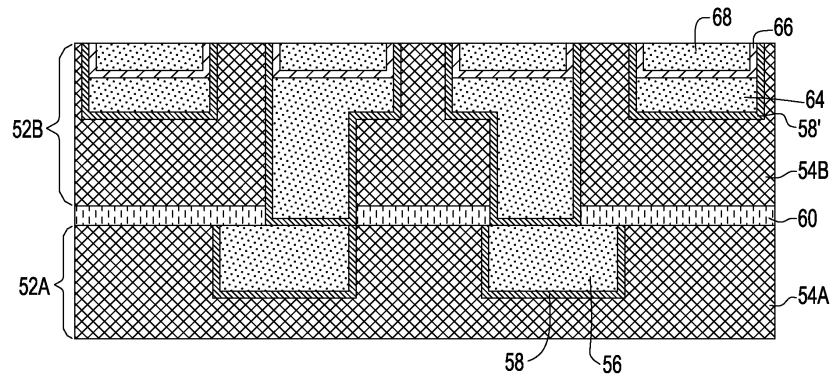
도면4C



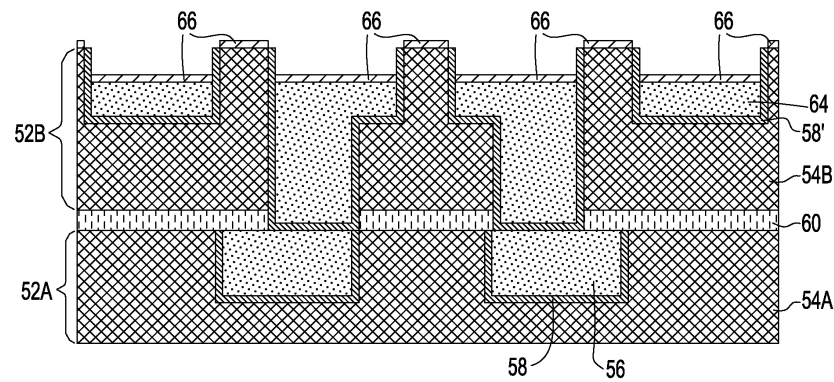
도면4D



도면4E



도면5



도면6

