



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년09월05일
(11) 등록번호 10-1062152
(24) 등록일자 2011년08월30일

(51) Int. Cl.
G11C 16/14 (2006.01)
(21) 출원번호 10-2006-7005908
(22) 출원일자(국제출원일자) 2004년09월21일
심사청구일자 2009년09월01일
(85) 번역문제출일자 2006년03월24일
(65) 공개번호 10-2006-0119988
(43) 공개일자 2006년11월24일
(86) 국제출원번호 PCT/US2004/031082
(87) 국제공개번호 WO 2005/031753
국제공개일자 2005년04월07일
(30) 우선권주장
10/671,847 2003년09월25일 미국(US)
(56) 선행기술조사문헌
US20020167844 A1
EP1271553 A
전체 청구항 수 : 총 26 항

(73) 특허권자
쥬디스크 코퍼레이션
미합중국, 캘리포니아주 95035, 밀피타스, 맥카시
블레바드 601
(72) 발명자
쿠아더, 칸드커, 엔
미국, 캘리포니아 95054, 산타 클라라, 블랙케트
웨이 1034
세르네아, 라울-아드리안
미국, 캘리포니아 95054, 산타 클라라, 애그뉴
로드 889
(74) 대리인
송범엽, 박경재

심사관 : 손윤식

(54) 비휘발성 메모리의 소거 금지

(57) 요약

본 발명은 소거 과정 동안에 비-선택된 셀들내의 교란량을 감소할 수 있는 동작을 위한 비-휘발성 메모리 및 방법에 관한 것이다. 공통 웰 구조상에 형성된 일련의 저장 소자들에서, 모든 워드-라인들은 초기에는, 웰과 워드 라인 사이에 순수한 전압 차가 없도록 보장하기 위해서 웰을 충전하는 것과 동일한 고전압 소거 신호로 충전된다. 선택된 워드-라인들은 이어서 접지로 방전되는 한편 비-선택된 워드-라인들 및 웰은 고전압으로 유지된다. 본 발명의 또 다른 특징에 따라서, 이는 메모리 어레이에 임의의 피치 영역 회로를 증가시키거나 새로운 도선을 부가하지 않고도 최소의 부가적인 주변 영역에서 수행될 수 있다. 장점들로는 비-선택된 저장 소자들에 전위 소거 교란을 줄이고 선택된 소자들에 대해서 더 엄격하게 소거를 분산하는 것이다.

특허청구의 범위

청구항 1

웰 구조 상에 형성된 복수의 저장 소자들을 포함하는 비-휘발성 메모리에서, 상기 저장 소자들중 선택된 것을 소거하는 방법에 있어서,

상기 웰 구조 및 상기 저장 소자들의 제어 게이트를 소거 전압으로 동시에 충전하는 단계; 및

이어서 상기 선택된 저장 소자의 제어 게이트가 방전되도록 하는 한편 상기 웰 구조 및 비-선택된 저장 소자들의 제어 게이트상에 소거 전압을 유지하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 2

제1항에 있어서, 상기 유지 단계는 상기 웰 구조 및 비-선택된 제어 게이트들 상에 전하를 트래핑하는 한편 상기 선택된 저장 소자의 제어 게이트가 방전되도록 하는 단계를 포함하는 특징으로 하는 방법.

청구항 3

제2항에 있어서, 상기 유지 단계는 상기 웰 구조상에 트래핑된 전하 레벨을 리프레싱하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 4

제3항에 있어서, 상기 유지 단계는 상기 웰 구조상에 트래핑된 전하 레벨을 리프레싱하는 동시에 비-선택된 제어 게이트들상에 트래핑된 전하 레벨을 리프레싱하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 5

제2항에 있어서, 상기 유지 단계는 비-선택된 제어 게이트들 상에 트래핑된 전하 레벨을 리프레싱하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 6

제1항에 있어서, 상기 복수의 저장 소자들은 그러한 저장 소자들의 어레이에 포함되며 상기 어레이의 저장 소자의 제어 게이트는 워드-라인에 접속되어 제어 게이트들의 전압 레벨이 설정되는 것을 특징으로 하는 방법.

청구항 7

제6항에 있어서,

상기 어레이는 제1 칩의 일부이며,

제1 칩상에 상기 소거 전압을 발생시키는 단계; 및

상기 웰 구조 및 상기 저장 소자들 각각의 제어 게이트에 대한 상기 동시 충전에서 사용하기 위해 상기 제1 칩에 소거 전압을 전달하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 8

웰 구조 상에 형성되며 이 구조에 용량성으로 결합된 복수의 저장 소자들을 포함하는 비-휘발성 메모리에 있어서,

소거를 위한 상기 저장 소자들 중 하나 이상으로서 모두는 아닌 것을 선택하는 단계;

상기 웰 구조를 소거 전압으로 유지하는 단계;

상기 웰 구조를 상기 소거 전압에 유지시키는 동시에, 비-선택된 저장 소자들의 제어 게이트상의 전압 레벨을 상기 웰 구조에 용량성으로 결합시켜서 발생하는 것 이상으로 상승시키는 단계; 및

상기 웰 구조를 상기 소거 전압에 유지시키는 동시에, 상기 선택된 저장 소자들의 제어 게이트상의 전압 레벨을

상기 소거 전압 이하로 낮추는 단계를 포함하는 방법.

청구항 9

제8항에 있어서,

비-선택된 저장 소자들의 제어 게이트상의 전압 레벨을 상기 웰 구조에 용량성으로 결합시켜서 발생하는 것 이상으로 상승시키는 단계는,

상기 비-선택된 저장 소자들 각각의 제어 게이트를 상기 웰 구조를 충전시키는 것과 동시에 소거 전압으로 충전시키고 이어서 상기 비-선택된 제어 게이트들에 상기 소거 전압을 유지시키는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 10

제8항에 있어서, 상기 선택된 저장 소자들의 제어 게이트상의 전압 레벨을 낮추는 것은,

상기 선택된 저장 소자들의 제어 게이트가 방전되도록 하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 11

비-휘발성 메모리에 있어서,

기관상에 형성된 복수의 저장 유닛들과;

상기 저장 유닛들이 형성되는 기관내의 웰 구조; 및

상기 기관 및 상기 복수의 저장 유닛들 각각의 제어 게이트에 접속가능한 제어 회로로서, 상기 웰 구조 및 상기 제어 게이트들의 전압 레벨이 소거 전압으로 동시에 설정될 수 있으며, 또한 상기 저장 유닛들중 선택된 것의 제어 게이트가 상기 소거 전압을 방전시키도록 허용되는 한편 상기 웰 구조 및 상기 저장 유닛들중 비-선택된 것들에 상기 소거 전압을 유지하도록 하는 제어 회로를 포함하는 비-휘발성 메모리.

청구항 12

제11항에 있어서,

상기 저장 유닛들은 복수의 로우로 배열되며,

각각이 각각의 로우의 저장 유닛들을 접속시켜서 상기 제어 회로가 상기 복수의 저장 유닛들 각각의 제어 게이트에 접속되는, 복수의 워드 라인들을 더 포함하는 것을 특징으로 하는 비-휘발성 메모리.

청구항 13

제12항에 있어서, 상기 저장 유닛들은 NAND 구조물을 갖는 어레이의 일부를 형성하는 것을 특징으로 하는 비-휘발성 메모리.

청구항 14

제12항에 있어서, 상기 제어 회로는 각각의 워드 라인을 접지시킴으로서 선택된 제어 게이트가 방전되도록 하는 것을 특징으로 하는 비-휘발성 메모리.

청구항 15

제14항에 있어서, 상기 제어 회로는 각각의 워드 라인들에 전하를 트래핑함으로써 비-선택된 저장 유닛들에 소거 전압을 유지시키는 것을 특징으로 하는 비-휘발성 메모리.

청구항 16

제14항에 있어서, 상기 제어 회로는 상기 웰 구조에 트래핑된 전하 레벨을 리프레싱함으로써 웰 구조상에 소거 전압을 유지하는 것을 특징으로 하는 비-휘발성 메모리.

청구항 17

제16항에 있어서, 상기 제어 회로는, 상기 웰 구조상에 트래핑된 전하 레벨을 리프레싱하는 동시에 대응하는 워드 라인들에 트래핑된 전하 레벨을 리프레싱함으로써 비-선택된 제어 게이트들에 소거 전압을 유지하는 것을 특징으로 하는 비-휘발성 메모리.

청구항 18

제14항에 있어서, 상기 제어 회로는 대응하는 워드 라인들에 트래핑된 전하 레벨을 리프레싱함으로써 비-선택된 제어 게이트들에 소거 전압을 유지하는 것을 특징으로 하는 비-휘발성 메모리.

청구항 19

제12항에 있어서, 상기 비-휘발성 메모리는, 각각이 복수의 워드 라인들로 이루어진 복수의 소거 유닛들에 물리적으로 조직되며, 상기 제어 회로는 그룹으로서 소거를 위해서 주어진 소거 유닛의 워드 라인들을 선택하는 것을 특징으로 하는 비-휘발성 메모리.

청구항 20

제11항에 있어서, 상기 저장 유닛들은 다중-상태 저장 유닛들인 것을 특징으로 하는 비-휘발성 메모리.

청구항 21

제20항에 있어서, 상기 메모리는 플래시 메모리인 것을 특징으로 하는 비-휘발성 메모리.

청구항 22

제11항에 있어서, 상기 소거 전압은 제어 회로로 공급되어 외부로 부터 메모리로 전달되는 것을 특징으로 하는 비-휘발성 메모리.

청구항 23

하나의 시스템에 있어서,

하나의 메모리를 포함하며, 이 메모리는,

기관상에 형성되며 복수의 로우로 배열되며 하나 이상의 컬럼을 형성하는 복수의 비-휘발성 저장 유닛들;

각각이 각각의 로우의 각각의 저장 유닛들의 각각의 제어 게이트를 접속하는 복수의 워드 라인들; 및

상기 기관 및 워드 라인들에 접속되어, 웰 구조 및 상기 제어 게이트들의 전압 레벨이 동시에 소거 전압에 설정될 수 있으며, 또한 상기 저장 유닛들중 선택된 것들의 제어 게이트가 상기 소거 전압을 방전하도록 허용되는 한편 상기 웰 구조 및 저장 유닛들의 비-선택된 것들에 소거 전압을 유지하도록 하는 제어 회로;

상기 메모리에 접속되어 상기 소거 전압이 발생하는, 전압 소스; 및

소거를 위한 메모리 셀들을 선택하기 위한 메모리에 접속되는 제어기를 포함하는 시스템.

청구항 24

제23항에 있어서, 상기 전압 소스는 메모리와 같은 칩상에 놓이는 것을 특징으로 하는 시스템.

청구항 25

제23항에 있어서, 상기 전압 소스는 상기 메모리와는 다른 칩상에 놓이는 것을 특징으로 하는 시스템.

청구항 26

비-휘발성 메모리에 있어서,

기관상에 형성되는 복수의 저장 유닛들;

상기 저장 유닛들이 형성되는 기관내의 웰 구조; 및

선택된 저장 유닛들의 소거 과정 동안에, 상기 웰 구조 및 상기 저장 유닛들 중 비-선택된 것들에 소거 전압을 유지하는 한편 상기 선택된 저장 유닛들의 제어 게이트가 방전되도록 하는 수단을 포함하는 것을 특징으로 하는

비-휘발성 메모리.

명세서

기술 분야

[0001] 본 발명은 비휘발성 메모리 및 그 동작에 관한 것으로서, 특히, 소거 조건 제어를 보장하기 위한 기술에 관한 것이다.

배경 기술

[0002] 본 발명의 원리들은 현재 존재하고 개발중인 신기술을 사용하고자 하는 여러 형태의 비휘발성 메모리들에 적용된다. 그러나, 본 발명의 실행은 플래시 전기적 소거가능 및 프로그램가능한 리드-온리 메모리(EEPROM)에 대해서 기술되며, 여기서 저장 소자들은 부동 게이트들이다.

[0003] 비휘발성 메모리가 동작하는 동안에, 하나의 저장 유닛에서 데이터의 판독, 기록 및 소거는 때로 메모리의 다른 저장 유닛들에 저장된 데이터를 교란시킨다. 이러한 교란들중 하나의 원인은 본원에 전체가 참조되어 있는 Jian Chen 및 Yupin Fong의 미합중국 특허 제5,867,429호에 기술된 바와같은 인접한 부동 게이트들 사이의 전계 효과 커플링이다. 그러한 교란들을 감소시키기 위한 부가적인 기술들이 본원에 전체가 참조되는 미합중국 특허 제6,522,580호에 기술되어 있다.

[0004] 이러한 효과 및 다른 판독 및 기록 원인들은 여러 유형의 플래시 EEPROM 셀 어레이들로 존재한다. 하나의 설계인 NOR 어레이는 인접 비트(컬럼) 라인들 사이에서 접속되는 그 메모리 셀들 및 워드(로우) 라인들에 접속되는 제어 게이트들을 갖는다. 개별 셀들은 하나의 부동 게이트 트랜지스터를 포함하는데, 이는 그와 직렬로 형성된 선택 트랜지스터를 갖거나 갖지 않으며, 단일 선택 트랜지스터에 의해서 분리되는 두개의 부동 게이트 트랜지스터들을 포함한다. 저장 시스템들에서 그러한 어레이들 및 그 용도의 예들은, 본원에 그 전체가 참조되어 있는 SanDisk Corporation의 미합중국 특허, 즉, 미합중국 특허 제5,095,344호, 제5,172,338호, 제5,602,987호, 제5,663,901호, 제5,430,859호, 제5,657,332호, 제5,712,180호, 제5,890,192호, 제6,151,248호, 제6,426,893호 및 제6,512,263호에 주어져 있다.

[0005] 하나의 설계인 NAND 어레이는 어느 한 단에서 선택 트랜지스터들을 통해서 비트 라인과 기준 전위 사이에서 직렬 스트링으로서 접속되는, 8, 16 또는 32개와 같이 다수의 메모리 셀들을 갖는다. 워드 라인들은 상이한 직렬 스트링들에서 셀들의 제어 게이트와 접속된다. 그러한 어레이들 및 다른 동작의 관련된 예들은 본원에 참조된 미합중국 특허 제6,522,580호에 주어져 있다. 다른 예들은 본원에 전체가 참조되어 있는, 2002년 9월 24일자 출원된 Raul-Adrian Cemea 및 Yan Li의 미합중국 특허출원 명칭 "Highly Compact Non-Volatile Memory and Method Thereof"과 Raul-Adrian Cemea 및 Yan Li의 미합중국 특허출원 명칭 "Non-Volatile Memory and Method with Reduced Source Line Bias Errors"과, 미합중국 특허 제5,546,341호, 제5,473,563호 및 제6,373,746호에 주어져 있다.

[0006] 각각의 부동 게이트에 대한 현재의 상업적인 제품에서는 이진 모드로 동작함으로써 단일 데이터 비트를 저장하는 것이 여전히 일반적인 것으로서, 여기서 부동 게이트 트랜지스터의 임계 레벨중 단지 두개의 범위만이 저장 레벨로서 정의된다. 부동 게이트 트랜지스터의 임계 레벨은 그 부동 게이트상에 저장된 변경 레벨의 범위에 대응한다. 메모리 어레이들의 크기를 줄이는 것에 더해서, 각각의 부동 게이트 트랜지스터의 한개의 데이터 비트를 저장함으로써 그러한 메모리 어레이들의 데이터 저장의 밀도를 더 증가시키는 것이 현재의 경향이다. 이것은 두개 이상의 임계 레벨을 각각의 부동 게이트 트랜지스터에 대한 저장 상태로서 정의함으로써 수행되며, 그러한 네개의 상태(부동 게이트당 두개의 데이터 비트)는 현재 상업적인 제품에 포함되어 있다. 저장 소자당 16 상태와 같이, 더 많은 저장 상태가 연구되고 있다. 각각의 부동 게이트 트랜지스터는 실제로 동작될 수 있는 임계 전압의 어떤 총 범위(윈도우)를 갖고며, 그 범위는 그에 대해서 정의된 상태의 수 플러스 상태들 사이의 마진으로 분할되어 이들이 서로 명백히 차별화되도록 한다. 다중-상태 비휘발성 메모리에서, 임계 전압 범위들은 다중-상태 및 그 마진 모두를 수용하도록 단일-비트 메모리와 비교하여 증가할 때가 있다. 그에 따라서, 판독 및 프로그래밍중에 제어 게이트에 인가되는 전압은 증가되어, 더 많은 소거, 프로그램 및 판독 교란을 야기시킨다. 이에 더해서, 소자들을 더 낮은 전력으로 동작하도록 설계함에 따라서, 이러한 다중-상태를 맞추기 위한 사용가능한 윈도우는 문제들을 더 악화시키는 것을 줄이게 된다.

[0007] 이러한 유형의 비-휘발성 메모리의 공통 동작은 이들을 프로그래밍하기에 앞서서 메모리 셀의 블록을 소거하는 것이다. 블록내의 셀은 소거되어 저장되는 입사 데이터에 의해서 표시되는 상태로 개별적으로 프로그램된다.

프로그래밍은 전형적으로 전압 펄스를 프로그래밍하는 것과 그 개별 상태를 관측하여 개별 셀들이 그 의도한 레벨에 이르렀는지를 판단하는 것과 병행하여 다수의 메모리 셀에 교류 전압을 인가하는 것을 포함한다. 프로그래밍은 그 의도된 임계 레벨에 이르렀는지가 확인되는 임의의 셀에 대해서는 정지되는 한편 병행하여 프로그램되는 다른 셀들을 프로그래밍하는 것은 이 셀들 모두가 프로그램될 때 까지 계속된다. 저장 소자 당 저장 상태의 수가 증가할 때, 프로그래밍을 수행하기 위한 시간은 보통은 증가하는데 개별 상태에 대한 전압 범위가 작을수록 더 정밀한 프로그래밍이 요구되기 때문이다. 이것은 메모리 시스템의 성능에 상당히 불리하게 작용할 수 있다.

[0008] 다중-상태 동작으로부터 야기되는 정의된 부동 게이트 저장 레벨의 범위가 더 좁아지면 제 2 그룹의 인근 저장 소자에서 수행되는 동작에 대한 제 1 그룹의 저장 소자의 감지 레벨을 증가시킨다. 소거 동작에서, 저장 소자들에는 보통은 부동 게이트로 부터의 변화를 제거하기 위해서 큰 전압차가 생기게 된다. 비-선택된 저장 소자들에 공유된 워드 라인들, 비트 라인들, 웰(well) 구조들, 용량성 커플링들 또는 다른 메카니즘들을 통해서 고전압 값이 생길 때가 있으므로, 이는 비-선택된 저장 소자들에 교란을 야기시킬 수 있다. 예를들어, 본원에 참조된 미합중국 특허 제6,522,580호에 기술된 바와같은 NAND 구조에서, 고전압차는 그 소거 게이트들을 접지로 놓고 어레이의 웰 구조를 높은 소거 전압으로 상승시킴으로서 선택된 저장 소자들에서 생성된다. 비-선택된 저장 소자들은 이러한 웰 구조상에 놓일 수 있다. 종래 기술에서 비선택된 소거 게이트들이 웰로 부터 용량성 커플링에 의해서 충전되도록 하는 것이 일반적이지만 (예를들어, 전술된 미합중국 특허 제5,546,341호에 기술된 바와같이), 교란을 야기시킬 수 있는 저장 소자에 배치된 전위가 여전히 존재할 수 있다. 에러 비트들의 수가 에러 수정 코드(ECC)의 용량내에서 유지되면, 에러들은 수정되지만 에러의 수가 전형적으로 그보다 크면, 일부 다른 구조적 및/또는 동작 기술(들)이 채용될 필요가 있다. 그 성능을 더 증가시키기 위해서 비-휘발성 메모리에서 소거 교란을 감소시키는 기술을 제공하는 것이 바람직하다.

발명의 상세한 설명

[0009] 본 발명은 소거 과정 동안에 비-선택된 셀들내의 교란량을 감소시킬 수 있는 비-휘발성 메모리 및 그 동작들에 대한 방법을 제공한다. 공통 웰 구조상에 형성된 일련의 저장 소자들에서, 모든 워드-라인들은 초기에는, 웰과 워드 라인 사이에 순수한 전압 차가 없도록 보장하기 위해서 웰을 충전하는 것과 동일한 고전압 소거 신호로 충전된다. 선택된 워드-라인들은 이어서 접지로 방전되는 한편 비-선택된 워드-라인들 및 웰은 고전압으로 유지된다. 선택 사항으로서, 소거 사이클 동안에 금지된 저장 소자들은 웰 전위(고전압)로 주기적으로 리프레시되며, 또는선택된 워드-라인들은 부동 및/또는 주기적으로 접지로 리프레시될 수 있다.

[0010] 예시된 실시예에서, NAND 구조를 갖는 플래시 메모리가 사용된다. 소거 유닛인 다수의 블록은 단일 웰 구조상에 형성된다. 각각의 블록은 메모리 유닛의 제어 게이트가 접속되는 다수의 워드 라인을 포함한다. 웰 상의 메모리 유닛의 제어 게이트는 웰 자체와 같은 시간에 소거 전압으로 충전된다. 충전은 이어서 소거 과정 동안에 비-선택된 블록의 워드 라인상에 트랩되어, 제어 게이트 및 웰상에 동일 전압 레벨을 설정하므로 전하 저장 소자에는 전위가 배치되지 않는다. 선택된 블록에서, 워드 라인들은 방전되어, 부동 게이트상에 전압 차를 설정하고 그 소거로 가해된다.

[0011] 본 발명의 또 다른 특징에 따라서, 이는 메모리 어레이에 임의의 피치 영역 회로를 증가시키거나 새로운 도선을 부가하지 않고도 최소의 부가적인 주변 영역에서 수행될 수 있다. 메모리 소자에 디코딩하는 것을 적당히 변경시킴으로서, 메모리 소자의 어레이 부분내의 구조가 유지될 수 있는 한편 기판만으로 용량성 커플링을 하여 획득될 수 있는 것 이상의 전압으로 비-선택된 워드 라인들을 유지되게 하는 것이 가능하다. 장점들로는 비-선택된 저장 소자들에 전위 소거 교란을 줄이고 선택된 소자들에 대해서 더 엄격하게 소거를 분산하는 것이다.

실시예

[0019] 예시적인 비-휘발성 메모리 시스템

[0020] 도1-7을 참조하여, 특정 비-휘발성 메모리 시스템이 기술되는데 여기서 특정 예들을 제공하기 위해서 본 발명의 여러 특징들이 실행된다. 소거 과정에서 교란의 양을 줄이기 위해서, 본 발명은 비-선택된 저장 소자의 제어 게이트를 그 근본 웰 구조와 같은 전압 레벨로 유지한다. 예시적인 실시예에서, 저장 소자들은 웰 구조상에 형성된다. 소거 과정 동안에, 웰 상의 선택 및 비-선택된 저장 소자들은 모두 웰 내의 이러한 전압 레벨을 설정하는 것과 동시에 소거 전압으로 상승된다. 이 전압은 이어서 웰 및 비-선택된 저장 소자들에 유지되어, 임의의 소거 관련 교란의 기회를 감소시키는 한편, 선택된 저장 소자들은 방전되게 되어, 필요한 소거 조건을 발생한다. 더욱이, 이것은 회로의 피치 영역을 증가시키거나 메모리 어레이내에 새로운 도선들을 부가하지 않고도

수행될 수 있어서, 회로에 부가되는 부가적인 주변 영역이 최소가 되게 한다.

[0021] 상세하게 설명하면, 일반화된 설명은 후에 더 상세히 주어지겠지만 본 발명은 NAND형의 EEPROM 플래시 메모리에 대해서 기술된다. 특히, 본 개시는 미합중국 특허 제6,522,580호 및 본원에 참조되어 있는 NAND 시스템과 관련된 다른 출원들에 기술된 종류의 시스템을 이용하게 된다. 특정 전압들이 다음에서 필요할 때, 소거 전압 V_{erase} 는 15-20 볼트 범위에서 취할 수 있으며, 낮은 논리 레벨은 접지로 취할 수 있으며, 높은 논리 레벨 V_{dd} 는 1.5-3 볼트 범위에서 취할 수 있으며, 설계에 따라서는 다른 값들이 사용될 수 있다.

[0022] 도1은 플래시 메모리 시스템의 블록도이다. 매트릭스로 배열된 복수의 저장 유닛 M을 포함하는 메모리 셀 어레이(1)는 컬럼 제어 회로(2), 로우 제어 회로(3), c-소스 제어 회로(4) 및 c-p-웰 제어 회로(5)에 의해서 제어된다. 컬럼 제어 회로(2)는, 프로그램 동작중에 메모리 셀(M)의 상태를 판단하고, 프로그램을 촉진하거나 프로그래밍을 금지하도록 비트 라인(BL)의 전위 레벨을 제어하기 위해서, 메모리 셀(M)에 저장된 데이터를 판독하기 위해서 메모리 셀 어레이(1)의 비트 라인(BL)에 접속된다. 로우 제어 회로(3)는 워드 라인(WL)중 하나를 선택하고, 판독 전압을 인가하며, 컬럼 제어 회로(2)에 의해서 제어되는 비트 라인 전위 레벨과 결합된 프로그램 전압을 인가하며, 메모리 셀(M)이 형성되는 p-형 영역(도3에서는 "c-p-웰"로 라벨됨)의 전압으로 결합된 소거 전압을 인가하도록 워드 라인(WL)에 접속된다. c-소스 제어 회로(4)는 메모리 셀(M)에 접속된 공통 소스 라인(도2에서는 "c-소스"로 라벨됨)을 제어한다. c-p-웰 제어 회로(5)는 c-p-웰의 전압을 제어한다.

[0023] 메모리 셀(M)에 저장된 데이터는 컬럼 제어 회로(2)에 의해서 판독되어 I/O 라인 및 데이터 입/출력 버퍼(6)를 통해서 외부 I/O 라인으로 출력된다. 메모리 셀에 저장되는 프로그램 데이터는 외부 I/O 라인들을 통해서 데이터 입/출력 버퍼(6)에 입력되며, 컬럼 제어 회로(2)에 전달된다. 외부 I/O 라인들은 제어기(20)에 접속된다. 플래시 메모리 소자를 제어하기 위한 명령 데이터는 외부 제어 라인들에 접속되는 명령 인터페이스로서, 이는 제어기(20)와 접속된다. 명령 데이터는 플래시 메모리에 어떤 동작이 요청되는지를 알린다. 입력 명령은, 컬럼 제어 회로(2), 로우 제어 회로(3), c-소스 제어 회로(4), c-p-웰 제어 회로(5) 및 데이터 입/출력 버퍼(6)를 제어하는 상태 머신(8)으로 전달된다. 상태 머신(8)은 READY 또는 PASS/FALL과 같은 플래시 메모리의 상태 데이터를 출력할 수 있다.

[0024] 제어기(20)는 개인용 컴퓨터, 디지털 카메라, 또는 개인 휴대 단말기와 같은 호스트 시스템에 접속되거나 접속 가능하다. 호스트는 메모리 어레이(1)로 데이터를 저장하거나 그로부터 데이터를 판독하기 위한, 명령을 개시하며, 그러한 데이터를 각각 제공하거나 수신한다. 제어기는 명령 회로(7)에 의해서 변환 및 실행될 수 있는 명령 신호로 그러한 명령을 변환한다. 또한 제어기는 전형적으로 메모리에 기록하거나 또는 그로 판독되는 사용자 데이터에 대한 버퍼 메모리를 포함한다. 전형적인 메모리 시스템은, 제어기(20)를 포함하는 하나의 집적 회로 칩(21), 및 각각 메모리 어레이 및 관련된 제어, 입/출력 및 상태 머신 회로를 포함하는 하나 이상의 집적 회로 칩(22)을 포함한다. 물론, 최신 경향은 메모리 어레이 및 시스템의 제어기 회로를 함께 하나 이상의 집적 회로 칩에 집적시키는 것이다. 메모리 시스템은 호스트 시스템의 일부로서 내장될 수 있거나, 또는 호스트 시스템의 메이팅 소켓으로 착탈가능하게 삽입되는 메모리 카드내에 포함될 수 있다. 그러한 카드는 전체 메모리 시스템을 포함할 수 있거나, 또는 제어기 및 메모리 어레이는 연관된 주변 회로와 함께 분리된 카드에 제공될 수 있다.

[0025] 도2를 참조하여, 예시된 구조의 메모리 셀 어레이(1)가 설명된다. NAND형 플래시 EEPROM이 하나의 예로서 설명된다. 메모리 셀(M)은 다수의 블록으로 분할되는데, 특정 예에서는 1,024개로 분할된다. 각각의 블록에 저장된 데이터는 동시에 소거된다. 따라서 블록은 동시에 소거될 수 있는 다수의 셀의 최소 유닛이다. 각각의 블록에, N 컬럼이 존재하는데, 이 예에서는 $N=8,512$ 이며, 이는 미합중국 특허 제6,522,580호에 더 상세히 설명된 것처럼, 좌측 컬럼 및 우측 컬럼으로 분할된다. 비트 라인들은 또한 좌측 비트 라인들(BLL) 및 우측 비트 라인들(BLR)로 분할된다. 각각의 게이트 전극에서 워드 라인들(WL0 내지 WL3)에 접속된 네개의 메모리 셀들은 NAND 셀 유닛을 형성하기 위해서 직렬로 접속된다. NAND 셀 유닛의 한개의 단자는 게이트 전극이 제1 (드레인) 선택 게이트 라인(SGD)에 결합되는 제 1 선택 트랜지스터(S)를 통해서 대응하는 비트 라인(BL)에 접속되며, 또 다른 단자는 게이트 전극이 제2 선택 게이트 라인(SGS)으로 결합되는 제2 (소스) 선택 트랜지스터(S)를 통해서 c-소스로 접속된다. 네개의 부동 게이트 트랜지스터들은 각각의 셀 유닛에 포함되는 것으로 도시된다 할지라도, 간략하게 하기 위해서, 다른 수의 트랜지스터들, 이를테면 8, 16 또는 32개의 트랜지스터들이 사용된다. 도2는 웰 전압을 공급하기 위한 접속, C-p-웰을 포함한다.

[0026] 각각의 블록에서, 이 예에서는, 8,512 컬럼들이 이븐 컬럼 및 오드 컬럼으로 분할된다. 비트 라인들 역시 이븐 비트 라인들(BLe) 및 오드 비트 라인들(BLo)로 분할된다. 각각의 게이트 전극에서 워드 라인들(WL0 내지 WL3)

로 접속되는 네개의 메모리 셀들은 NAND 셀 유닛을 형성하기 위해서 직렬로 접속된다. NAND 셀 유닛의 한개의 단자는 게이트 전극이 제1 선택 게이트 라인(SGD)에 결합되는 제1 선택 트랜지스터(S)를 통해서 대응하는 비트 라인(BL)에 접속되며, 또 다른 단자는 게이트 전극이 제2 선택 게이트 라인(SGS)에 결합되는 제2 선택 트랜지스터(S)를 통해서 c-소스로 접속된다. 간략하게 하기 위해서, 네개의 부동 게이트 트랜지스터들이 각각의 셀 유닛에 포함되는 것으로 도시된다 할지라도, 더 많은 수의 트랜지스터, 이를테면, 8, 16, 또는 32개의 트랜지스터들이 사용된다.

[0027] 다른 일련의 실시예들에서, 본원에 참조되어 있는 2002년 2월 27일자 출원된 미합중국 특허 출원 제10/086495호에 기술된 바와같이, 어레이는 오드-이븐 배열 대신에 좌측 및 우측 부분으로 분할될 수 있다. 좌측 및 우측면은 부가적으로 각각 그러한 분리된 웰 구조상에 형성된 어레이의 우측 및 좌측면을 갖는 독립된 웰 구조를 갖을 수 있어서, 전압 레벨들이 도1의 c-p-웰 제어 회로(5)에 의해서 독립적으로 설정되도록 한다. 또 다른 변형에서, 이것은 블록의 분할분 모두보다 작은 서브-블록의 소거를 허용할 수 있다. 본 발명과 호환되는 또 다른 변형들 역시 출원 번호 제10/086495호에 기술된다.

[0028] 예시적인 실시예들에서, 페이지 크기는 512 바이트로서, 이는 동일 워드 라인상의 셀 수보다 더 적다. 이 페이지 크기는 사용자의 기호 및 협의에 따른다. 워드 라인 크기가 하나의 페이지의 셀 가치 이상에 대응하도록 허용하는 것은 X-디코더(로우 제어 회로(3)) 공간을 저장할 수 있다. 왜냐하면 상이한 페이지의 데이터 가치가 디코더들을 공유할 수 있기 때문이다. 사용자 데이터 판독 및 프로그래밍 동작 동안에, 이 예에서는 N=4,256 셀(M)이 동시에 선택된다. 선택된 셀(M)은 WL2와 같이, 동일 워드 라인(WL)을 갖으며 동일 종류의 비트 라인(BL)을 갖는다. 그러므로, 532 바이트의 데이터가 동시에 판독 또는 프로그램될 수 있다. 동시에 판독 또는 프로그램되는 이러한 532B 데이터는 논리적으로 "페이지"를 형성한다. 그러므로, 하나의 블록은 적어도 여덟개의 페이지를 저장할 수 있다. 각각의 메모리 셀(M)이 두 비트의 데이터, 이른바, 다중-레벨 셀을 저장할 때, 하나의 블록은 셀 저장 당 두개의 비트인 경우에는 16 페이지를 저장한다. 이 실시예에서, 각각의 메모리 셀의 저장 소자, 이 경우에 각각의 메모리 셀의 부동 게이트는, 두 비트의 사용자 데이터를 저장한다.

[0029] 도3은 도2에 개략적으로 도시된 유형의 NAND 셀 유닛의 비트 라인(BL) 방향으로 절단된 횡 단면도를 도시한다. p-형 반도체 기판(9)의 표면에, p-형 영역 c-p-웰(11)이 형성되며, 좌측 및 우측 c-p-웰 각각은 n-형 영역(10)에 의해서 에워싸여서 c-p-웰을 p-형 기판으로 부터 전기적으로 절연하게 된다. n-형 영역(10)은 제1 접촉 홀(CB) 및 n-형 확산 층(12)을 통해서 제1 금속(M0)으로 이루어진 c-p-웰 라인에 접속된다. p-형 영역 c-p-웰(11) 역시 제1 접촉 홀(CB) 및 p-형 확산 층(13)을 통해서 c-p-웰 라인에 접속된다. c-p-웰 라인은 c-p-웰 제어 회로(5)에 접속된다(도1).

[0030] 예시된 실시예는 플래시 EEPROM 저장 유닛을 사용하는데, 여기서 각각의 메모리는 셀에 저장되는 데이터에 대응하는 상당량의 전하를 저장하는 부동 게이트(FG)를 갖으며, 워드 라인(WL)은 게이트 전극, 및 n-형 확산 층(12)으로 된 드레인 소스 전극을 형성한다. 부동 게이트(FG)는 터널 산화막(14)을 통해서 c-p-웰의 표면에 형성된다. 워드 라인(WL)은 절연체막(15)을 통해서 부동 게이트(FG)상에 적층된다. 소스 전극은 제2 선택 트랜지스터(S) 및 제1 접촉 홀(CB)을 통해서 제1 금속(M0)으로 된 공통 소스 라인(c-소스)에 접속된다. 공통 소스 라인은 c-소스 제어 회로(4)에 접속된다. 드레인 전극은 제1 선택 트랜지스터(S), 제1 접촉 홀(CB), 제1 금속(M0)의 중간 도선 및 제2 접촉 홀(V1)로 이루어진 비트 라인(BL)에 접속된다. 비트 라인은 컬럼 제어 회로(2)에 접속된다.

[0031] 도4 및 5는 각각, 워드 라인(WL2) 방향으로, 메모리 셀(도3의 단면 4-4) 및 선택 트랜지스터(도3의 단면 5-5)의 횡단면도를 도시한다. 각각의 컬럼은 기판에 형성되며 얇은 트랜치 절연체(STI)로 알려진 절연 물질로 채워진 트랜치에 의해서 이웃하는 컬럼으로 부터 절연된다. 부동 게이트(FG)는 STI 및 절연체막(15) 및 워드 라인(WL)에 의해서 서로 절연된다. 선택 트랜지스터(S)의 게이트 전극(SG)이 부동 게이트(FG) 및 워드 라인(WL)과 같은 처리 단계로 형성되므로, 적층된 게이트 구조를 나타낸다. 이들 두개의 선택 게이트 라인들(SG)은 라인의 단부에서 분기된다.

[0032] 본원에 참조되는 미합중국 특허 제6,522,580호는 특정 예에서 메모리 셀 어레이(1)를 동작시키기 위해서 인가되는 여러 전압에 대해서 기술하는데, 두개의 비트를 저장하는 각각의 메모리 셀의 부동 게이트는 "11", "10", "01" "00" 중 하나를 갖는다. 이는 여기서는 워드 라인 "WL2" 및 비트 라인 "BL_e"이 소거, 판독 또는 프로그래밍에 대해서 선택되는 경우에 대해서 간단히 검토해 본다. c-p-웰을 소거 전압 Verase=15-20V로 상승시키고 선택된 블록의 워드 라인("WL2")을 접지시킴으로서, 선택된 블록의 데이터가 소거된다. 선택되지 않은 블록들의 워드 라인(WL), 비트 라인(BL), 선택 라인(SG) 및 c-소스 모두가 부동 상태로 놓이게 되므로, 이들 역시 c-p-웰

과 용량성 커플링으로 인해서 거의 Verase로 상승된다. 그러므로, 강한 전기장이 선택된 메모리 셀(M)의 터널 산화막(14)(도4 및 5)에만 인가되며, 선택된 메모리 셀의 데이터는 터널 전류가 터널 산화막(14)을 통해서 흐를 때 소거된다. 소거된 셀은, 이 예에서, 네개의 가능성있게 프로그램된 상태 중 하나, 즉, "11"이 된다.

[0033] 소거에서 사용되는 고전압 값들 및 프로그래밍 값들은 전하 펌프(도1에는 미도시)를 이용하여 더 낮은 공급값으로부터 발생될 수 있다. 이들 더 높은 전압값들은 메모리 칩(22)상에서 발생될 수 있거나, 또는 메모리 시스템 내에서 또 다른 칩을 형성한다. 고전압 소스의 사용 및 위치는 본원에 참조되며 인용된 미합중국 특허 제 6,282,130호에서 더 상세히 논의된다.

[0034] 도6은 그러한 종래 배열을 개략적으로 도시한 도면이다. 세개의 대표적인 워드 라인, WL_A , WL_B , 및 WL_C 는 각각 트랜지스터(101, 103, 105)를 통해서 여러 전압 레벨을 공급하는 라인(107)에 접속된다. 트랜지스터(101, 103, 105)는 라인(107)과 함께 도1의 로우 제어 회로(3)의 일부가 될 수 있다. 도5의 c-p-웰 제어 회로(5)는 웰 구조 c-p-웰(11)에 전압을 제공한다. 이어서 워드 라인은 웰 구조(11) 상에서 도2에 도시된 메모리(1)의 상이한 블록들의 여러 워드 라인들중 임의의 것에 이어진다. 소거 과정에서, 선택된 워드 라인 및 모두 비-선택된 WL_A 및 WL_B 에 대응하는 워드 라인 WL_C 으로, c-p-웰내의 전압은 소거 전압 즉, 17 볼트로 상승되며 라인(107)은 접지로 설정된다. 트랜지스터(105)의 게이트는 워드 라인 WL_C 을 접지시키는 높은 레벨 Vdd로 설정되는 한편, 트랜지스터(101 및 103)는 모두 게이트를 접지시킴으로서 턴 오프되어, WL_A 및 WL_B 가 부동되게 한다. 이것은 전술된 소거 상태를 가져오는데, 여기서 선택되지 않은 소거 게이트들은 웰(본원에 포함된 미합중국 특허 제5,546,341호에 설명된 바와같은)로부터 용량성 커플링에 의해서 충전되며 선택된 소거 게이트는 강제로 접지된다. 소거 과정의 다른 특징들은 본원에 참조되어 있는 2001년 9월 17일자 출원 미합중국 특허출원 제09/956,201호에 기술되어 있다. 특히, 미합중국 특허출원 제09/956,201호는 비-선택된 워드-라인들이 부동될 수 있는 과정을 기술하는데, 이 과정은 본 발명의 여러 특징들중 다른 실시예에 포함될 수도 있다.

[0035] 프로그래밍 동작중에 부동 게이트(FG)에 전자를 저장하기 위해서, 선택된 워드 라인(WL2)은 프로그램 펄스(V_{pgm})에 접속되며 선택된 비트 라인(BLe)은 접지된다. 한편, 프로그래밍이 발생하지 않는 메모리 셀(M)상에서의 프로그램을 방지하기 위해서, 대응하는 비트 라인(BLe)은 선택되지 않은 비트 라인(BLo)은 물론이고, 전원 Vdd, 예를들면, 3V에 접속된다. 선택되지 않은 워드 라인(WL0, WL1 및 WL3)은 10V에 접속되며, 제1 선택 게이트(SGD)는 Vdd로 접속되며, 제2 선택 게이트(SGS)는 접지된다. 결과적으로, 프로그램되는 메모리 셀(M)의 채널 전위는 0V로 설정된다. 프로그램 금지의 채널 전위는 워드 라인(WL)과 용량성 커플링에 의해서 채널 전위가 끌어 올려진 결과 접지 6V로 상승된다. 전술된 바와같이, 강한 전기장이 프로그래밍중에 메모리 셀(M)의 터널 산화막(14)으로만 인가됨, 터널 전류는 소거와 비교해서 역방향으로 터널 산화막(14)에서 흐르며, 논리 상태는 "11"로 부터 다른 상태 "10", "01", 또는 "00"중 하나로 변경된다.

[0036] 삭제

[0037] 동작을 판독 및 확인하기 위해서, 선택 게이트(SGD 및 SGS) 및 선택되지 않은 워드 라인(WL0, WL1 및 WL3)은 4.5V의 판독 통과 전압으로 상승되어 이들을 통과 게이트가 되게 한다. 선택된 워드 라인(WL2)은 관련된 메모리 셀의 임계 전압이 그러한 레벨에 이르렀는지를 판단하기 위해서 각각의 판독 및 확인 동작에 대해서 규정된 전압 레벨에 접속된다. 예를들어, READ 10 동작에서, 선택된 워드 라인(WL2)은 접지되어, 임계 전압이 0V 보다 더 높은지가 검출된다. 이 판독의 경우에, 판독 레벨이 0V라고 할 수 있다. VERIFY 01 동작에서, 선택된 워드 라인(WL2)은 2.4V에 접속되어, 임계 전압이 2.4V에 이르러는지가 확인된다. 이러한 확인의 경우에, 확인 레벨은 2.4V라고 할 수 있다. 다시, 설명된 과정들 모두에서, 열거된 전압 레벨들은 단지 예시적인 값일 뿐이다.

[0038] 선택된 비트 라인들(BLe)은 높은 레벨, 예를들면, 0.7V로 프리-차지된다. 임계 전압이 판독 또는 확인 레벨보다 높을 때, 접속된 비트 라인(BLe)의 전위 레벨은 높은 레벨로 유지되는데, 이는 비-도전성 메모리 셀(M) 때문이다. 한편, 임계 전압이 판독 또는 확인 레벨보다 낮을 때, 관련된 비트 라인(BLe)의 전위 레벨은 낮은 레벨, 예를들면, 0.5V 이하로 감소되는데, 이는 도전성 메모리 셀(M) 때문이다. 판독 및 확인 동작의 더 상세한 점들은 후술된다.

[0039] 새로운 소거 기술의 예들

[0040] 전술된 소거 동작에서, 선택된 워드 라인들은 웰 구조의 셀 제어 게이트 및 소거 전압 사이의 소정의 전위차를

제공하기 위해서 접지로 유지된다. 비-선택된 셀들은 제어 게이트를 충분히 높은 값으로 상승시키도록 그 제어 게이트와 웰 사이의 용량성 커플링에 의존하여 이들 셀들은 소거되지 않는다. 용량성 커플링이 도6의 WL_A 및 WL_B 와 같은 비-선택된 워드 라인들을 인근 웰 레벨로 상승시킨다 할중라도, 이는 완전한 값으로 상승되지 않아서, 전위차가 접속된 셀들 상에서 설정되도록 한다. 이것은 저장된 전하중 일부가 부동 게이트로부터 손실 되게 할수 있고 결국 교란을 발생할 수도 있는데, 특히 저전압, 다중-상태 소자들에서 교란을 발적할 수도 있다. 본질적인 특징에서, 본 발명은 용량성 커플링만으로부터 발생할 수 있는 것 이상으로 비-선택된 워드 라인들상에 전압 레벨을 상승시켜서, 비-선택된 제어 게이트 사이의 전위차를 감소시키거나 제거하게 된다.

[0041] 도7a는 도6과 유사한 것으로서 대부분의 동일 소자들을 도시한다. 여러 워드 라인 전압(V_E)은 라인(107)을 따라서 공급된다. 이것은 트랜지스터(101, 13, 105)를 통해서 대표적인 워드 라인들(WL_A , WL_B 및 WL_C)에 의해서 수신되며, 이어서 이들은 라인(111, 113, 115)을 따라서 각각의 전압(V_A , V_B 및 V_C)에 의해서 제어된다. 도6 및 7a의 워드 라인들은 WL_A , WL_B 및 WL_C 로 라벨되었다. 이들 워드 라인들은 $WL0_i$, $WL1_i$, $WL2_i$ 와 같이 도2의 동일 블록의 워드 라인에 대응할 수 있으며, 여기서는 $WL2_i$ 가 소거를 위해서 선택되었거나, WL_C 를 포함하는 블록이 소거를 위해서 선택된 상이한 블록들로 부터 선택될 수 있으며, WL_A 및 WL_B 를 포함하는 이들은 선택되지 않을 수 있다. 또한 도7a는 라인(107)으로 부터 전압(V_E)을 수신하는 다이오드(121)를 통해서 라인(107)으로 접속된 웰 구조(11)를 도시한다. 이러한 특정 배열은, 레벨(V_E)이 웰 및 일부 워드 라인에 동시에 공급되는 전압에 대응하는 본 발명의 특정 실시예에 어느정도 한정된다. 더욱 일반적으로는, 이 특정 접속은 이러한 조건이 만족할 때에만 사용되며, 이러한 상황에서도, 웰 전압은 여러 참조문헌에 기술된 바와같이 c-p-웰 제어기(5)(도1)에 의해서 공급될 수 있다. 어떤 경우에는, 본 발명의 예시된 실시예에서, 도7a는 로우 제어 회로(3)(도1)로부터의 소자들중 일부 및 도7b에 표시된 전압을 적당한 소자들에 공급할 수 있는 c-p-웰 제어기(5)를 개략적으로 도시한다.

[0042] 도7b는 본 발명의 예시적인 실시예에서 도7a에 인가되는 여러 전압들에 대한 일련의 파형이다. 이 예에서, 워드 라인(WL_C)은 선택된 워드 라인에 대응하며 워드 라인(WL_A 및 WL_B)은 비-선택된 워드 라인에 대응한다. 파형(131)은 비-선택된 워드 라인을 라인(107)으로 접속하는 것을 제어하는 전압 레벨이며, 파형(135)은 임의의 선택된 워드 라인의 접속을 제어하는 전압 레벨이며, 파형(137)은 라인(107) 자체의 레벨이다.

[0043] 제1 위상에서, 도7b의 t_0 로 부터 t_1 까지, 트랜지스터(101, 103 및 105)는 모두 V_{pp} 를 라인(111, 113 및 115)으로 공급함으로써 턴 온되며, 소거 전압 V_{erase} 은 동시에 V_E 로 공급된다. 이러한 소거 초기화 위상의 결과는, 선택된 그리고 비-선택된 웰 및 그 위를 지나는 워드 라인들을 V_{erase} 로 설정하는 것이다. 이러한 위상의 지속 시간, (t_1-t_0)는 시스템으로 하드와이어되거나, 바람직하게는, 동작 조건들 또는 소자 특성들에 응답하여 검사 시간에 또는 동적으로 조절가능하게 된다. 예를들어, 파라미터 기반 실행은 소자가 그 초기에 검사될 때 설정되는 파라미터로 사용될 수 있다.

[0044] 소거 위상(또는 초기 소거 위상)은 시간 t_1 및 t_2 사이에서 발생되는데, 여기서 지속시간은 초기화 위상에 대한 것과 유사하게 결정될 수 있다. 부가적으로, 대응하는 파라미터는 동적으로 소거 확인의 실패 또는 다른 소거 관련 에러에 기초하여 변경될 수 있다. 이 위상에서, V_A 및 V_B 는 낮게 취해져서, 트랜지스터(101 및 103)를 차단시키고 소거 전압을 비-선택된 워드 라인(WL_A 및 WL_B)으로 고정시킨다. 소거 전압은 또한 웰에 유지되는데, 이 실시예에서는 다이오드(121)에 의해서 그리고 더 일반적으로는 c-p-웰 제어 회로(5)에 의해서 유지된다. 소거 과정 동안에, 메모리의 다른 단자들은 도6과 관련하여 전술된 바와같이 처리될 수 있는데, 말하자면, 비트 라인(BL), 선택 라인(SL) 및 c-소스는 부동 상태에 놓이는데, 이들은 c-p-웰 및 비-선택된 워드 라인과의 용량성 커플링으로 인해서 거의 V_{erase} 로 상승된다. 본 발명의 여러 실시예에서, 이들중 임의의 것에는 비-선택된 워드 라인에 대해서 설명된 것과 유사한 방식으로 V_{erase} 이 직접적으로 공급될 수도 있다.

[0045] 본 발명의 또 다른 특징에서, 웰상의 소거 전압, 비-선택된 워드 라인, 또는 이 둘은 리프레시될 수 있다. 도7b는 이를 시간 t_2 후에 발생하는 것으로서 도시한다. 전압 V_E 는 다시 V_{erase} 로 취해지며, 선택된 워드 라인들이 다시 충전되지 않도록, V_C 가 트랜지스터(105)를 턴 오프하도록 로우로 설정된다. 비-선택된 워드 라인들을 재충전하기 위해서, V_A 및 V_B 는 하이로 취해져서, V_{erase} 가 각각의 트랜지스터(101 및 103)를 통해서 WL_A 및 WL_B

가 되게 한다. c-p-웰(11)은 또한 다이오드(121)를 통해서 동시에 재충전된다. 이어서, V_A , V_B 및 V_C 는 모두 로우로 취해지고 V_C 는 하이로 취해지고 선택된 저장 소자들의 소거가 계속된다. 이러한 리프레싱 과정은 필요에 따라서 한번 이상 반복될 수 있다.

[0046] 도7b가 리프레싱 과정에 포함되는 웰(11) 및 비-선택된 워드 라인(WL_A 및 WL_B)을 도시한다 할지라도, 어떤 소자들에서는 이 둘을 모두 할 필요는 없다. 예를들어, V_A 및 V_B 는 로우로 유지될 수 있으며 단지 웰만이 리프레싱 되거나, 또는 대안으로서, 비-선택된 워드 라인들은 리프레싱될 수 있지만, 웰은 리프레싱되지 않을 수 있다. (이 마지막 변동은 c-p-웰 제거기(5)에서 다이오드(121)를 트랜지스터 또는 다른 스위치로 교체하는 것을 요구한다.) 또한, 예시된 목적으로, 파형(131, 135 및 137)은 (137이 시간 t_2 후에 하이일 때) 리프레싱 간격의 지속시간이 (137이 시간 t_2 후에 로우일 때) 연속되는 소거 간격 및 초기화 위상(t_1-t_0)과 거의 같은 간격임을 보여준다. 실제로, 리프레싱 간격은 초기화 위상보다 더 짧을 것 같다. 왜냐하면 전압 레벨이 "마무리지어"지고, 연속해서 소거 위상보다 더 짧기 때문이며, 이는 지속시간에서 초기의 소거 위상(t_2-t_1)에 근접할 수 있다. 다른 타이밍 값에 있어서, 이러한 여러 지속시간의 크기는 하드웨어, 소프트웨어, 또는 펌웨어에서 설정될 수 있으며 바람직하게는 검사 시간에 설정될 수 있거나 동작 조건 또는 소자 특성에 응답하여 동적으로 변동될 수 있는 파라미터 기반 실행을 사용할 수 있다. 부가적으로, 대응하는 파라미터들은 소거 확인 또는 다른 소거 관련 에러의 실패에 기초하여 동적으로 변경될 수 있다.

[0047] 전술된 바와같이, 대표적인 워드 라인(WL_A , WL_B 및 WL_C)은 도2의 동일 블록의 워드 라인에 대응할 수 있거나 또는 상이한 블록들로부터 나올 수 있다. 도7a 및 7b에 대해서 기술된 기술의 사용이 도2의 $WL0_i$, $WL1_i$ 및 $WL2_i$ 와 같은, 단일 블록내의 개별 워드 라인들에 대해서 유리하게 사용될 수 있다 할지라도(여기서 $WL2_i$ 만이 도2의 소거를 위해서 선택되었음), WL_A , WL_B 및 WL_C 가 상이한 블록으로 부터 워드 라인들에 대응할 때 더 일반적 으로 사용될 수 있다.

[0048] 도1 내지 5에 대해서 전술되었으며 전술된 미합중국 특허 제6,522,580호 및 제6,373,746호에서 더 개발된 예시된 실시예로 돌아가서, 하나의 블록은 소거의 메모리 유닛에 대응한다. 전형적으로, 많은(수백개까지 이름) 블록은 단일 웰에서 형성될 수 있으며 각각의 블록은 다수의 워드 라인들을 갖는다. 일반적으로, 소거 유닛, 또는 블록은 기록 유닛, 또는 페이지 및 판독과는 다르며, 하나의 블록은 보통은 다수의 페이지들을 포함한다(이는 하나 이상의 섹터들, 전통적인 데이터 전달 유닛이 될 수 있다). 따라서, 소거 과정은 보통은 단일 페이지의 소거가 아니라 (물리적인) 블록내의 모든 페이지로 이루어진다. 이러한 구조에서, 워드 라인 WL_A , WL_B 및 WL_C 각각은 특정 블록내의 워드 라인의 집합적인 셋트를 표시할 수 있다. 참조된 문헌에 기술되었듯이, 예시적인 실시예에 대해서 제어 게이트에 대한 입력 라인들은 메모리내의 모든 블록들에 적용될 수 있으며, 블록 선택 신호는 블록내의 어느 워드 라인이 실제로 신호를 수신하는지를 결정한다.

[0049] 예를들어, 도1 내지 3을 참조하여, 로우 제어 회로(3)(상태 머신인(8) 및 명령 회로(7)과 함께)는 메모리 소자(22)상에 입력 라인을 디코딩하며 메모리 어레이(1)의 블록 모두에 이들을 인가한다. 예를들어, 판독 과정에서, 이들 입력 라인들중 단지 하나만이 판독 전압으로 유지되며, 비-선택된 것들이 완전히 턴 오프되며, 프로그래밍시에 입력 라인들중 단지 하나만이 프로그램 전압으로 유지되며, 나머지는 통과 전압에 놓인다. 판독 또는 기록 동작을 특정 블록으로 한정하기 위해서, 여기서 1024개의 블록 중 단지 그 하나의 블록이 선택되며, 따라서 입력 전압이 실제로 워드 라인으로 통과되도록 한다.

[0050] 본 발명에 적용될 수 있는 적당한 회로에 대한 더 상세한 점이 블록당 16 워드 라인이며 신호 CG1-CG16이 입력 전압인 본원에 참조된 미합중국 특허 제6,373,746호에 주어져 있다. 미합중국 특허 제6,373,746호의 도17은 주어진 블록에 대해서 신호 전달 G1이 본원의 도7의 V_A , V_B , V_C 에 대응한다. 종래에는, 도6에 도시된 바와같이, 특정 블록 i 가 소거를 위해서 선택되었을 때, 이 신호는 선택된 블록에 대해서는 하이이며 비-선택된 블록에 대해서는 로우이다. 워드 라인($WL1_i$ - $WL16_i$)은모두 접지되며 그 블록내의 메모리 소자들은 소거된다. 다른 블록이 부동으로 남겨질 때, 그리고 용량성 커플링으로 인해서, 기관 전압으로 상승될 때, 비-선택된 메모리 셀에는 비교적 적은 전압차가 배치된다. ((CG1-CG16)이 워드 라인으로 통과 또는 통과하지 않는 것은 미합중국 특허 제6,373,746호의 도16으로부터 도출된 바와같이 RDECAD의 극성을 통해서 발생된다. 선택된 블록에 대해서 이 신호는 하이이며, 선택되지 않은 블록에 대해서 이 신호는 로우이다. 그후 VRDEC가 V_{pp} 에 놓이며 전달 G1이 V_{pp} 보다 더 높이 펌프되며 (둘다 메모리 소자 자체에 놓이거나 또 다른 소자로 부터 유입됨) 이들 값들은

종래 기술에서는, 도6에 도시된 바와같이, 본 발명에 대해서는 도7a 및 7b에 도시된 바와같이 적용된다.)

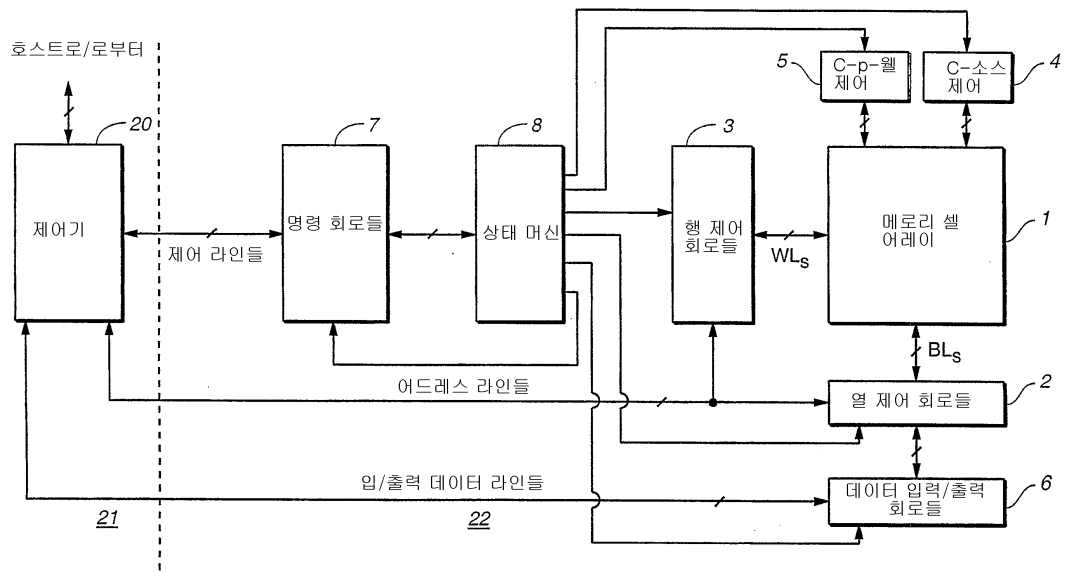
- [0051] 전술된 바와같이, 본 발명의 주요 특징은, 메모리 소자, 또는 다이 그 자체의 크기를 증가시키지 않고도, 메모리 유닛상에 잉여 전위를 남겨서, 소거를 위해 선택되지 않은 모든 블록의 워드 라인을 부동하는 것에 대한 대안을 찾는 것이다. 본 발명은, 본원에 참조된 문헌에 기술된 바와같이, 메모리상의 한 위치에서 발생하는 그 제어 신호를 단지 변화시킴으로서, 종래 기술의 메모리 구조가, 워드 라인 레이아웃의 "피치" 부분에서 완전히 새로운 회로를 요구하지 않고도 대부분 유지되도록 한다. 다시 미합중국 특허 제6,373,746호의 도16 및 17을 참조하면, 이는 먼저 CG1-CG16 모두를 V_{pp} 로 상승시키고, VRDEC를 V_{pp} 로 상승시키고, 메모리 어레이의 p-웰이 V_{pp} 로 취해질 때 전달 G1을 V_{pp} 이상으로 펌프함으로서 실행될 수 있다. 디코딩(도16의 입력들)은 임의의 블록들을 선택 해제하기 위해서 (특히 제6,373,746호에 대해서) 변경될 필요가 있으며, 이는 모든 워드 라인들에 V_{pp} 를 놓는 효과가 있다. 전달 G1은 선택해제되어 모든 워드 라인들이 부동되며(그러나 V_{pp} 로 프리-차지됨), 적당한 디코딩 신호들이 인가되는 한편 CG1-CG16 모두를 접지로 이동시킨다. 이것은 선택된 블록만의 모든 16 워드 라인들을 접지시키는 효과를 갖으며, 그 블록이 소거되도록 한다. 도7b에 도시된 바와같이, V_{pp} 로 유지되는 부동 워드 라인들을 리프레시하는 것이 바람직할 때 이 사이클은 다수의 횟수로 반복될 수 있다.
- [0052] 본 발명은 종래에 비해서 다수의 유리한 점을 갖는데, 이중 얼마는 이미 전술된 바 있다. 이들은 비-선택된 저장 소자들에서 덜 잠재적인 소거-유도 교란 및 선택된 소자들에서 더 엄격한 소거 분산을 포함한다. 이들 특징들은 다중-상태 비-휘발성 메모리 소자들의 규모가 감소됨에 따라서 점점 중요하게 되는데, 이러한 규모가 전형적으로, 소거 금지 전압이 커플링 비의 근접한 트랙킹에 강하게 의존하는 제품을 야기시키기 때문이다. 본 발명의 또 다른 특징은 이것이 회로의 배치 영역을 증가시키지 않거나 메모리 어레이에 새로운 도선을 추가하지 않고도 수행될 수 있다는 것이다. 전술된 바와같이, 본 발명의 여러 특징들은 최소의 부가적인 주변 영역을 도입함으로써 실행될 수 있다.
- [0053] 전술된 바와같이, 본 발명은 예시적인 실시예의 NAND 형 플래시 메모리에만 적용되지 않고, 저장 소자들이 웰 구조에 형성되는 다른 경우들에도 적용되며 하나의 과정은 높은 전위차가 선택된 소자들에 배치되도록 한다. 특히, 다른 EEPROM 또는 전하 저장 셀들이 유용할 수 있는데, 예를들면, 웰 소거를 갖는 NOR형 플래시 메모리가 유용하다. 그것은 유사하게 저장 소자가 부동 게이트 트랜지스터가 아닌 것으로 확장될 수 있는데, 예를들면, 본원에 참조되어 있는 2002년 10월 25일자 출원된 Eliyahou Harari, George Samachisa, Jack H. Yuan, 및 Daniel C. Guterman의 미합중국 특허 출원 명칭 "유전체 저장 소자들을 채용하는 다중-상태 비-휘발성 집적 회로 메모리 시스템"에 기술된 종류의 유전체 저장 소자가 있다.
- [0054] 본 발명의 여러 특징들이 특정 실시예들에 대해서 기술되었지만, 본 발명은 첨부된 청구범위의 모든 범위에서 보호됨을 알 수 있다.

도면의 간단한 설명

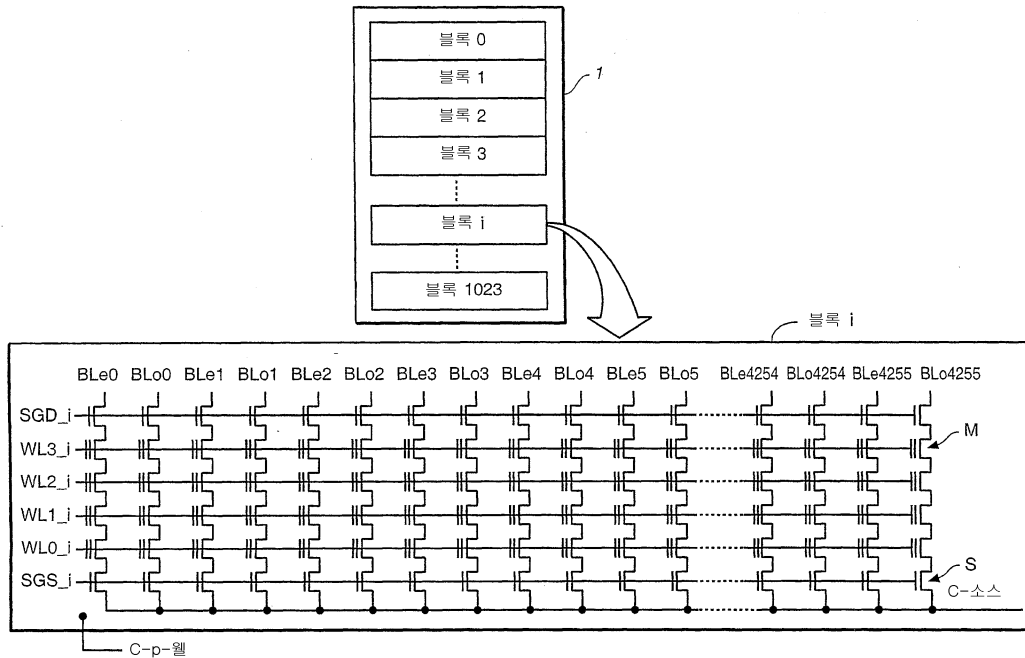
- [0012] 도1은 본 발명의 여러 특징들이 실행되는 것으로 기술되는 비-휘발성 메모리 시스템의 블록도이며,
- [0013] 도2는 NAND형일 때 도1의 기존 회로 및 메모리 어레이의 조직을 도시한 도면이며,
- [0014] 도3은 반도체 기판상에 형성된 NAND형의 메모리 어레이가 컬럼을 따라서 형성된 횡단면도이며,
- [0015] 도4는 도3의 메모리 어레이가 단면 4-4를 따라서 절단된 횡단면도이며,
- [0016] 도5는 도3의 메모리 어레이가 단면 5-5를 따라서 절단된 횡단면도이며,
- [0017] 도6은 종래 기술의 소거 장치를 개략적으로 도시한 도면이며,
- [0018] 도7a 및 7b는 본 발명의 예시적인 실시예의 특징들을 도시한 도면이다.

도면

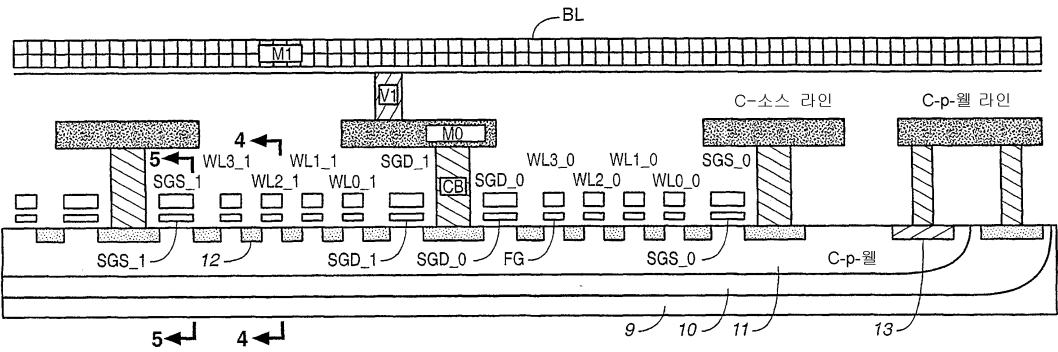
도면1



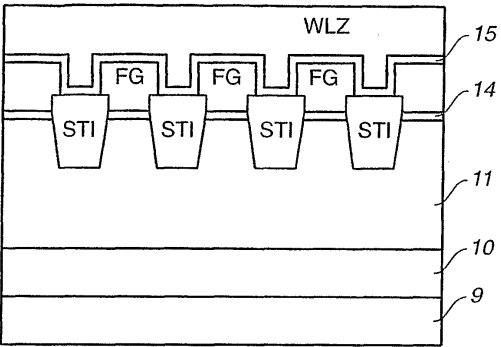
도면2



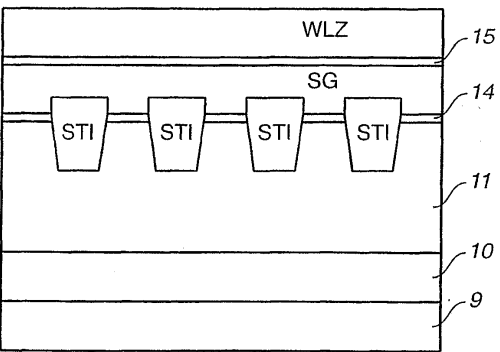
도면3



도면4



도면5



도면7B

