

公告本

306056

申請日期	85 年 4 月 13 日
案 號	85104412
類 別	剛性材料 14012 27/6

A4
C4

306056

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置及其製造方法
	英 文	
二、發明 人	姓 名	(1) 遠藤幸一
	國 籍	(1) 日本 (1) 日本國東京都杉並區高円寺南二-一七-一八
	住、居所	
三、申請人	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代 表 人 姓 名	(1) 佐藤文夫

裝

訂

線

306056

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 1995 年 3 月 30 日 P07-073354 ☒無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

五、發明說明(1)

本發明係關於例如絕緣閘極電晶體等以閘極電壓利用電晶體耦合方式控制主電流之半導體裝置，尤關於絕緣閘極型功率裝置及單塊功率積體電路（IC）。

主動型半導體裝置有雙極電晶體（BJT），接合型場效電晶體（J-FET），靜電感應電晶體（SIT），MOS型場效電晶體（MOS-FET），絕緣閘極型雙極電晶體（IGBT），單閘極型靜電感應可控矽整流器（SGSITH）等。各裝置皆爲了端子元件，具有2個主端子（射極與集極，源極與汲極，或陰性與陽極）及控制用端子（基極及閘極）。雙極型元件在其主端子之間具有pn接合，電流通過形成於pn接合之電位障壁而有2種電荷通過。場效型電晶體（單極型元件）之主端子間只有同一導電型半導體，其主電流通路無pn接合，而單一電荷通過。由於近年來之低消耗功率之要求，已在開發電壓控制型雙極功率裝置，例如IGBT（Insulated Gate Bipolar Transistor），MCT（MOS Controlled Thyristor），MAGT（MOS Assisted Gate Triggered Thyristor），EST（Emitter Switched Thyristor）等MOS複合半導體元件做爲大電流用裝置。各裝置皆爲電壓驅動型功率裝置。因爲容易使用，故系統用途之要求非常多，已在急速的開發可滿足其要求之裝置。包括各MOS複合半導體元件在內，功率裝置除了高速及大功率之要求以外，低導通電阻爲重要因素。因爲降低導通電阻，亦即降低導通時之電阻對於功率裝置之低消耗電力化，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(2)

及高效率化非常有效。

然而，習用之單極型半導體元件中，因為FET，及SIT係使用單一載體，故傳導度不能提高至由半導體層之載體密度決定之電阻值，故導通電阻值高。例如第55圖之JFET中，為了降低成為通道領域之 n 層2之電阻值，必須從開頭起即使 n 層2成為高不純物密度。第56圖之MOSFET中，因為形成較薄之反轉層而使載體通過，故若非加大閘極寬度 W 而增加通道面積，則不能降低導通電阻，但因為晶粒之表面受到限制，故不可能無限制的增大通道面積。第57圖所示之高耐壓型MOSFET(DMOS)中，除了通道面積之限制以外，尤其 n^- 漂移領域22之電阻對於導通電阻有影響。由第57圖可知，若加大閘極寬度 W ，則亦可降低漂移領域22之電阻，故加大閘極寬度 W 為重大因素。

希望通過更大之電流時，大多使用第58，59圖所示之雙極元件。其理由為通過形成於 $p-n$ 接合中之電位障壁注入少數之載體，而且當注入之少數載體之密度成為與許多載體之密度相同或超過時，因為傳導度調變效應而使外觀上之電阻降低。亦即第59圖之IGBT中，因為從 p^- 集極層29注入少數載體於漂移領域22（第59中為霍耳注入 n 型領域中），使得 n^- 漂移領域22發生傳導度調變。然而，例如IGBT等雙極型元件中，因為主電流通路中有 $p-n$ 接合，故由於 $p-n$ 接合時之內部電位而發生偏置電壓。相反的，為了避免偏置電壓而使用單極型

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

裝置時，載體密度不能提高至成為通道領域之半導體層之不純物密度以上。鑑於這種情況，第60圖所示之雙閘極型SITH（以後稱DGSI TH）因為從 p^+ 陽極95注入正孔，故可利用雙極型傳導度調變效應，而且只在 p^+ 陽極95側具有 $p-n$ 接合。在DGSI TH中，因為在關斷時，儲存於 p^+ 陽極95側之電子經由成為第2閘極（G2）93之 n^+ 領域被抽出，故不發生尾部電流，可進行高速轉換。亦即DGSI TH之主電流通路中之 $p-n$ 接合之數量少於IGBT之數量，而且偏置電壓較低，例如1800V-100A級之元件中，曾有順方向電壓降1.2V之數值之報告。然而，因為DGSI TH具有第1閘極（G1）91及第2閘極（G2）93而成為4端子元件，故閘極驅動電路變成複雜，而且需要進行兩個面之掩罩對正過程，使得製造過程變成複雜。尤其為了在基板之垂直方向製作如第60圖所示之階層構造需要使用高度之磊晶成長技術，不容易實現低成本製造。

如上所述，低導通電阻化為重要之功率裝置之特性，然而低導通電阻化與高耐壓化之要求成為換位關係。亦即第56圖所示之MOSFET電晶體中，若縮短通道長度L，即可成為低導通電阻，但不能實現高耐壓化。第57圖所示之DMOS，或第59圖所示之IGBT亦同樣的，為了高耐壓化而加大 n^+ 偏置領域22之距離L。即可實現高耐壓化，但不能實現低導通電阻。

為了改善高耐壓化與低導通電阻化之換位關係，有一

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(4)

種如第 6 1 圖所示之在 p^+ 集極層 2 9 前面形成 n^+ 緩衝層 2 2 9 之方法。該方法係儘可能的減小 n^- 偏置層 2 2 之厚度，利用 n^+ 緩衝層 2 2 9 防止在 p^+ 集極層 2 9 與 p 基極層 2 3 之間施加高電壓時發生穿通，但緩衝層 2 2 9 之厚度之不純物密度之設計非常不容易。尤其在量產現場時，不能產生依照理論設計之耐壓，常不發生不得不變更緩衝層之設計，及半導體基板厚度 t 之變更等事態。尤其爲了低導通電阻化，必須將 n^- 漂移層 2 2 之厚度減小至 $100\mu m \sim 50\mu m$ 以下，而爲了實現如此薄之層，必須利用磊晶成長法形成 n^- 漂移層 2 2。此時， n^+ 緩衝層 2 2 9 亦必須利用磊晶成長法形成，而磊晶成長技術本身亦必須爲高度技術。其理由爲來自 n^+ 緩衝層 2 2 9 之自動摻雜，及外部擴散等問題。此時，若因設計規格之變更而必須變更耐壓時，或不能產生依照設計之耐壓時，則必須變更磊晶成長條件等程序設計及磊晶成長裝置本身，使得生產性降低。在邏輯上，亦可利用擴散在 n^- 基板 2 2 背面形成 n^+ 緩衝層 2 2 9 及 p^+ 集極層 2 9，但在低導通電阻之成品中， n^- 基板 2 2 之厚度不得不形成爲 $50\mu m$ ，故非常不實際。將 n^- 基板 2 2 之厚度 t 形成爲 $100\mu m$ 以下在機械強度上有困難，故通常任何半導體晶圓製造廠商皆不提供這種薄半導體基板做爲標準品。依照習用技術，高耐壓化與低導通電阻化之設計皆非常不容易實現。

本發明係鑑於上述問題而提供一種容易實現高耐壓化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

，及大電流化，而且導通電阻低之功率裝置及單塊功率 IC。

功率裝置中，每單位晶粒面積之導通電阻之降低最為重要。本發明之目的為提供一種晶粒面積小而可降低導通電阻之新穎半導體裝置，尤其絕緣閘極型半導體裝置等之電壓驅動型半導體裝置。

因此，本發明中，根據與習用技術完全不同之設計原理設置半導體裝置。習用之半導體裝置大致上可分成如第 56，57，59 圖所示之橫型半導體裝置，及如第 60 圖，61 圖所示之垂直（縱型）型半導體裝置。所謂橫型係指如第 56，57，59 圖所示之主電流平行於半導體基板通過，該主電流在半導體主表面附近之表面領域內局部的存在，與半導體主表面成為平行的分佈之半導體裝置。此時，所謂之主電流係指通過第 1 主電極領域（源極領域，射極領域或陰極領域）與第 2 主電極領域（吸極領域，集極領域或陽極領域）間之電流，亦即由施加於控制電極（閘極或基極）之控制電壓或經由控制電極通過之控制電流控制之電流。橫型裝置中，主電流分佈於閘極之寬度 W 之方向。亦即主電流局部的存在於與主電流垂直之方向，而且與主表面成為平行之方向之表面層內而分佈。所謂縱型裝置係如第 60，61 圖所示，其主電流流向與主表面成為垂直之方向，但主電流之分佈方向，亦即閘極 W 之方向為與主表面平行之方向。縱型裝置中，在與形成填埋集極領域及填埋吸極領域，及源極領域之表面同一表面上

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(6)

形成集極電極取出領域及吸極電極取出領域之半導體裝置中，於其彎曲之電流通路之一部分具有附帶的與主表面成為平行之成分。然而，即使在這種情況下，由控制電極直接控制之部分之主電流之大部分之方向，亦即在主動作中最重要之部分之主電流之方向為與主表面垂直之方向。本發明中最重要者為由控制電極直接控制之部分之主電流之方向。

本發明係關於屬於與習用之橫型半導體裝置，及縱型半導體裝置完全不同之範疇之新穎構造之半導體裝置，如第1(a)，14(b)，24(b)圖所示，主電流平行於主表面通過，而且在與主表面成為垂直之方向具有閘極寬度W（以後又稱為通道寬度W）而分佈。亦即過去從未有主電流分佈於與主表面成為垂直之方向之半導體裝置。如此，閘極寬度W（通道寬度W）不受晶粒表面積之限制，可任意的增大。

具體言之，本發明之特徵為如第1(a)，14(b)，24(b)，36(b)，41(b)圖所示，以形成在半導體基板82上之底面絕緣膜8上，或形成於如第20(b)圖所示相反導電型半導體基板83上之第1半導體領域2，22做為主電流之電流通路，使主電流流向與第1半導體領域2，22之表面成為平行之方向。亦即第1半導體領域2，22實質上具有垂直之側壁部而形成為島狀，而且至少具有：形成經由第1半導體領域2，

22所構成之島之側壁部之元件分離絕緣膜1；從第1半

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(7)

導體領域 2，2 2 表面到達底面絕緣膜 8 之做為第 1 主電極領域之第 2 半導體領域 4，2 4，2 4 1，2 8 7；成為第 2 主閘極領域之第 3 半導體領域 5，2 9，2 9 3；形成於第 2 半導體領域 4，2 4，2 4 1，2 8 7 與第 3 半導體領域 5，2 9，2 9 3 之間，從第 1 半導體領域 2，2 2 表面達到底面絕緣膜 8 或相反導電型半導體基板 8 2 上之實質上具有垂直側壁之閘極溝部；形成於閘極溝部內側壁部之閘極絕緣膜 6；及填埋閘極溝部而形成於閘極絕緣膜 6 表面之閘極填埋電極 7，3 7。本發明中，第 1，第 2 主電極領域之金屬電極 1 0，1 1，3 4，3 9，3 4 1，3 4 2 皆形成在第 1 半導體領域之表面。

依照上述結構，可在介電質分離基板（D I 基板）或接合分離基板（J I 基板），或其他元件分離結構上，以一定之方法進行元件分離之第 1 半導體領域 2，2 2 內部排到深達底面絕緣膜 8 或相反導電型半導體基板 8 3 之深閘極溝部，在反偏壓時，如第 2（a）圖所示，由於從閘極絕緣膜 6 擴散之各耗盡層 1 2 互相衝撞而成為斷路狀態，在順偏壓時，如第 2（b）圖所示，因為在閘極絕緣膜附近形成儲存層 1 3 而提高載體密度，降低導通電阻。而且，與習用之平面型 MOSFET 等足以相當於第 1 半導體領域之半導體層之薄表面層部分局部的做為電流通路（所謂通道）使用之方式比較，本發明具有與平面型 MOSFET 等相等之金屬電極（源極金屬電極及汲極金屬電極）之配置構造，而且可將離開第 1 半導體領域 2，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(8)

2 2 表面之較深部分做為通道，故可增大實效上之通道寬度 W_{eff} 。亦即可使通道寬度 W 成為對鄰接之各閘極溝部之間隔 S $W > S$ 之關係。因此，依照本發明之結構，可由閘極溝部之數量，及第 1 半導體領域 2，2 2 之厚度 W 決定實效上之通道寬度 W_{eff} ，與習用之平面型 MOSFET 比較，可顯著的增大實效之通道寬度 W_{eff} 。亦即，習用之半導體裝置中只能使用活性層表面之一部分局部的做為通道領域，但依照本發明，可做為通道領域之活性層領域顯著的增大。又因為具有與主閘極領域之金屬電極全部在同一平面上之平面型 MOSFET 等相等之金屬電極構造，故容易分離元件之間及進行表面配線。因此，非常適合例如馬達驅動用靈敏功率 IC (SMART POWER IC) 等各種半導體元件之積體化之構造。

因為載體在塊體中行進，故載體之移動性高，容易實現高 g_m 。與縱型裝置不同，因為載體平行於基板行進，故如第 5 4 圖所示，容易進行移動性最大之方向，或載體之行進速度成為最大之方向之結晶學上選擇，而且亦可實現高速化。亦即容易選定載體之移動度 μ_{FE} 及載體之行進速度最大之結晶方位。

依照本發明，非常容易實現習用之縱型構造不容易實現之雙閘極構造等複雜構造。

以下參照圖式說明本發明之實施例。第 1 (a)，(b) 圖表示本發明第 1 實施例之形成於 SOI 基板上之絕緣閘極型電晶體 (IGT) 之構造。第 1 (a) 圖為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

I G T 之上面圖。第 1 (b) 圖為其斷面圖。第 2 (a) , (b) 圖為用來說明本發明第 1 實施例之 I G T 之動作原理之圖。圖中表示閘極部分。如第 1 (a) 圖所示, 在周邊由元件分離絕緣膜 1 及元件分離孔填充物 3 分離之成為第 1 導電體領域之 n 型半導體層 2 之表面兩端形成有由不純物密度 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 左右之 n^+ 擴散層所構成之源極擴散層 (第 2 半導體領域) 4, 及吸極擴散層 (第 3 半導體領域) 5。如第 1 (b) 圖所示, 源極擴散層及吸極擴散層 5 形成至深達底面絕緣膜 8 之位置, 而且其上部分別設有金屬源極電極 10 及金屬吸極電極 11。在 n 型半導體層 2 之中央部分設有 5 個閘極溝部。

如第 1 (b) 圖所示, 本發明之第 1 實施例中, 以底面絕緣膜 8 上形成有成為通道之 n 型半導體層 2 之 S O I 基板做為基體。S O I 基板可直接利用接合法 (SDB: Silicon Direct Bonding) 等形成。如第 1 (a) 所示, n 型半導體層 2 之周邊部設有元件間分離溝, 在元件間分離溝表面形成元件分離絕緣膜 1, 又在鄰接之其他元件之元件分離絕緣膜 (未圖示) 之間形成多晶矽等元件間分離溝填充物 3 而構成 D I (Dielectric Isolation 介電質分離) 構造。亦即第 1 (a) 圖只表示元件間分離溝之一側壁。元件間分離溝為 U 型溝。如第 1 (b) 圖所示, 在 n 型半導體層 2 之中央部形成有從表面深達底面絕緣膜 8 之閘極溝部, 在閘極溝部之內壁表面形成有厚度 $30 \sim$

150 nm 之閘極絕緣膜 6, 又在其表面, 亦即閘極溝內

五、發明說明(10)

部形成有添加不純物之多晶矽，亦即摻雜多晶矽（D O P O S）等閘極填埋電極 7。閘極填埋電極亦可為 W（鎢）等高融點金屬，或其矽化物 $W S i_2$ ， $M o S i_2$ ， $T i S i_2$ ， $C o S i_2$ 等，或聚化物。

第 1（a）圖中，鄰接之閘極溝部之各閘極絕緣膜 6 間之距離 S ，及最外側之閘極溝部之閘極絕緣膜 6 與周邊之元件分離絕緣膜 1 之距離 S_s 可設定為使形成於 n 型半導體 2 中之通道成為交錯斷裂之狀態即可。亦即為了在未施加閘極電壓之狀態下使通道成為交錯斷裂之狀態，在 n 型半導體層 2 之不純物密度 $N_D = 1 \times 10^{15} \text{ cm}^{-3}$ 時，使其成為 $S = 1.6 \mu\text{m}$ ， $S_s = 0.8 \mu\text{m}$ 以下即可。在不純物密度 $N_D = 1 \times 10^{14} \text{ cm}^{-3}$ ， $1 \times 10^{13} \text{ cm}^{-3}$ 時，使其成為 $S = 4.5 \mu\text{m}$ ，或 $S = 12 \mu\text{m}$ 以下即可。如此選擇 N_D 及 S ，則如第 2（a）圖所示，耗盡層 1 2 擴散至 n 型半導體層 2 之通道中，通道發生交錯斷裂。然而其數值因閘極絕緣膜之種類，其厚度，或閘極絕緣膜與半導體層 2 間之介面準位而改變。此時，設定為 $S_s < S / 2$ 即可，亦可將 $S_s \rightarrow 0$ 做為 $S_s < < S / 2$ 之極限。亦即可使閘極氧化膜 6 接觸元件間分離絕緣膜。如此，本發明第 1 實施例中，施加負偏壓於金屬閘極 9 後，如第 2（a）圖所示，耗盡層 1 2 從閘極擴散至 n 型半導體層 2 中，耗盡層切斷源極擴散層 4 與吸極擴散層 5 間之導通，使元件成為斷路狀態。相反的，若施加正偏壓（順偏壓）時，則如第 2（b）圖所示的形成積層 1 3，具

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(11)

有低導通電阻而電流通過源極擴散層 4 與吸極擴散層 5 之間。在閘極電壓為 0 V 時，使通道僅因為表面電位而成為交錯斷裂，使用極電壓成為順偏壓時形成積層 1 3，即成為所謂之正常斷路型動作。若選擇 N_D 及 S，使得在閘極電壓為 0 V 時通道中殘留中性領域，再施加閘極電壓使通道發生交錯斷裂，即成為正常導通型動作。然而，實際上交錯斷裂點之電位因為施加於吸極領域上之吸極電壓而發生變化，故必須參考考慮閘極電壓與吸極電壓之 2 次元電位。如第 2 (a)，2 (b) 圖所示，若閘極長度 L 充分短時，交錯斷裂點成為由閘極電壓與吸極電壓決定之數學上所謂之「鞍部點」。

最外側之閘極溝部之閘極絕緣膜與周邊之元件分離絕緣膜 1 之間隔 S_s ，與中央部之各閘極溝部間之間隔 S 之關係可配合本發明第 1 實施例之 IGT 之用途選擇。以下說明 S 與 S_s 之關係。第 3 (a)，(b)，(c) 圖分別為用來說明 $S = 2 S_s$ ， $S < 2 S_s$ ，及 $S > 2 S_s$ 時之耗盡層之擴散之圖。 $S < 2 S_s$ 時，即使中央部之通道發生交錯斷裂，因為最外側之通道不發生交錯斷裂，故產生洩漏電流，在閘極電壓 V_g 大之領域內，如第 4 圖中虛線所示， $I_D - V_g$ 特性偏離直接特性。第 4 圖中之橫軸係以使中央附近之通道發生交錯斷裂之閘極電壓 V_{g0} 規格化。另一方面，如第 3 (c) 圖所示，當 $S > 2 S_s$ 時，兩側之通道先發生交錯斷裂，在如第 4 圖中一點虛線所示之 V_g 小之電壓領域內偏離直接特性。直接性最佳之情況

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(12)

係如第 3 (a) 圖所示之通道均勻的發生交錯斷裂之時，成爲如第 4 圖中實線所示之特性。第 4 圖中， $I_D - V_G$ 特性係忽略吸極電壓之效果之模式圖。若考慮吸極電壓之效果，則即使 $V_G = V_{go}$ 時，電流亦通過通道。因此，在考慮吸極電壓之效果之 2 次元電位之解析中，依照構造及領域之不同，有成爲以指數函數法則表示之 $I_D - V_G$ 特性之領域之存在。在此，爲了說明之方便而以一次元電位加以說明，但若通道之數量增加，則最外側之通道之效果相對的減小。第 5 圖表示當 $S < S_s$ 時，第 6 圖表示 $S > S_s$ 時之閘極溝部爲 5 (通道數量 6)，及閘極溝部爲 3 9 (通道數量爲 4 0) 時之比較圖。以虛線表示之通道數量較多時與以實線表示之通道數量少時比較，最外側之通道之效果相對的減小。

本發明第 1 實施例之構造若使用第 7 (a) ~ (c) 圖所示之製造方法，即可輕易的製作。

(1) 首先利用熱氧化法或 C V D 法在 (1 0 0) 之面等一定之面方位之矽基板 8 2 表面形成厚度 $1 \mu m$ 之做爲底面絕緣膜 8 之 SiO_2 膜。C V D 法亦可採用利用 SiH_4 與 N_2O 之反應之 C V D 法，或 T E O S (Tetraethylorthosilicate; $Si(OC_2H_5)_4$) 等有機矽源。然後製作表面研磨成鏡面之做爲第 1 半導體領域 2 之 n 型矽基板，經由底面絕緣膜 8 如第 1 (b) 圖所示的黏合矽基板 8 2 與 n 型矽基板 2 之各鏡面，進行熱處理。亦即利用所謂之 S D B 法形成 S O I 基板。此時，亦可施加電壓而進

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

不

五、發明說明(13)

行熱處理。然後，研磨 n 型矽基板 2 調整厚度，使矽基板 2 之厚度尺寸成為所需之閘極寬度尺寸，例如 $10\ \mu\text{m}$ 。

(2) 然後，繼續以熱氧化處理利用 SDB 法形成之 n 型矽基板 2 之表面，形成厚度 $350\sim700\text{nm}$ 之氧化膜 21，利用光學石版印刷法蝕刻氧化膜 21 之一定部分，如第 7 (a) 圖所示的形成窗部 304，305。然後，以氧化膜 21 為掩罩，以利用 SF_6 ， CF_4 ，或 SiCl_4 等之 RIE，或 ECR 離子蝕刻法，如第 1 (b) 圖所示的，在 n 型半導體層 2 上形成深達底面氧化膜 8 之第 1 及第 2 溝部 314，315。然後，以利用 POCl_3 ， AsCl_3 ，或 SbCl_5 等之氣相擴散將 n 型不純物 (P，As，或 Sb 等) 從溝部 314，315 之側壁朝向橫方向擴散。亦即如第 7 (b) (及第 1 (b)) 圖所示的，在 n 型半導體層 2 內，朝向橫方向擴散形成深達所需擴散層深度之溝部之側壁做為擴散窗，形成 n^+ 源極擴散層 4 及 n^+ 吸極擴散層 5。

(3) 然後，以光學石版印刷法，及利用 SF_6 ， CF_4 ，或 SiCl_4 等之 RIE，ECR 離子蝕刻等方法，如第 7 (c) 圖所示，形成深達底面氧化膜 8 之第 3，第 4 溝部 316，317，及閘極溝部 361，362，……，365。形成各溝部時，與第 1 及第 2 溝部 314，315 相同的使用氧化膜 21。

(4) 然後，利用熱氧化等方法在溝部 314，315，316，317 及閘極溝部 361，362，……

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

五、發明說明(14)

… 3 6 5 表面形成閘極氧化膜 6，元件分離絕緣膜 1。

(5) 然後，利用減壓 C V D 法等，在閘極氧化膜 6，元件分離絕緣膜 1 表面澱積無摻雜多晶矽（以後稱 N D P O S）3，填埋各溝部。

(6) 利用離子注入（及以後之熱處理）在閘極溝部之多晶矽（N D P O S）中擴散硼（B）等不純物，形成 D O P O S 閘極填埋電極 7 即可。亦可使用 N D P O S 做為填埋元件分離溝之多晶矽 3，所形成之 D O P O S 做為填埋閘極溝部之多晶矽 7，分別進行 C V D 法。若利用 W 等高融點金屬，或其矽化物膜之選擇 C V D 法填埋閘極溝部，則可降低閘極填埋電極 7 之電阻。

(7) 然後，利用光學石版印刷法蝕刻氧化膜 2 1 之指定部位，形成擴散窗，以加速電壓 50 ~ 80 K e V，摻雜量 $\Phi = 6 \times 10^{15} \sim 2 \times 10^{16} \text{ cm}^{-2}$ 之條件進行 $^{75}\text{As}^+$ 或 $^{31}\text{P}^+$ 等之離子注入，進行深達一定深度之熱處理，即可如第 1 (b) 圖所示的形成 n^{++} 源極接觸層 4 4， n^{++} 吸極接觸層 5 5。 n^{++} 源極接觸層 4 4， n^{++} 吸源極接觸層 5 5 雖然可省略，但為了以下說明之降低對金屬源極 1 0，金屬吸極 1 1 之歐姆接觸電阻，降低導通電阻，最好形成該層 5 5。

(8) 利用光學石版印刷法形成一定之接觸孔，利用 A l，T i / A l，A l - S i 等金屬化過程形成金屬源極 1 0，金屬吸極 1 1，金屬閘極 9，即可完成第 1 (a)，(b) 圖所示之本發明第 1 實施例之半導體裝置。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

小

五、發明說明(15)

若做為活性層之 n 型矽基板 2 之厚度 W 為 $5\ \mu\text{m}$ 左右，則較容易將磷 (P) 等從 n 型矽基板 2 表面擴散至 $5\ \mu\text{m}$ 之深度。但若厚度 W 為 $10\sim 20\ \mu\text{m}$ 時，須要在 $1150\sim 1200\ ^\circ\text{C}$ 之高溫下進行長時間之擴散，而因熱處理而產生新的結晶缺陷。若進行較深之擴散時，當然亦發生橫方向之擴散，故構造不容易細微化，而且每單位晶粒面積之導通電壓亦升高。需要長時間之擴散又提高成本。因此，若非從表面擴散，而如上述的從溝部側壁朝向橫方向擴散而形成 n^- 源極／吸極擴散層 4, 5，即可不發生結晶缺陷而實現適合高速動作之細微加工，又可提高生產性。

上述製程僅為一實施例，亦可先形成溝部 316，317，然後形成溝部 314，315。第 8(a)～(c) 圖為用來說明其製程之圖。

a) 首先如第 8(a) 圖所示形成溝部 316，317，形成元件分離絕緣膜 1，澱積 NDP OS 等元件分離溝填充物 3。

b) 然後如第 8(b) 圖所示，利用光學石版印刷法及 RIE 法等形成溝部 314，315 (第 8(b) 圖中省略圖左方之溝 314)。

c) 以溝部 314，315 之側壁部為擴散窗進行 n^- 不純物之橫方向擴散，如第 8(c) 圖所示形成深達底面絕緣膜 8 之 n^- 源極擴散層 4， n^- 吸極擴散層 5 (第 8(c) 圖中省略 n^- 源極擴散層 4)。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

小

五、發明說明(16)

d) 然後，在溝部 3 1 4，3 1 5 形成元件分離絕緣膜 1，以 N D P O S 等等填埋溝部 3 1 4，3 1 5。

e) 然後形成深達底面絕緣膜 8 之間極溝部 3 6 1，3 6 2，……，3 6 5，在其表面形成閘極絕緣膜 6 及 D O P O S 等閘極填埋電極 7。

以往之過程與過程(7)~(8)相同。

第 9 (a)~(b) 圖表示最外側之間極溝部達到元件分離領域之 $S_s \leq 0$ 時之過程。第 9 (a) 圖(如第 8 (b) 圖所示)表示以 N D P O S 等填埋溝部 3 1 6，3 1 7 後之狀態。然後，如第 9 (b) 圖所示，以利用 C_3F_8 等之 E C R 離子蝕刻法等如第 9 (b) 圖所示的貫穿元件分離絕緣膜 1 形成閘極溝部 3 6 1，3 6 2，……3 6 5，使最外側之溝部 3 6 1，3 6 5 深達 N D P O S 層 3。第 9 (c) 圖為溝部 3 6 1 側之鳥瞰圖。然後，如第 9 (d) 圖所示，利用熱氧化等在閘極溝部 3 6 1，3 6 2，……，3 6 5 內形成閘極絕緣膜 6，又於其表面形成 D O P O S 等閘極填埋電極 7，即可完成 $S_s \leq 0$ 時之構造。

上述第 1 實施例中係說明如第 1 (a) 圖所示，閘極溝部之數量為 5 個時之例。但該例僅為一實施例，閘極溝部只要至少有一個以上，本發明之半導體裝置即可動作。亦即閘極溝部之數量可配合所需限制電流(動作電流)之大小任意的設計。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(17)

(變更例 1 - 1)

第 10 圖表示本發明第 1 實施例之 IGT 之第 1 變更例之上面圖。爲了積極的利用積層 13 之效果，第 1 變更例中，閘極溝部之長度沿著電流通路（通道）延長。例如通道長度 $L = 50 \sim 150 \mu m$ 。如此，在順偏壓時可形成積層 13，因此導通時之 n 型半導體層 2 之電荷密度增高，而且實效通道寬度係由 n 型半導體層 2 之厚度 W 決定，故可降低元件之導通電阻。第 1 變更例中亦可根據所需之規格選定 $S_s < S/2$ ，或 $S_s > S/2$ 。通常，最好爲 $S_s < S/2$ ，其極限可爲如第 9 (e) 圖所示，使閘極氧化膜 6 接觸元件間分離氧化膜 1，而 $S_s = 0$ 。

(變更例 1 - 2)

第 11 圖表示第 1 實施例之第 2 變更例。該變更例爲元件耐壓不必太高時之元件之例。若更加長通道長度 L，以積層連接兩端之 n^- 源極擴散層 4 及 n^- 吸極擴散層 5，則導通電阻變成最低。然而，此時因爲閘極絕緣膜深達源極／吸極擴散層，故元件之耐壓根據閘極絕緣膜 6 之耐壓而決定。

(變更例 1 - 3)

第 12 圖爲考慮耐壓面之第 1 實施例之第 3 變更例之半導體裝置之上面圖。在靠近 n^- 源極擴散層 4 側配置閘極溝部。通過閘極絕緣膜附近之積層 13 之電子在吸極擴

五、發明說明(18)

散層 5 前面之 n^+ 半導體層 2 5 中被吸極側之強電場加速而漂移行走。因此，若在該部分注入密度充分高之電子，則幾乎可忽略漂移行走層 2 5 中之導通電阻之影響。又因為載體在漂移行走層 2 5 之塊中行走，故亦無表面層附近之移動度之降低等問題，而且實效漂移行走層 2 5 之斷面積加大，故導通電阻減小。亦即可由漂移行走層 2 5 提高閘極與吸極間之耐壓，而且又可將導通電阻之增大減小至最小極限。第 1 2 圖所示之第 3 變更例中，若將閘極長度 L 之通道更縮短，以便只殘留源極擴散層 4 側之部分，例如通道長度 L 為 $2 \sim 5 \mu m$ ，而通道中無電阻所造之負反饋，則可成為與 MOS S I T 相同之動作。此時，因為吸極側之電場對 n^+ 源極擴散層 4 前面之電位阻擋層之高度發生影響，故超越由閘極之電位與吸極之電位所形成之「鞍部點」注入電子，然後，在漂移行走層 2 5 中漂移行走。然而，與習用之 MOS S I T 不同之處為，在較 n 型半導體層 2 之表面更深之部分形成通道領域，使電子朝向與表面平行之方向行走。使電子在離開表面較深之領域行走，而且成為多通道，以便顯著的增大實效通道寬度 W_{eff} 。亦即與習用之 MOS S I T 完全不同之處為電流分佈於與表面成為垂直之方向。MOS S T 之互導 g_m 係由半導體表面之移動度決定，但因為本發明之 I G T 係載體在較表面更深之部分行走，故由塊體之移動度決定 g_m ， g_m 大於通常之平面型 MOS S I T。長通道裝置中亦有相同

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

五、發明說明(19)

之情形，與通常之平面型 MOSFET 比較，本發明之主電流分佈於與表面成爲垂直之方向之 IGT 之 g_m 較高，可進行高速動作。

(變更例 1 - 4)

本發明之第 1 實施例之 IGT 不限定於以上所述之絕緣分離 (DI: Dielectric Isolation) 構造，亦可爲如第 13 (a) ~ (c) 圖所示之 pn 接合分離 (JI: Junction Isolation) 構造。第 13 (b) 圖爲第 13 (a) 圖中沿 A - A 線之斷面圖。第 13 (c) 圖爲第 13 (a) 圖之 B - B 線斷面圖。亦即本發明第 1 實施例之第 4 變更例係如第 13 (b)，13 (c) 圖所示，在 p 基板 83 上部形成被 p⁺ 分離領域 84 包圍周圍之 n⁻ 半導體層 2。在島狀之 n⁻ 半導體層兩側形成 n⁺ 源極擴散層 4，n⁺ 汲極擴散層 5。在 n⁺ 源極擴散層 4 與 n⁺ 汲極擴散層 5 之間形成閘極溝部，又在其表面形成閘極絕緣膜 6，及閘極填埋電極 7。如第 13 (b) 圖所示，閘極溝部必須深達 p 基板 83，但爲了產生高耐壓，n⁺ 源極 / 汲極擴散層 4，5 最好不要深達 p 基板 83。此時，通道寬度 (閘極寬度) W 亦從表面朝向垂直方向測定，不受晶粒表面積之限制，可自由選擇通道寬度 W，可顯著的降低每單位晶粒面積之導通電阻。

第 14 (a) 圖爲本發明第 2 實施例之 IGT 之平面圖。第 14 (b) 圖爲其沿 A - A 線之斷面圖。第 14 (

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(20)

c) 圖為其一部分之鳥瞰圖。如第 14 (a) ~ (c) 圖所示，本發明第 2 實施例中係使用在由氧化膜等構成之底面絕緣膜 8 上形成做為第 1 半導體領域之 n^+ 半導體層 22 之 S O I 基板做為基體。S O I 基板可使用與第 1 實施例相同之 S D B 法等製成。如第 14 (a) 圖所示， n^+ 半導體層 22 之周邊部配置有元件分離溝，在元件分離溝表面形成元件分離絕緣膜 1，又在與第 14 (a)，(b) 圖中之右側之鄰接之其他元件之間形成 N D P O S 等元件分離溝填埋物 3 而構成 D I 構造。 n^+ 半導體層 22 之中央部之閘極溝部從表面深達底面絕緣膜，在閘極溝部之內壁表面形成有厚度 30 ~ 150 nm 之閘極絕緣膜 6，又在其表面，亦即閘極溝內部形成有 D O P O S 等閘極填埋電極 37。閘極填埋電極可由 W 等高融點金屬，或其矽化物 $W S i_2$ ， $M o S i_2$ ， $T i S i_2$ ， $C o S i_2$ 等所構成。亦可由聚化物所構成。在 n^+ 半導體層 22 表面兩端形成有金屬源極 10 及金屬吸極 11，而在金屬電極大部形成有深達底面絕緣膜 8 之由不純物密度 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 左右之 n^+ 擴散層所構成之 n^+ 源極擴散層 (第 2 半導體領域) 4，及 n^+ 吸極擴散層 (第 3 半導體領域) 5。在 n^+ 源極擴散層 24 與 n^+ 半導體層 22 之分界面，鄰接於 n^+ 源極擴散層 4 形成有深達底面絕緣膜 8 之成為第 4 半導體領域之 p 基極層 23。以後將 p 基極層 23 與 n^+ 吸極擴散層間之 n^+ 半導體層稱為「 n^+ 漂移層」。金屬源極 10 接觸於源極擴散層 4 與 p 基

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(21)

極層 2 3 以便將兩者短路。

第 1 4 (a) ~ (c) 圖所示之 I G T 之通斷係由於金屬源極 1 0 接地，在金屬吸極 1 1 上施加正電壓之狀態下，於金屬源極 1 0 上施加正電壓而實現。於閘極填埋電極 7 上施加正電壓後，在 p 基極層 2 3 之側壁部表面形成反轉通道，電子從 n^- 源極領域 4 經由反轉通道流入 n^- 漂移層 2 2 內，因此本發明第 2 實施例之 I G T 反轉。在閘極填埋電極 7 上施加小於一定閾值之電壓或負電壓後，p 基極層 2 3 之側壁面之反轉通道消滅，從 n^- 源極領域流入之電子停止流入，I G T 反轉。

本發明之第 2 實施例中，如第 1 4 (b) 圖所示，I G T 之實效通道寬度 W_{eff} 係由 n^- 漂移層 2 2 之厚度 W 與通道數量之積決定，故雖然晶粒面積受到限定，仍可自由選定垂直於基板表面之方向，亦即深度方向之通道寬度 W_{eff} 。因此，每一同一晶粒面積之導通電阻極小。因為電子係在離開 n^- 漂移層 2 2 之表面之塊體中行走，故不會受到表面散亂及表面缺陷之影響，電子移動度高，可形成低導通電阻及進行高速轉換。

本發明第 2 實施例之 I G T 可利用第 1 5 (a) ~ (c) 圖，第 1 6 (a) ~ (c) 圖所示之製程簡易的製造。

a) 首先，與本發明第 1 實施例相同的以 S D B 法在矽基板 8 2 上之底面絕緣膜 8 上形成 n^- 半導體層 2 2。然後，在 n^- 半導體層 2 2 之表面形成厚度 3 5 0 ~

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

取

五、發明說明(22)

700nm之熱氧化膜21，然後利用光學石版印刷法及RIE蝕刻氧化膜21之一定部分。

b) 然後，如第15(a)圖所示，以氧化膜21為掩罩進行RIE及ECR之離子蝕刻，形成深達底面絕緣膜之溝部316，317。然後形成元件分離絕緣膜1，澱積NDPOS等元件分離溝填埋物3。

c) 然後，如第15(b)圖所示，利用光學石版印刷法及RIE法形成深達底面絕緣膜8之溝部314。然後，以溝部314之側壁部為擴散窗將p型不純物，例如硼(B)朝向橫方向擴散。第15(c)圖為第15(b)圖之斷面圖。圖中表示利用橫方向擴散形成深達底面絕緣膜之基極層23。

d) 然後，如第16(a)圖所示，利用光學石版印刷法及RIE法形成深達底面絕緣膜8之溝部315。然後，以溝部314，315之側壁部為擴散窗，進行磷(P)，砷(As)等 n^+ 不純物之橫方向擴散，如第16(b)圖所示形成深達底面絕緣膜8之 n^+ 源極擴散層4， n^+ 吸極擴散層5。第16(a)圖為第16(b)圖之平面圖。

e) 然後，如第16(c)圖所示，形成梳子狀閘極溝部。閘極溝部從 n^+ 源極擴散層4之位置越過p基極層23深達成為 n^- 漂移層之 n^- 半導體層22。在閘極溝部表面形成閘極絕緣膜6及DOPOS等閘極填埋電極7。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(23)

f) 然後，如第 14 (b) 圖所示，形成短路 n^- 源極擴散層 4 與 p 基極層 23 之金屬源極 10，在 n^- 吸極擴散層 5 上部形成金屬吸極電極 11，即可完成本發明第 2 實施例之 IGT。

本發明第 2 實施例不受以上構造之限制，可變更實施。

(變更例 2 - 1)

第 17 (a) 圖為本發明第 2 實施例之第 1 變更例之平面圖。第 17 (b) 圖為沿 A - A 線之斷面。該變更例中，閘極溝部成為獨立之溝部，在各溝部內形成閘極絕緣膜 6 及閘極填埋電極 7。各閘極填埋電極 7 由表面配線互相連接。第 14 (a) 圖中所示之構造係 n^- 源極擴散層 4 分離，但在本變更例中， n^- 源極擴散層 4 成為梳子狀共同領域。

閘極溝部深達底面絕緣膜 8，通常寬度 W 係對基板之表面成為垂直之測定。因此，實效通道寬度不受基板表面積之限制，可任意的加大，故容易降低導通電阻，及提高電流。本發明第 2 實施例之第 1 變更例亦可利用與第 15 (a) ~ (c) 圖，第 16 (a) ~ (c) 圖所示相同之製法簡易的製作。亦即本發明之第 2 實施例之第 1 變更例之 IGT。

a) 在 SOI 基板上形成 p 基極層 23， n^- 源極 / 吸極擴散層 4，5 以前，與第 15 (a) ~ 第 16 (c)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

小

五、發明說明(24)

圖所示相同。第 18 (a) 圖之平面圖，及第 18 (b) 圖之斷面圖表示其狀態。

b) 然後，將做為形成 n^+ 源極／吸極擴散層 4，5 等用之橫方向擴散之窗子使用之溝部 314，315 之表面予以熱氧化，形成元件分離氧化膜 1。然後，如第 18 (c)，(d) 圖所示，再將其內部以 N D P O S 等 C V D 法填埋，形成元件分離溝填埋物 3。

c) 然後，形成深達底面絕緣膜 8 之間極溝部，在其表面上形成如第 17 (a) 圖所示之間極絕緣膜 6，再形成 D O P O S 等間極填埋電極，即可完成第 17 (a)，(b) 圖所示之構造。

(變更例 2 - 2)

第 19 圖為本發明第 2 實施例之第 2 變更例之 I G T 之平面圖。圖中表示 p 基極層 23 擴散至 n^+ 吸極擴散層 5 時之狀態。因此，間極溝部亦深達 n^+ 源極擴散層及 n^+ 吸極擴散層 5。第 19 圖所示之構造可在利用 S D B 法製作 S O I 基板時，在底面絕緣膜 8 上部形成做為第 1 半導體領域之 p 型半導體層 23，然後，從溝部側壁進行 n^+ 型不純物之橫方向擴散形成 n^+ 源極／吸極領域，即可簡易的製造。因為第 19 圖所示之構造中，通道寬度 W 亦係從基板表面朝向垂直方向測定，故半導體基板之表面不受限制，可任意的降低導通電阻。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

五、發明說明(25)

(變更例 2 - 3)

第 20 (a) 圖為本發明第 2 實施例之第 3 變更例之 IGT 平面圖。第 20 (b) 圖為第 20 (a) 圖中沿 A - A 線之斷面圖，第 20 (c) 圖為沿 B - B 線之斷面圖。第 3 變更例為 J I 構造之例，將利用磊晶成長法形成於 p 基板 83 上之做為第 1 半導體領域之 n^- 半導體層做為 n^- 漂移層 22，以 p^- 擴散領域 84 包圍其周圍做為 J I 構造。

做為第 4 半導體領域之 p 基極層 23 係如第 20 (a) 圖所示的在 n^- 半導體層 22 表面之一部分形成為島狀，而做為第 2 半導體領域之 n^- 源極擴散層 4 係形成於 p 基極層 23 內。成為第 3 半導體領域之 n^- 吸極擴散層 5 與基極層 23 分離而形成在做為 n^- 半導體層 22 表面。為了保持高吸極耐壓， n^- 吸極擴散層 5 最好未達到 p 基板 83。第 3 變更例之 J I - IGT 中，閘極溝部不必深達 p 基板 83，只要形成在 p 基極層 23 之深度即可。第 20 (a) ~ (c) 圖所示之變更例中，因為通道寬度 W 之尺寸成為閘極溝部之深度 W 之尺寸，故不受半導體基板表面積之限制，可增大通道寬度 W，及降低導通電阻。

(變更例 2 - 4)

第 21 (a) 圖為本發明第 2 實施例之第 2 變更例之 IGT 之斷面圖。相當於第 3 變更例中，將 p 基極層 23 形成為深達 p 基板 83 之情況。第 4 變更例中，最好將閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

五、發明說明(26)

極溝如第 21 (b) 圖所示的形成為深達 p 基板之狀態，如此，因為可加大通道寬度 W，故可更降低導通電阻。

(變更例 2 - 5)

第 22 (a) 圖為本發明第 2 實施例之第 5 變更例之 IGT 之平面圖。第 22 (b) 圖為第 22 (a) 圖中沿 A - A 線之斷面圖。第 22 (c) 圖為沿 B - B 線之斷面圖。第 5 變更例中，在形成 SOI 構造之底面絕緣膜 8 上部形成做為第 1 半導體領域之 n^- 半導體層 22 之構造與第 14 (a) ~ (c) 圖所示第 2 實施例之構造相同，但周邊之分離構造不相同。亦即在 n^- 漂移層 22 之四方形形成 V 型溝，在 V 型溝表面形成元件分離絕緣膜 1，再於其表面形成 NDPOS 等元件分離溝填充物 3。構成 DI 構造之 V 型溝可使用 KOH 溶液，乙烯二胺 ($\text{NH}_2(\text{CH}_2)_2\text{NH}_2$) 溶液等各向異性蝕刻液。第 5 變更例除了進行 V 型溝分離以外，其他構造與第 3 變更例相同。

(變更例 2 - 6)

第 23 (a) 圖為本發明第 2 實施例之第 6 變更例之 IGT 平面圖。第 23 (b) 圖為第 23 (a) 圖中沿 A - A 線之斷面圖，第 23 (c) 圖為沿 B - B 線之斷面圖。其 V 型溝分離構造與第 5 變更例相同，但不同之處為做為第 1 半導體領域之 n^- 漂移層 22 係形成於基板 83 之上。 n^- 漂移層 22 可利用磊晶成長法形成於 p 基板上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

五、發明說明(27)

因為與 S O I 構造比較，其結晶性較佳，故漂移層內之電子移動度高，可進行高速而且低導通電阻之動作。亦即第 6 變更例中， n^- 漂移層 22 之底部為 p n 接合分離 (J I)。周邊部為絕緣分離 (D I) 構造。

第 24 (a) 圖為本發明第 3 實施例之 I G B T 之平面圖。第 24 (b) 圖為沿 A - A 線之斷面圖。如第 24 (a)，(b) 圖所示，本發明之第 3 實施例中，係使用在由氧化膜等形成之底面絕緣膜 8 上形成做為第 1 半導體領域之 n^- 半導體層 22 之 O I 基板做為基體。S O I 基板可利用 S D B 法形成。如第 24 (a) 圖所示， n^- 半導體層 22 之周邊部設有元件分離溝，在元件分離溝表面形成有元件分離絕緣膜 1，又在與鄰接之其他元件之間形成多晶矽等元件分離溝填充物 3 而構成 D I 構造。 n^- 半導體層 22 中央部之閘極溝部從表面深達底面絕緣膜，而在閘極溝部之內壁表面形成有厚度 30 ~ 150 nm 之閘極絕緣膜 6，再於其表面，亦即閘極溝部內部形成 D O P O S 等閘極填充電極 37。閘極填充電極可使用鎢 (W)，鉬 (Mo)，鈦 (Ti)，鈷 (Co) 等高融點金屬，或其矽化物 $W Si_2$ ， $Mo Si_2$ ， $Ti Si_2$ ， $Co Si_2$ ，或聚化物。在 n^- 半導體層 22 表面兩側形成有金屬射極電極 34 及金屬集極電極 39，而在各金屬電極之下部形成有由不純物密度 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 左右之 n^- 擴散層所構成，深達底面絕緣膜 8 之 n^- 射極層 (第 2 半導體領域) 24，及 p^- 集極層 (第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(28)

3 半導體領域) 2 9。在 n^+ 射極層 2 4 與 n^- 半導體層 2 2 之分界面，鄰接於 n^+ 射極層 2 4 形成有深達底面絕緣膜 8 之做為第 4 半導體領域之 p 極極層 2 3。以後將 p 基極層 2 3 及 p^+ 集極層 2 9 之 n^- 半導體層稱為 n^- 漂移層 2 2。

第 2 4 (a)，(b) 圖所示之 IGBT 之通斷係由於金屬射極 3 4 接地，正電壓施加於金屬集極 3 9 之狀態下，在閘極填埋電極 3 7 上對金屬射極 3 4 施加正電壓而實現。施加正電壓於閘極填埋電極 3 7 後，與 MOSFET 相同的，於 p 基極層 2 3 之側壁部表面形成反轉通道，電子從 n^+ 射極層 2 4 經由反轉通道流入 n^- 漂移層 2 2 內。然而，從 p^+ 集極層 2 9 注入霍耳於 n^- 漂移層 2 2 內， p^+ 集極層 2 9 與 n^- 漂移層 2 2 間之 p n 接合成為順偏壓狀態， n^- 漂移層 2 2 發生傳導度調變，使元件成為導通狀態。IGBT 成為導通狀態後，上述高電阻之 n^- 漂移層 2 2 發生傳導度調變，使其電阻成分變成極低，故 n^- 漂移層 2 2 之不純物密度低，即使 p 基極層 2 3 與 p^+ 集極層 2 9 間之距離大之高耐壓元件亦可產生導通電阻極低之特性。IGBT 之切斷係在閘極填埋電極 3 7 上對金屬射極 3 4 施加負電壓而實現。施加負電壓於閘極填埋電極 3 7 後，p 基極層 2 3 之側壁之反轉通道消滅，電子停止從 n^+ 射極層 2 4 流入。然而， n^- 漂移層 2 2 內仍有電子存在。存積於 n^- 漂移層 2 2 內之霍耳之大部分通過 p 基極層 2 3 流入金屬射極 3 4，但其

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(29)

中一部分與存在於 n^- 漂移層 22 內之電子再結合而消滅。當存積於 n^- 漂移層 22 內之霍耳全部消滅時，元件成為阻止狀態而完成切斷。

本發明第 3 實施例中，IGBT 之實效通道寬度 W_{eff} 係由 n^- 漂移層 22 之厚度 W 與通道數量之積決定，故即使晶粒面積被限定，仍可在深度方向任意的選定通道寬度 W_{eff} 。因此，每一同一晶粒面積之導通電阻變成極小。此外，因為電子在 n^- 漂移層之塊體內實效的行走，故不受到表面散亂及表面缺陷之影響，電子之移動度高，可實現低導通電阻及高速轉換。

本發明第 3 實施例可能被誤認為縱型 IGBT，但縱型 IGBT 之主電流朝向與基板主表面成為垂直之方向流通，其主電流之分佈方向，亦即通道寬度 W 之方向與主表面之方向平行，然而本發明之 IGBT 之主電流朝向與基板之主表面平行之方向流通，其主電流與主表面成為垂直之分佈。由此可見其構造顯著的不同。此現象可由第 25 圖所示，第 21(a) 圖中之包括相鄰之單元晶胞之更廣大部分之平面圖更為明確。亦即本發明，係在半導體基板表面上並列許多單元晶胞而容易多通道化之構造。串聯單元晶胞則亦容易形成超高耐壓元件。在左方之單元晶胞之 p^- 集極層 29 右側經由元件間分離溝孔填埋物 3 形成有下一列之單元晶胞之閘極填埋電極 37。圖中雖未表示，在更右側形成有其下一列之單元晶胞。如此，在晶粒表面上成為陣列狀的排列 IGBT 之單元晶胞即可實現大電流

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(30)

化，而利用串聯即可實現高耐壓化，但依照習用之「縱型 I G B T」，除非形成多層構造，否則不可能實現這種構造。爲了形成多層構造，必須使用高度而複雜之磊晶成長技術，若考慮磊晶成長時之熱擴散效應等，則非常不現實。因此，依照本發明，非常容易實現多通道化，而且可在與基板之主表面成約垂直之方向任意的選定實效之通道寬度 W_{eff} 。亦即可實現每一同一晶粒面積之實效通道寬度 W_{eff} 極大之 I G B T。當然，若爲小功率用 I G B T，則亦可爲如第 24 (a) 圖所示之 1 個單元晶胞之分離裝置。本發明第 3 實施例之 I G B T 可利用如第 26 (a) ~ (c) 圖，第 27 (a)，(b) 圖所示之製程簡易的製造。

a) 首先，與本發明第 1 實施例相同的以 S D B 法經由底面絕緣膜 8 在矽基板 82 上形成 n^- 半導體層 22。然後，在 n^- 半導體層 22 表面形成厚度 350 ~ 700 nm 之熱氧化膜 21，然後以光學石版印刷法及 R I E 法蝕刻氧化膜 21 之一定部分。

b) 然後，如第 26 (a) 圖所示，以氧化膜 21 爲蝕刻罩，利用 R I E 或 E C R 離子蝕刻法形成深達底面絕緣膜之第 1，第 2 溝部 316，317。然後，如第 26 (b) 圖所示，形成元件分離絕緣膜 1，澱積 N D P O S 等元件分離溝填埋物 3。

c) 然後，如第 26 (c) 圖所示，利用光學石版印刷法及 R I E 法等形成深達底面絕緣膜 8 之第 3 溝部

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

五、發明說明(31)

3 1 5。然後，以第3溝部3 1 5之側壁部做為擴散窗，將p型不純物，例如硼(B)朝向橫方向擴散，形成p⁻集極層2 9。

d) 然後，在第3溝部3 1 5之表面形成元件分離絕緣膜1。具體言之，去除硼之擴散時形成於溝部側壁表面之BSG膜，露出溝部側壁之Si面，在其上面形成做為元件分離絕緣膜之熱氧化膜1。然後，利用CVD法在熱氧化膜1上形成NDPOS，填埋第3溝部3 1 5。然後，如第2 7 (a)，(b)圖所示，形成第4溝部3 1 4。第2 7 (b)圖為第2 7 (a)圖之斷面圖。第4溝部3 1 4深達底面絕緣膜8。然後，以第4溝部3 1 4之側壁做為擴散窗，將硼(B)朝向橫方向擴散，利用一定之熱處理形成p基極層2 3。然後，去除由於硼之擴散而形成之BSG膜，形成擴散窗，將n型不純物之磷(P)，砷(As)，銻(Sb)等朝向橫方向擴散，如第2 7 (a)，(b)圖所示的形成n⁻射極層2 4。此外，同時進行擴散係數大之B，與擴散係數小之As，然後進行熱處理，亦可形成如第2 7 (a)，(b)圖所示之p基極層2 3，n⁻射極層2 4。無論如何，皆可如第2 7 (b)圖所示的均勻的朝向橫方向擴散至接觸底面絕緣膜之較深位置。此時，p⁻集極層亦可朝向橫方向更深的擴散至較第2 6 (c)圖所示之位置。

e) 然後，如第2 4 (a)圖所示，形成梳子型閘極溝部。閘極溝部係從n⁻射極層2 4超過p基極層2 3形

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(32)

成至 n^- 半導體層 22 之位置。在閘極溝部表面形成閘極絕緣膜 6 後，形成 D O P O S 等閘極填埋電極 7。

f) 然後，如第 24 (b) 圖所示，形成短路 n^- 射極層 24 與 p 基極層 23 之金屬射極 34，在 p^- 集極層上部形成金屬集極，則可完成本發明之第 3 實施例之 I G B T。

p^- 集極層 29，p 基極層 23， n^- 射極層 24 亦可使用斜向離子注入法形成。此時，亦可同時形成第 3，第 4 溝部 315，314，以抗光劑為掩罩選擇性的在溝部 315 內注入 $^{11}B^+$ 離子，在溝部 314 注入 $^{11}B^+$ 及 $^{75}As^+$ 之離子，退火後，同時填埋溝部 315，314。

本發明第 3 實施例不受第 24 (a)，(b)，第 25 圖所示構造之限制，亦可為如下之變更例。

(變更例 3 - 1)

第 28 (a) 圖為本發明第 3 實施例之第 1 變更例之 I G B T 之平面圖。第 28 (b) 圖為沿 A - A 線之斷面圖。第 1 變更例中，閘極溝部成為獨立之溝部，在各溝部內形成閘極絕緣膜 6 及閘極填埋電極。各閘極填埋電極以表面配線互相連接。第 24 (a) 圖所示之構造中， n^- 射極層 24 成為分離，但在本變更例中， n^- 射極層 24 成為梳子狀共同領域。閘極溝部部深達底面絕緣膜 8，而通道寬度 W_{eff} 係與基板表面成為垂直的測定。因此，實

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

承

五、發明說明(33)

效通道寬度不受基板表面積之限制可任意的增大，容易實現低導通電阻化，及大電流化。本發明第3實施例之第1變更例亦可使用與第26(a)~(c)圖，第27(a)，(b)圖所示之方法相同之製造方法簡易的製造。

以下參照第29(a)，(b)圖說明第1變更例之製程。亦即本發明第3實施例之第1變更例之IGBT。

a) 在SOI基板上形成p基極領域23， n^+ 射極層24， p^+ 集極層29以前之部分與第26(a)~(c)，第27(a)，(b)圖相同。

b) 然後，將做為形成 n^+ 射極層24，p基極層23用之橫方向擴散窗之溝部314之表面予以熱氧化，形成元件分離氧化膜1。然後，如第29(a)，(b)圖所示，利用CVD法以NDPOS等填埋元件分離溝填埋物3形成其內部。

c) 然後，形成深達底面絕緣膜8之閘極溝部，在其表面形成如第28(a)圖所示之閘極絕緣膜6，再形成DOPOS等閘極填埋電極，即可完成如第28(a)，(b)圖所示之構造。

(變更例3-2)

第30(a)圖為本發明第3實施例之第2變更例之IGBT之平面圖。第30(b)圖為沿A-A線之斷面圖。第2變更例中，在 p^+ 集極層29前面形成 n^+ 緩衝

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明(34)

層 2 2 9，提高集極耐壓以防止 p^+ 集極層 2 9 與 P 基極 2 3 之間穿通。與第 2 8 (a) 圖比較，因為可縮短 p 基極層 2 3 與 p^+ 集極層 2 9 間之 n^- 漂移層 2 2 之距離，故可實現高速，低導通電阻。

(變更例 3 - 3)

第 3 1 (a) 圖為本發明第 3 實施例之第 3 變更例之 IGBT 之平面圖。第 3 1 (b) 圖為沿 A - A 線之斷面圖。第 3 1 (c) 圖為沿 B - B 方向之斷面圖。該變更例之構造係所謂集極短路構造之 IGBT， n^- 短路領域 2 9 1 鄰接 p^+ 集極層 2 9，而以金屬集極 3 9 短路 p^+ 集極層 2 9 與 n^- 短路領域 2 9 1。亦即，一般之

IGBT 即使施加反偏壓於閘極而使 p 基極層 2 3 之反轉通道消滅，因為在 n^- 漂移層 2 2 內有電子之存在，故施加反偏壓於閘極後，仍從 p^+ 集極層 2 9 注入霍耳，因此 IGBT 不會立即切斷。亦即在電子與霍耳因再結合而消滅之前，有所謂之尾部電流成分殘留，使得切斷時間加長。本發明第 3 實施例之第 3 變更例中，可從 n^- 短路領域 2 9 1 抽出殘留於 n^- 漂移層 2 2 之電子，可進行高速切斷。 n^- 短路領域 2 9 1 可形成至深達底面絕緣膜 8 之位置，然而若從製造過程之容易度之觀點言之，如第 3 1 圖所示的形成於表面附近亦可充分產生效果。

(變更例 3 - 4)

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明(35)

第32圖為本發明第3實施例之第4變更例之IGBT之平面圖。其中閘極構造深達 n^- 射極層24及p集極層29，但成為基極填埋電極之DOPOS領域37只形成在基極層23附近，閘極溝部內之其他領域為NDPOS領域，成為絕緣領域377。圖中雖未表示，其斷面圖構造與第24(b)圖所示者相同， n^- 漂移層22之厚度W成為通道寬度。

如第32圖所示，本發明第3實施例之第4變更例之特徵為將沿著主電流通路之一對閘極溝部側壁之間極絕緣膜6間之距離設定為對通道寬度W成為在 n^- 漂移層22之全領域狹小之狀態。同樣的，以閘極絕緣膜6與元件分離絕緣膜1挾持外側之主電流通路，亦即通道，做為寬度S之薄領域。形成為這種構造，即可減小IGBT之活性領域之有效體積。亦即，當IGBT切斷時，無多餘之載體，而且反回復電荷 Q_{rr} 減小。因此，切斷時間縮短，可進行高速轉換。寬度S可在一般光學石版印刷法技術可達成之範圍內之精確決定，不會有機械強度上之問題，及發生結晶缺陷等問題，可減小 Q_{rr} 。例如成為通道寬度W之 n^- 漂移層22之厚度W為 $5 \sim 20 \mu m$ ， $S = 1.5 \mu m \sim 5 \mu m$ 左右，則不必使用質子照射，電子照射，或Pt，Au等重金屬擴散等複雜而且控制性低之永久性技術亦可製造高速IGBT。

第4變更例中，若p-集極層29附近之閘極溝間隔 S_c 小於 n^- 射極層24附近之閘極溝間隔 S_e ，則多餘

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(36)

載體更少，可進行高速轉換。第 3 3 圖表示其一實施例。第 3 2 圖中亦與第 3 3 圖相同的可省略 D O P O S 3 7 與 N D P O S 3 7 7 間之分界部分之絕緣膜。亦即生在閘極溝部內全面的填埋 N D P O S 3 7 7，只在 p 基極層 2 3 附近選擇性的注入硼 ($^{11}\text{B}^+$) 等離子，即可實現第 3 3 圖之閘極構造。

(變更例 3 - 5)

第 3 4 (a) 圖為本發明第 3 實施例之第 5 變更例之 I G B T 之平面圖。亦即相當於所謂之 I E G T (Injection Enhanced Gate Transistor)，係積極的減小 p 基極層 2 3 之面積之構造。亦即針對 I G B T 中，p 基極層 2 3 成為少數載體之旁路，而少數載體可儲存於每單位面積之數量愈多，愈可利用傳導度調變而降低飽和電壓之事實而形成之構造。形成如第 3 4 (a) 圖所示之蛇行狀閘極溝部，藉此將一部分 p 基極層 2 3 形成為非活性領域，實效上減小 p 基極層 2 3 之寬度 S。若只是為了減小 p 基極層 2 3 之寬度，則可採用第 3 4 (b) 圖所示之構造，但溝渠寬度愈大愈不容易以 D O P O S 填埋溝渠溝。因此，較容易製造如第 3 4 (a) 圖所示之溝渠寬度小而具有週期性之構造。第 3 4 (a)，(b) 圖之構造可降低 I G B T 之飽和電壓，降低導通電阻。

(變更例 3 - 6)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

小

五、發明說明(37)

第35(a)圖為本發明第3實施例之第6變更例之雙閘極IGBT之平面圖。第35(b)圖為沿A-A線之斷面圖。第6變更例中， n^+ 集極領域(第5半導體領域)292鄰接於 p^+ 集極層(第3半導體領域)29。第2閘極溝部之側壁部深達 p^+ 集極層29及 n^+ 集極領域292，在其表面形成閘極絕緣膜6，此外又填埋做為第2閘極填埋電極376之DOPOS。由 n^+ 集極領域292， n^+ 漂移層22，及第2閘極填埋電極376在集極側形成 n 通道型MOSFET，在IGBT切斷時，將 n^+ 漂移層22中之多餘電子強制的抽出至 n^+ 集極領域292，即可進行高速切斷。

第36(a)圖為本發明第4實施例之MOS控制SITH(MOS controlled SITH; MC-SITH)之平面圖。第36(b)圖為沿A-A線之斷面圖。第37(a)圖為C-SITH之等效電路圖。如第36(b)圖所示，在構成SOI構造之底面絕緣膜8上形成做為第1半導體領域之 n^+ 半導體層22，而 n^+ 陰極層(第2半導體領域)241， p^+ 閘極領域(第4半導體領域)281， p^+ 陽極層(第3半導體領域)293深達底面絕緣膜8。與第3實施例相同的， n^+ 陰極層241， p^+ 陽極層293只要以元件分離溝部側壁做為擴散窗利用橫方向擴散形成即可。 p^+ 閘極領域281只要在 p^+ 閘極領域281之預定形成部形成深達底面絕緣膜8之擴散溝，以擴散溝之側壁做為擴散窗朝向橫方向擴散即可。鄰接於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(38)

n^+ 陰極層 2 4 1 形成從表面擴散之 p^+ 補助陰極領域 (第 5 半導體領域) 2 8 2, 而在 p^+ 補助陰極領域 2 8 2 與 p^+ 閘極領域 2 8 1 之間形成 n 阱 (第 6 半導體領域) 1 8 3。閘極溝部係在形成 p^+ 閘極領域 2 8 1 後形成, 以便包含形成上述 p^+ 閘極領域 2 8 1 用之擴散溝。此時, 包含於將閘極溝部形成至深達底面絕緣膜 8 之深度之過程中之擴散溝消滅。在閘極溝部表面形成閘極絕緣膜 6, 又在其表面形成填埋閘極溝部之閘極填埋電極 3 7。如此, 變成以 p^+ 補助陰極領域 2 8 2 做為吸極領域, 以 p^+ 閘極領域 2 8 1 做為源極領域形成第 3 7 (a) 圖所示之 p MOS 電晶體 5 3 1 之狀態。如第 3 7 (a) 圖所示, $MC-SITH$ 係在 $SITH$ 之 p^+ 閘極領域 2 8 1 上直接連接導通用電容器 (C_g) 5 2 2, 在 p^+ 閘極領域 2 8 1 與 n^+ 陰極層 2 4 1 之間連接 p MOS 電晶體 5 3 1 之構造。閘極填埋電極 3 7 可由 $DOPOS$ 或 WSi_2 , $TiSi_2$ 等高融點金屬之矽化物膜或 W , Mo 等高融點金屬製成。閘極填埋電極 3 7 兼有 p MOS 電晶體之閘極與 $SITH$ 之導通用電容器 (C_g) 5 2 2 之一電極之作用。亦即, 由閘極填埋電極 3 7, 氧化膜等閘極絕緣膜 6, 及 p^+ 閘極領域 2 8 1 形成電容器 (C_g) 5 2 2。電容器 C_g 之電容量愈大, SI 可控矽整流器之導通時間愈短, 但若太大, 則儲存於 SI 可控矽整流器之閘極之多餘載體增加, 使切斷時間加長。因此, 該電容器之電容量具有用來使導通時間及切斷時間皆縮短之最佳

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(39)

值。該數值最好為 S I 可控矽整流器之閘極領域本身所具有之電容量(閘極與陰極間之電容器 C_{GK})之 $10 \sim 80$ 倍左右。因此，用來做為 p^+ 閘極領域 281 之上部之絕緣膜 6 之薄氧化膜之厚度為 100 nm 以下，最好為 $7 \sim 20 \text{ nm}$ 。

由 A λ 等金屬所構成之陰極 341 連接 n^+ 陰極層 241 與 p^+ 補助陰極領域 282。在 p^+ 陽極層 293 之上部形成有由 A λ 所構成之金屬陽極 342。MC-SITH 中，主可控矽整流器 521 必須為正常斷路型 SITH。因此，各 p^+ 閘極領域間之間隔 S_g 及 n^+ 半導體層 22 之不純物密度係設定在閘極 0 偏壓時使 n^+ 半導體層 22 夾斷之數值。若 n^+ 半導體層 22 之不純物密度為大約 $10^{11} \sim 10^{13} \text{ cm}^{-3}$ 低不純物密度， n 阱領域 283 之不純物密度為 10^{16} cm^{-3} 時，即使 S I 可控矽整流器係採用正常斷路型，閘極長度 L 為 $2 \mu\text{m}$ 以下之 p MOS 電晶體，穿透電流亦不會通過 p MOS 電晶體之源極與吸極之間。若 n 阱領域 283 之不純物密度為 10^{18} cm^{-3} 左右時，則可構成微細粒閘極長度之 p MOS 電晶體，故可顯著的減小導通電阻，而且 p MOS 電晶體之穿透電流所造成之洩漏電流減小。 p^+ 領域 282，281，293 之不純物密度只要有 $10^{18} \sim 10^{20} \text{ cm}^{-3}$ 左右即可， n^+ 陰極層 241 之不純物密度只要有 $10^{18} \sim 10^{21} \text{ cm}^{-3}$ 左右即可。

本發明之第 4 實施例中，在進行 MC-SITH 之導

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(40)

通時，係在閘極填埋電極 3 7 上施加正電壓，利用電容量耦合（靜電感應效應）降低經由 p^+ 閘極領域 2 8 1 上部之電容器 C_g 形成於 n^- 半導體層 2 2 之通道中之電位障壁之高度，使電子從 n^+ 陰極層 2 4 1 注入。MC-SITH 之通道相當於由 1 對 p^+ 閘極領域 2 8 1 挾持之 n^- 半導體層 2 2 之部分。

注入之電子被儲存於 n^- 半導體層 2 2 與 p^+ 陽極層 2 9 3 之分界面附近，因此，降低對 p^+ 陽極層 2 9 3 側之霍耳之電位障壁，從 p^+ 陽極層 2 9 3 開始注入霍耳，而該霍耳又促進電子從 n^+ 陰極層 2 4 1 注入，使 SI 可控矽整流器導通。此時，若設計形成於 p^+ 補助陰極領域 2 8 2 與 p^+ 閘極領域 2 8 2 間之 p MOS 電晶體 5 3 1 使其成為耗盡型（depletion），則在正電壓施加於閘極填埋電極 3 7 上之狀態下，p MOS 電晶體 5 3 1 成為遮斷狀態。

若施加於閘極填埋電極 3 7 上之電壓為 0 V 時，p MOS 電晶體 5 3 1 成為導通狀態，霍耳經由 p^+ 閘極領域 2 8 1 被抽出至金屬陰極 3 4 1 側，對 n^+ 陰極層 2 4 1 之前面之電子之電位障壁升高，使 SI 可控矽整流器導通。

第 3 7 (b) 圖表示 MC-SITH 之閘極驅動脈波 ϕ_g 之波形成。如第 3 7 (a) 圖所示，閘極電容量 5 2 2 連接於正常斷路型 SITH 5 2 1，而 p MOS 電晶體 5 3 1 連接於閘極與陰極之間。p MOS 電晶體

（請先閱讀背面之注意事項再填寫本頁）

訂

訂

五、發明說明(41)

5 3 1 之閘極由脈波 ϕ_g 所控制，而 ϕ_g 成為對閘極電容量 5 2 2 之輸入脈波。在第 3 7 (b) 圖中，於 T_1 時間時，脈波 ϕ_g 之電位為 V_{off} ，p M O S 電晶體 5 3 1 因該電位而成為導通狀態。S I T H 5 2 1 之閘極與陰極間成為相同電位而成為斷路狀態。當脈波 ϕ_g 在 t_1 時刻從 V_{off} 變成 V_{on} 後，S I T H 5 2 1 之閘極之電位因電容量耦合而升高。當脈波 ϕ_g 之電位成為 V_{on} 時，p M O S 5 3 1 成為斷路狀態。正常斷路型 S I T H 5 2 1 只要施加相當於閘極與陰極間之擴散電位之微小電壓，則從斷路狀態變成導通狀態。此時，閘極電流只要有足夠充電從閘極觀察時之輸入容量所需之電流值即可，不必供給直流。在 T_2 時間時 S I T H 5 2 1 成為導通狀態。當脈波 ϕ_g 在 t_2 時刻從 V_{on} 變成 V_{off} 後，p M O S 5 3 1 又變成導通狀態而 S I T H 5 2 1 成為斷路狀態。

本發明第 4 實施例中，如第 3 6 (b) 圖所示 M C - S I T H 之實效通道寬度 W_{eff} 係由 n^- 半導體層 2 2 之厚度 W 與通道數量之積決定，故即使晶粒面積受到限制，仍可任意選擇垂直於基板表面之方向，亦即深度方向之通道寬度 W_{eff} 。因此，以每一同一晶粒面積比較時之導通電阻變成極小。因為電子在離開 n^- 半導體層 2 2 表面之塊體中實效的行走，故不會受到表面散亂或表面缺陷之影響，電子移動度亦高。因此，第 4 實施例之 M C - S I T H 可實現低導通電阻及高速轉換。M C - S I T H

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(42)

等 MOS 複合裝置中，最後之導通電壓，係由主裝置之導通電壓決定。亦即 MC - S I T H 之主裝置係 S I T H，基本構造為 n i p 二極體。亦即，並非如 I G B T 等其他轉換元件的具有 n p n p 4 層構造，因為 p n 接合之數量少，故本來（原理上）即為低導通電阻。因此，採用本發明之在與基板表面成為垂直之方向測定通道寬度之構造，即可顯著的提高低導通電阻特性。

(變更例 4 - 1)

第 3 8 (a) 圖為本發明第 4 實施例之第 1 變更例之 MC - S I T H 之平面圖，第 3 8 (b) 圖為沿 A - A 線之斷面圖。該變更例中表示容易製造之 MC - S I T H 之構造。該構造係在基板表面側形成設在 n^+ 陰極層 2 4 1 與 p^+ 閘極領域 2 8 1 間之 p M O S。在與基板表面成為垂直之方向測定成為主裝置之 S I T H 之通道寬度 W，使主電流分佈於基板之深度方向，則導通時之電阻，亦即導通電阻減小。因此，與導通時之導通電阻無直接關係之成為斷路時之電流通路之 p M O S 之電阻稍高亦無妨。本變更例中，與第 3 6 (a)，(b) 圖相同之處為 p^+ 補助陰極領域 2 8 2 鄰接於 n^+ 閘極層 2 4 1， n 阱 2 8 3 形成 p^+ 補助閘極領域 2 8 2 與 p^+ 閘極領域 2 8 1 之間。與第 3 6 (a)，(b) 圖比較後可知，本變更例之 p^+ 補助陰極領域 2 8 2 與 n 阱 2 8 3 形成於較大之面積。p M O S 之閘極絕緣膜 2 8 4 形成於基板表面，而表面閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(43)

極 2 3 7 連接於其上面。表面閘極 2 3 7 連接於閘極填埋電極。這種構造在光學石版印刷法中具有圖型寬裕，而且容易在 n 阱 2 8 3 表面進行通道摻雜及離子注入等，故較易控制 p M O S F E T 之閾值。因此，以較低之閘極電壓即可驅動 M C - S I T H。

本發明第 3，第 4 實施例中係說明 I G B T 及 M C - S I T H，但本發明亦可應用於與 I G B T 或 M C T 相同之 M O S 複合半導體元件之 M C T (MOS Controlled Thyristor) 等。第 3 9 (a) 圖為本發明第 5 實施例之 M C T 之平面圖。第 3 9 (b) 圖為沿 A - A 線之斷面圖。如第 3 9 (c) 圖所示，M C T 晶胞先從形成於底面絕緣膜 8 上之成為第 1 半導體領域之 n^- 半導體層 2 2 右側朝向橫方向擴散而形成做為第 3 半導體領域之 p^+ 陽極層 2 9 3。然後，從 n^- 半導體層 2 2 左側依次將 p 型不純物，n 型不純物，高濃度 n 型不純物朝向橫方向擴散而形成 p 基極層 (第 4 半導體領域) 2 3，n 基極層 (第 6 半導體領域) 2 8 5，及 n^- 陰極層 (第 2 半導體領域) 2 4 1。

再於 n 基極層 2 8 5 與射極層射極層 2 4 1 之分界面附近從表面擴散形成做為第 5 半導體領域之 p^+ 短路領域 2 8 6。然後形成接觸 p 基極層 2 3，n 基極層 2 8 5 之閘極溝部，於其表面上形成閘極氧化膜 6，再形成 D O P O S 等閘極填埋電極 3 7。閘極溝部形成至深達底面絕緣膜之深度。在 p 基極層 2 3，n 基極層 2 8 5 表面

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(44)

上形成做為閘極絕緣膜之閘極氧化膜 2 8 4，在閘極氧化膜 2 8 4 上形成由 D O P O S 所構成之表面閘極 2 3 7。表面閘極 2 3 7 與閘極填埋電極形成電連接。圖中雖未表示，形成披覆 D O P O S 等表面閘極 2 3 7 之層間絕緣膜，在該層間絕緣膜及其下方之氧化膜 2 1 中設置接觸孔，形成連接 p^+ 短路領域 2 8 6 與 n^+ 射極層 2 4 1 之金屬陰極 3 4 1。然後，在 p^+ 陽極層 2 9 3 上形成金屬陽極 3 4 2。第 4 0 圖表示第 3 9 (a)，(b) 圖所示之 M C T 之等效電路圖。

第 3 9 (a)，(b) 圖所示之 M C T 中，在 n 基極層 2 8 5 與成為 n^- 半導體層之半導體層 2 2 之間形成以面向閘極溝部側壁之 p 基極層 2 3 做為通道之 n M O S F E T，在閘極上施加正電位後， n M O S F E T 導通，電子注入 n^- 半導體層 2 2 而使 M C T 導通。因此，從 p^+ 陽極層 2 9 3 亦注入正孔，使得大量導通電阻通過。M C T 之斷路係在以 p^+ 短路領域 2 8 6 與 p 基極層 2 3 間之 n 基極層 2 8 5 表面做為通道之 p M O S F E T 之閘極上施加負電壓，將 n^- 半導體層 2 2 之正孔抽出於金屬陰極 3 4 1 而進行。

本發明第 5 實施例中，如第 3 9 (b) 圖所示，M C T 之實效通道寬度 W_{eff} 係由 n^- 漂移層 2 2 之厚度 W 與通道數量之積決定，故即使晶粒面積被限定，可任意的選定與基板表面成為垂直之方向，亦即深度方向之通道寬度 W_{eff} 。因此，每一同一晶粒面積之導通電阻成極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(45)

小。因為電子在 n^- 漂移層 2 2 之塊體中實效的行走，故不會受到表面散亂及表面缺陷之影響，電子移動度高，可實現低導通電阻及高速轉換。

第 4 1 (a) 圖為本發明第 6 實施例之 E S T (Emitter Switched Thyristor) 之平面圖。第 4 1 (b) 圖為沿 A - A 線之斷面圖。本發明之 E S T 在形成於底面絕緣膜 8 上部之成為第 1 半導體領域之 n^- 半導體層 2 2 兩端形成有成為第 2 半導體領域之浮動 n^- 陰極領域 2 8 7，及成為第 3 半導體領域之 p^- 陽極層 2 8 3。鄰接於浮動 n^- 陰極領域 2 8 7 形成有第 4 半導體領域之 p 基極層 2 3，在 p 基極層 2 3 與 n^- 半導體層 2 2 之分界面形成有 p^- 基極層 (第 6 半導體領域) 2 8 9。在 p^- 基極層 2 8 9 之浮動 n^- 陰極領域側形成有 n^- 陰極領域 (第 5 半導體領域) 2 8 8。 n^- 陰極領域 2 8 8， p^- 基極領域 2 8 9， n^- 半導體層 2 2， p^- 陽極層 2 9 3 構成寄生可控矽整流器，而浮動 n^- 陰極領域 2 8 7， p 基極層 2 3， n^- 半導體層 2 2， p^- 陽極層 2 9 3 構成生可控矽整流器。設在 p 基極層 2 3 與 p^- 陽極層 2 9 3 間之 n^- 半導體層 2 2 成為主可控矽整流器之 n^- 漂移層。閘極溝部貫穿 p 基極層 2 3 之至少一部分及 n^- 陰極領域 2 8 8， p^- 基極領域 2 8 9。在閘極溝部之內壁形成有閘極絕緣膜 6，又在其內部形成有閘極填埋電極 3 7。浮動 n^- 陰極領域 2 8 7，閘極填埋電極 3 7，及 n^- 陰極領域 2 8 8 形成 n M O S F E T。第 4 2 圖表示 E S T 之

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(46)

等效電路。 n^- 陰極領域288與 p^+ 基極領域289由金屬陰極341短路，而在 p^+ 陽極層293上部形成有金屬陽極342。

當閘極填埋電極37之閘極電壓小於一定之閾值時，寄生可控矽整流器及主可控矽整流器之陰極與陽極之間皆成為高電阻而成為斷路狀態，但當閘極電壓變成高於一定之閾值電壓時， n MOSFET導通，浮動 n^- 陰極領域與 p 基極層23被短路，電子從浮動 n^- 陰極領域287注入 n^- 漂移層22，使主可控矽整流器導通。 n 通道MOSFET層斷路後，浮動 n^- 陰極領域287與 p 基極層23間之電位障壁增大而主可控矽整流器亦斷路。

本發明第6實施例中，自第41(b)圖所示，EST之有效通道寬度 W_{eff} 係由 n^- 半導體層22之厚度 W 與通道數量之積決定，故即使晶粒面積受到限制，仍可任意的選定與基板表面成為垂直之方向，亦即深度方向之通道寬度 W_{eff} 。因此以每一同一晶粒面積比較時之導通電阻變成極小。因為電子在 n^- 半導體層22之塊體中實效的行走，故不會受到表面散亂或表面缺陷之影響，電子之移動度高，可實現低導通電阻及高速轉換。

本發明不限定於矽半導體裝置。禁帶寬度 E_g 不同之2種化合物半導體之異質接合亦可產生與絕緣閘極構造相同之動作。第43(a)，(b)，(c)圖中以 n^- AlGaAs做為電子供給層之AlGaAs / InGaAs高電子移動度電晶體(HEMT)做為這種

五、發明說明(47)

實施例之本發明之第7實施例。第43(b)圖為第43(a)圖中沿A-A線之斷面圖，第43(c)圖為B-B線斷面圖。

本發明第7實施例之HEMT中，在貫穿形成於半絕緣性GaAs基板(SI-GaAs基板)85上之成為第1半導體領域之 n^- GaAs磊晶成長層222形成之閘極溝內部，經由GaAs或AlGaAs所構成之緩衝層422形成有做為第5半導體領域之InGaAs通道層444。在第5半導體領域上形成有成為半導體領域之AlGaAs間隔層445及 n^- AlGaAs電子供給層446，又在其表面形成閘極填埋電極7。在成為第2半導體領域之 n^- 源極層4上形成有金屬源極10，在成為第3半導體領域之 n^- 吸極層4上形成有金屬吸極11。

本發明第7實施例中，如第43(c)圖所示，HEMT之實效通道寬度 W_{eff} 係由 n^- 半導體層22之厚度 W 與通道數量之積決定，因此即使晶粒面積受到限制，仍可任意的選定與基板表面成為垂直之方向，亦即深度方向之通道寬度 W_{eff} 。因此，每一同一晶粒面積之導通電阻變成極小。亦可利用 n^- InGaP等取代 n^- AlGaAs做為電子供給層。

本發明之第7實施例之HEMT可利用第44(a)，44(b)，45(a)，45(b)圖所示之製程製造。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(48)

a) 首先，利用磊晶成長法在 Si-GaAs 基板 85 上形成 $n^-\text{GaAs}$ 層 222，然後利用光學石版印刷術及 RIE 形成溝部 314，315。如第 44 (a)，(b) 圖所示，以溝部 314，315 為擴散窗將 Si 或 Se 等 n 型不純物朝向橫方向擴散。此時，n 型不純物又擴散至 Si-GaAs 基板側。

b) 然後，以元件分離絕緣膜 1 及元件分離溝填充物 3 填充溝部 314，315。然後，如第 45 (a)，(b) 圖所示，以 RIE 等將溝部 316，317 蝕刻至 Si-GaAs 基板 85 之深度。該蝕刻深達較 $n^-\text{GaAs}$ 層 222 與 Si-GaAs 基板 85 之分界面更深之深度。

c) 然後，利用減壓 MOCVD 法在該溝內依次進行非摻雜 GaAs 緩衝層 422，非摻雜 $\text{In}_z\text{Ga}_{1-z}\text{As}$ 通道層 444，非摻雜 $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$ 間隔層 445，Si 摻雜 $n^-\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$ 電子供給層 446 之磊晶成長。成長之條件為溫度 650°C ，壓力 $1 \times 10^{-4} \text{ Pa}$ 。 GaAs 之成長時，可使用例如 TEG (三乙烷鎵) (AsH_3 (砷)， AlGaAs 之成長時，可使用 TMA (三甲基鋁)，TMG (三甲基鎵) 與 AsH_3 做為源氣體。亦可採用 CBE 法，MBE 法，MLE 法取代 MOCVD 法。

d) 然後，在 Si 摻雜 $n^-\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$ 電子供給層 446 上形成 Ti/Pt/Au 或 TiW/Au

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(49)

等閘極填埋電極 7。又在源極／吸極層 4，5 上形成 $\text{AnGe} / \text{Ni} / \text{Au}$ 之金屬源極 10，金屬吸極 11，即可完成如第 43 (a) ~ (c) 所示之第 7 實施例之 HEMT。

HEMT 不限定於上述 $\text{InGaAs} / \text{AlGaAs}$ 異質接合，亦可為 $\text{GaAs} / \text{AlGaAs}$ 構造， $\text{InGaAs} / \text{InAlAs}$ 構造等。

第 1 半導體領域亦可使用在 InP 或 GaAs 上進行磊晶成長之 InP 。

第 46 圖為本發明第 8 實施例之分割閘極型 IGT 之平面圖。第 8 實施例中，係在形成於底面絕緣膜上之成為第 1 半導體領域之 p 型半導體層 23 兩側形成做為第 2 / 第 3 半導體領域之 n^+ 源極／吸極層 4，5，而在其 n^+ 源極／吸極層 4，5 之間形成 6 條閘極溝。在閘極溝內形成有閘極絕緣膜 6，但在各閘極溝部內閘極填埋電極被 8 分割。亦即在最上方之閘極溝部形成有閘極填埋電極 71a，72a，73a，...，78a，在下一條溝部形成有閘極填埋電極 71b，72b，...，78b，在最下方之閘極溝部形成有閘極填埋電極 71f，72f，...，78f。閘極填埋電極 71a，71b，71c，...，71f 互相連接。閘極填埋電極 72a，72b，...，72f 亦互相連接，但閘極填埋電極 71a，71b，...，71f 之間係經由一定之電阻 r 連接。

閘極填埋電極 73a，73b，...，73f 亦互相

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(50)

連接，而且經由電阻 r 與互相連接之閘極填埋電極 7 2 a，7 2 b，...，7 2 f 連接。閘極填埋電極 7 8 a，...，7 8 f 經由電阻 r 與閘極填埋電極 7 7 a，7 7 b，...，7 7 f 連接。在各閘極溝部之內部，各閘極填埋電極之間澱積 N D P O S 及氧化膜等絕緣物，或形成空洞而互相絕緣。

由於上述構造，施加於閘極填埋電極之電壓被分割，形成於 p 型半導體層 2 3 之通道中之電位傾斜度被均勻化。亦即如第 1 0，1 1 圖所示之相同之閘極填埋電極時，在最靠近 n^- 吸極層 5 之閘極填埋電極端與 n^- 吸極層 5 間產生高電場而發生絕緣破壞，但如第 4 6 圖所示的分割閘極填埋電極即可使電場強度均勻化，可抑制在端部發生高電場。因此可形成高耐壓，及低導通電阻特性。亦即在各閘極填埋電極附近形成儲積層而成為低電阻，並且可提高閘極與吸極間之耐壓。亦即可改善習用裝置中成為換位 (Trade off) 關係之吸極耐壓與導通電阻之關係，使換位曲線偏移至高耐壓，低導通電阻側。

第 4 7 (a) ~ (c) 圖表示本發明第 8 實施例之變更例。該例中，在成

為第 1 半導體領域之 p 型半導體層 2 3 兩側形成做為第 2 / 第 3 半導體領域之 n^- 源極 / 吸極領域 4，5，在 n^- 源極 / 吸極領域 4，5 之間 X - Y 矩陣狀或鋸齒配置狀的形成閘極溝部。第 4 7 (a) 圖為將 6 6 個閘極溝部整齊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(51)

的排列成 X - Y 矩陣狀時之圖。第 47 (a) 圖為將 66 個閘極溝部排列成鋸齒配置時之圖。如第 47 (a) 圖所示，將閘極溝部整齊的排列，將通道形成為一直線時，與如第 47 (b) 圖所示的通道成為蛇行時比較，其實效通道長度變成較短，成為低導通電阻。

第 47 (c) 圖為將六角形閘極溝部排列成鋸齒狀之例。該例中，將較第 47 (b) 圖所示四角形閘極溝部多 6 個，亦即 72 個閘極溝部配置在同一表面積上。此時，假設第 47 (b) 圖中為 1595 單位時，形成於閘極溝部周邊之儲積層為 1672 單位，儲積層之總面積增大，其導通電阻變成低於第 47 (b) 圖之導通電阻。

本發明不限定於應用在做為主動元件之 IGT，IGBT 等，亦可應用於做為負載電阻等使用之被動元件。第 48 圖為本發明第 9 實施例之非直線形負載電阻元件之平面圖。第 48 圖之構造中，除了各閘極溝部間之間隔不相等以外，其他構造基本上與第 1 實施例中所示第 1 (a) 圖之構造相同。如第 48 圖所示，因為設定閘極間隔為 $S_1 > S_2 > S_3 \cdots \cdots S_6 > S_5$ ，則隨著閘極電壓 V_g 之升高，從閘極間隔小之通道開始夾斷。第 52 圖表示第 48 圖之 $I_a - V_g$ 特性。由圖中可知，負載電阻若需要具有非直線形性時，可形成為如第 49 圖所示之狀態。

(變更例 9 - 1)

五、發明說明(52)

第 50 (a) 圖為本發明第 9 實施例之第 1 變更例之被動元件之平面圖。圖中在 n^- 半導體層 2 內從中央部錯開只形成一個閘極溝部。如此，在非對稱位置配置閘極溝部，即可形成非直線形負荷特性。第 50 (b) 圖表示以金屬源極 10，金屬吸極 11 連接第 50 (a) 圖，使大電流通過之例。

本發明不受第 1 ~ 9 實施例之限定，可在不超越本發明要旨之範圍內變更實施。例如第 50 (a)，(b) 圖中係說明將閘極溝部從中央部錯開配置之例。但亦可形成為閘極溝部位於中央部之如第 51 圖所示構造之 IGT 使其動作。因為在 n^- 半導體層 2 中只形成 1 個閘極溝部，故即使在大電流動作時發生半導體晶粒內之溫度分佈或電位分佈時，仍可因為均勻性佳，不容易發生電流集中，故可安定之動作。

為了進行大電流動作，亦可將第 3 實施例中之第 24 (a) 圖所說明之單元晶胞 666 排列於如第 52 圖所示 4 吋 ~ 6 吋中之半導體圓粒內。

因為本發明之構造係金屬電極在第 1 及第 2 主電極領域之同一平面上，容易積體化，故可實現各種單塊功率 IC。例如可將第 53 (a) 圖之電路如第 53 (b) 圖所示的積體化在同一半導體晶粒上。亦即第 53 (b) 圖之例係使用第 3 實施例之第 1 變更例之第 28 (a)，(b) 圖所示之 IGBT 構成倒相器之例。因為如第 28 (b) 圖所示，金屬射極 34，金屬集極 39 皆在同一平面

五、發明說明(53)

上，故在如第 53 (b) 圖所示之積體化構造中，容易進行各元件間之表面配線。此外，亦容易進行元件分離。因此，亦容易進行靈敏功率 IC 等多元件之積體化及晶粒化。

本發明之半導體裝置不限定於矽裝置，亦可為 SiC，或 GaAs，InP。GaAs 時，使用 AlGaAs 或 ZnSe 做為閘極絕緣膜即可。SiC 或 InP 時可使用 SiO₂ 做為閘極絕緣膜使用。

本發明之閘極構造不限定為絕緣閘極構造，主要可利用電容量耦合控制主電流之構造即可。因此，在第 1 (a) ~ 13 (c) 圖所示之構造中，亦形成為省略閘極絕緣膜 6 之肖脫基 (schottky) 閘極構造，或 pn 接合構造。其理由為，即使是肖脫基閘極構造或 pn 接合構造，只要在閘極上施加反偏壓，即可使耗盡層擴散於通道領域內，使通道夾斷。

依照本發明，與習用之半導體裝置比較，可顯著的增大實效通道寬度 W_{eff} ，可實現以同一晶粒面積比較時，導通電阻極低之半導體裝置。亦即本發明中，因為主電流之分佈方向係與半導體之主表面垂直之方向，故不會受到晶粒面積之限制，可任意的選擇通道寬度 W 。

依照本發明，雖然具有平面型半導體裝置之電極結構，但因為構成主電流成分之載體在離開基板表面之塊體中行走，故不受表面散亂等之影響。亦即，依照本發明之構造，載體之移動度高，可實現高 g_m 化。因此本發明之半

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(54)

導體裝置以高速，高頻動作。

此時，載體之移動度及行走速度因其有效質量之各向異性而不同。亦即根據如何選擇結晶方位而決定該載體之移動度及行走速度。本發明中，載體之行走方向與基板主表面成為平行，可在與主表面平行之面內任意的選擇其方向。亦即本發明之半導體裝置與縱型裝置比較，方位之選定較容易，適合於高速化。如第54圖所示，電子之移動度(811)在面方向最大，而本發明非常容易將通道方向選定為這種方向。在縱型裝置中，若決定主表面之面方位，則與其正交之方向之面方位由結晶之對稱性決定，不能任意的選定。

依照本發明，因為在源極，吸極等第1，第2主電極領域上之金屬電極係在同一平面側，故容易進行元件分離及各元件間之表面配線。因此，依照本發明，一方面具有容易實現靈敏功率IC等多元件之積體化，及多晶粒化之特徵，又可發揮低導通電壓，高速，高耐壓等特性。

亦即，依照本發明，在通常成為換位關係之導通電壓與耐壓之關係，導通電壓與轉換速度之關係中，非常容易實現高耐壓—低導通電壓，高速—低導通電壓之特性。

依照本發明，非常容易實現習用之縱型構造不容易實現之雙閘極構造等複雜之構造。尤其例如習用之縱型構造中極不容易在側壁部之一部分選擇性的形成閘極領域之細微加工，但依照本發明，非常簡單的製造習用之縱型構造不可能實現，或即使可能實現其良品率極低之具有複雜階

五、發明說明 (55)

層構造之半導體裝置。

85年12月27日 修正
補充

圖式：

第 1 (a) 圖為本發明第 1 實施例之 I G B T 之平面圖，第 1 (b) 圖為本發明第 1 實施例之 I G B T 之斷面圖；

第 2 (a) ， (b) 圖為第 1 實施例之 I G B T 之動作說明圖；

第 3 (a) ~ (c) 圖為用來說明閘極溝部之間隔 S 與最外側之溝部與元件分離溝之間隔 S_s 之關係之圖；

第 4 圖為表示 $I_d - V_g$ 特性依照 S 與 S_s 之關係而發生之變化；

第 5 圖為 $S < S_s$ 時之 $I_d - V_g$ 特性之圖；

第 6 圖為 $S < S_s$ 時之 $I_d - V_g$ 特性之圖；

第 7 (a) ~ (c) 圖為本發明第 1 實施例之 I G T 之製造過程之說明圖；

第 8 (a) ~ (c) 圖為本發明第 1 實施例之其他製程之說明圖；

第 9 (a) ~ (e) 圖為本發明第 1 實施例之其他製程之說明圖；

第 10 圖為本發明第 1 實施例之 I G T 之第 1 變更例之平面圖； 第 11 圖為本發明第 1 實施例之 I G T 之第 2 變更例之平面圖；

第 12 圖為本發明第 1 實施例之 I G T 之第 3 變更例

(請先閱讀背面之注意事項再填寫本頁)

訂

造

煩請委員明示本案是否變更實質內容

經濟部中央標準局員工消費合作社印製

五、發明說明(56)

之平面圖；

第 1 3 (a) 圖爲本發明第 1 實施例之 I G T 之第 4 變更例之平面圖，第 1 3 (b) ， (c) 圖爲其斷面圖；

第 1 4 (a) 圖爲本發明第 2 實施例之 I G T 之平面圖，第 1 4 (b) 圖爲其斷面圖，第 1 4 (c) 圖爲其鳥瞰圖；

第 1 5 (a) ~ (c) 圖爲本發明第 2 實施例之 I G T 之製造方法之說明圖；

第 1 6 (a) ~ (c) 圖爲本發明第 2 實施例之 I G T 之製造方法之說明圖；

第 1 7 (a) 圖爲本發明第 2 實施例之第 1 變更例之 I G T 之平面圖，第 1 7 (b) 圖爲其斷面圖；

第 1 8 (a) ~ (d) 圖爲本發明第 2 實施例之第 1 變更例之製造過程之說明圖；

第 1 9 圖爲本發明第 2 實施例之第 2 變更例之 I G T 之平面圖；

第 2 0 (a) 圖爲本發明第 2 實施例之第 3 變更例之 I G T 之平面圖，第 2 0 (b) ， (c) 圖爲其斷面圖；

第 2 1 (a) ， (b) 圖爲本發明第 2 實施例之第 4 變更例之 I G T 之斷面圖；

第 2 2 (a) 圖爲本發明第 2 實施例之第 5 變更例之 I G T 之平面圖，第 2 2 (b) ， (c) 圖爲其斷面圖；

第 2 3 (a) 圖爲本發明第 2 實施例之第 6 變更例之 I G T 之平面圖，第 2 3 (b) ， (c) 圖爲其斷面圖；

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (57)

第 2 4 (a) 圖為本發明第 3 實施例之 I G B T 之平面圖，第 2 4 (b) 圖為沿 A - A 線之斷面圖；

第 2 5 圖為本發明第 3 實施例之 I G B T 之包括鄰接單元晶胞之平面圖；

第 2 6 (a) ~ (c) 圖為本發明第 3 實施例之 I G B T 之製造過程之說明圖；

第 2 7 (a) ~ (b) 圖為本發明第 3 實施例之 I G B T 之製造過程之說明圖；

第 2 8 (a) 圖為本發明第 3 實施例之 I G B T 之第 1 變更例之平面圖，第 2 8 (b) 圖為沿 A - A 線之斷面圖；

第 2 9 (a) 圖為本發明第 3 實施例之 I G B T 之第 1 變更例之製造過程之說明用平面圖，第 2 9 (b) 圖為其斷面圖；

第 3 0 (a) 圖為本發明第 3 實施例之 I G B T 之第 2 變更例之平面圖，第 3 0 (b) 圖為沿 A - A 線之斷面圖；

第 3 1 (a) 圖為本發明第 3 實施例之 I G B T 之第 3 變更例，第 3 1 (b) 圖為沿 A - A 線之斷面圖，第 3 1 (c) 圖為沿 B - B 線之斷面圖；

第 3 2 圖為本發明第 3 實施例之 I G B T 之第 4 變更例之平面圖；

第 3 3 圖為本發明第 3 實施例之 I G B T 之第 4 變更例之其他構造之平面圖；

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (58)

第 3 4 (a) , (b) 圖為本發明第 3 實施例之 I G B T 之第 5 變更例之平面圖 ;

第 3 5 (a) 圖為本發明第 3 實施例之第 6 變更例之雙閘型 I G B T 之平面圖 , 第 3 5 (b) 圖為其斷面圖 ;

第 3 6 (a) 圖為本發明第 4 實施例之 M C - S I T H 之平面圖 , 第 3 6 (b) 圖為其斷面圖 ;

第 3 7 (a) 圖為 M C - S I T H 之等效電路圖 , 第 3 7 (b) 圖為 M C - S I T H 之閘極驅動脈波之波形圖 ;

第 3 8 (a) 圖為本發明第 4 實施例之 M C - S I T H 之變更例之平面圖 , 第 3 8 (b) 圖為其斷面圖 ;

第 3 9 (a) 圖為本發明第 5 實施例之 M C T 之平面圖 , 第 3 9 (b) 圖為其斷面圖 ;

第 4 0 圖為本發明第 5 實施例之 M C T 之等效電路圖 ;

第 4 1 (a) 圖為本發明第 6 實施例之 E S T 之平面圖 , 第 4 1 (b) 圖為其斷面圖 ;

第 4 2 圖為本發明第 6 實施例之 E S T 之等效電路圖 ;

第 4 3 (a) 圖為本發明第 7 實施例之 H E M T 之平面圖 , 第 4 3 (b) , (c) 圖為其斷面圖 ;

第 4 4 (a) , (b) 圖為本發明第 7 實施例之 H E M T 之製造過程之說明圖 ;

第 4 5 (a) , (b) 圖為本發明第 7 實施例之

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

五、發明說明(59)

H E M T 之製造過程之說明圖；

第 4 6 圖爲本發明第 8 實施例之分割閘極型 I G T 之平面圖；

第 4 7 (a) ~ (c) 圖爲本發明第 8 實施例之分割閘極型 I G T 之變更例之平面圖；

第 4 8 圖爲本發明第 9 實施例之半導體裝置之平面圖；

第 4 9 圖爲本發明第 9 實施例之半導體裝置之 $I_d - V_g$ 特性圖；

第 5 0 (a) , (b) 圖爲本發明第 9 實施例之第 1 變更例之半導體裝置之平面圖；

第 5 1 圖爲本發明之其他實施例之平面圖；

第 5 2 圖爲本發明之另一實施例之平面圖；

第 5 3 (a) , (b) 圖爲本發明之另一實施例之電路圖及平面圖；

第 5 4 圖爲移動度之結晶面依存性之圖；

第 5 5 圖爲習用之接合型 F E T 之構造圖；

第 5 6 圖爲習用之 M O S F E T 之構造圖；

第 5 7 圖爲習用之橫型 D M O S 之構造圖；

第 5 8 圖爲習用之雙極型電晶體構造圖；

第 5 9 圖爲習用之橫型 I G B T 之構造圖；

第 6 0 圖爲習用之雙閘極 S I T H 之構造圖；

第 6 1 圖爲習用之縱型 I G B T 之構造圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(60)

[符號說明]

1 : 元件分離絕緣膜。 2 : 半導體層。 3 : 元件分離溝填埋物 (多晶矽)。 4 : 源極擴散層。 5 : 汲極擴散層。 6 : 閘極絕緣膜。 7 : 閘極填埋電極。 8 : 底面絕緣膜。 9 : 金屬閘極。 10 : 金屬源極。 11 : 金屬汲極。 12 : 耗盡層。 13 : 儲積層。 22 : n^- 漂移層。 23 : p 基極層。 24 : n^+ 射極層。 25 : 漂移行走層。 29 : p^+ 集極層。 33 : 閘極。 37 : 閘極填埋電極。 34 : 金屬射極。 39 : 金屬集極。 82 : 基板。 83 : p 基板。 84 : p^+ 分離領域。 85 : SI 基板。 91 : p^+ 第 1 閘極。 92 : 金屬第 1 閘極。 93 : n^- 第 2 閘極。 94 : 金屬第 2 閘極。 95 : p^+ 陽極。 96 : 金屬陽極。 97 : n^- 陰極。 98 : 金屬陰極。 229 : n^+ 緩衝層。 237 : 表面閘極。 241 : n^- 陰極。 281 : p^+ 閘極。 282 : p^+ 補助陰極。 283 : n 阱。 284 : 閘極氧化膜。 285 : n 基極層。 286 : p^+ 短路領域。 287 : 浮動 n^+ 陰極領域。 288 : n^- 陰極領域。 289 : p^+ 基極領域。 291 : n^+ 短路領域。 292 : n^+ 集極領域。 293 : p^+ 陽極層。 314 : 第 1 溝部。 315 : 第 2 溝部。 316 : 第 3 溝部。 317 : 第 4 溝部。 341 : 金屬陰極。 342 : 金屬陽極。 361 362, ..., 365 : 閘極溝部。 376 : 第 2 閘極填埋電極。 377 : 閘極溝內絕緣領域。 422 : GaAs 緩衝層。 444 : InGaAs 通道層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(61)

4 4 5 : A l G a A s 間隔層。4 4 6 : n -

A l G a A s 電子供給層。5 2 1 : S i 可控矽整流器。

5 2 2 : 閘極電容量。5 3 1 : M O S F E T。6 6 6 :

單元晶胞。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要 (發明之名稱：

半導體裝置及其製造方法)

一種導通電阻小之導體裝置及其製造方法，該裝置以填埋於溝部內部之閘極控制通過形成於設在半導體表面之溝部與溝部之間之通道領域之主電流，由閘極直接控制之主電流之方向平行於半導體表面，而主電流從半導體表面分佈於垂直方向。因此，不受半導體表面之面積之限制，可自由的增大通道寬度 W 。

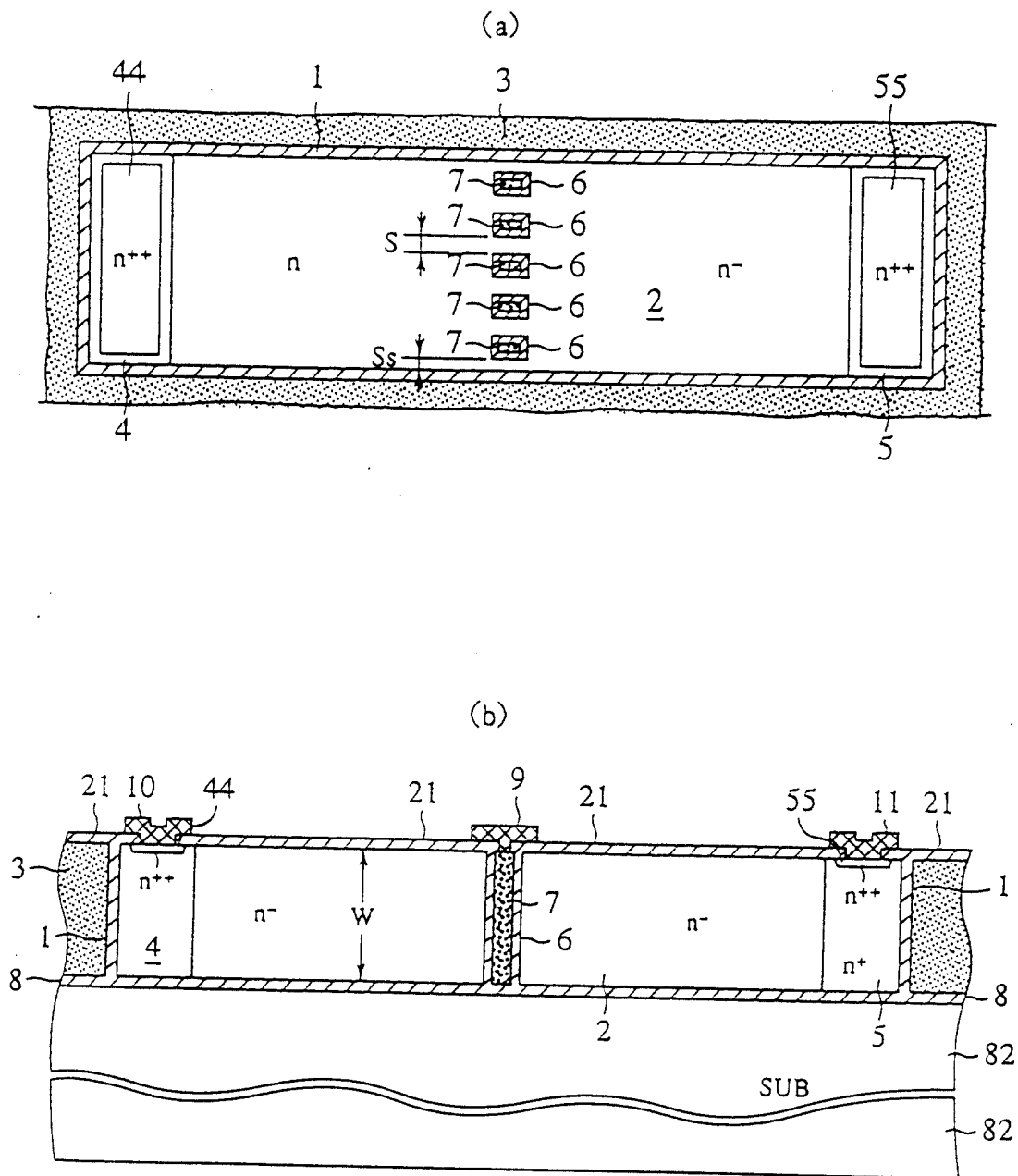
英文發明摘要 (發明之名稱：

)

(請先閱讀背面之注意事項再填寫本頁各欄)

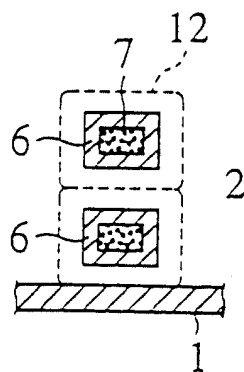
裝

訂

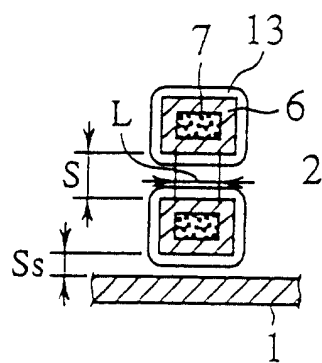


第 1 圖

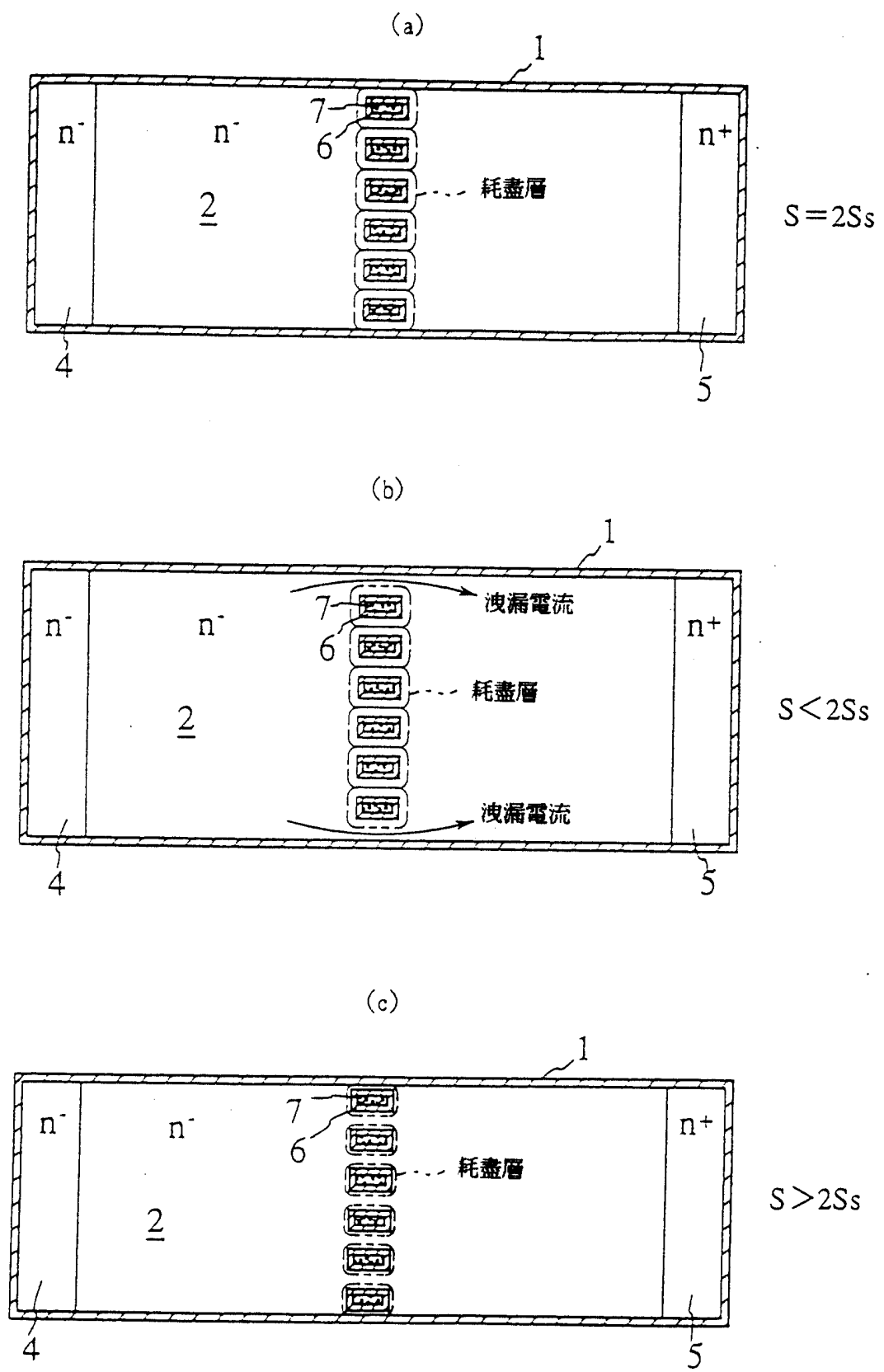
(a)



(b)

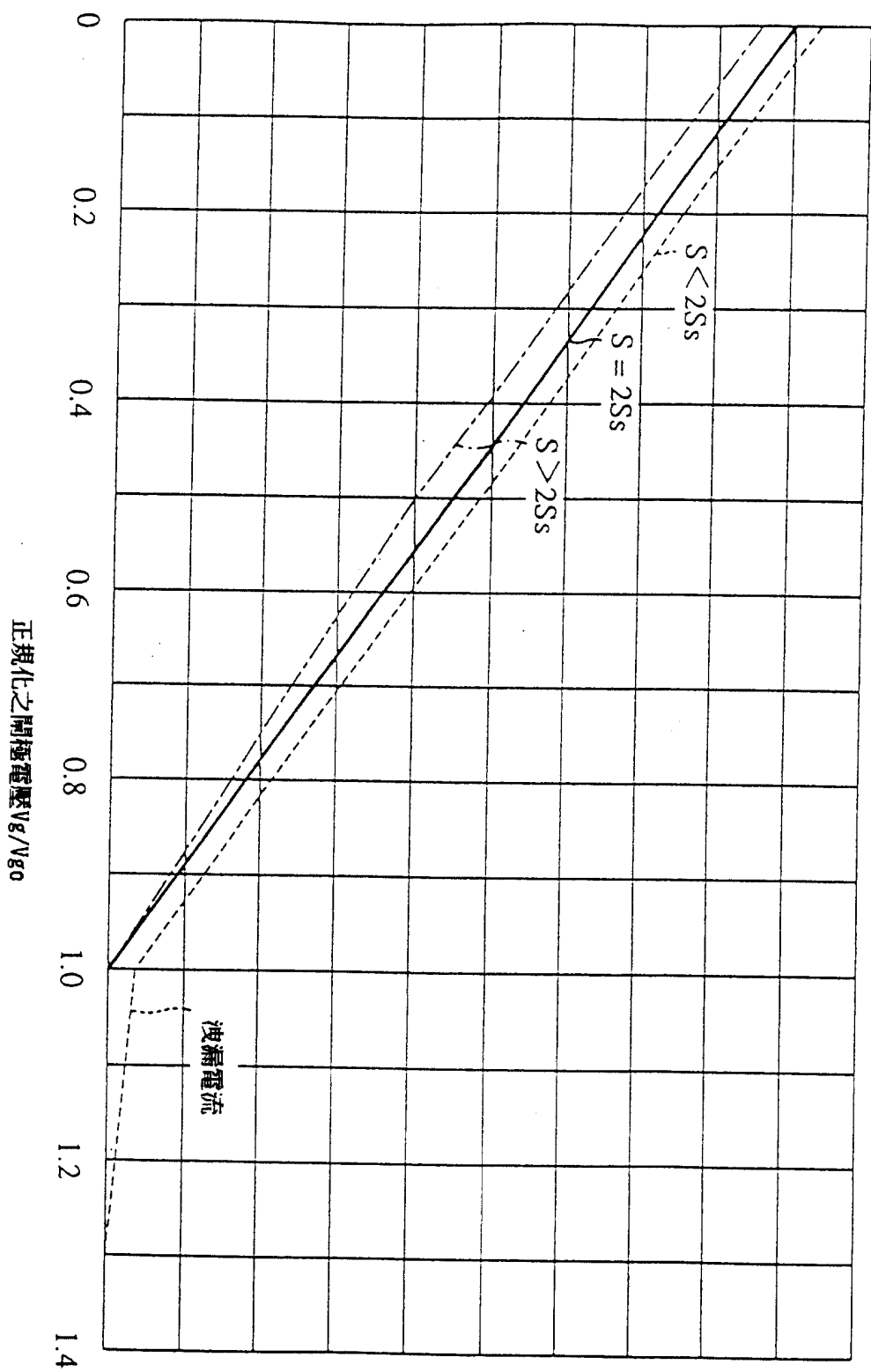


第 2 圖



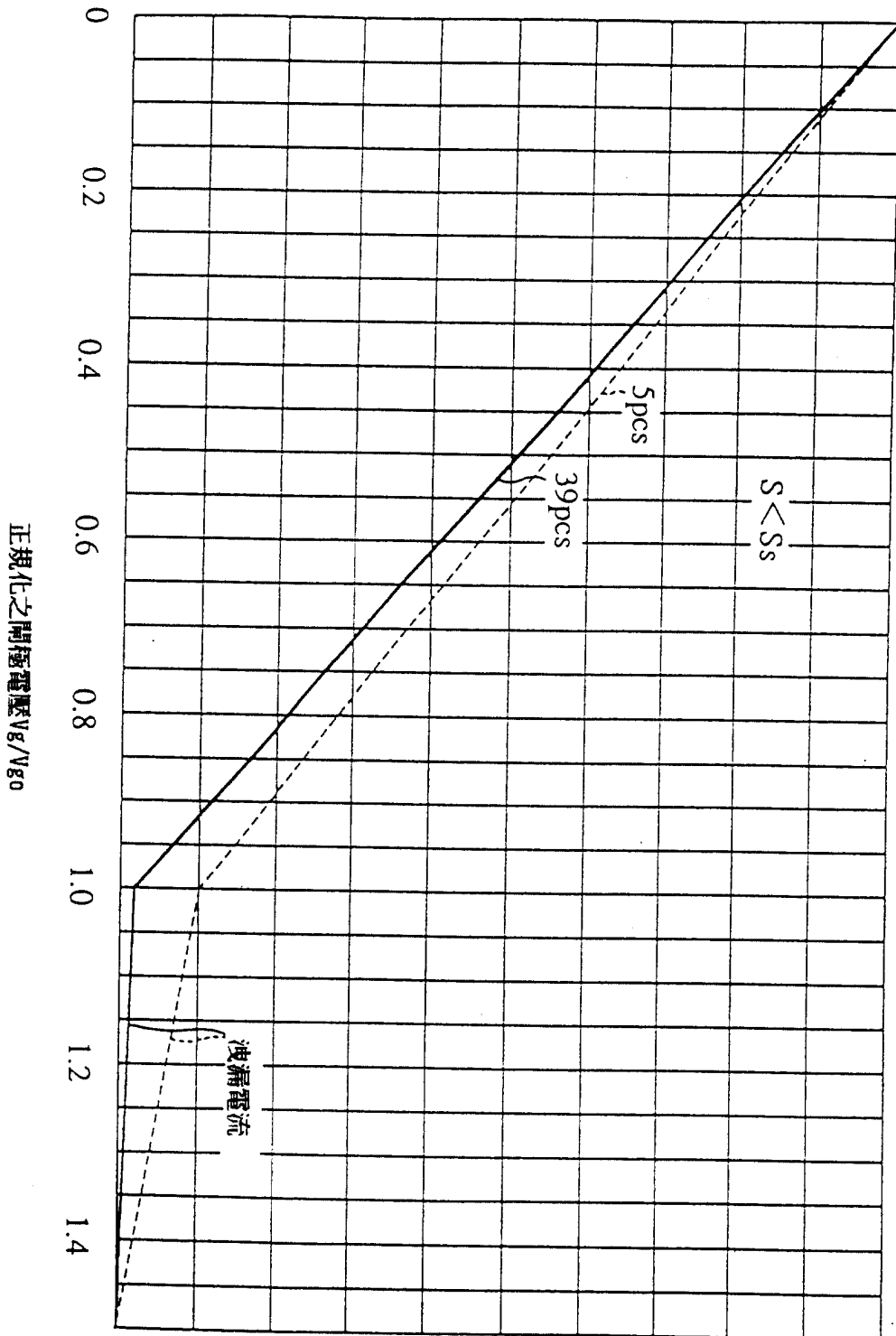
第 3 圖

吸極電流 I_D (任意刻度)



第 4 圖

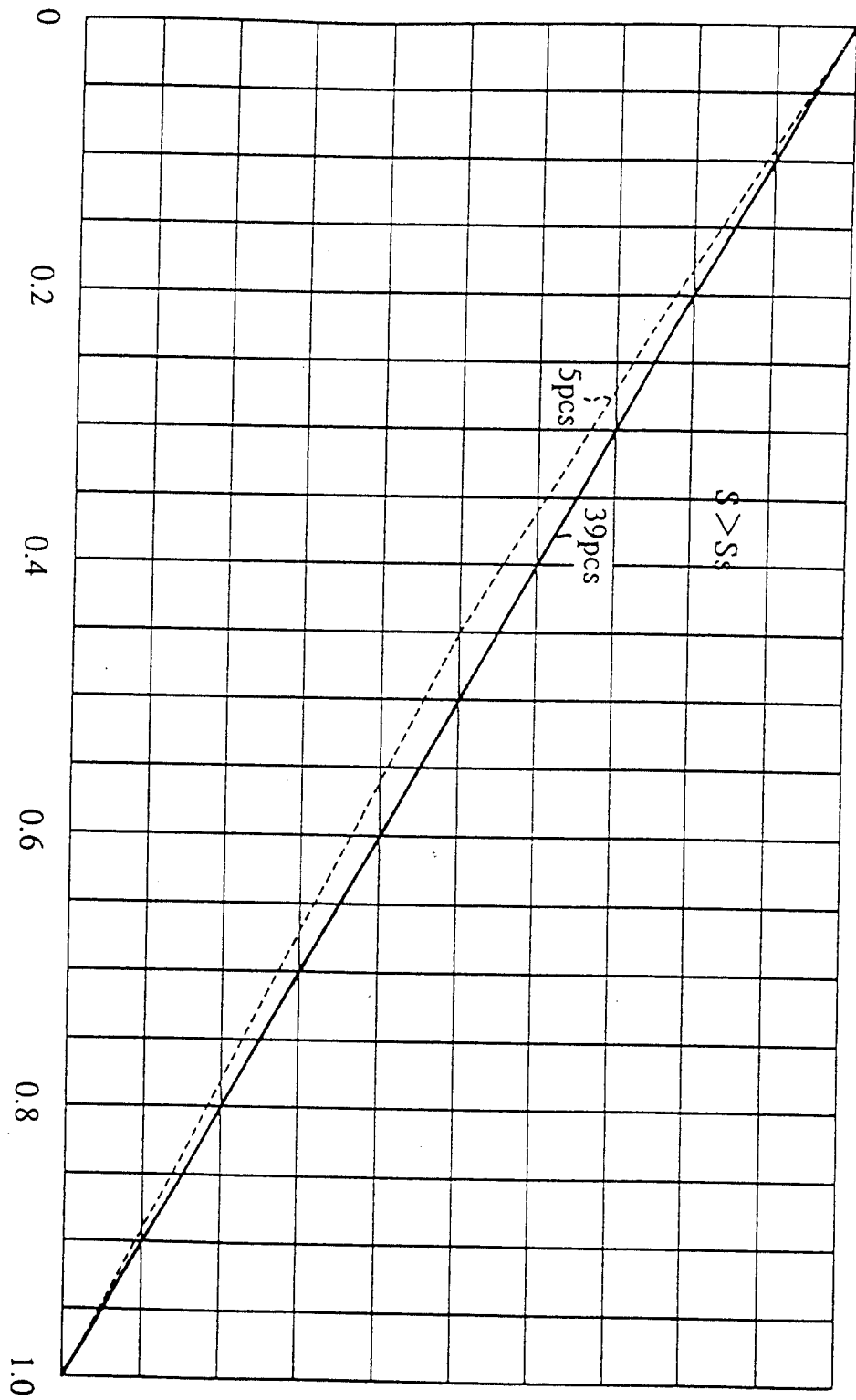
吸極電流 I_D (任意刻度)



正規化之閘極電壓 V_g/V_{g0}

第5圖

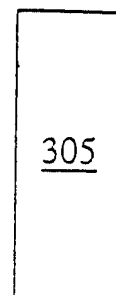
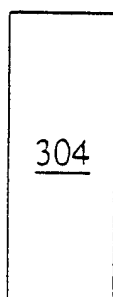
吸極電流 I_D (任意刻度)



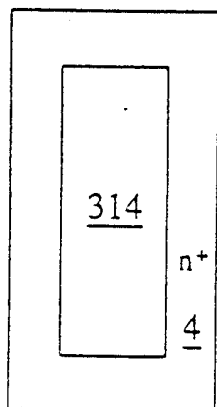
第 6 圖

正規化之閘極電壓 V_g/V_{go}

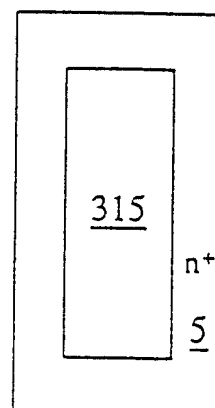
(a)



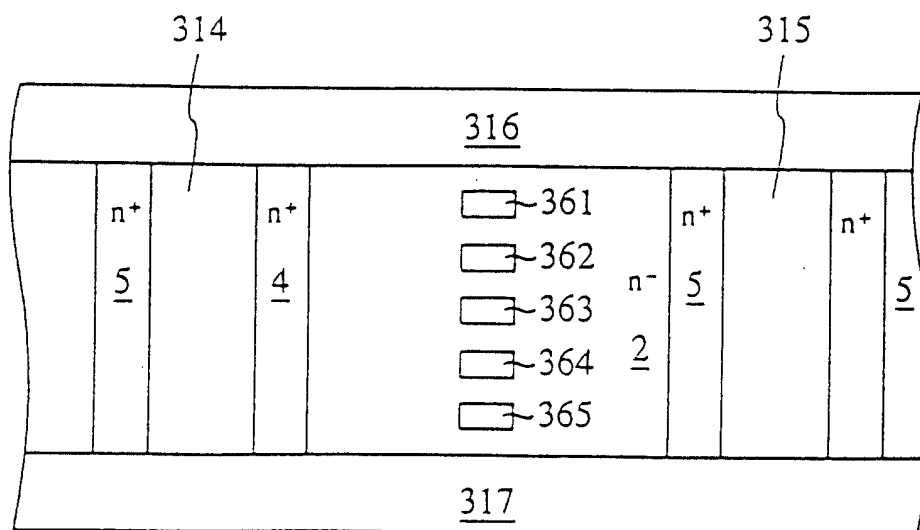
(b)



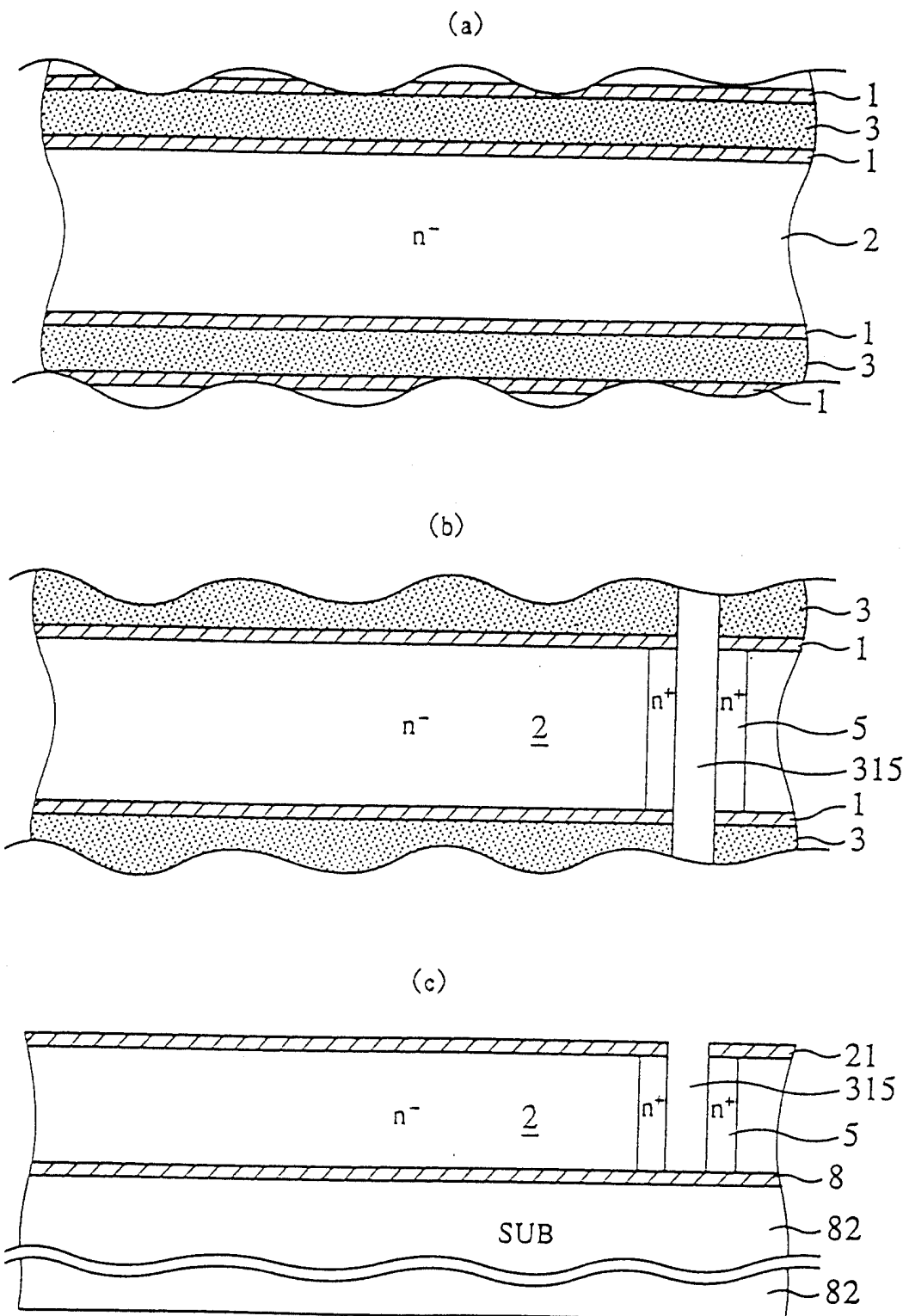
n^-
2



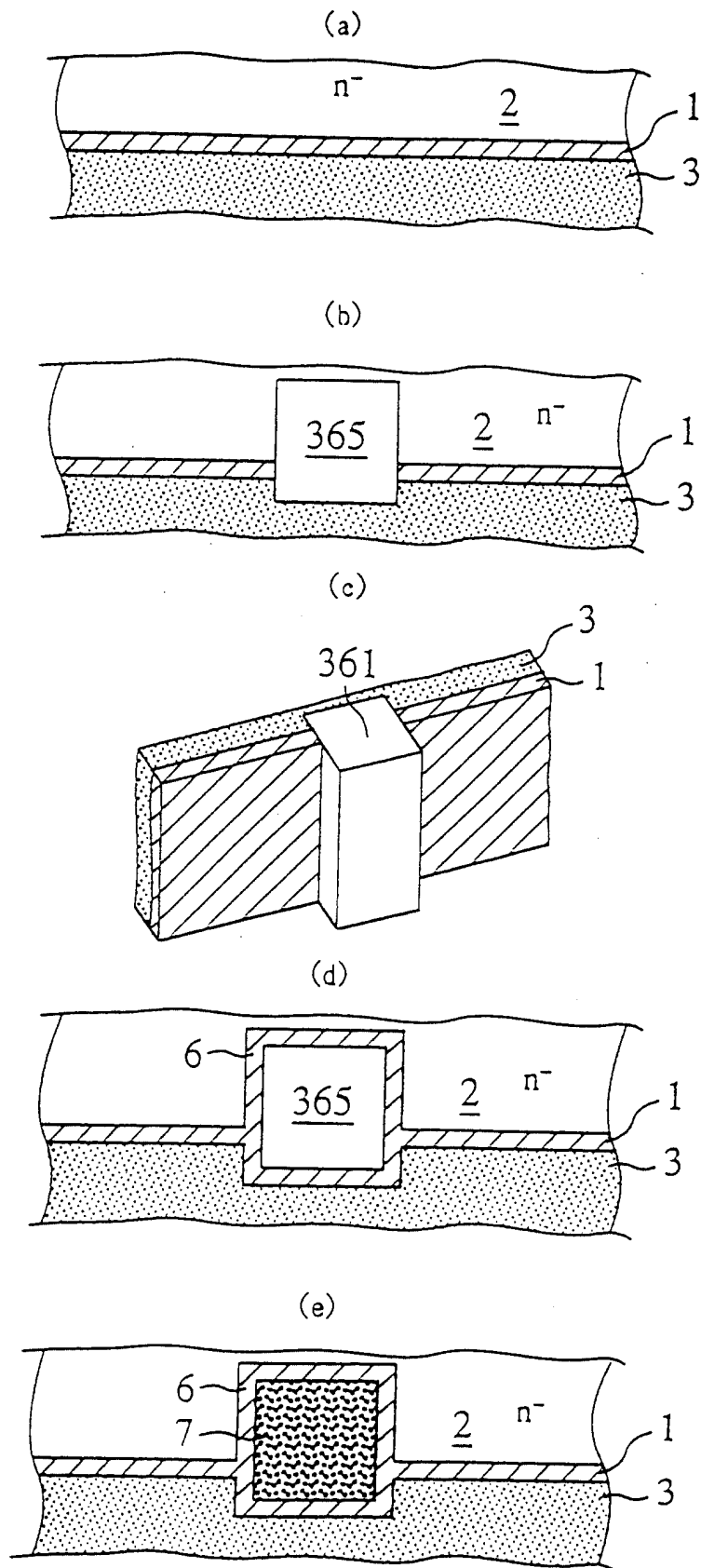
(c)



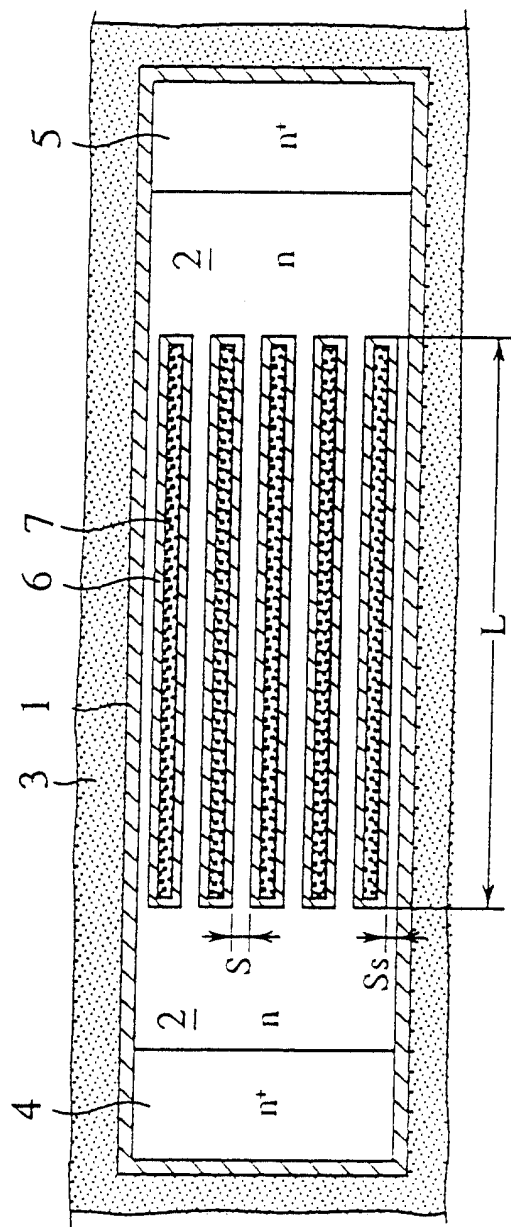
第 7 圖



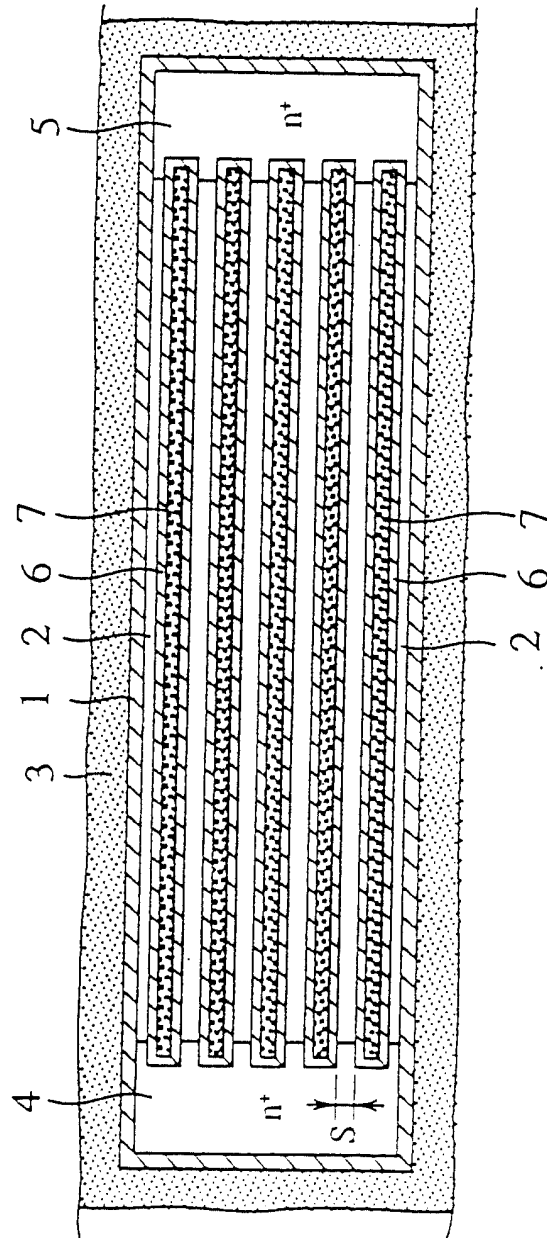
第 8 圖



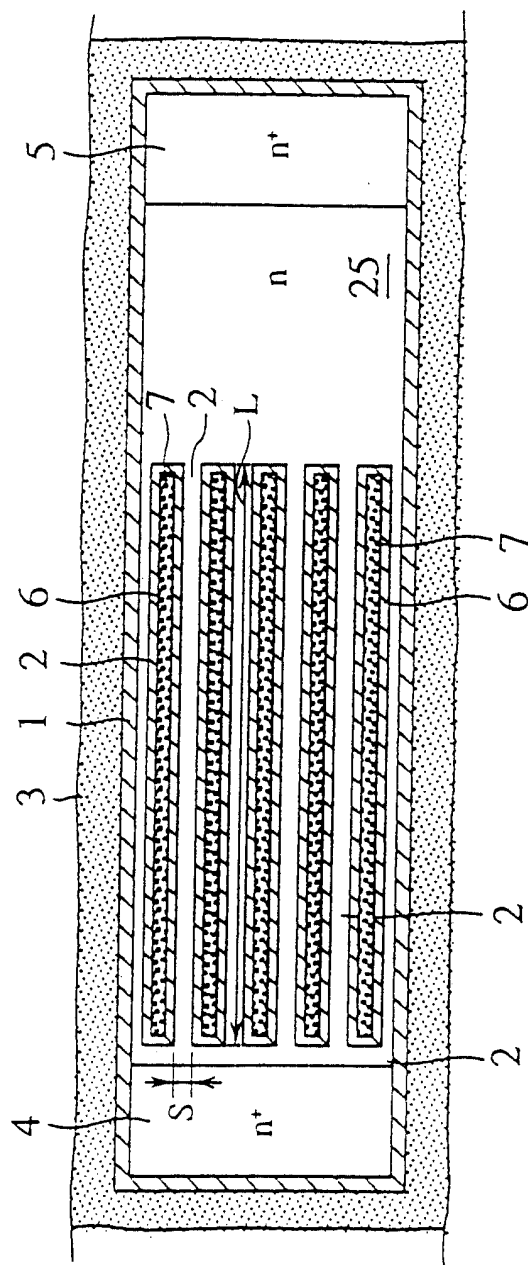
第 9 圖



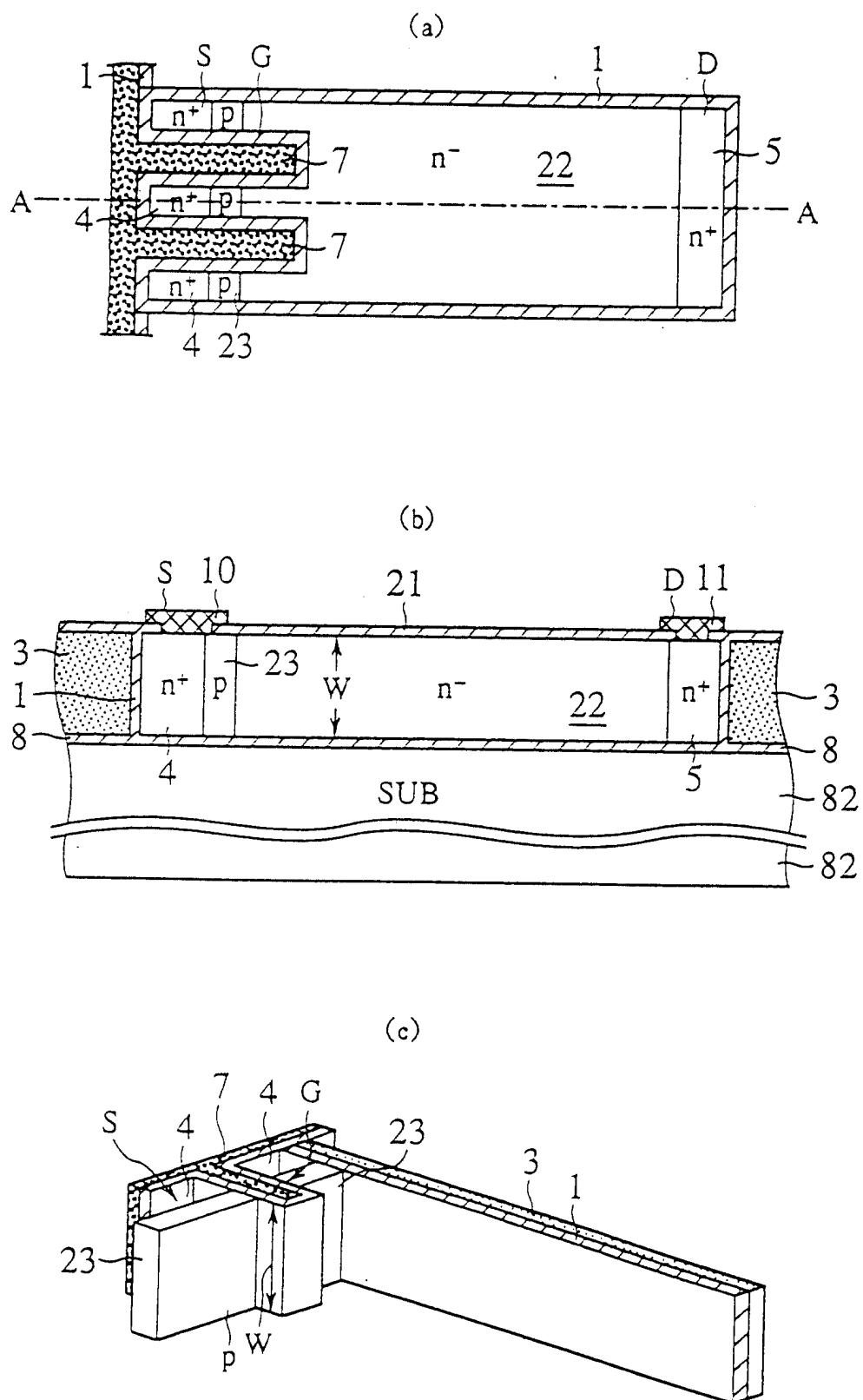
第10圖



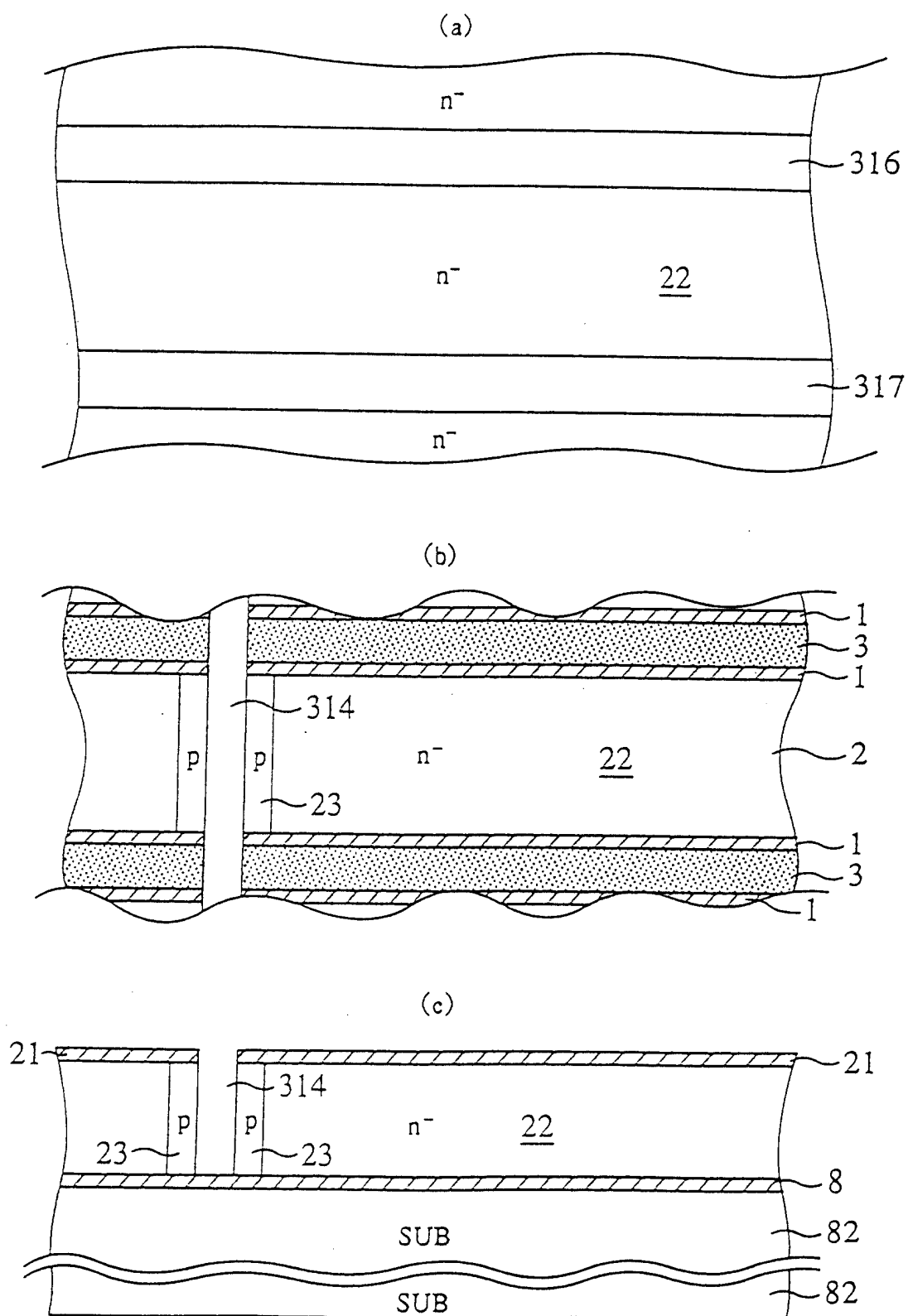
第11圖



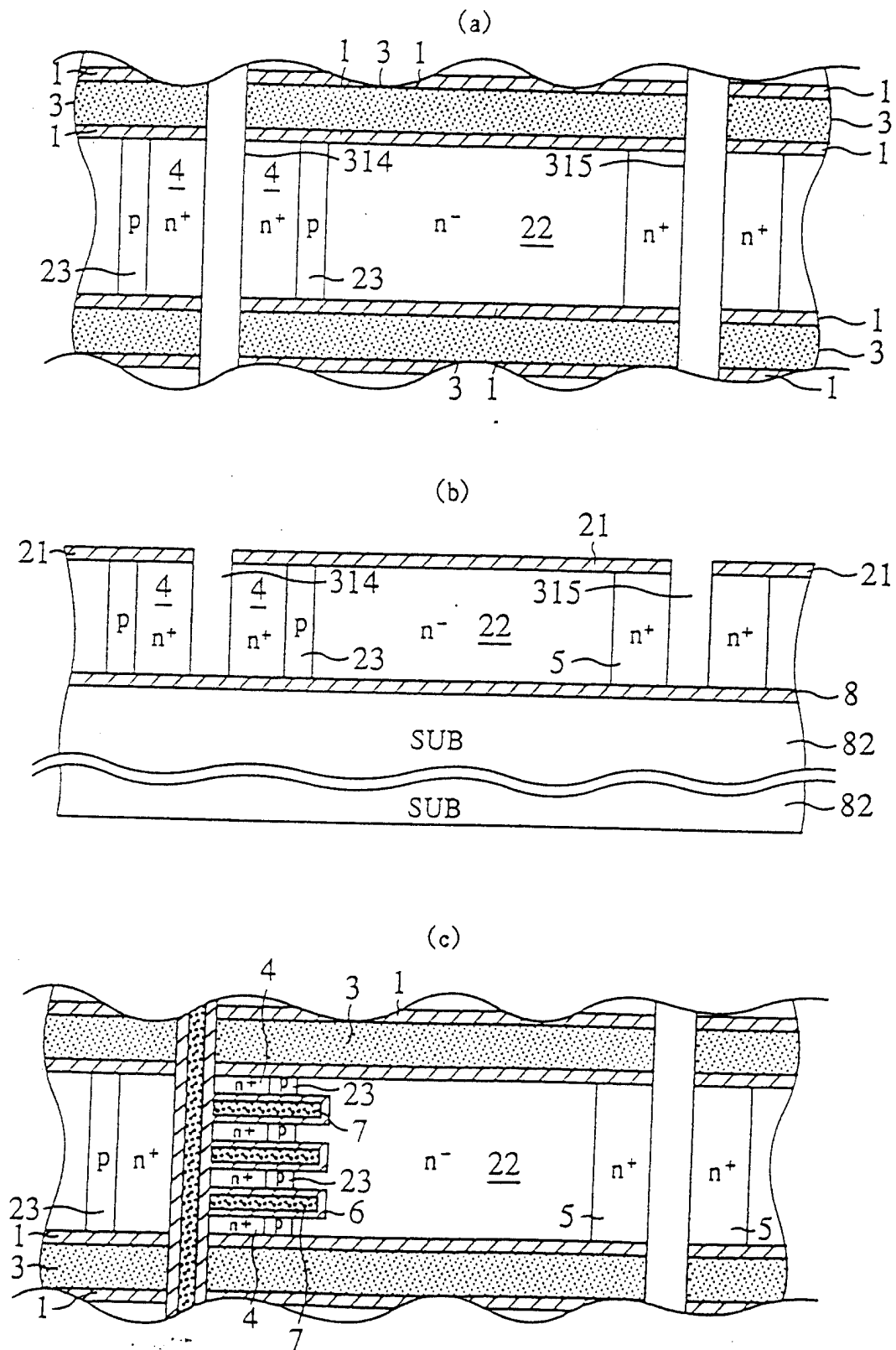
第12圖



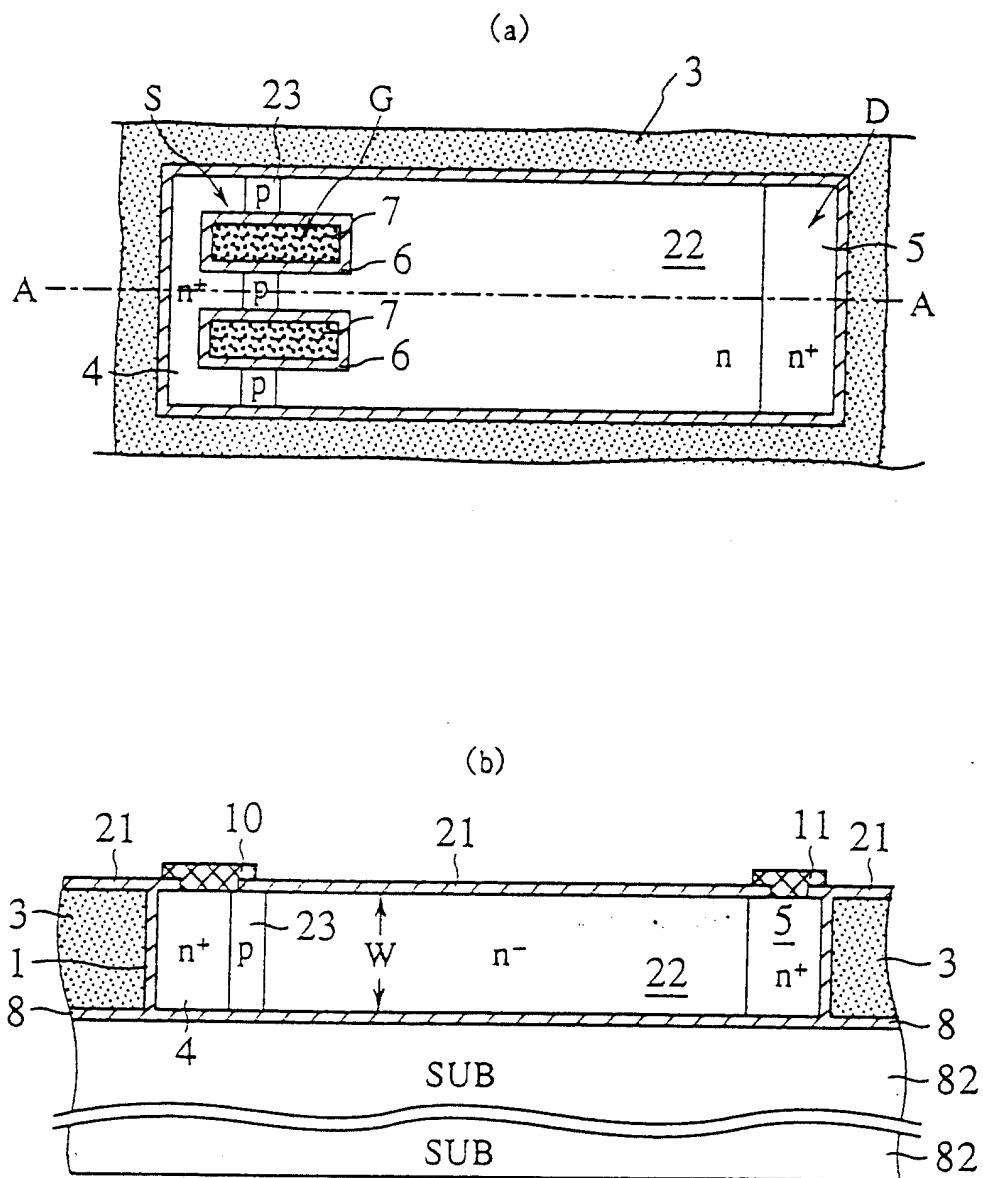
第14圖



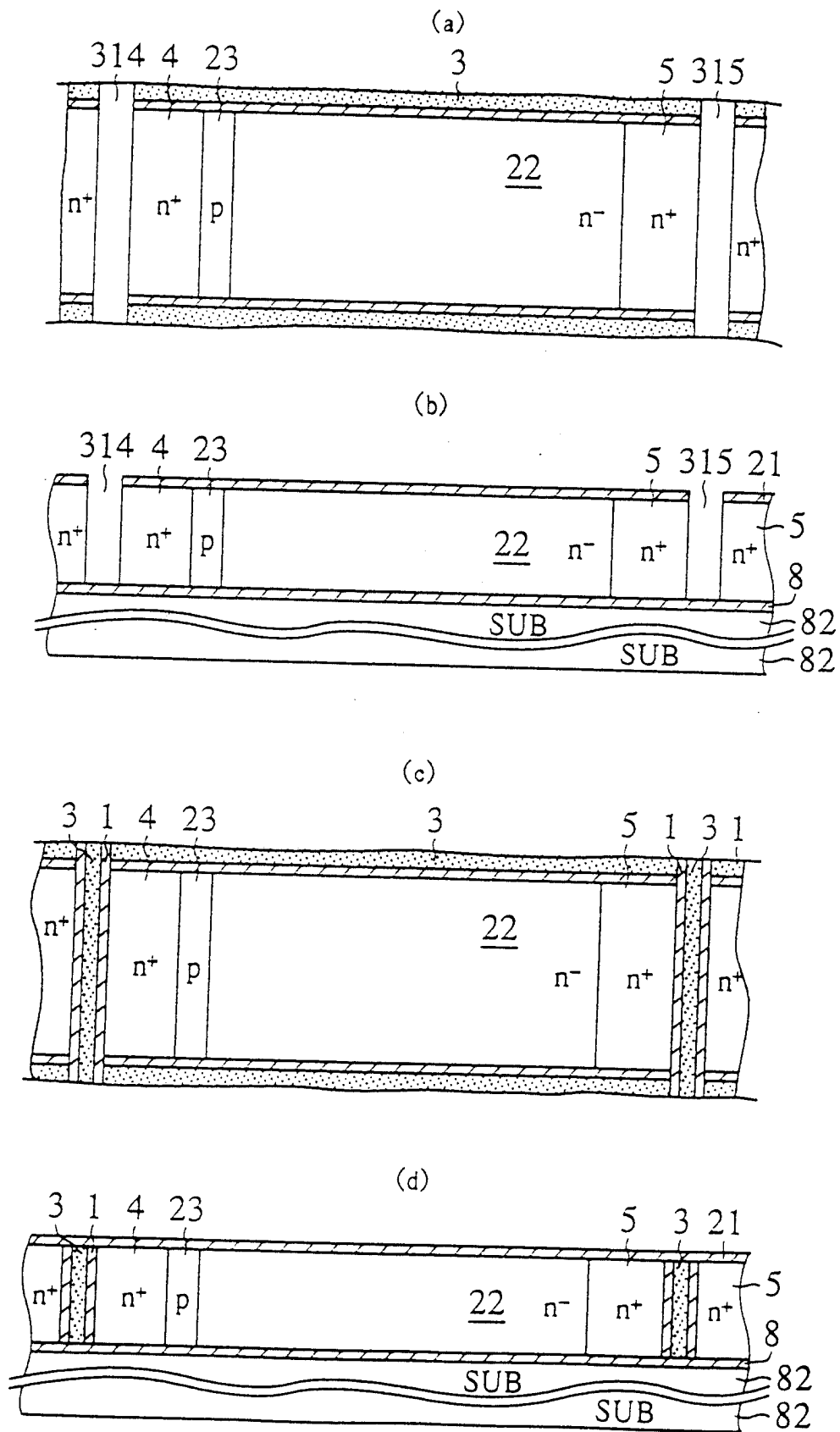
第15圖



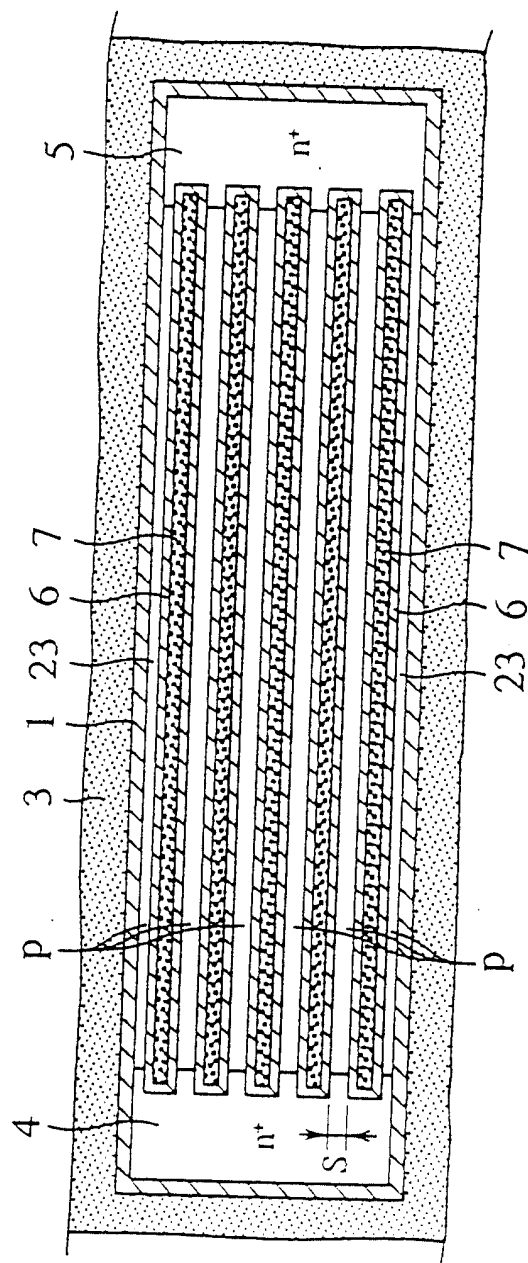
第16圖



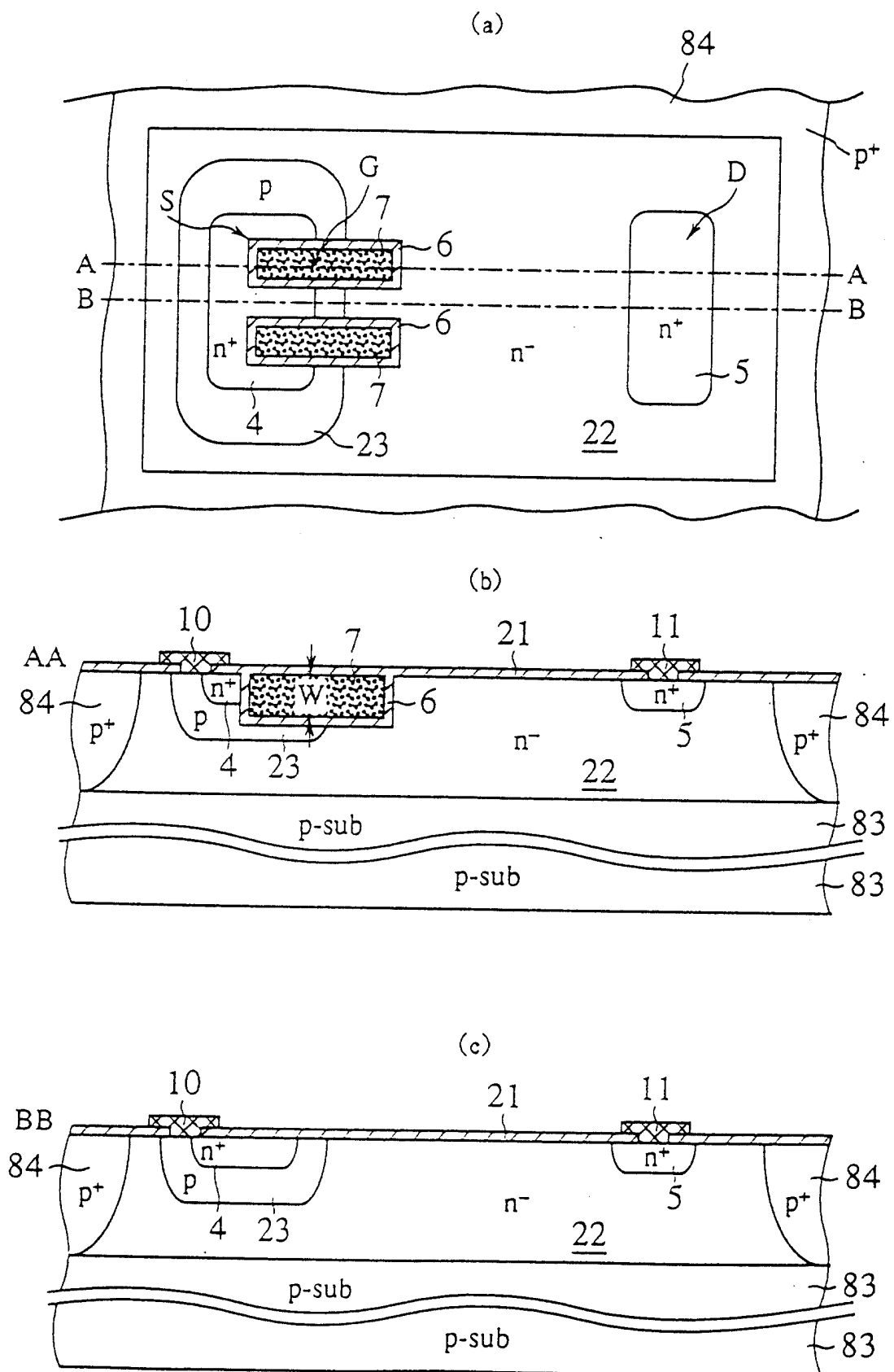
第17圖



第18圖

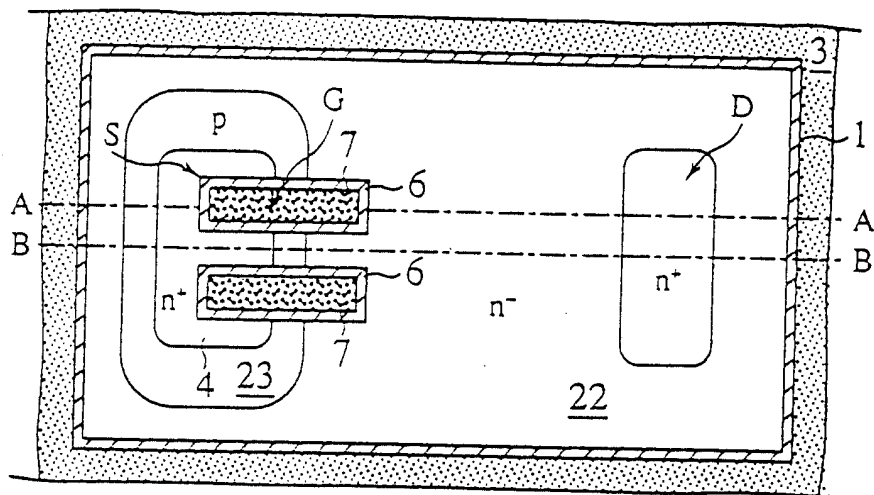


第 19 圖

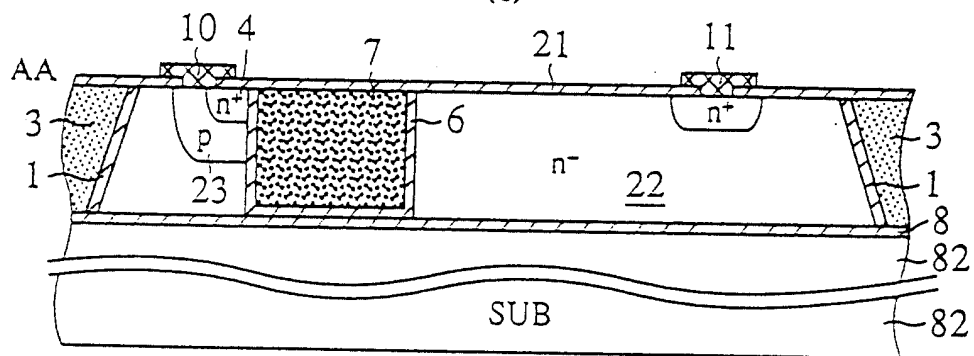


第20圖

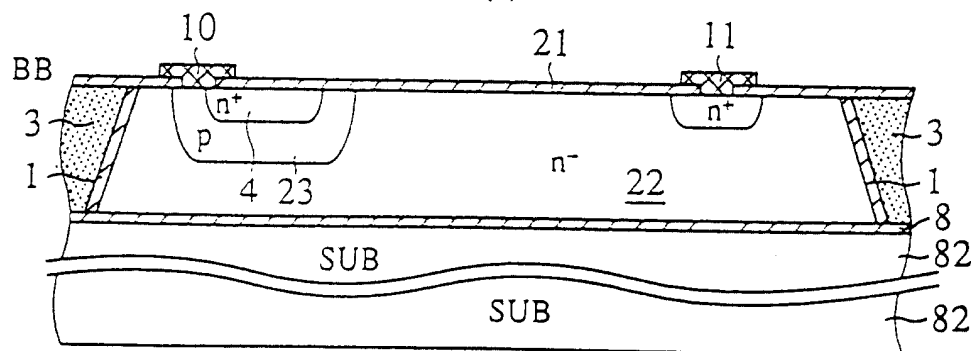
(a)



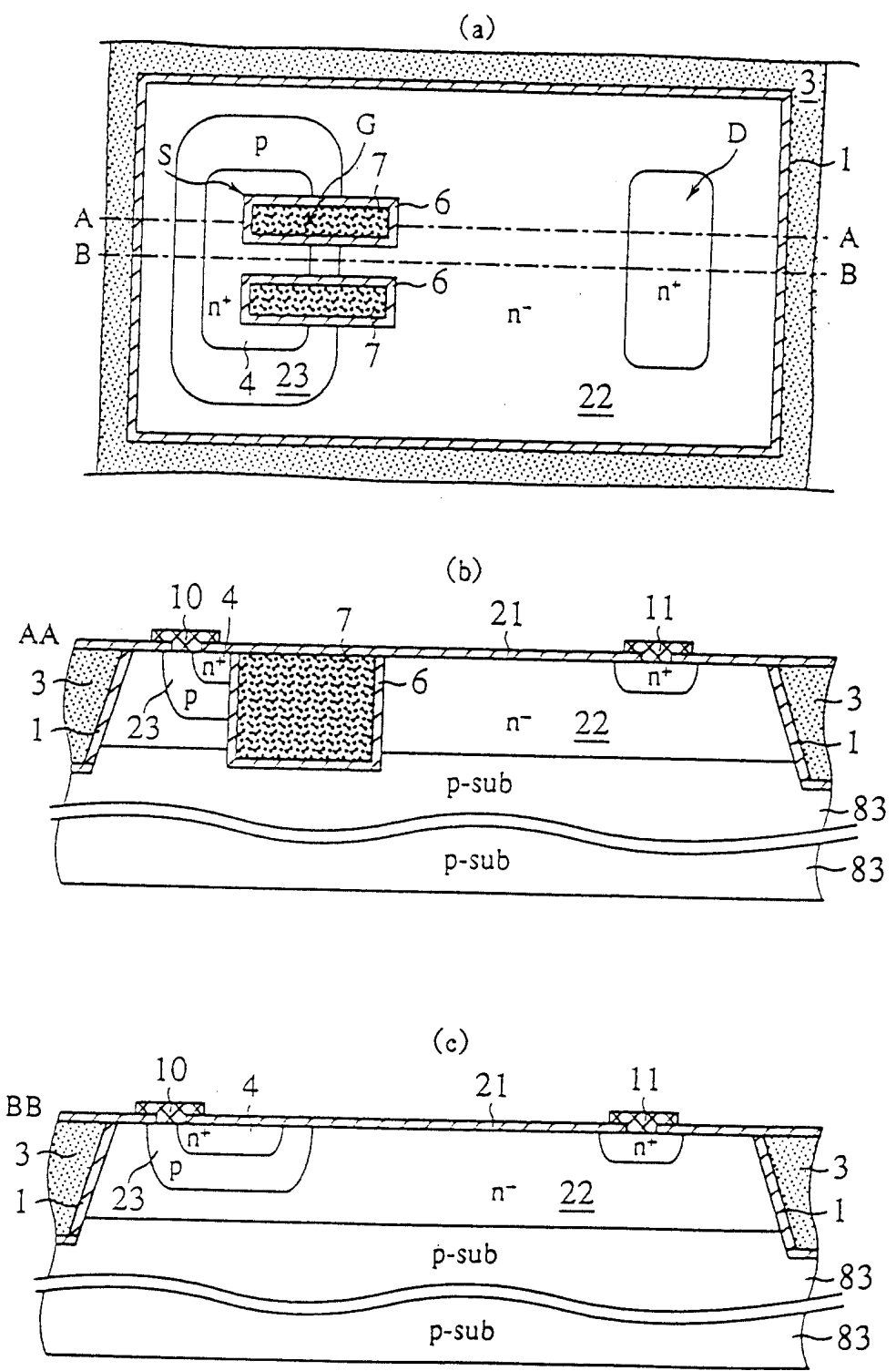
(b)



(c)

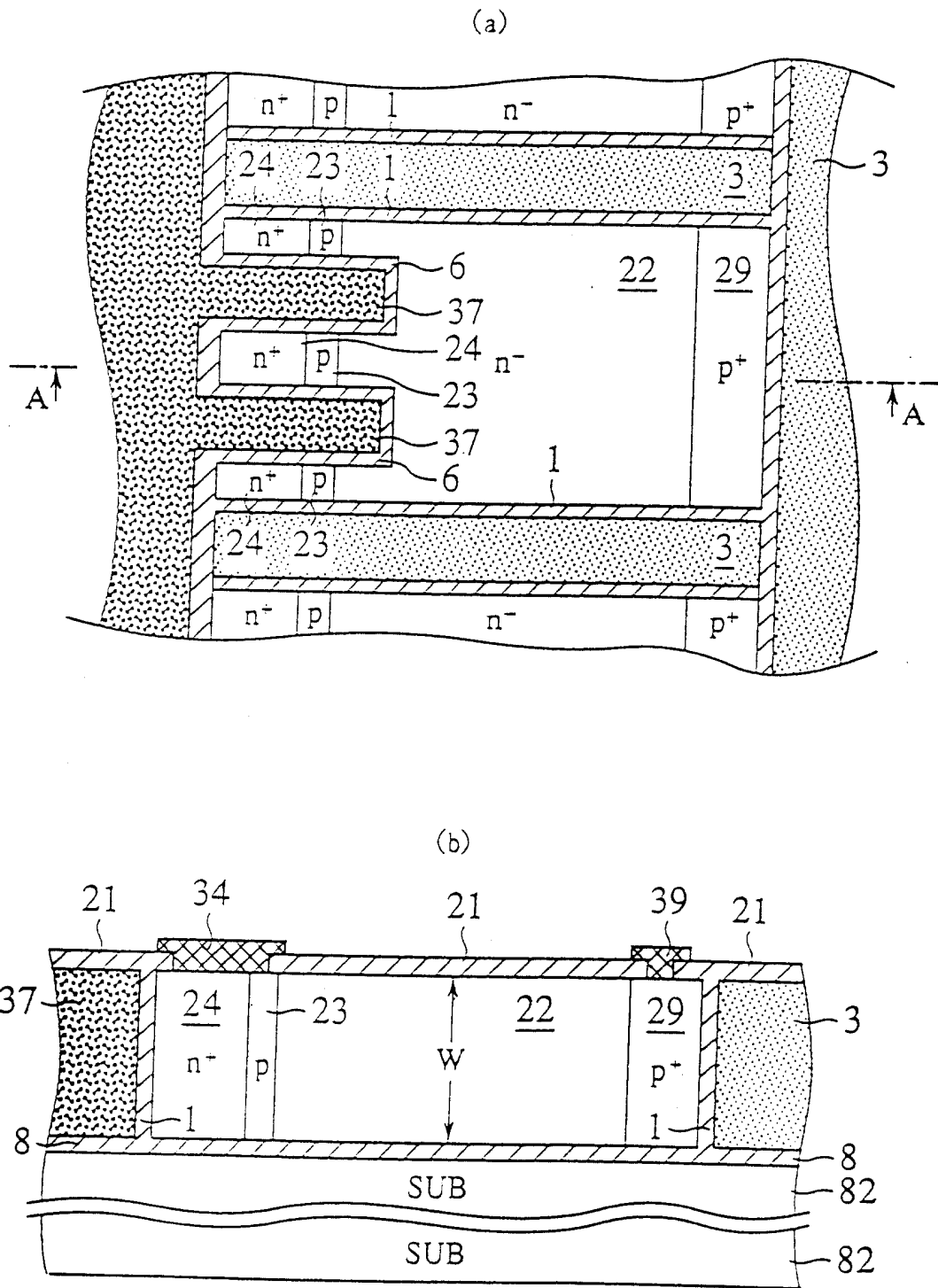


第 22 圖

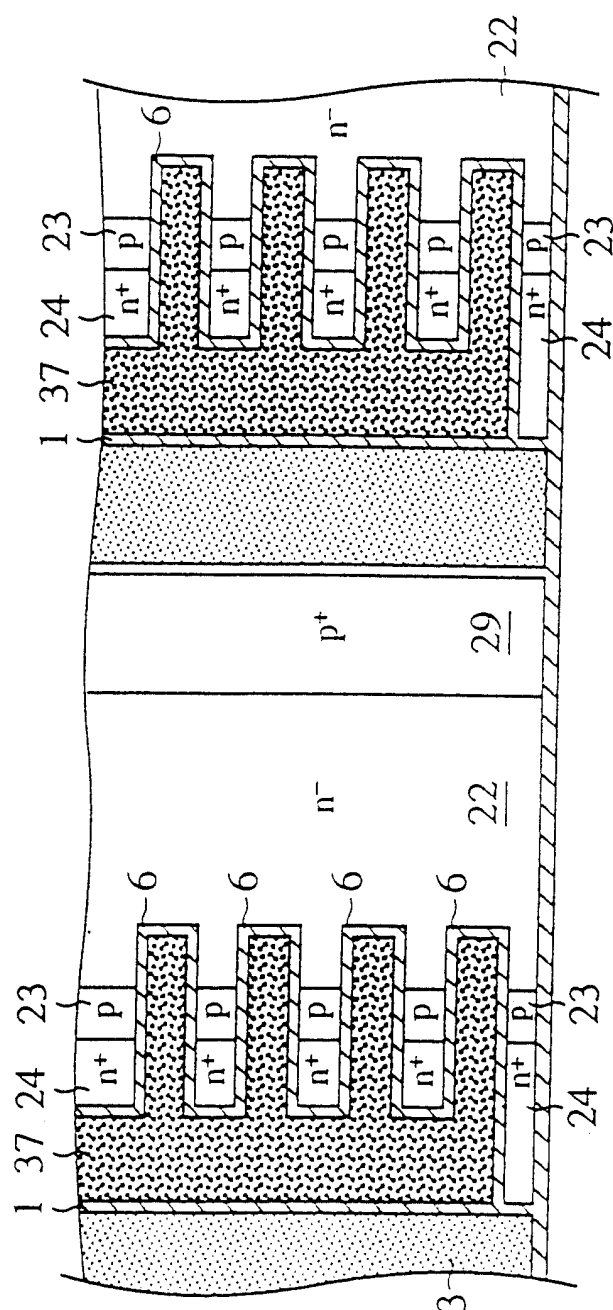


第23圖

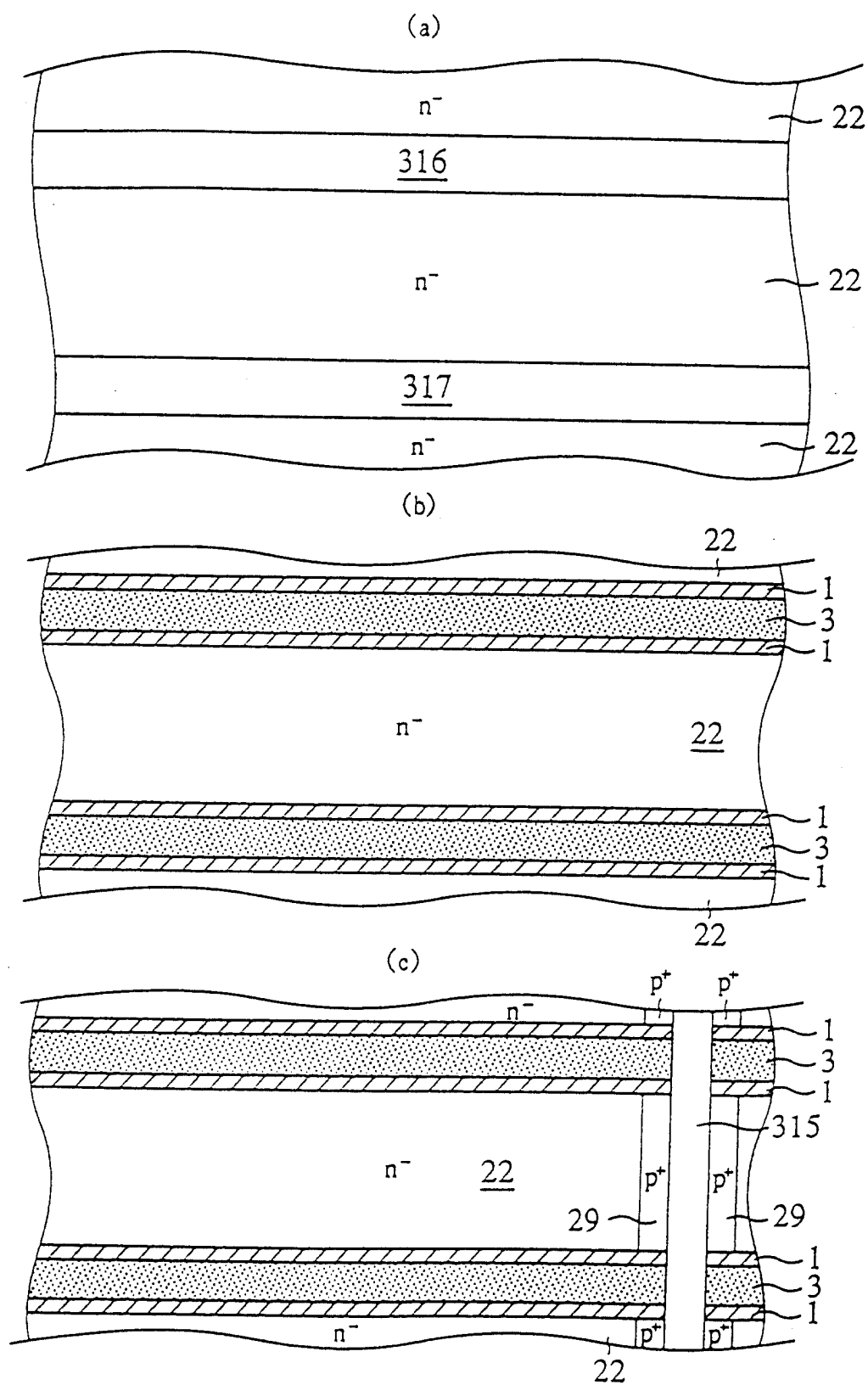
306056



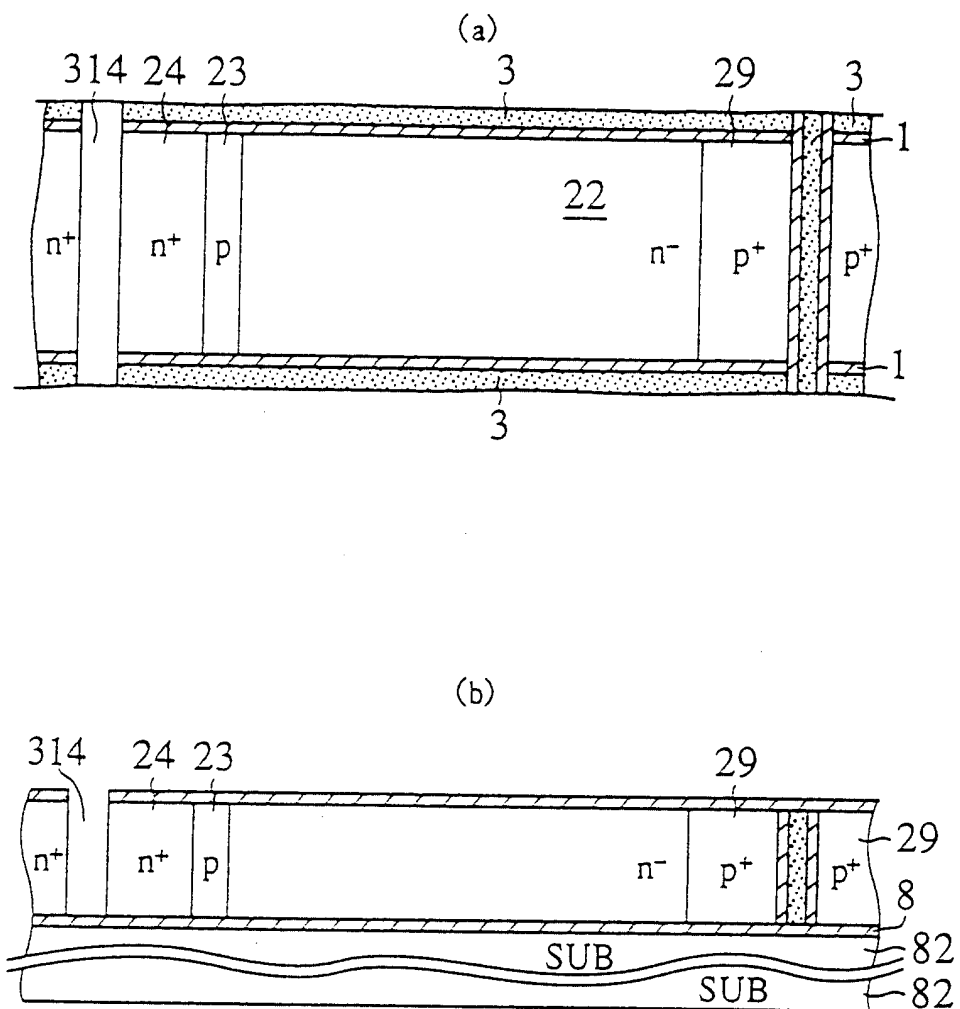
第24圖



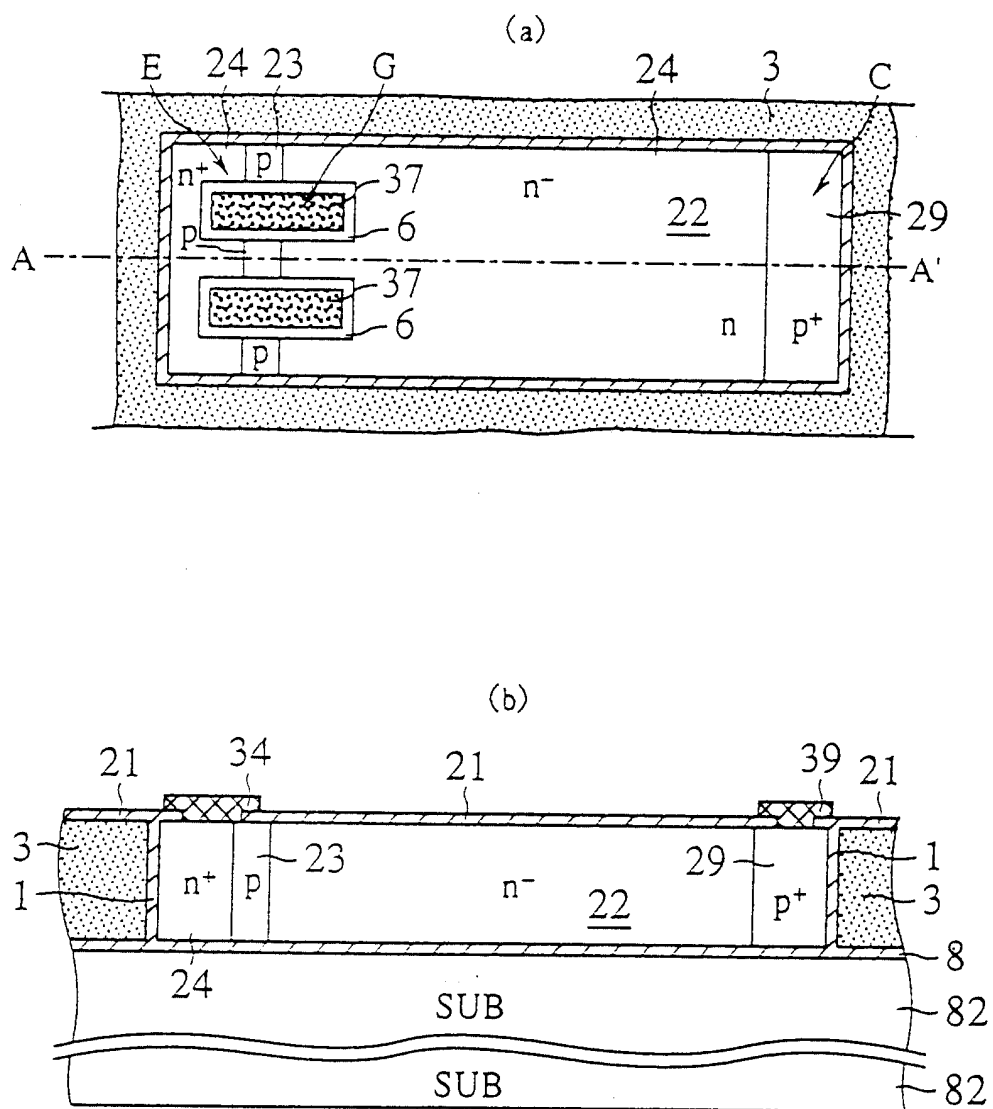
第25圖



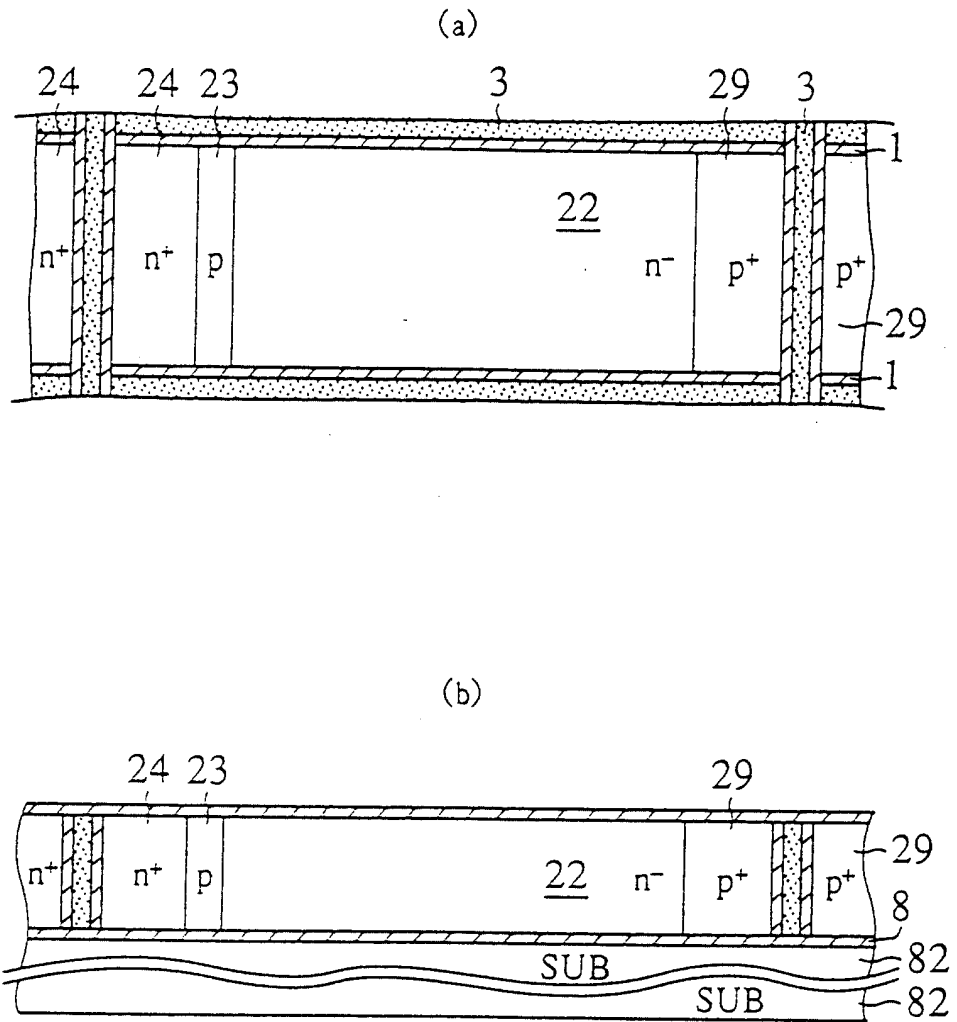
第 26 圖



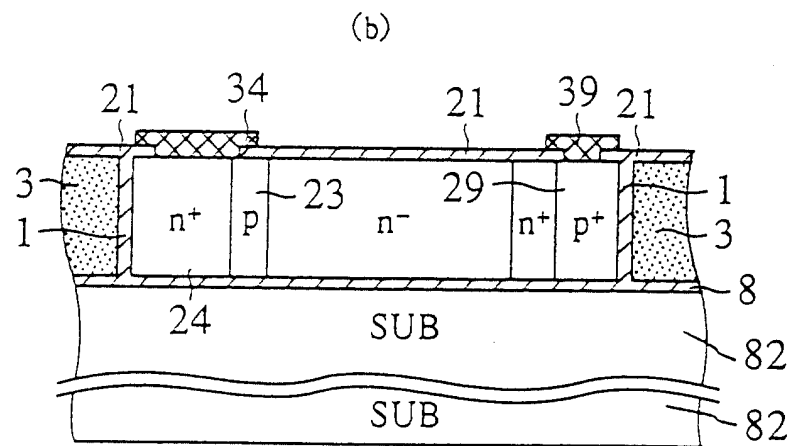
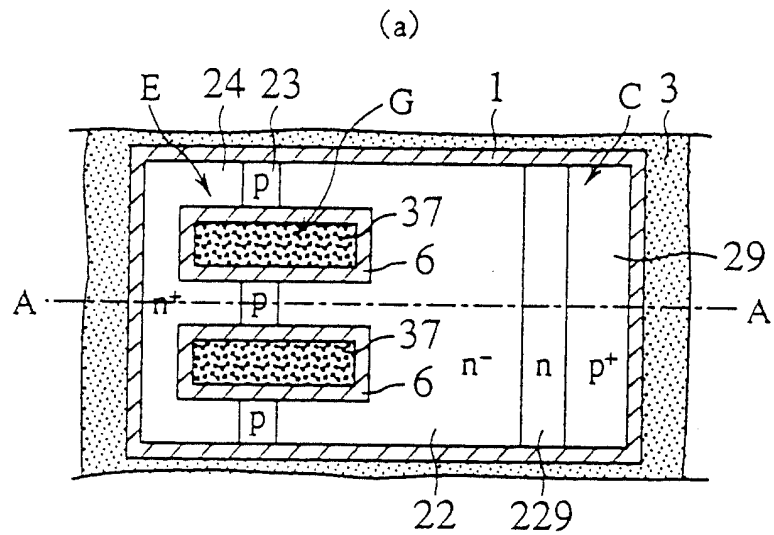
第27圖



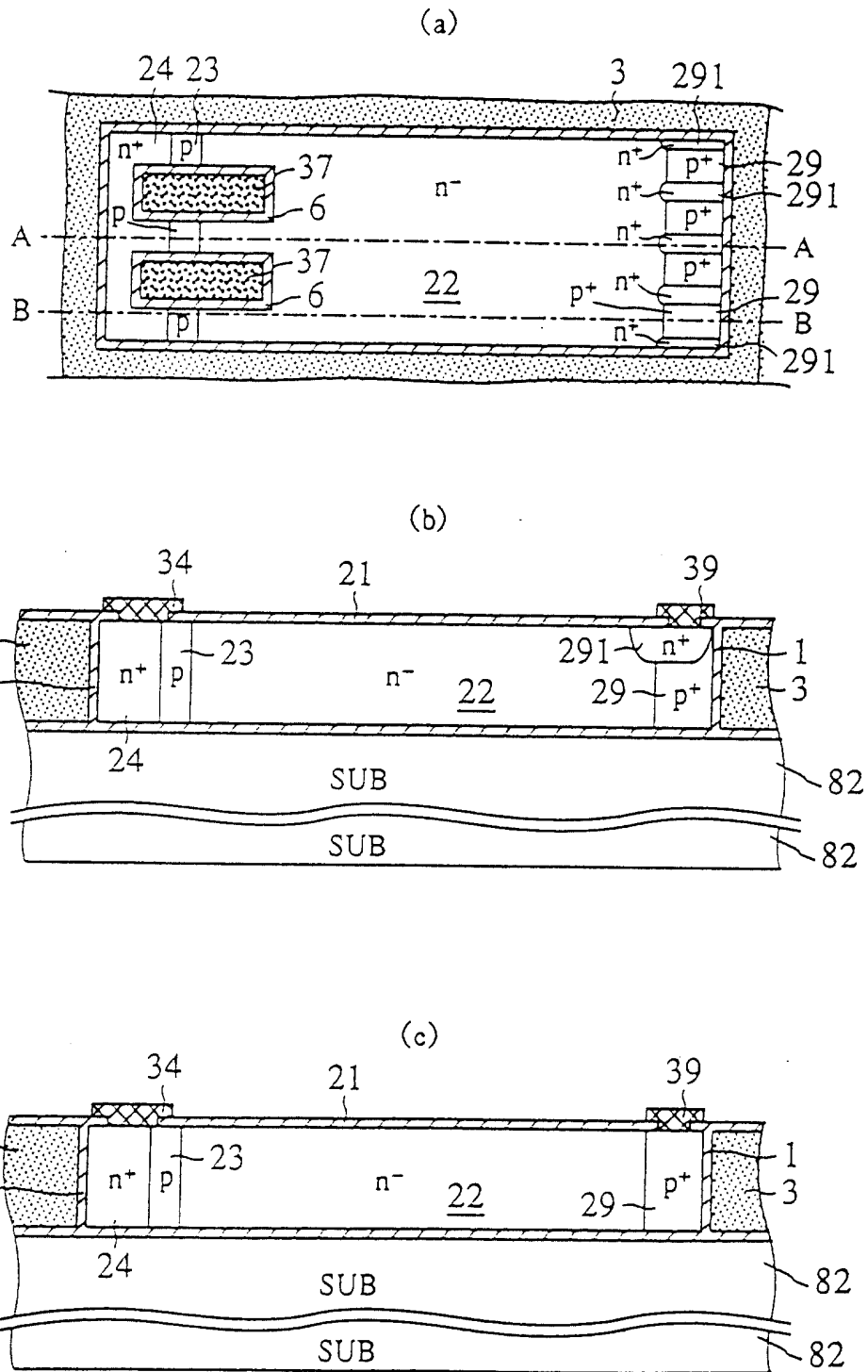
第 28 圖



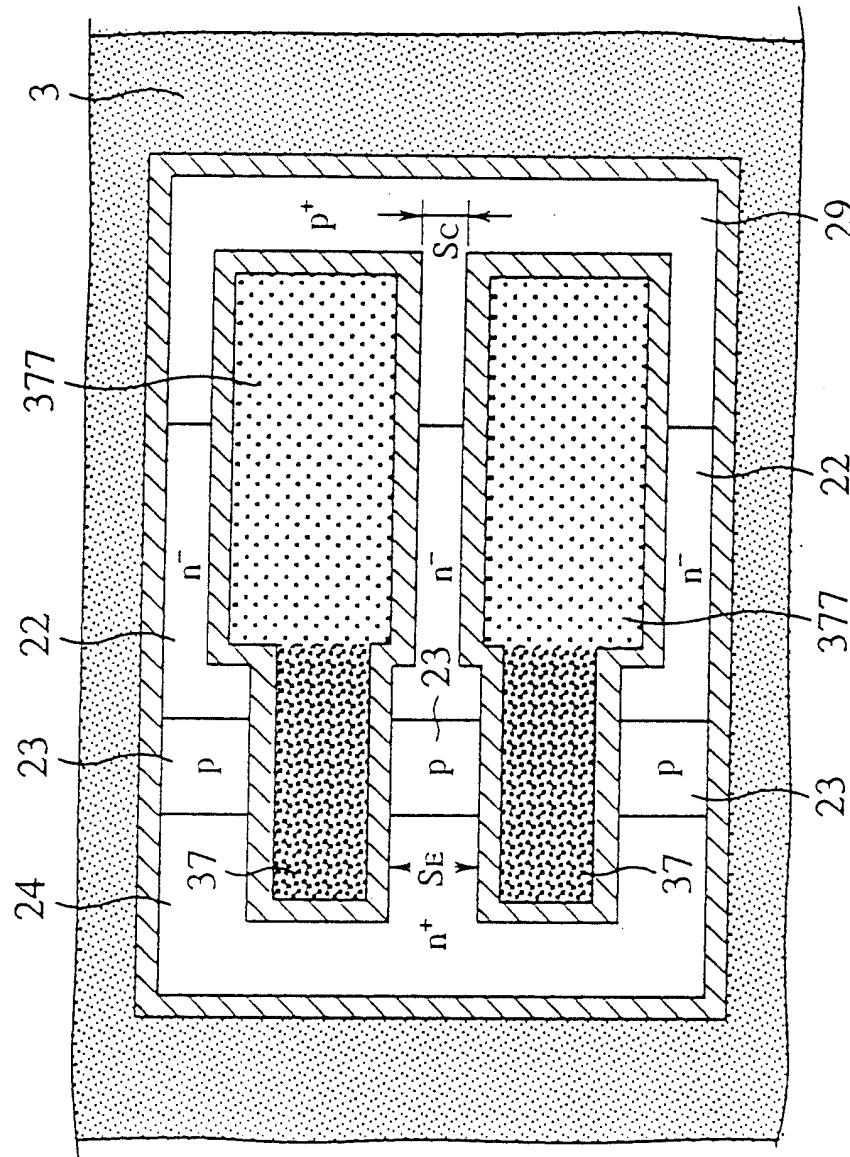
第 29 圖



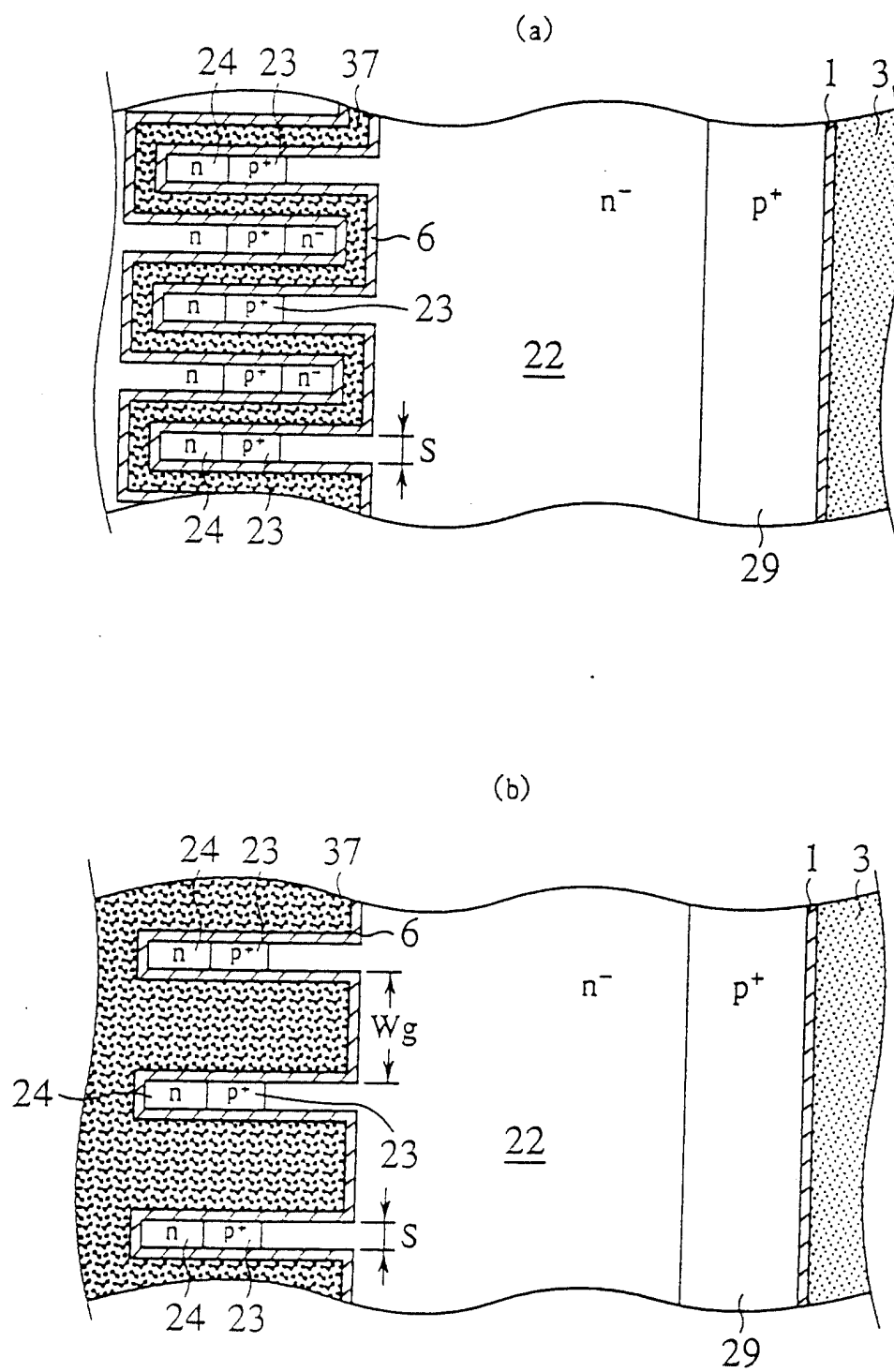
第30圖



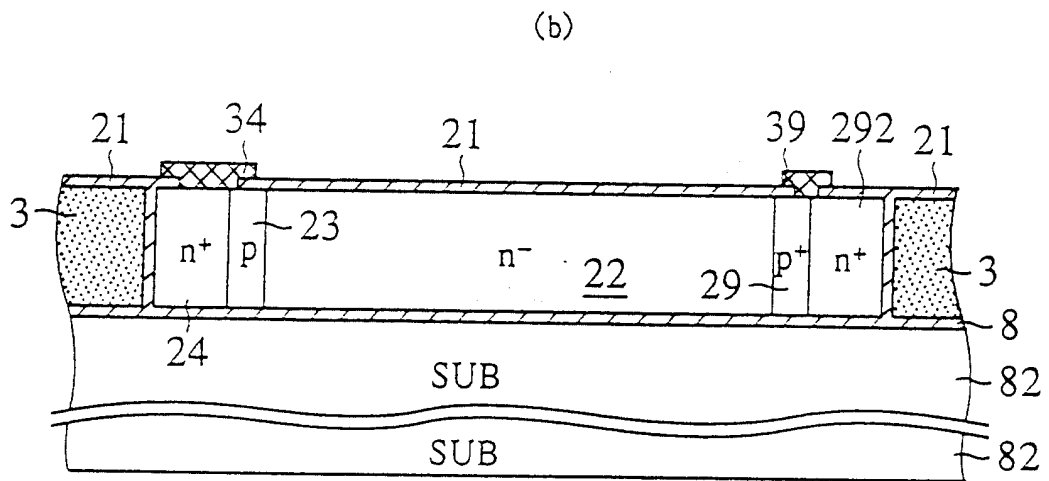
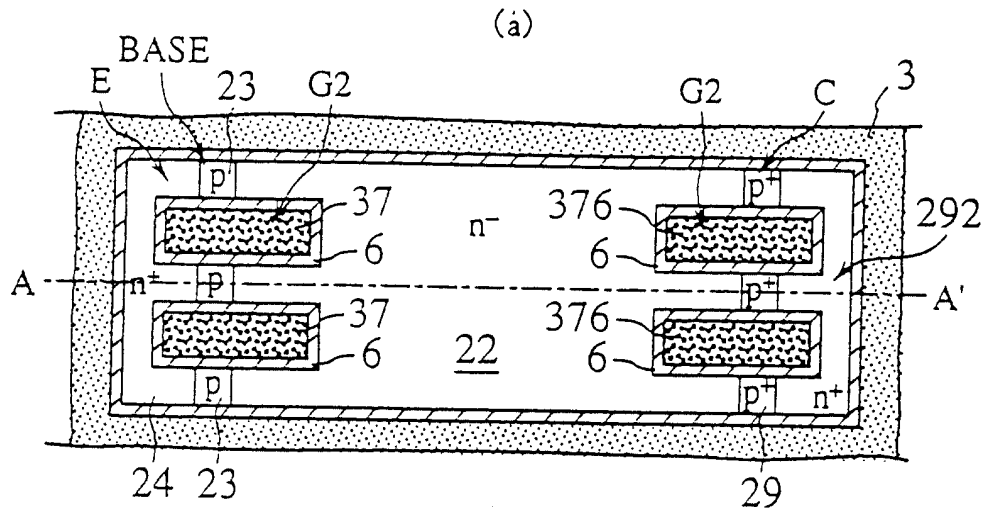
第31圖



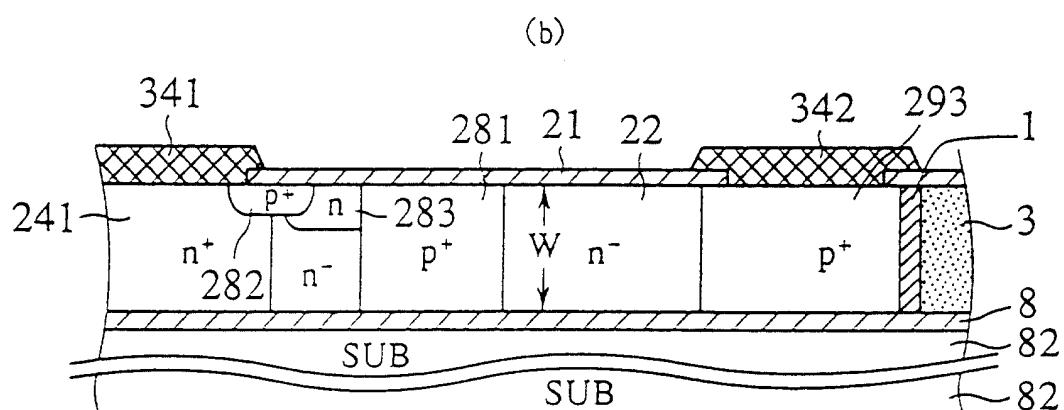
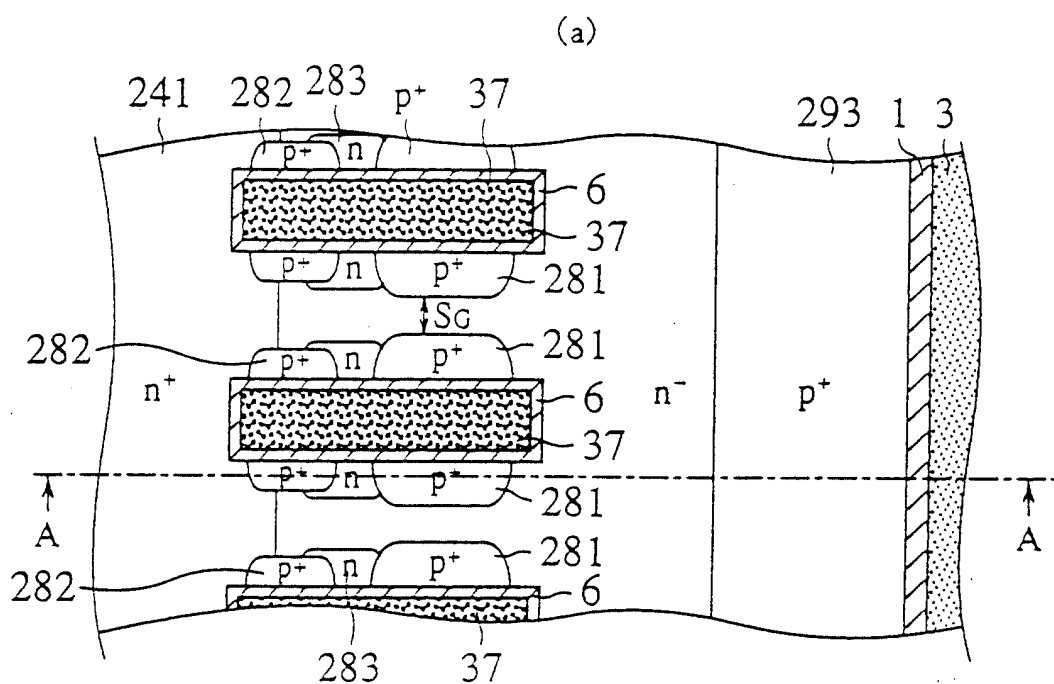
第33圖



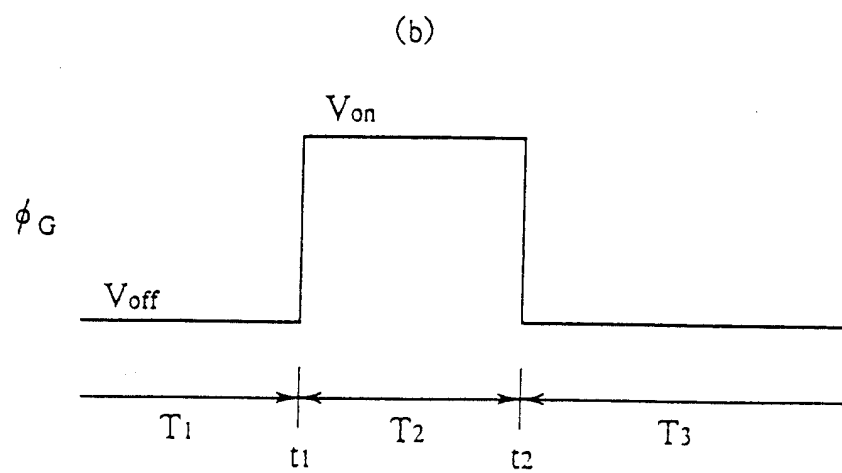
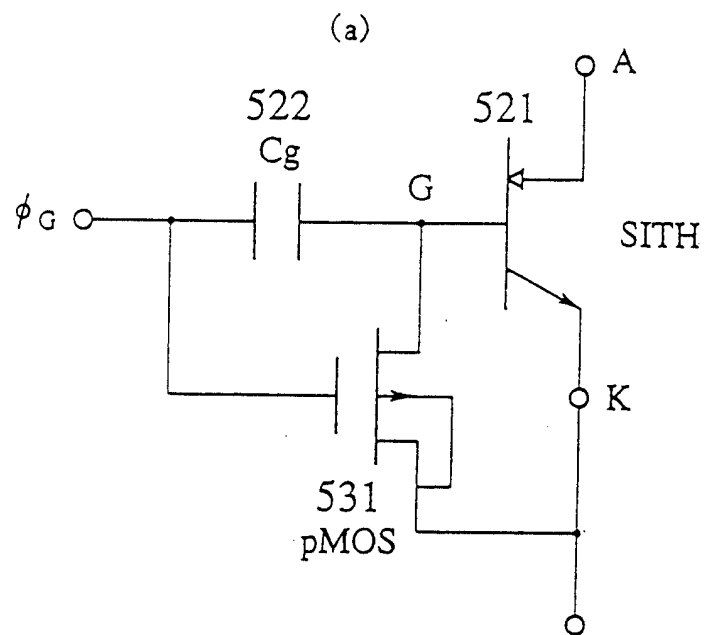
第 34 圖



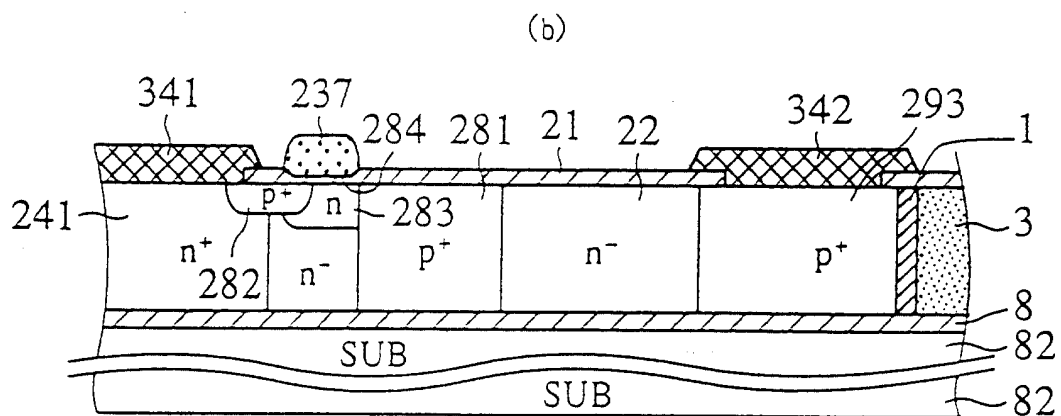
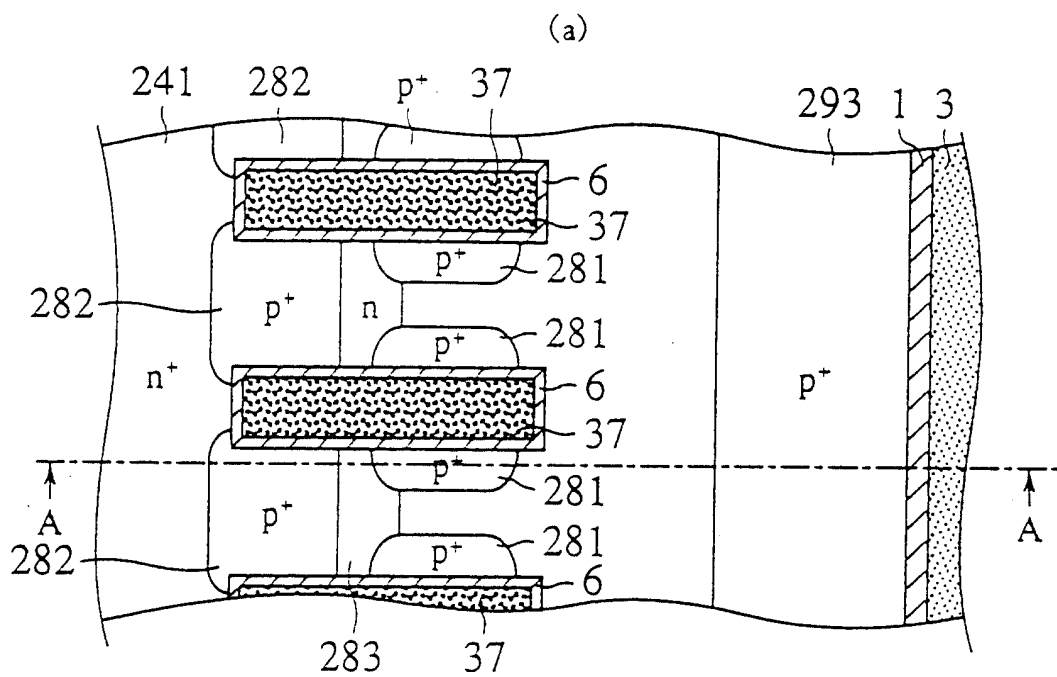
第35圖



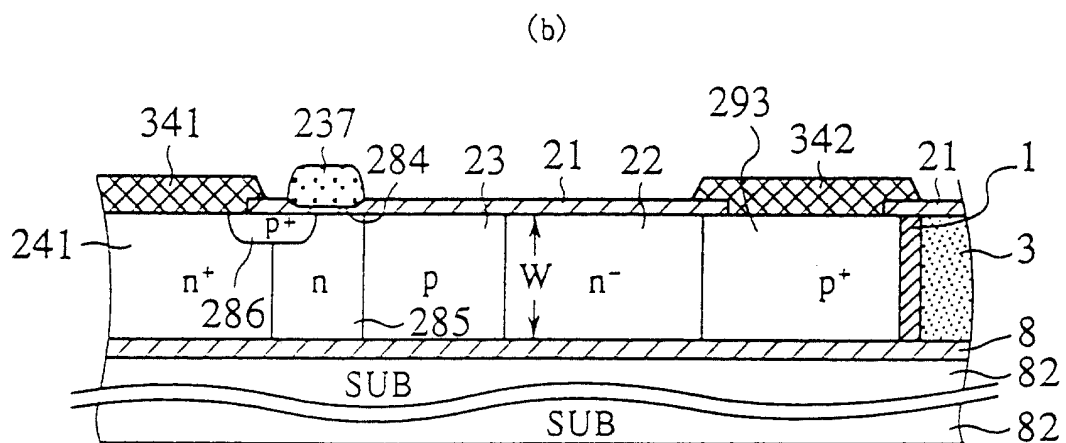
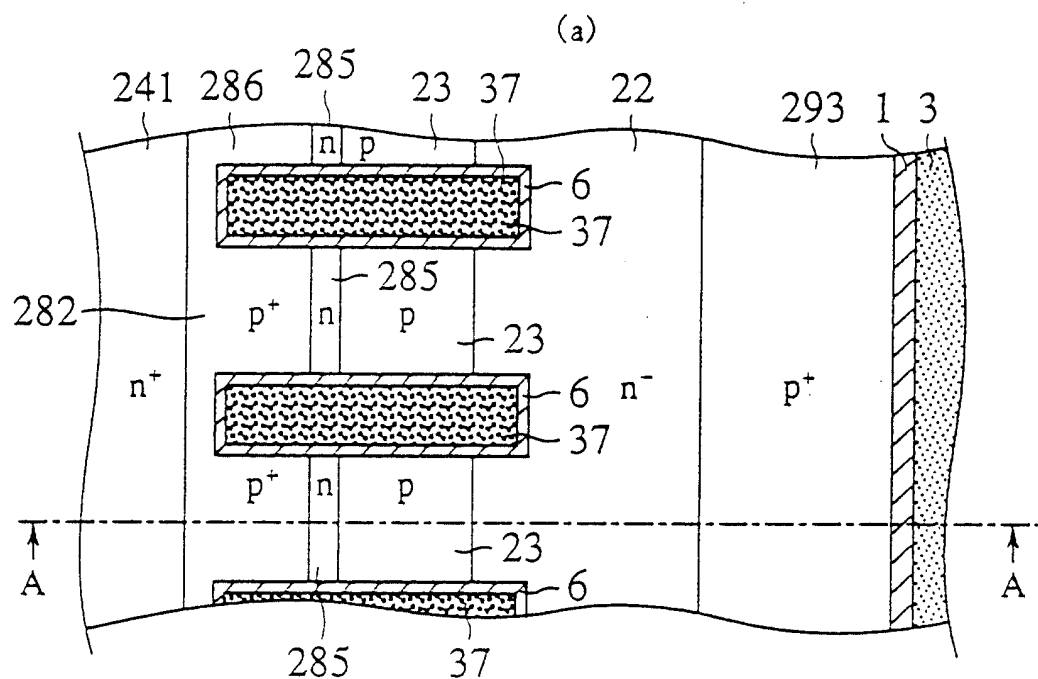
第36圖



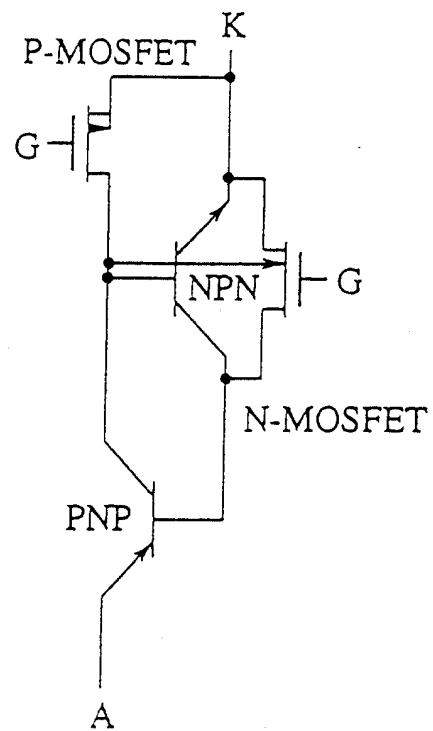
第 37 圖



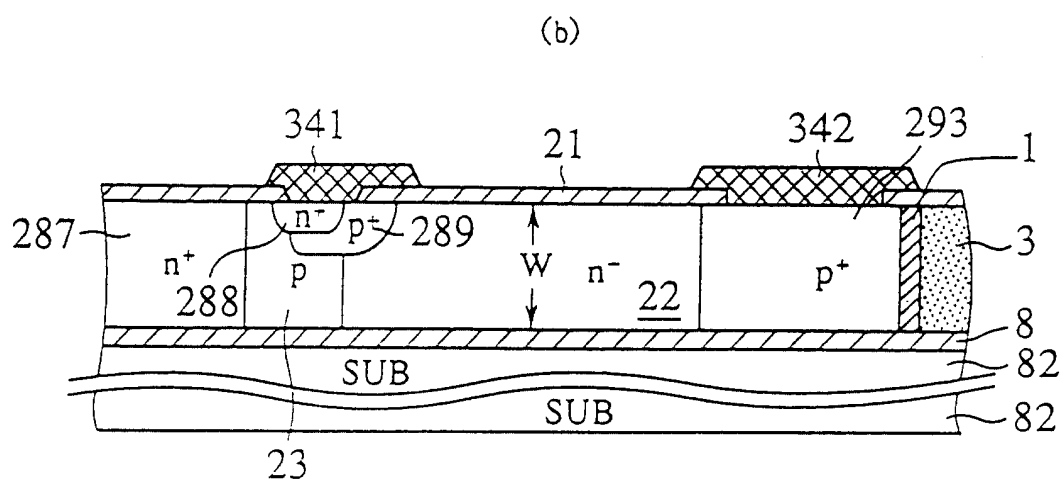
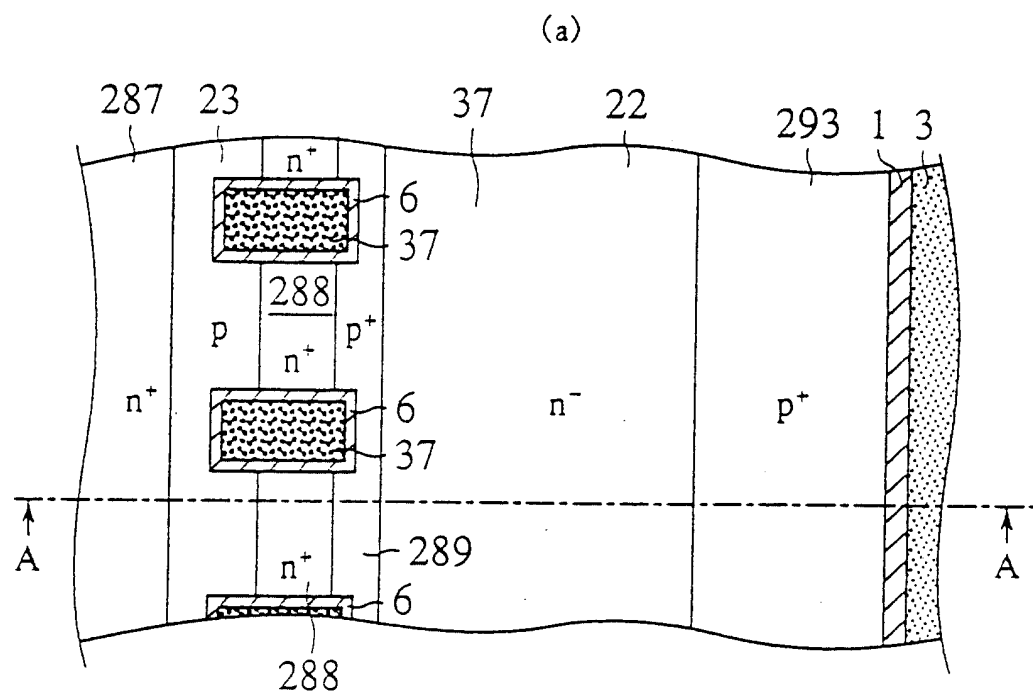
第 38 圖



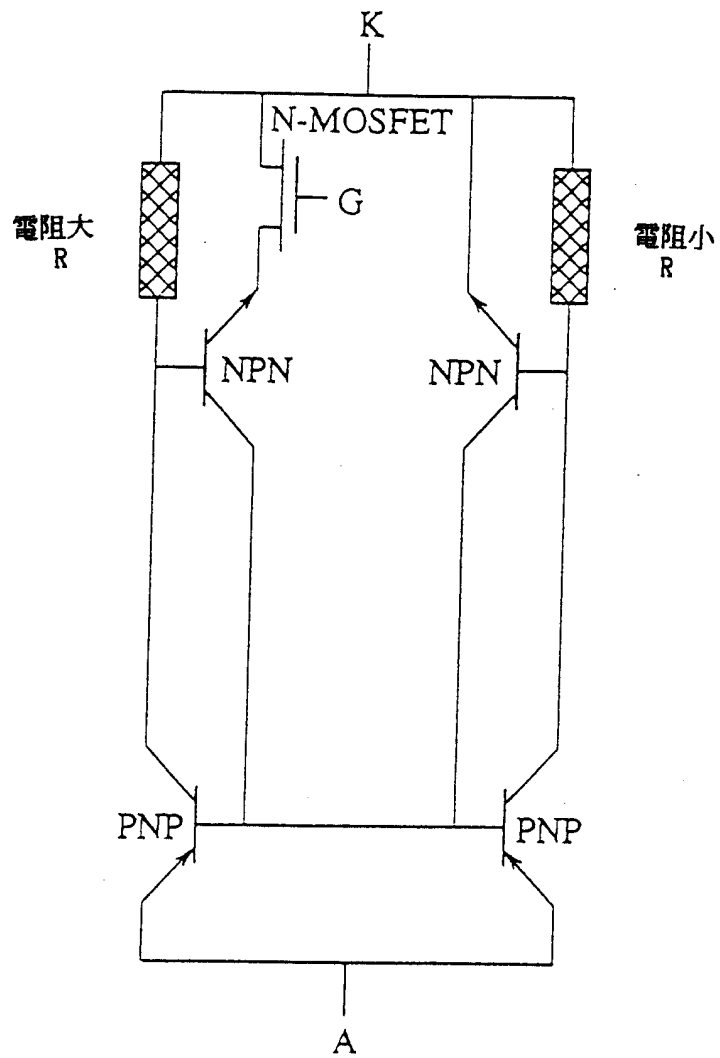
第 39 圖



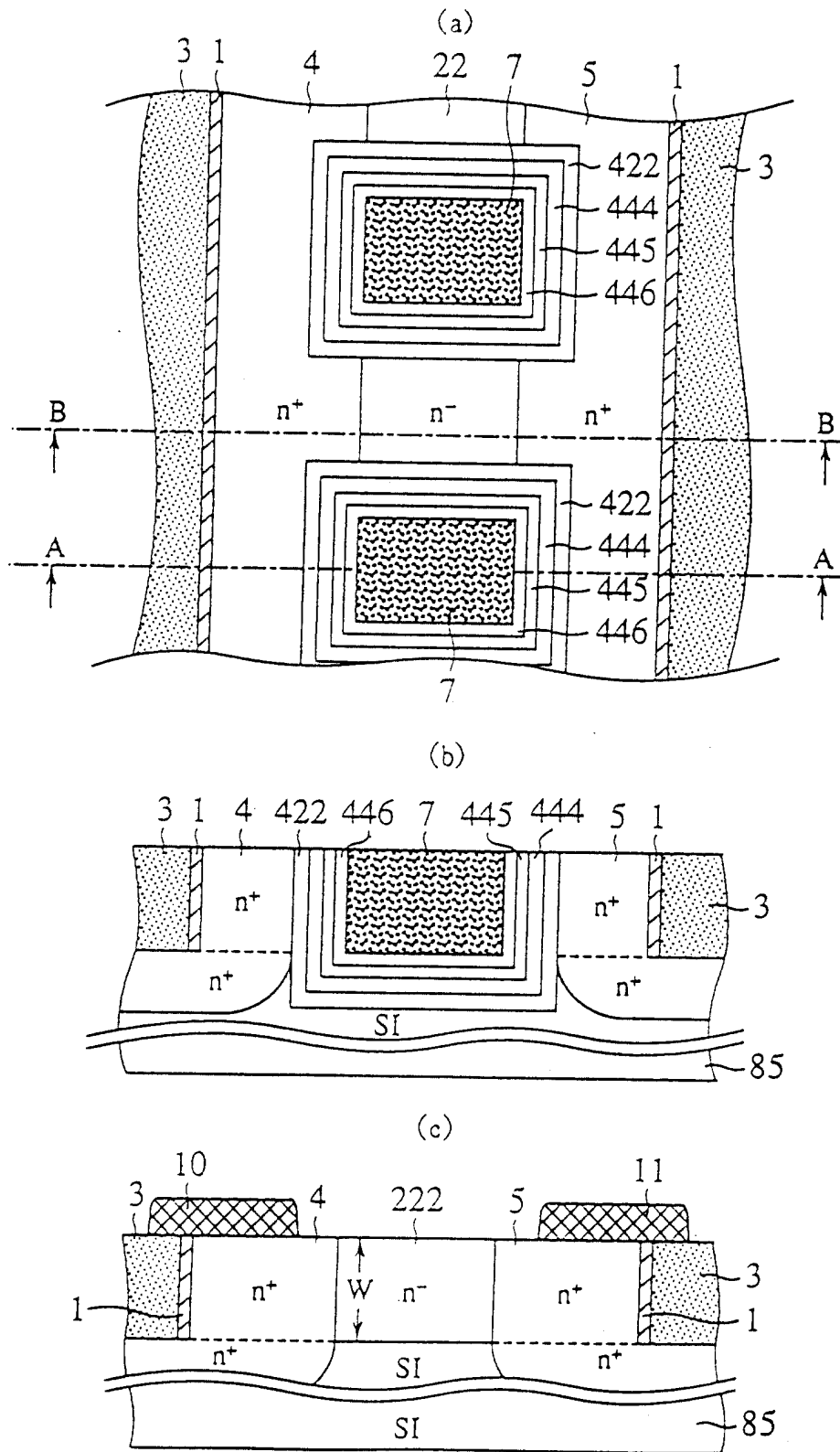
第40圖



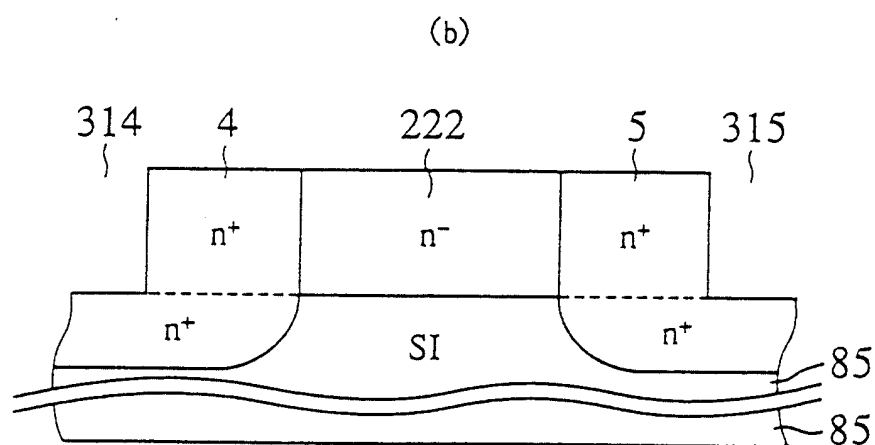
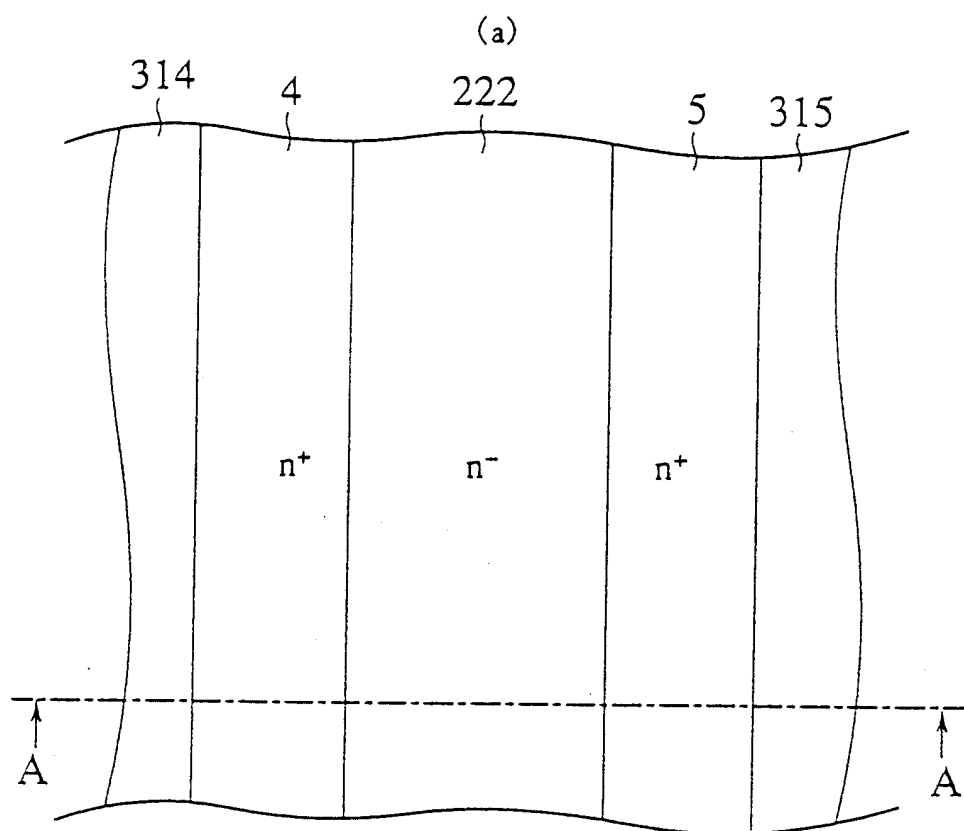
第41圖



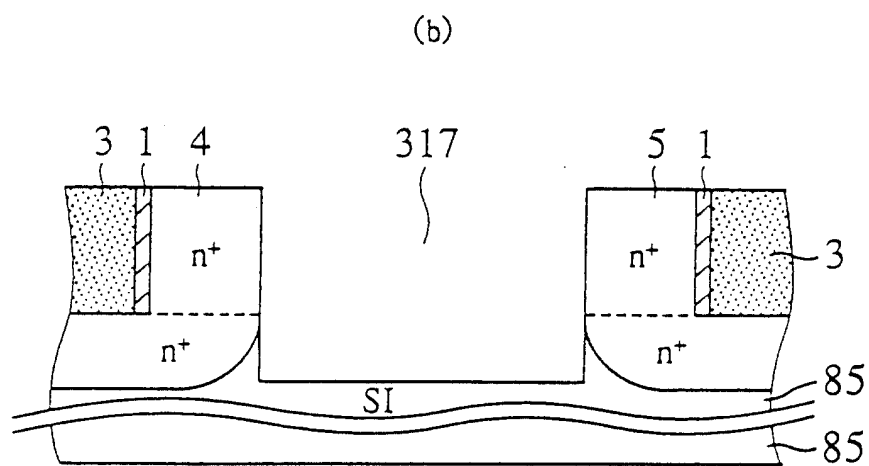
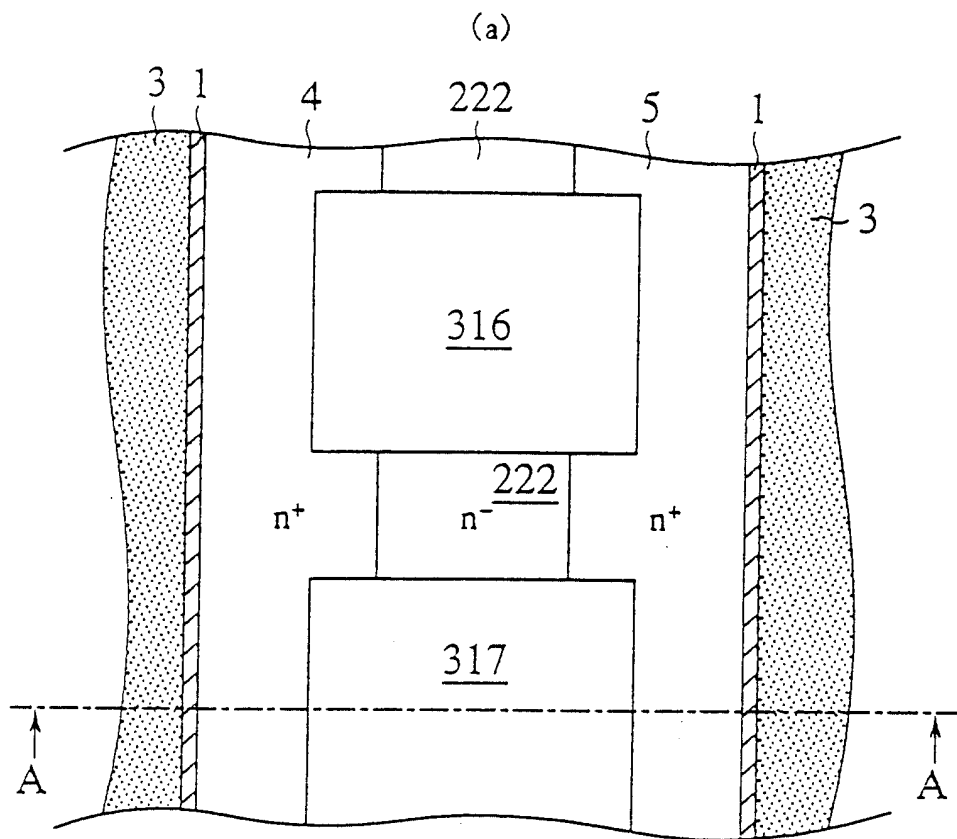
第42圖



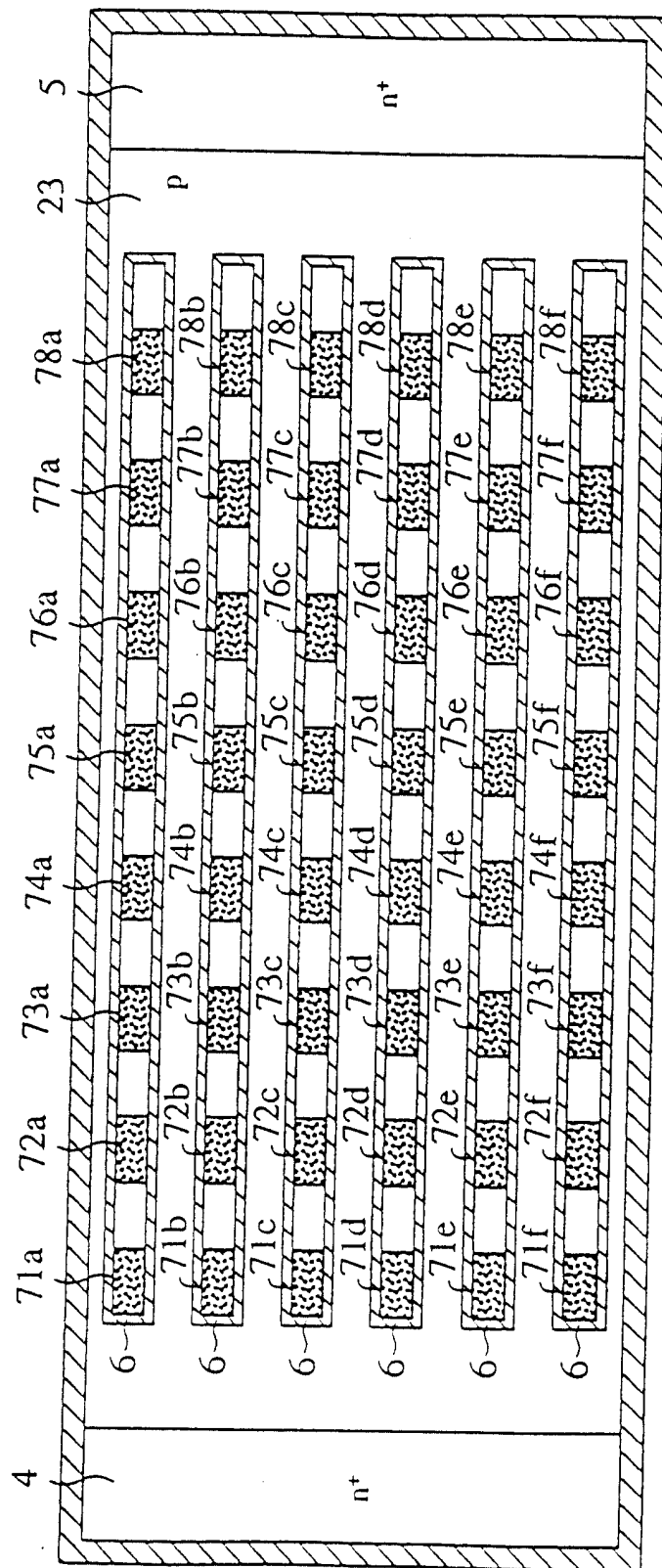
第43 圖



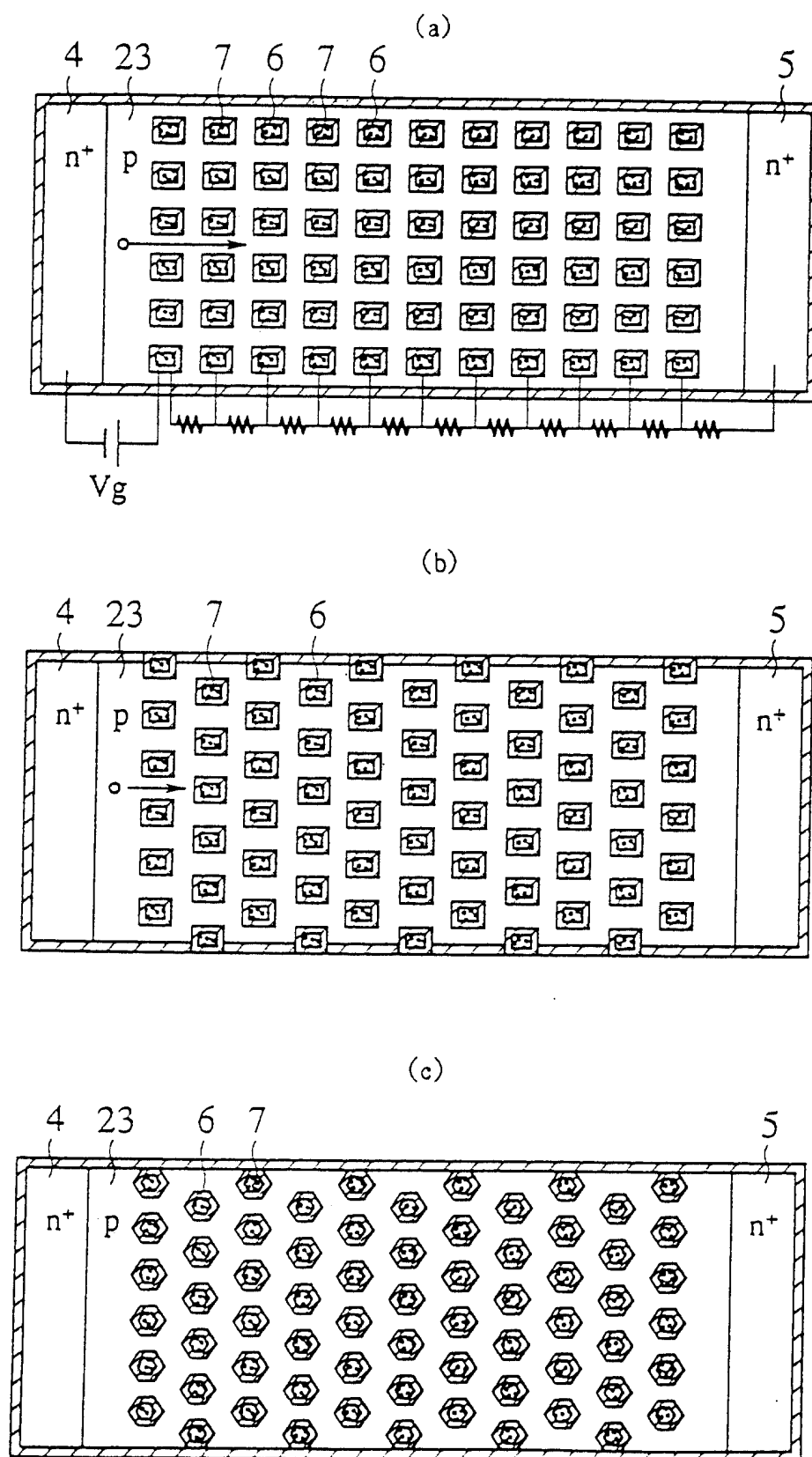
第44圖



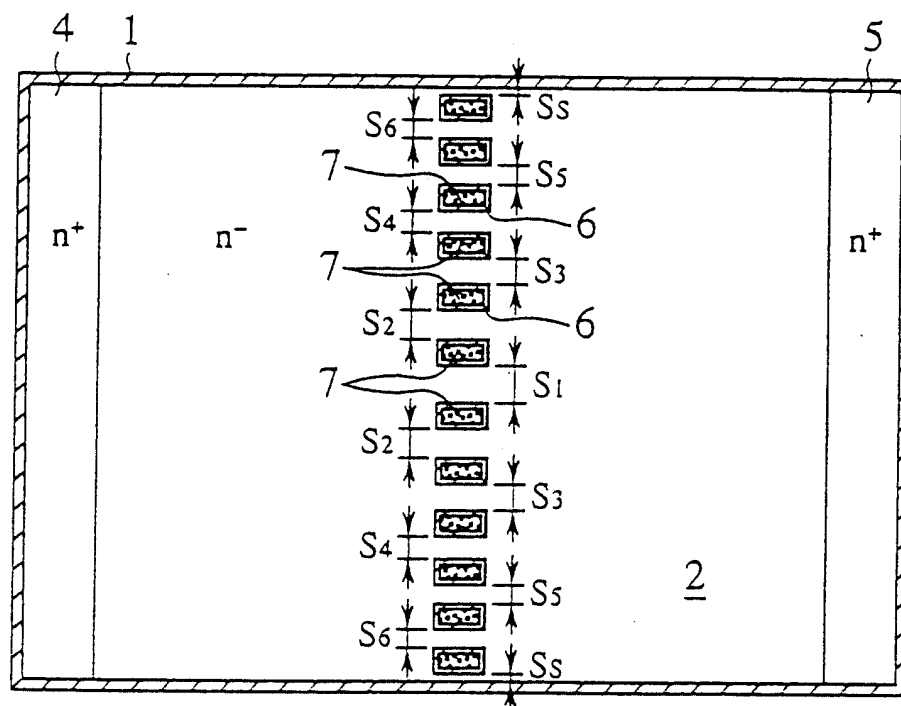
第 45 圖



第46圖

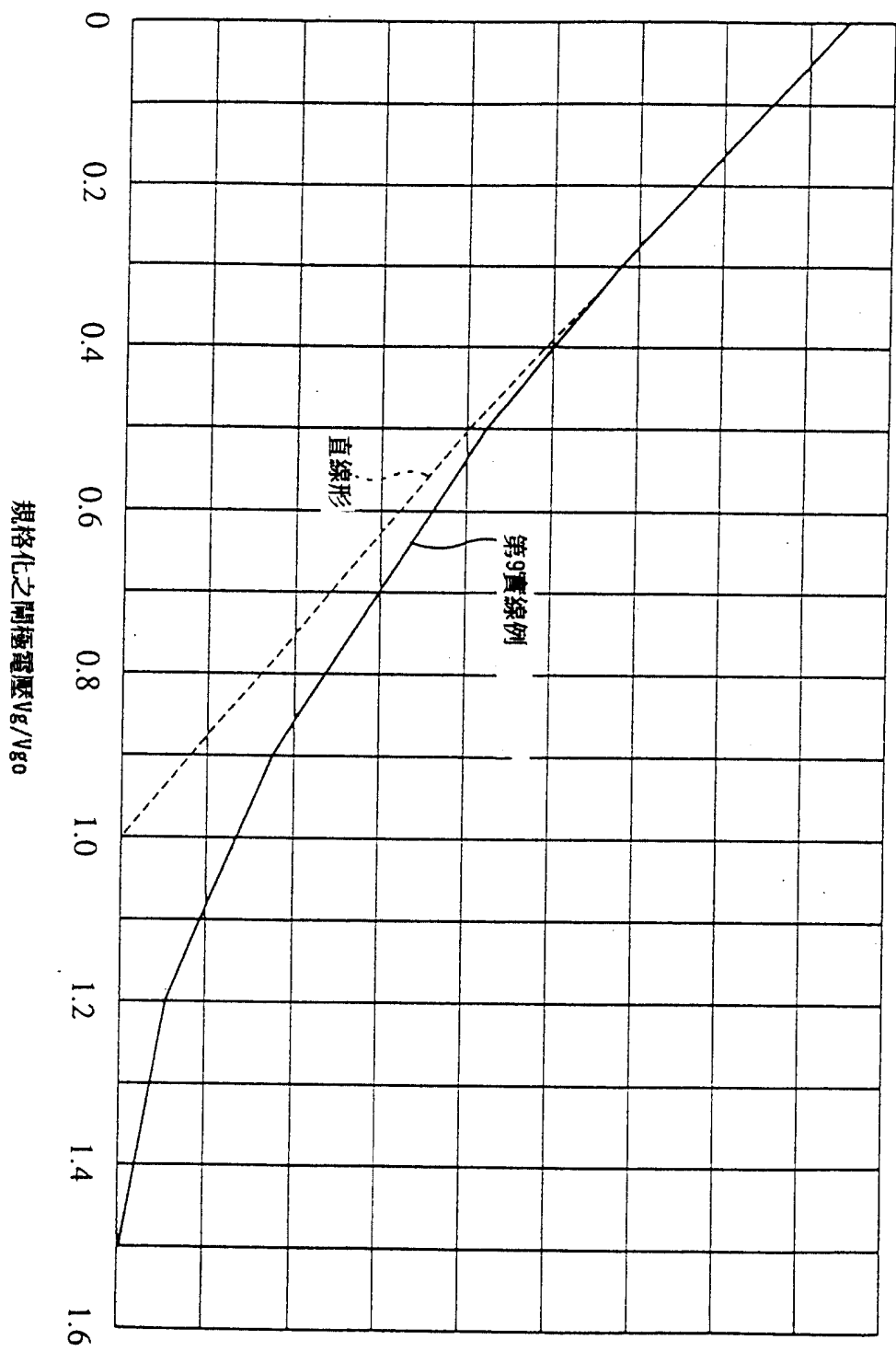


第47圖

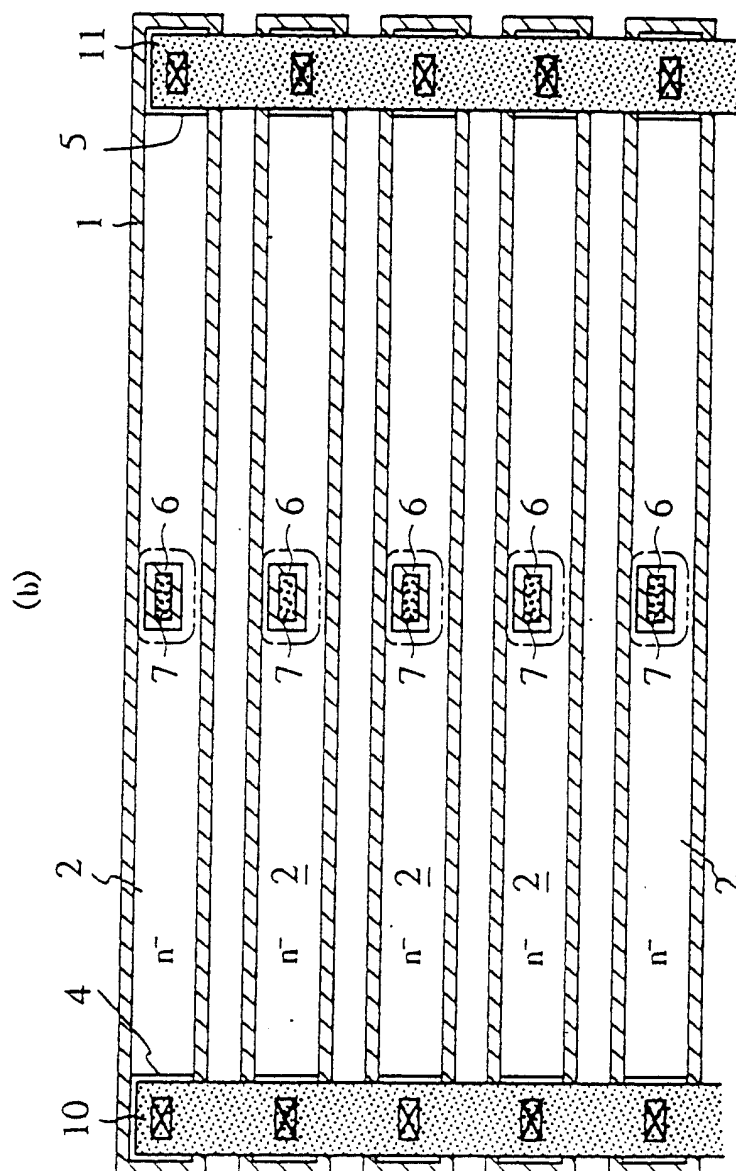
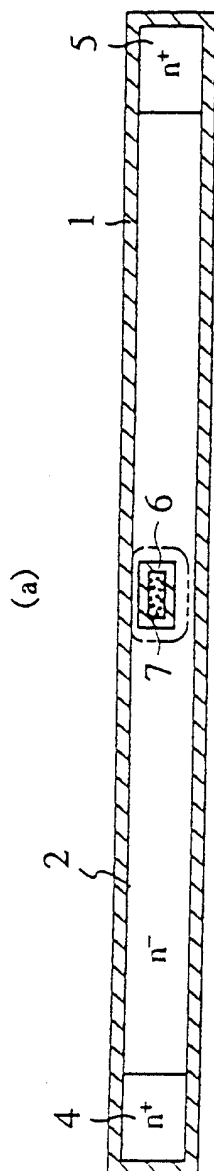


第48 圖

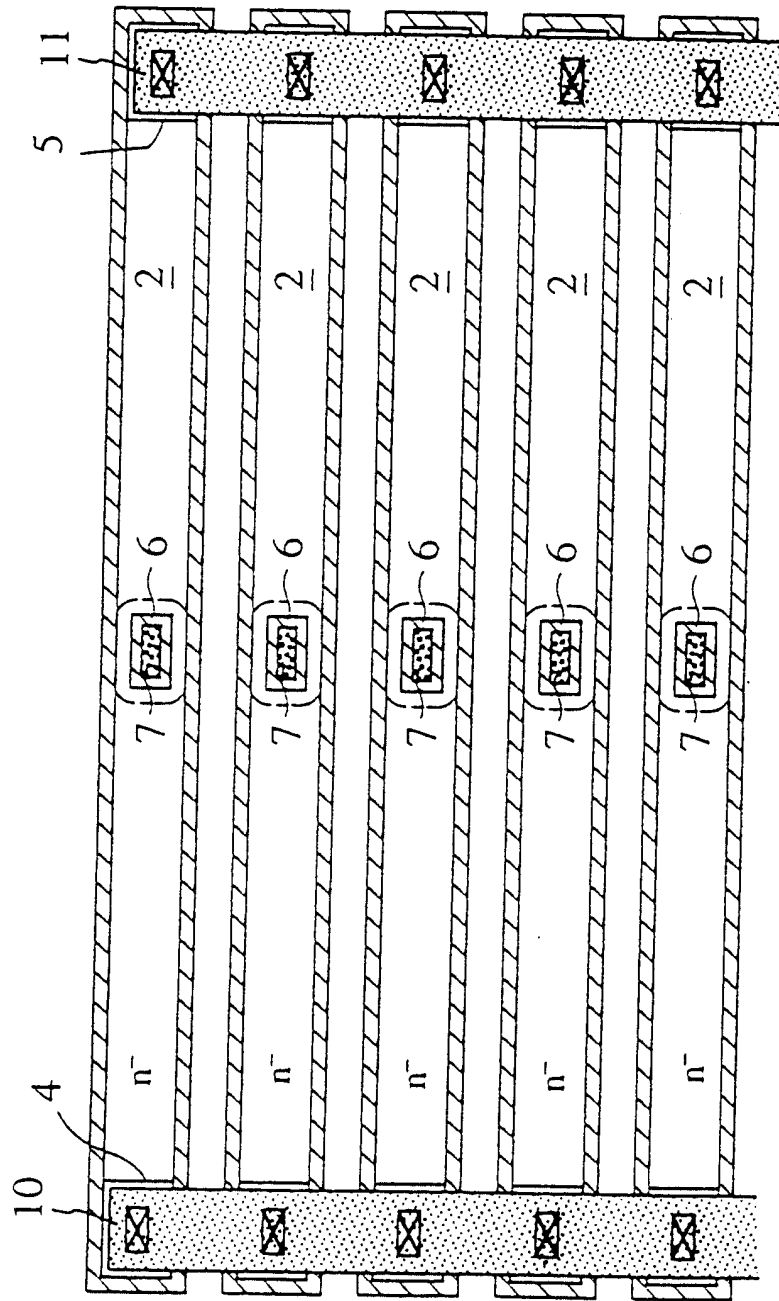
吸極電流 I_D (任意刻度)



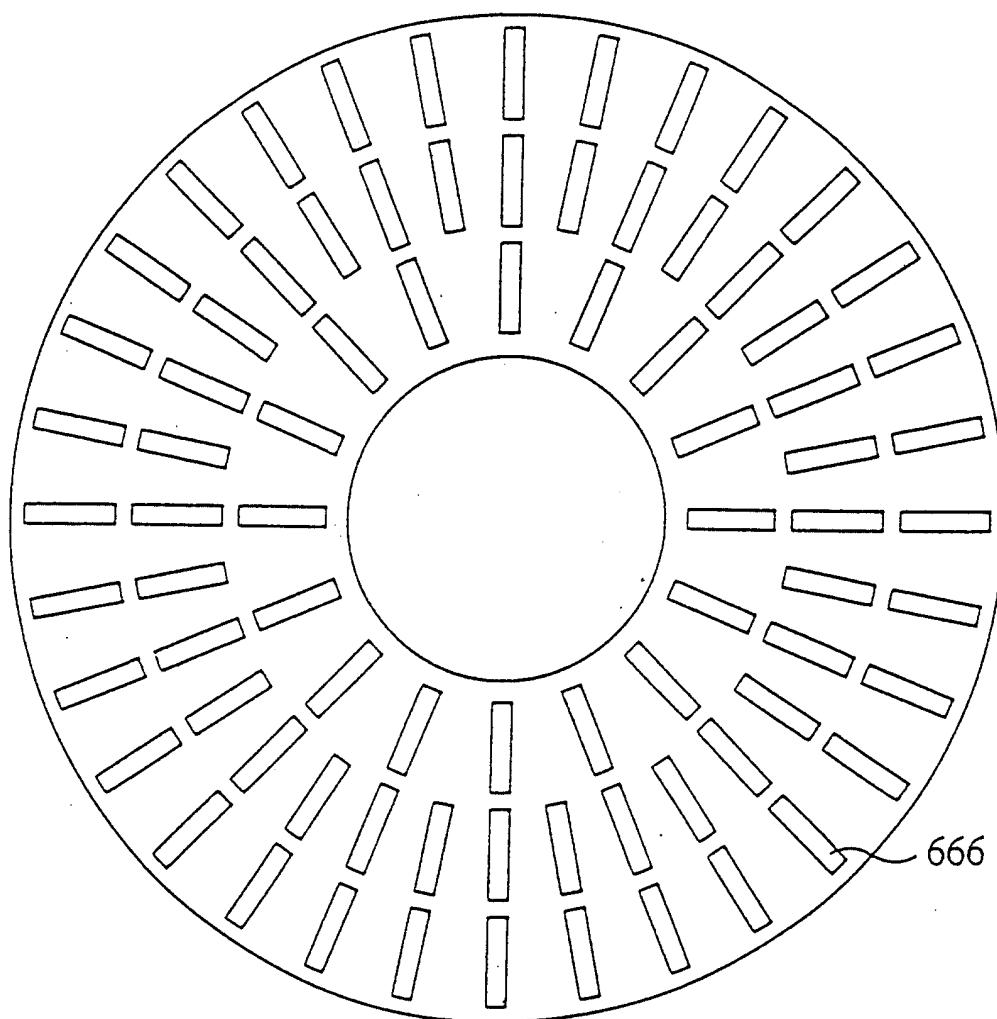
第49圖



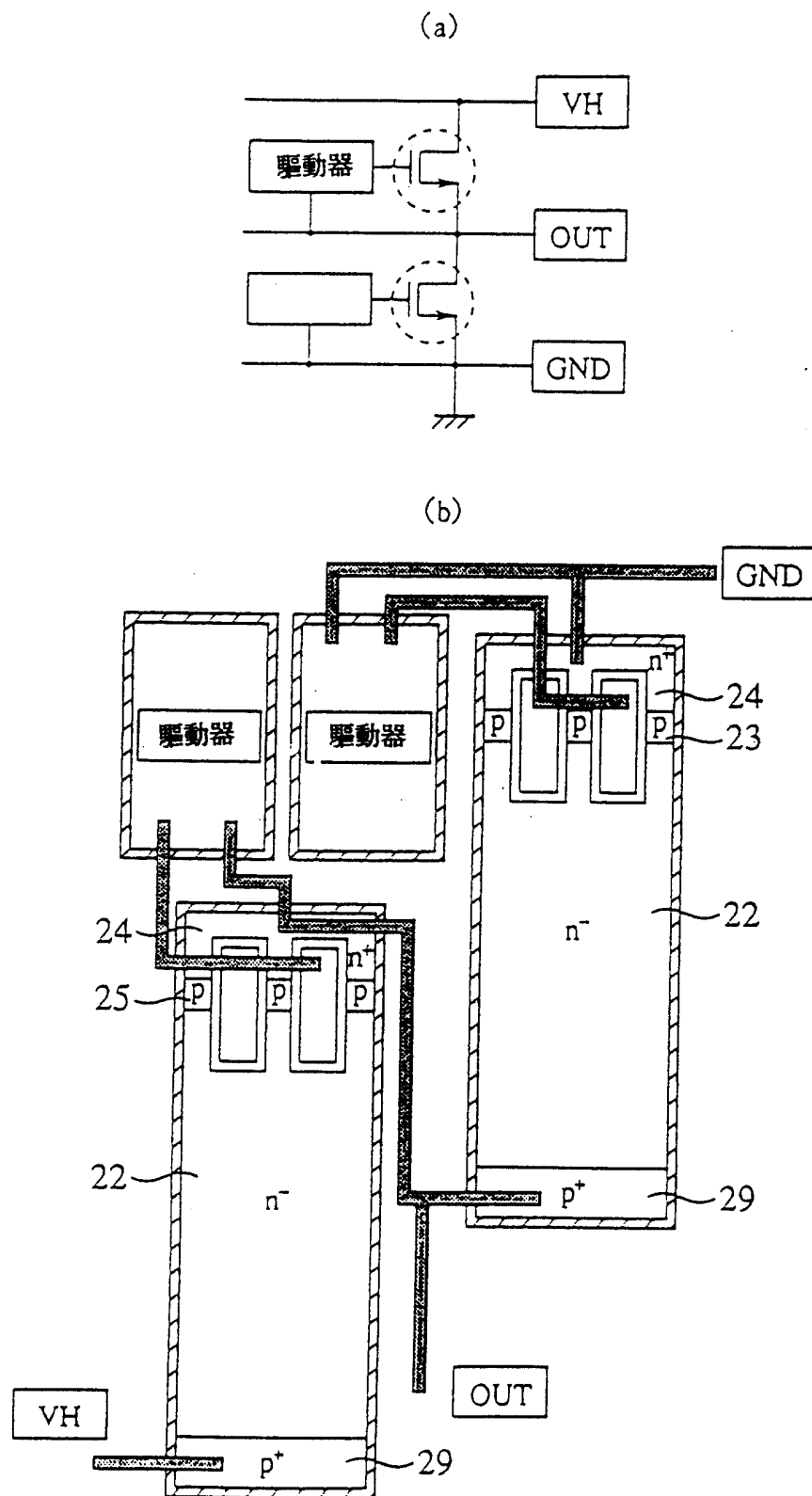
第50 圖



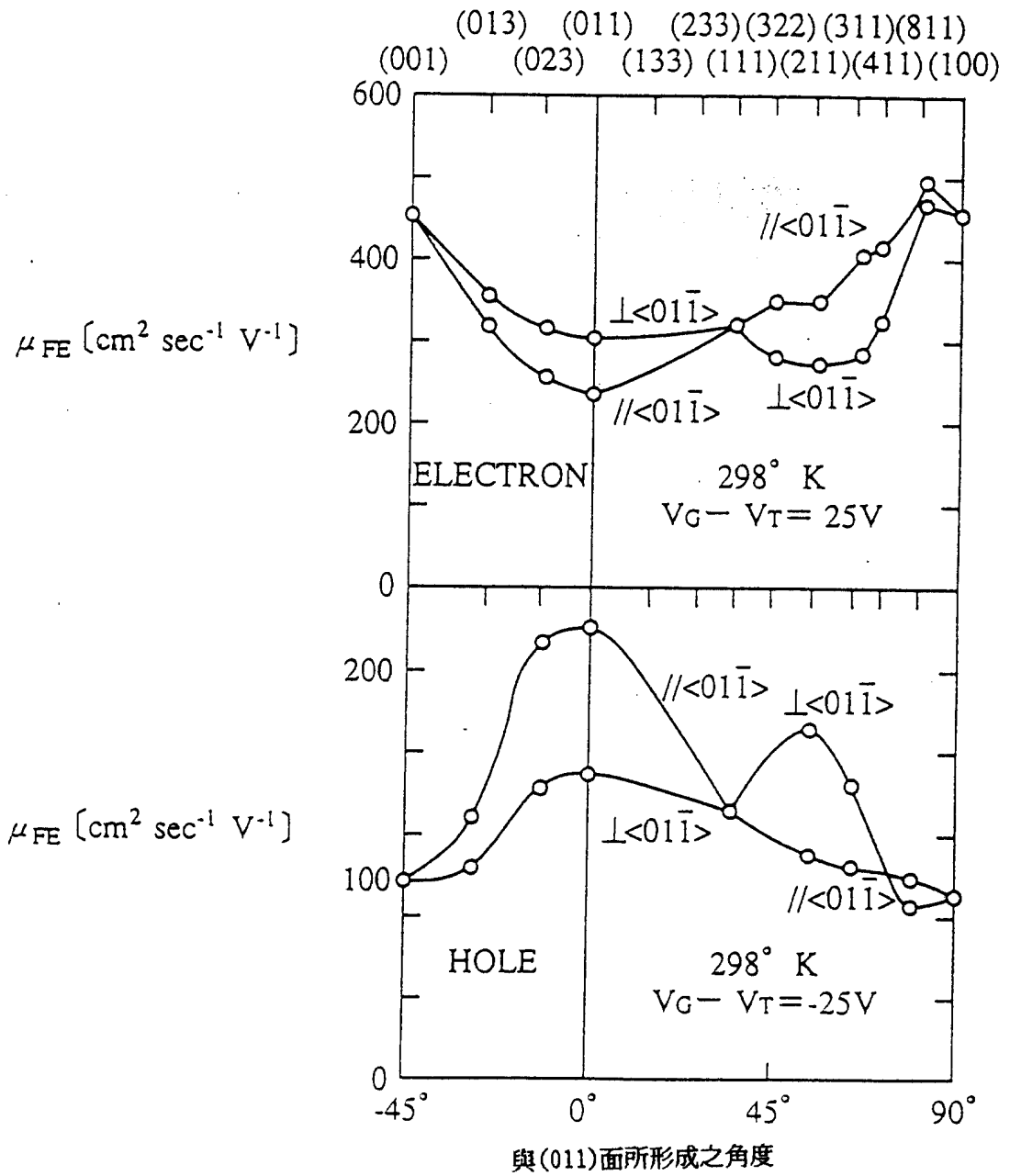
第51圖



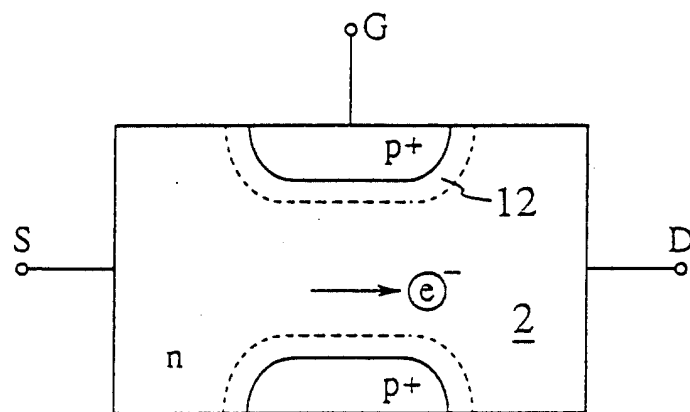
第52 圖



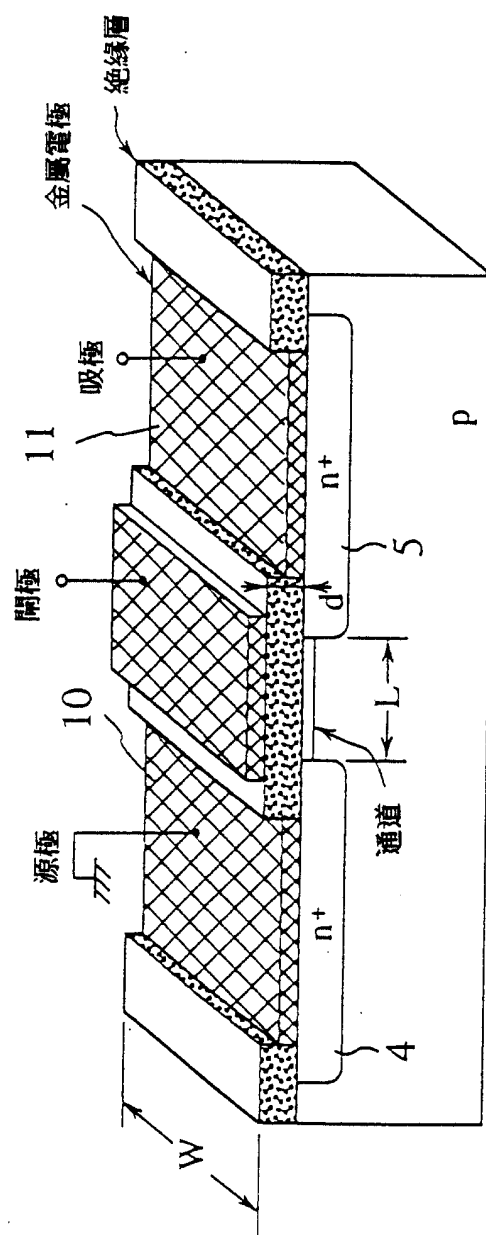
第53 圖



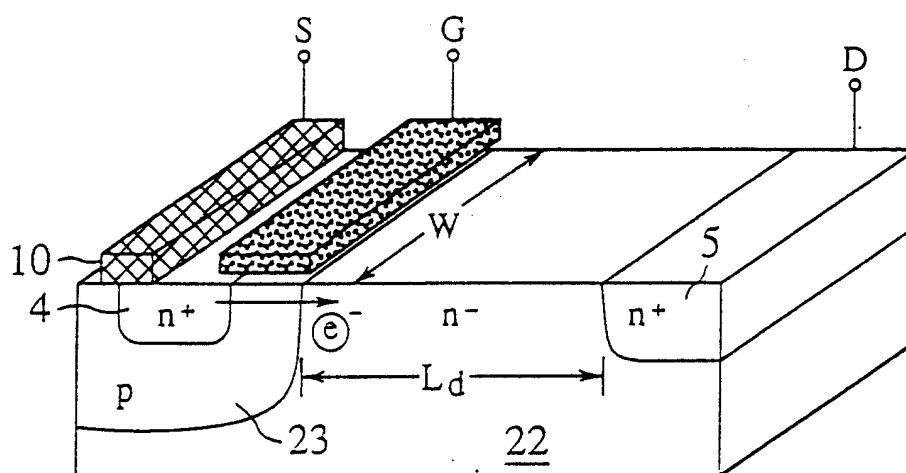
第54圖



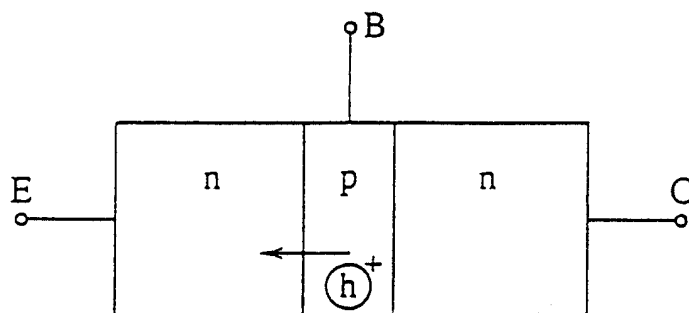
第55圖



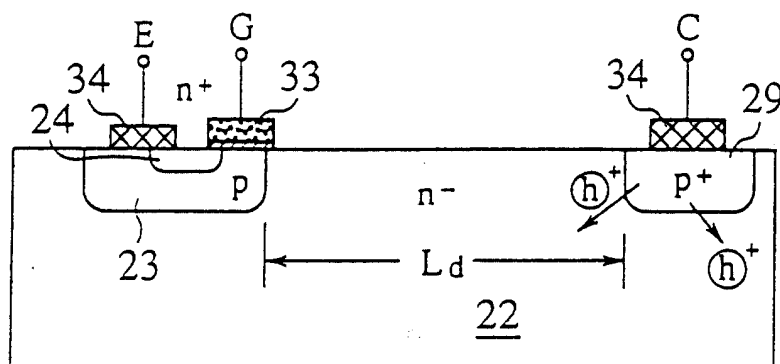
第56圖



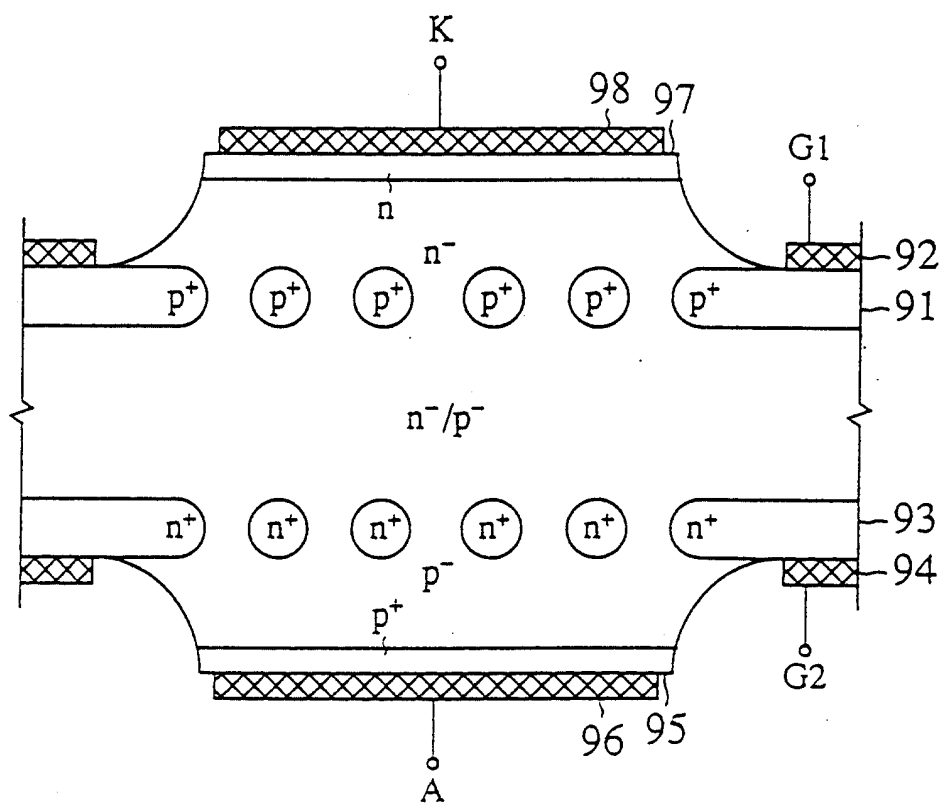
第57圖



第58 圖

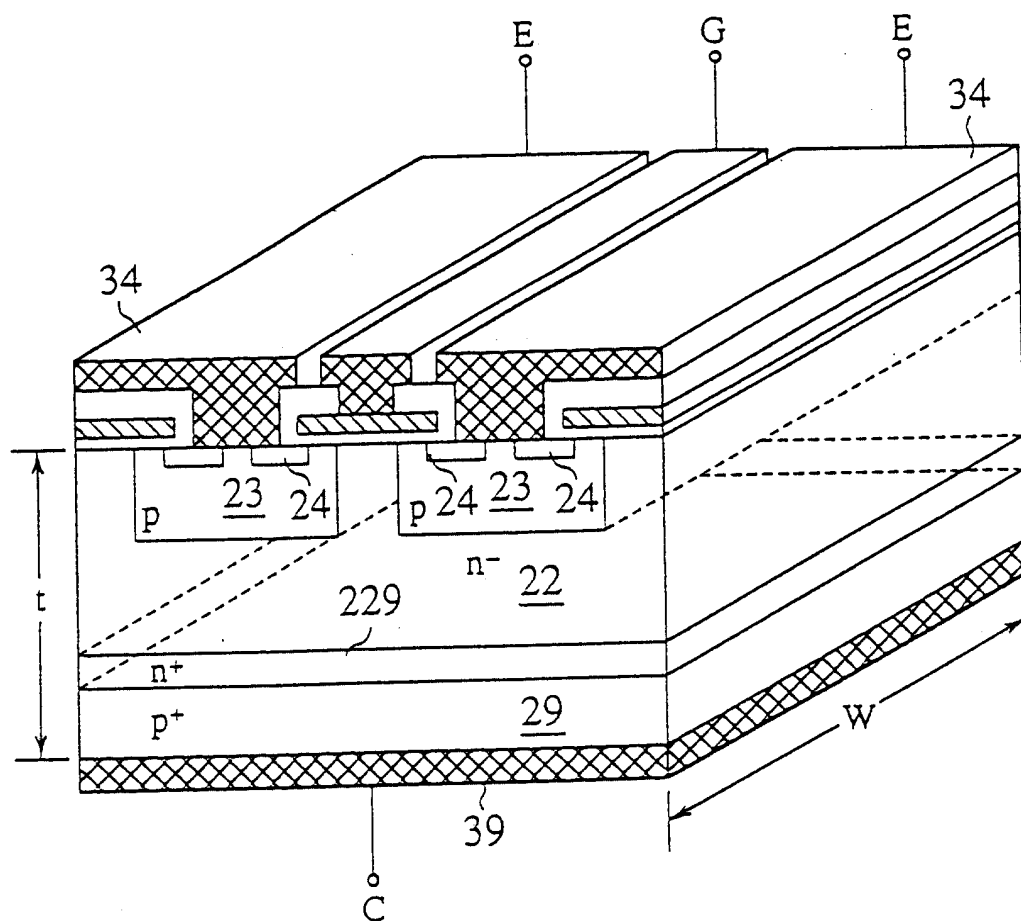


第59 圖



第60 圖

306056



第61圖

六、申請專利範圍

1. 一種半導體裝置，主要包括：至少具有 1 個主表面之基板；形成於該基板上部或該主面之至少一部分，具有實質上與該主表面成為平行之第 1 半導體領域；形成於該第 1 半導體領域之一部分，做為第 1 主電極領域之第 2 半導體領域；形成於該第 1 半導體領域之一部分，與該第 2 半導體領域分離之做為第 2 主電極領域之第 3 半導體領域；形成在該第 2 與第 3 半導體領域間之該第 1 半導體領域之一部分，具有實質上與該主表面成為垂直之側壁，從該第 1 半導體領域表面朝向內部之閘極溝部；形成在該閘極溝部之該側壁部之閘極絕緣膜；及形成在該閘極絕緣膜表面上，至少填埋該閘極溝部之一部分之閘極填埋電極，其特徵為：通過該第 1 與第 2 主電極領域間之主電流中，由最靠近該閘極填埋電極之該閘極填埋電極所控制之成分之方向實質上平行於該主表面，而該主電流之分佈方向與該主表面成為垂直。

2. 如申請專利範圍第 1 項之裝置，其中在該第 1 半導體領域之底部與該基板之主表面之間又具有底面絕緣膜。

3. 如申請專利範圍第 1 項之裝置，其中該基板為具有 S O I 絕緣膜及形成於其上面之半導體層之 S O I 基板，該第 1 半導體領域接觸該 S O I 絕緣膜之底部。

4. 如申請專利範圍第 3 項之裝置，其中在該第 1 半導體領域之周邊又具有深達該 S O I 絕緣膜之元件分離領域。

煩請委員明示本案是否變更實質內容

經濟部中央標準局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

5 . 如申請專利範圍第 4 項之裝置，其中該元件分離領域為絕緣分離領域。

6 . 如申請專利範圍第 4 項之裝置，其中該元件分離領域為 p n 接合分離領域。

7 . 如申請專利範圍第 4 項之裝置，其中該元件分離領域為實質上具有垂直側壁之 u 溝分離領域。

8 . 如申請專利範圍第 1 項之裝置，其中該第 1 半導體領域為第 1 導電型半導體領域，該基板為與該第 1 導電型不同之第 2 導電型半導體基板。

9 . 如申請專利範圍第 8 項之裝置，其中在該第 1 半導體領域之周邊又具有深達該第 1 半導體領域之底面之元件分離領域。

10 . 如申請專利範圍第 9 項之裝置，其中該元件分離領域為絕緣分離領域。

11 . 如申請專利範圍第 9 項之裝置，其中該元件分離領域為 p n 接合分離領域。

12 . 如申請專利範圍第 9 項之裝置，其中該元件分離領域為實質上具有垂直側壁之 U 溝分離領域。

13 . 如申請專利範圍第 3 項之裝置，其中該閘極溝部深達該 S O I 絕緣膜。

14 . 如申請專利範圍第 8 項之裝置，其中該閘極溝部貫穿該第 1 半導體領域深達該半導體基板。

15 . 如申請專利範圍第 13 項之裝置，其中該第 1 半導體領域為第 1 導電型半導體領域，該第 2、3 半導體

六、申請專利範圍

領域為不純物密度高於該第 1 半導體領域之第 1 導電型半導體領域。

1 6 . 如申請專利範圍第 1 3 項之裝置，其中該第 1 半導體領域為第 1 導電型半導體領域，該第 2，3 半導體領域為與該第 1 導電型不同之第 2 導電型半導體領域。

1 7 . 如申請專利範圍第 1 3 項之裝置，其中該第 1 半導體領域係第 1 導電型半導體領域，該第 2 半導體領域係不純物密度高於該第 1 導電型半導體領域之第 1 導電型半導體領域，該第 3 半導體領域為與該第導電型不相同之第 2 導電型半導體領域。

1 8 . 如申請專利範圍第 1 5 項之裝置，其中在該第 2 與第 3 半導體領域之間又具有深達該 S O I 絕緣膜之第 2 導電型第 4 半導體領域。

1 9 . 如申請專利範圍第 1 5 項之裝置，其中具有包含該第 2 半導體領域之第 2 導電型第 4 半導體領域。

2 0 . 如申請專利範圍第 1 7 項之裝置，其中在該第 2 與第 3 半導體領域之間又具有深達該 S O I 絕緣膜之第 2 導電型第 4 半導體領域。

2 1 . 如申請專利範圍第 1 7 項之裝置，其中具有包含該第 2 半導體領域之第 2 導電型第 4 半導體領域。

2 2 . 如申請專利範圍第 2 0 項之裝置，其中在該第 4 與第 3 半導體領域之間又具有第 1 導電型第 5 半導體領域。

2 3 . 如申請專利範圍第 2 1 項之裝置，其中在該第

六、申請專利範圍

4 與第 3 半導體領域之間又具有第 1 導電型第 5 半導體領域。

2 4 . 如申請專利範圍第 1 5 項之裝置，其中該第 2，第 3 半導體領域從該第 1 半導體領域表面形成至深達該 S O I 絕緣膜之深度。

2 5 . 如申請專利範圍第 1 6 項之裝置，其中該第 2，第 3 半導體領域從該第 1 半導體領域表面形成至深達該 S O I 絕緣膜之深度。

2 6 . 如申請專利範圍第 1 7 項之裝置，其中該第 2，第 3 半導體領域從該第 1 半導體領域表面形成至深達該 S O I 絕緣膜之深度。

2 7 . 如申請專利範圍第 1 8 項之裝置，其中該第 2，第 3 半導體領域從該第 1 半導體領域表面形成至深達該 S O I 絕緣膜之深度。

2 8 . 如申請專利範圍第 1 9 項之裝置，其中該第 3 半導體領域從該第 1 半導體領域表面形成至深達該 S O I 絕緣膜之深度。

2 9 . 如申請專利範圍第 2 0 項之裝置，其中該第 2，第 3 半導體領域從該第 1 半導體領域表面形成至深達該 S O I 絕緣膜之深度。

3 0 . 如申請專利範圍第 2 1 項之裝置，其中該第 3 半導體領域從該第 1 半導體領域表面形成至深達該 S O I 絕緣膜之深度。

3 1 . 如申請專利範圍第 1 8 項之裝置，其中該閘極

六、申請專利範圍

溝部接觸該第4半導體領域，該閘極填埋電極係形成在該第4半導體領域附近，以便控制通過該第4半導體領域之電流。

32. 如申請專利範圍第19項之裝置，其中該閘極溝部接觸該第4半導體領域，該閘極填埋電極係形成在該第4半導體領域附近，以便控制通過該第4半導體領域之電流。

33. 如申請專利範圍第20項之裝置，其中該閘極溝部接觸該第4半導體領域，該閘極填埋電極係形成在該第4半導體領域附近，以便控制通過該第4半導體領域之電流。

34. 如申請專利範圍第21項之裝置，其中該閘極溝部接觸該第4半導體領域，該閘極填埋電極係形成在該第4半導體領域附近，以便控制通過該第4半導體領域之電流。

35. 如申請專利範圍第22項之裝置，其中該閘極溝部接觸該第4半導體領域，該閘極填埋電極係形成在該第4半導體領域附近，以便控制通過該第4半導體領域之電流。

36. 如申請專利範圍第23項之裝置，其中該閘極溝部接觸該第4半導體領域，該閘極填埋電極係形成在該第4半導體領域附近，以便控制通過該第4半導體領域之電流。

37. 如申請專利範圍第3項之裝置，其中又形成有

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

包含該第 2 半導體領域之第 4 半導體領域，該閘極溝部接觸該第 4 半導體領域，該閘極填埋電極係形成在該第 4 半導體領域附近，以便控制通過該第 4 半導體領域中之電流。

38. 如申請專利範圍第 37 項之裝置，其中該閘極溝部形成至較該第 4 半導體領域更深之位置。

39. 如申請專利範圍第 14 項之裝置，其中該第 1 半導體領域係第 1 導電型半導體領域，該第 2，第 3 半導體領域為不純物密度高於該第 1 半導體領域之第 1 導電型半導體領域。

40. 如申請專利範圍第 14 項之裝置，其中該第 1 半導體領域係第 1 導電型半導體領域，該第 2，第 3 半導體領域係與該第 1 導電型不同之第 2 導電型半導體領域。

41. 如申請專利範圍第 14 項之裝置，其中該第 1 半導體領域係第 1 導電型半導體領域，該第 2 半導體領域不純物密度高於該第 1 半導體領域之第 1 導電型半導體領域，該第 3 半導體領域係與該第 1 導電型不相同之第 2 導電型半導體領域。

42. 如申請專利範圍第 39 項之裝置，其中該第 2 與第 3 半導體領域之間又形成深達該半導體基板之第 2 導電型第 4 半導體領域。

43. 如申請專利範圍第 39 項之裝置，其中又形成包含該第 2 半導體領域之第 2 導電型第 4 半導體領域。

44. 如申請專利範圍第 41 項之裝置，其中在該第

六、申請專利範圍

2 與第 3 半導體領域之間又形成深達該半導體基板之第 2 導電型第 4 半導體領域。

4 5 . 如申請專利範圍第 4 1 項之裝置，其中又形成包含該第 2 半導體領域之第 2 導電型第 4 半導體領域。

4 6 . 如申請專利範圍第 4 4 項之裝置，其中在該第 4 與第 3 半導體領域之間又形成第 1 導電型第 5 半導體領域。

4 7 . 如申請專利範圍第 4 5 項之裝置，其中在該第 4 與第 3 半導體領域之間又形成第 1 導電型第 5 半導體領域。

4 8 . 如申請專利範圍第 4 2 項之裝置，其中在該閘極溝部接觸第 4 半導體領域，該閘極填埋電極係形成於該第 4 半導體領域附近，以便控制通過該第 4 半導體領域中之電流。

4 9 . 如申請專利範圍第 4 3 項之裝置，其中在該閘極溝部接觸該第 4 半導體領域，該閘極填埋電極係形成於該第 4 半導體領域附近，以便控制通過該第 4 半導體領域中之電流。

5 0 . 如申請專利範圍第 4 4 項之裝置，其中在該閘極溝部接觸該第 4 半導體領域，該閘極填埋電極係形成於該第 4 半導體領域附近，以便控制通過該第 4 半導體領域中之電流。

5 1 . 如申請專利範圍第 4 5 項之裝置，其中在該閘極溝部接觸該第 4 半導體領域，該閘極填埋電極係形成於

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

該第 4 半導體領域附近，以便控制通過該第 4 半導體領域中之電流。

5 2 . 如申請專利範圍第 4 6 項之裝置，其中在該閘極溝部接觸該第 4 半導體領域，該閘極填埋電極係形成於該第 4 半導體領域附近，以便控制通過該第 4 半導體領域中之電流。

5 3 . 如申請專利範圍第 4 7 項之裝置，其中在該閘極溝部接觸該第 4 半導體領域，該閘極填埋電極係形成於該第 4 半導體領域附近，以便控制通過該第 4 半導體領域中之電流。

5 4 . 如申請專利範圍第 8 項之裝置，其中又形成包含該第 2 半導體領域之第 4 半導體領域，該閘極溝部接觸該第 4 半導體領域，該閘極填埋電極係形成於該第 4 半導體領域附近，以便控制通過該第 4 半導體領域中之電流。

5 5 . 如申請專利範圍第 5 4 項之裝置，其中在該閘極溝部形成至較該第 4 半導體領域更深之位置。

5 6 . 如申請專利範圍第 4 項之裝置，其中在該閘極溝部係在該第 1 半導體領域之中央部附近形成 1 個，該閘極溝部與該元件分離領域間之間隔 S_s ，及該第 1 半導體領域之不純物密度係選定在一定之閘極偏壓施加於該閘極填埋電極之狀態下，該第 1 半導體領域在從該閘極絕緣膜延伸之耗盡層上夾斷之數值。

5 7 . 如申請專利範圍第 5 6 項之裝置，其中由該第 1，第 2，第 3 半導體領域，閘極溝部，閘極絕緣膜，及

六、申請專利範圍

閘極填埋電極構成單元晶胞，在該基板上配置許多個該單元晶胞。

58. 如申請專利範圍第57項之裝置，其中該單元晶胞係同一尺寸之單元晶胞，各單元晶胞之第2，第3半導體領域及閘極填埋電極分別與其他單元晶胞之第2，第3半導體領域，及閘極填埋電極成爲電連接。

59. 如申請專利範圍第9項之裝置，其中該閘極溝部係在該第1半導體領域之中央部附近形成1個，該閘極溝部與該元件分離領域間之間隔 S_s ，及該第1半導體領域之不純物密度係選定在由於施加在該閘極填埋電極之一定之閘極偏壓，使得該第1半導體領域在從該閘極絕緣膜延伸之耗盡層內夾斷之數值。

60. 如申請專利範圍第59項之裝置，其中由該第1，第2，第3半導體領域，閘極溝部，閘極絕緣膜，及填埋閘極構成單元晶胞，而且在該基板上配置許多個該單元晶胞。

61. 如申請專利範圍第60項之裝置，其中該單元晶胞爲同一尺寸之單元晶胞，各單元晶胞之第2，第3半導體領域及閘極填埋電極與其他單元晶胞之第2，第3半導體領域及閘極填埋電極形成電連接。

62. 如申請專利範圍第4項之裝置，其中在該第1半導體領域中形成許多個該閘極溝部，該許多個閘極溝部間之間隔 S 及該第1半導體領域之不純物密度係選定在由於施加在該閘極填埋電極之一定之閘極偏壓，使得該第1

六、申請專利範圍

半導體領域在從該閘極絕緣膜互相成爲面對面的延伸之耗盡層內夾斷之數值。

6 3 . 如申請專利範圍第 9 項之裝置，其中由該第 1，第 2，第 3 半導體領域，閘極溝部，閘極絕緣膜，及閘極填埋電極構成單元晶胞，在該基板上配置許多個該單元晶胞。

6 4 . 如申請專利範圍第 6 2 項之裝置，其中許多個閘極溝部最靠近該元件分離領域之閘極溝部與該元件分離領域間之間隔 S_s 爲該間隔 S 之 $1/2$ 以下。

6 5 . 如申請專利範圍第 6 3 項之裝置，其中許多個閘極溝部中最靠近該元件分離領域之閘極溝部與該元件分離領域間之間隔 S_s 爲該間隔 S 之 $1/2$ 以下。

6 6 . 如申請專利範圍第 6 4 項之裝置，其中該最靠近元件分離領域之閘極溝部接觸該元件分離領域，而且 $S_s = 0$ 。

6 7 . 如申請專利範圍第 6 5 項之裝置，其中該最靠近元件分離領域之閘極溝部接觸該元件分離領域，而且 $S_s = 0$ 。

6 8 . 如申請專利範圍第 6 2 項之裝置，其中該閘極溝部以相等間隔 S 形成 3 個以上。

6 9 . 如申請專利範圍第 6 3 項之裝置，其中該閘極溝部以相等間隔 S 形成 3 個以上。

7 0 . 如申請專利範圍第 4 項之裝置，其中該閘極溝部係在第 1 半導體領域中形成許多個而具有第 1 閘極間隔

六、申請專利範圍

S_1 及第 2 閘極間隔 S_2 ，該第 1 閘極間隔 S_1 及第 1 半導體領域之不純物密度係選定在施加於該閘極填埋電極之電壓為一定之閘極偏壓時，該第 1 半導體領域在從該閘極絕緣膜互相成為面對面的延伸之耗盡層內夾斷之數值，而 S_2 大於 S_1 。

7 1. 如申請專利範圍第 9 項之裝置，其中該閘極溝部係在該第 1 半導體領域中形成許多個而具有第 1 閘極間隔 S_1 及第 2 閘極間隔 S_2 ，該第 1 閘極間隔 S_1 及該第 1 半導體領域之不純物密度係選定在施加於該閘極填埋電極之電壓為一定之閘極偏壓時，該第 1 半導體領域在從該閘極絕緣膜互相成為面對面的延伸之耗盡層內夾斷之數值，而 S_2 大於 S_1 。

7 2. 如申請專利範圍第 6 2 項之裝置，其中該間隔 S 係選定在閘極 0 偏壓時夾斷之數值。

7 3. 如申請專利範圍第 6 2 項之裝置，其中該元件分離領域係由與該第 1 半導體領域相反之導電型半導體領域所構成之 p n 接合分離領域，許多個閘極溝部中最靠近該 p n 接合分離領域之閘極溝部與該 p n 接合分離領域間在閘極 0 偏壓時夾斷。

7 4. 如申請專利範圍第 6 3 項之裝置，其中該元件分離領域係由與該第 1 半導體領域相反之導電型半導體領域所構成之 p n 接合分離領域，許多個閘極溝部中最靠近該 p n 接合分離領域之閘極溝部與該 p n 接合分離領域間在閘極 0 偏壓時夾斷。

六、申請專利範圍

7 5 . 如申請專利範圍第 4 之裝置，其中該第 2 或第 3 半導體領域中之至少一方接觸該元件分離領域。

7 6 . 如申請專利範圍第 9 項之裝置，其中該第 2 及第 3 半導體領域與該元件分離領域分離。

7 7 . 如申請專利範圍第 7 5 項之裝置，其中與該元件分離領域接觸之該第 2 或第 3 半導體領域中之至少一方之領域從該第 1 半導體領域表面形成至深達 S O I 絕緣膜之深度。

7 8 . 如申請專利範圍第 7 7 項之裝置，其中深達該 S O I 絕緣膜之半導體領域係利用橫方向擴散從形成該元件分離領域之溝部側壁形成於該第 1 半導體領域中之半導體領域。

7 9 . 如申請專利範圍第 1 3 項之裝置，其中該閘極溝部接觸該第 2 半導體領域。

8 0 . 如申請專利範圍第 1 4 項之裝置，其中該閘極溝部接觸該第 2 半導體領域。

8 1 . 如申請專利範圍第 1 3 項之裝置，其中該閘極溝部接觸該第 2 及第 3 半導體領域。

8 2 . 如申請專利範圍第 1 4 項之裝置，其中該閘極溝部接觸該第 2 及第 3 半導體領域。

8 3 . 如申請專利範圍第 1 3 項之裝置，其中該閘極溝部偏向該第 2 半導體領域附近配置。

8 4 . 如申請專利範圍第 1 4 項之裝置，其中該閘極溝部偏向該第 2 半導體領域附近配置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

85. 如申請專利範圍第13項之裝置，其中該閘極溝部在該第1半導體領域內成為鋸齒狀的配置許多個。

86. 如申請專利範圍第14項之裝置，其中該閘極溝部在該第1半導體領域中成為鋸齒狀的配置許多個。

87. 如申請專利範圍第13項之裝置，其中該閘極填埋電極完全填埋該閘極溝部。

88. 如申請專利範圍第14項之裝置，其中該閘極填埋電極完全填埋該閘極溝部。

89. 如申請專利範圍第13項之裝置，其中該閘極填埋電極係分割的配置在該閘極溝部內許多個。

90. 如申請專利範圍第14項之裝置，其中該閘極填埋電極係分割的配置在該閘極溝部內許多個。

91. 如申請專利範圍第89項之裝置，其中在許多閘極填埋電極間之該閘極溝部內又具有填埋絕緣膜。

92. 如申請專利範圍第90項之裝置，其中在許多閘極填埋電極間之該閘極溝部內又具有填埋絕緣物。

93. 如申請專利範圍第91項之裝置，其中在許多閘極填埋電極之間又連接閘極電阻。

94. 如申請專利範圍第92項之裝置，其中在許多閘極填埋電極之間又連接閘極電阻。

95. 如申請專利範圍第85項之裝置，其中具有連接許多閘極溝部內之各閘極填埋電極之閘極電阻。

96. 如申請專利範圍第86項之裝置，其中具有連接許多閘極溝部內之各閘極填埋電極之閘極電阻。

六、申請專利範圍

97. 如申請專利範圍第19項之裝置，其中在該第1半導體領域周邊又形成由V型溝所構成之元件分離領域。

98. 如申請專利範圍第21項之裝置，其中在該第1半導體領域周邊又形成由V型溝所構成之元件分離領域。

99. 如申請專利範圍第23項之裝置，其中在該第1半導體領域之周邊又形成由V型溝所構成之元件分離領域。

100. 如申請專利範圍第43項之裝置，其中在該第1半導體領域之周邊又形成由V型溝所構成之元件分離領域。

101. 如申請專利範圍第45項之裝置，其中在該第1半導體領域之周邊又形成由V型溝所構成之元件分離領域。

102. 如申請專利範圍第47項之裝置，其中在該第1半導體領域之周邊又形成由V型溝所構成之元件分離領域。

103. 如申請專利範圍第20項之裝置，其中鄰接於該第3半導體領域又形成第1導電型第5半導體領域。

104. 如申請專利範圍第44項之裝置，其中鄰接於該第3半導體領域又形成第1導電型第5半導體領域。

105. 如申請專利範圍第103項之裝置，其中又包括接觸該第3、第5半導體領域形成之第2閘極溝部，

六、申請專利範圍

形成於該第 2 閘極溝部之側壁部之第 2 閘極絕緣膜，及填埋該第 2 閘極絕緣膜之至少一部分之第 2 閘極填埋電極。

1 0 6 . 如申請專利範圍第 1 0 4 項之裝置，其中又包括接觸該第 3，第 5 半導體領域形成之第 2 閘極溝部，形成於該第 2 閘極溝部之側壁部之第 2 閘極絕緣膜，及填埋該第 2 閘極絕緣膜之至少一部分之第 2 閘極填埋電極。

1 0 7 . 如申請專利範圍第 1 0 5 項之裝置，其中該第 2 閘極溝部深達該 S O I 絕緣膜之深度。

1 0 8 . 如申請專利範圍第 1 0 6 項之裝置，其中該第 2 閘極溝部深達該半導體基板之深度。

1 0 9 . 如申請專利範圍第 1 7 項之裝置，其中各閘極溝部間之間隔中，靠近該第 2 半導體領域之部分之數值 S_E 與靠近該第 3 半導體領域之部分之各閘極溝部間之間隔 S_C 不同。

1 1 0 . 如申請專利範圍第 2 0 項之裝置，其中各閘極溝部間之間隔中，靠近該第 2 半導體領域之部分之數值 S_E 與靠近該第 3 半導體領域之部分之各閘極溝部間之間隔 S_C 不同。

1 1 1 . 如申請專利範圍第 2 2 項之裝置，其中各閘極溝部間之間隔中，靠近該第 2 半導體領域之部分之數值 S_E 與靠近該第 3 半導體領域之部分之各閘極溝部間之間隔 S_C 不同。

1 1 2 . 如申請專利範圍第 2 3 項之裝置，其中各閘極溝部間之間隔中，靠近該第 2 半導體領域之部分之數值

六、申請專利範圍

S_E 與靠近該第 3 半導體領域之部分之各閘極溝部間之間隔 S_C 不同。

1 1 3 . 如申請專利範圍第 4 1 項之裝置，其中各閘極溝部間之間隔中，靠近該第 2 半導體領域之部分之數值 S_E 與靠近該第 3 半導體領域之部分之各閘極溝部間之間隔 S_C 不同。

1 1 4 . 如申請專利範圍第 4 4 項之裝置，其中各閘極溝部間之間隔中，靠近該第 2 半導體領域之部分之數值 S_E 與靠近該第 3 半導體領域之部分之各閘極溝部間之間隔 S_C 不同。

1 1 5 . 如申請專利範圍第 4 6 項之裝置，其中各閘極溝部間之間隔中，靠近該第 2 半導體領域之部分之數值 S_E 與靠近該第 3 半導體領域之部分之各閘極溝部間之間隔 S_C 不同。

1 1 6 . 如申請專利範圍第 4 7 項之裝置，其中各閘極溝部間之間隔中，靠近該第 2 半導體領域之部分之數值 S_E 與靠近該第 3 半導體領域之部分之各閘極溝部間之間隔 S_C 不同。

1 1 7 . 如申請專利範圍第 1 0 9 , 1 1 0 , 1 1 1 , 1 1 2 , 1 1 3 , 1 1 4 , 1 1 5 , 或 1 1 6 項所述之裝置，其中該 S_E 與該 S_C 之間具有 $S_E > S_C$ 之關係。

1 1 8 . 如申請專利範圍第 1 0 9 , 1 1 0 , 1 1 1 , 1 1 2 , 1 1 3 , 1 1 4 , 1 1 5 , 或 1 1 6 項所述之裝置，其中該 S_C 為 $5 \mu m$ 以下。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

1 1 9 . 如申請專利範圍第 2 0 , 2 2 , 2 3 , 4 4 , 4 6 或 4 7 項之裝置, 其中又具有連接該第 2 半導體領域與該第 4 半導體領域之表面電極。

1 2 0 . 如申請專利範圍第 2 2 , 2 3 , 4 6 , 4 7 , 1 0 3 , 1 0 4 , 1 0 5 , 1 0 6 或 1 0 7 項之裝置, 其中又具有連接該第 3 半導體領域與該第 5 半導體領域之表面電極。

1 2 1 . 如申請專利範圍第 2 0 項之裝置, 其中又具有連接與該第 2 半導體領域之第 2 導電型第 5 半導體領域與該第 2 , 第 5 半導體領域之表面電極, 該閘極溝部接觸該第 1 , 第 4 , 第 5 半導體領域, 該第 4 半導體領域係設在該第 1 半導體領域之一部分之兩旁之一對高不純物密度領域, 而且以被該一對高不純物密度領域挾持之該第 1 半導體領域做為該主電流之電流通路。

1 2 2 . 如申請專利範圍第 4 4 項之裝置, 其中又具有接觸該第 2 半導體領域之第 2 導電型第 5 半導體領域, 連接第 2 與第 5 半導體領域之表面電極, 該閘極溝部接觸該第 1 , 第 4 , 第 5 半導體領域, 該第 4 半導體領域係設在該第 1 半導體領域之一部分之兩旁之一對高不純物密度領域, 而且以被該高不純物密度領域挾持之該第 1 半導體領域做為該主電流之電流通路。

1 2 3 . 如申請專利範圍第 1 2 1 或 1 2 2 項之裝置, 其中該第 1 半導體領域中選定該一對高不純物密度領域間之間隔及該第 1 半導體領域之不純物密度, 使其成為在

六、申請專利範圍

閘極 0 偏壓時，由於從該一對高不純物密度領域延伸之耗盡層而成為夾斷。

1 2 4 . 如申請專利範圍第 1 2 1 或 1 2 2 項之裝置，其中在該第 4 與第 5 半導體領域之間又具有不純物密度高於該第 1 半導體領域之第 1 導電型第 6 半導體領域。

1 2 5 . 如申請專利範圍第 1 2 項之裝置，其中在該第 6 半導體領域表面又形成第 2 閘極絕緣膜，又在該第 2 閘極絕緣膜表面形成表面閘極，該表面閘極連接於該閘極填埋電極。

1 2 6 . 如申請專利範圍第 2 0 項之裝置，其中又包括接觸該第 2 半導體領域而形成於該第 1 半導體領域表面附近之第 2 導電型第 5 半導體領域，形成於該第 2 半導體領域與該第 4 半導體領域之間，接觸該第 5 半導體領域之第 1 導電型第 6 半導體領域，及連接該第 2 與第 5 半導體領域之表面金屬電極，該閘極溝部接觸該第 4 及第 6 半導體領域。

1 2 7 . 如申請專利範圍第 4 4 項之裝置，其中又包括接觸該第 2 半導體領域，而且形成於該第 1 半導體領域之表面附近之第 2 導電型第 5 半導體領域，設在該第 2 半導體領域與第 4 半導體領域之間，而且接觸該第 5 半導體領域之第 1 導電型第 6 半導體領域，及連接該第 2 與第 5 半導體領域之表面金屬電極，該閘極溝部接觸該第 4 及第 6 半導體領域。

1 2 8 . 如申請專利範圍第 2 0 項之裝置，其中又包

六、申請專利範圍

括設在該第 4 半導體領域之表面附近，與該第 2 半導體領域分離之第 1 導電型第 5 半導體領域，設在該第 1 與第 4 半導體領域之分界面附近，接觸該第 5 半導體領域之不純物密度高於該第 4 半導體領域之第 2 導電型第 6 半導體領域，及連接該第 5 與第 6 半導體領域之表面金屬電極，該閘極溝部接觸該第 4 半導體領域。

1 2 9 . 如申請專利範圍第 4 4 項之裝置，其中又包括設在該第 4 半導體領域之表面附近，與該第 2 半導體領域分離之第 1 導電型第 5 半導體領域，設在該第 1 與第 4 半導體領域之分界面附近，接觸該第 5 半導體領域之不純物密度高於該第 4 半導體領域之第 2 導電型第 6 半導體領域，及連接該第 5 與第 6 半導體領域之表面金屬電極，該閘極溝部接觸該第 4 半導體領域。

1 3 0 . 如申請專利範圍第 2 0 , 2 1 , 2 2 , 2 3 , 4 4 , 4 5 , 4 6 或 4 7 項之裝置，其中該閘極溝部之形狀為梳子狀，在相當於該梳子齒部之部分之閘極溝部與閘極溝部間之該第 4 半導體領域中形成該主電流之通路，該第 2 及第 4 半導體領域被分割成許多個領域。

1 3 1 . 如申請專利範圍第 1 3 0 項之裝置，其中在該基板上排列至少具有該閘極溝部，第 1 , 第 2 , 第 3 及第 4 半導體領域之許多單元晶胞。

1 3 2 . 如申請專利範圍第 1 3 1 項之裝置，其中許多個單元晶胞被表面配線並聯。

1 3 3 . 如申請專利範圍第 1 3 1 項之裝置，其中許

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

多個單元晶胞被表面配線串聯。

1 3 4 . 如申請專利範圍第 2 0 , 2 1 , 2 2 , 2 3 , 4 4 , 4 5 , 4 6 或 4 7 項之裝置, 其中閘極溝部接觸該第 4 半導體領域, 在該第 4 半導體領域中形成該電流通路, 該閘極溝部之寬度 W 於該閘極溝部間之間隔 S 。

1 3 5 . 如申請專利範圍第 2 0 , 2 1 , 2 2 , 2 3 , 4 4 , 4 5 , 4 6 或 4 7 項之裝置, 其中該閘極溝部之形狀為具有實質上成為直角之許多彎折部之週期性蛇行狀, 而且在被該閘極溝部挾持之該第 4 半導體領域中形成有該主電流之通路。

1 3 6 . 如申請專利範圍第 1 3 5 項之裝置, 其中以該蛇行狀閘極溝部使第 2 及第 4 半導體領域之一定部分成為電氣上之浮動狀態, 以其餘之該第 2 及第 4 半導體領域做為活性領域, 又在該第 2 及第 4 半導體領域上部形成連接該第 2 與第 4 半導體領域之表面金屬電極。

1 3 7 . 如申請專利範圍第 2 0 , 2 1 , 2 2 , 2 3 , 4 4 , 4 5 , 4 6 或 4 7 項之裝置, 其中該閘極溝部係鄰接於該第 4 半導體領域形成許多個以便將該第 4 半導體領域分割成許多個, 在該第 4 半導體領域中形成該主電流之通路, 以該第 1 , 第 2 , 第 3 , 第 4 半導體領域, 及許多閘極溝部構成單元晶胞, 在該基板上排列許多個該單元晶胞。

1 3 8 . 如申請專利範圍第 1 3 7 項之裝置, 其中該單元晶胞由表面配線串聯。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

1 3 9 . 如申請專利範圍第 1 3 7 項之裝置，其中該單元晶胞由表面配線並聯。

1 4 0 . 一種半導體裝置，其特徵為至少包括：至少具有 1 個主表面之基板；具有與設在該基板上部之該主面實質上成為平行之主表面之第 1 半導體領域；形成於該第 1 半導體領域之一部分，成為第 1 主電極領域之第 2 半導體領域；形成於該第 1 半導體領域之一部分，與該第 2 半導體領域分離之成為第 2 主電極領域之第 3 半導體領域；形成於該第 2 與第 3 半導體領域間之該第 1 半導體領域之一部分，具有與該主表面實質上成為垂直之側壁而且從該第 1 半導體領域表面朝向內部之間極溝部，禁帶寬度大於形成在該間極溝部之該側壁部之該第 1 半導體領域之禁帶寬度之第 4 半導體領域；及形成在該第 4 半導體領域表面至少填埋該間極溝部之一部分之間極填埋電極，通過該第 1 與第 2 主電極領域間之主電流中，由最靠近該間極填埋電極之該間極填埋電極所控制之電流成分之方向實質上與該主面成為平行，該主電流之分佈方向與主表面成為垂直。

1 4 1 . 如申請專利範圍第 1 4 0 項之裝置，其中該基板為半絕緣性半導體基板。

1 4 2 . 如申請專利範圍第 1 4 1 項之裝置，其中該第 1 半導體領域之周邊由元件分離領域包圍。

1 4 3 . 如申請專利範圍第 1 4 2 項之裝置，其中該元件分離領域係高電阻半導體領域。

六、申請專利範圍

1 4 4 . 如申請專利範圍第 1 4 2 項之裝置，其中該元件分離領域係由絕緣體所構成之絕緣分離領域。

1 4 5 . 如申請專利範圍第 1 4 0 項之裝置，其中該第 1，第 2，第 3，第 4 半導體領域係化合物半導體領域。

1 4 6 . 如申請專利範圍第 1 4 5 項之裝置，其中該第 1 半導體領域係 GaAs，該第 4 半導體領域為 AlGaAs。

1 4 7 . 如申請專利範圍第 1 4 5 項之裝置，其中該第 1 與第 4 半導體領域之間又形成禁帶寬度小於該第 4 半導體領域之禁帶寬度之第 5 半導體領域。

1 4 8 . 如申請專利範圍第 1 4 7 項之裝置，其中該第 1 半導體領域係 GaAs，該第 4 半導體領域係 AlGaAs，該第 5 半導體領域為 InGaAs。

1 4 9 . 如申請專利範圍第 1 4 7 項之裝置，其中該第 1 半導體領域係 InP，該第 4 半導體領域係 InAlAs，該第 5 半導體領域為 InGaAs。

1 5 0 . 一種半導體裝置，其特徵為：以形成在半導體表面之溝部與溝部間做為通道領域，通過該通道領域之主電流朝向平行於半導體表面之方向流通，該主電流之分佈方向與半導體表面成為垂直。

1 5 1 . 如申請專利範圍第 1 5 0 項之裝置，其中該半導體裝置為絕緣閘極型半導體裝置。

1 5 2 . 如申請專利範圍第 1 5 1 項之裝置，其中該

六、申請專利範圍

半導體裝置係 M O S F E T 。

1 5 3 . 如申請專利範圍第 1 5 1 項之裝置，其中該半導體裝置係 M O S S I T 。

1 5 4 . 如申請專利範圍第 1 5 1 項之裝置，其中該半導體裝置係 I G B T 。

1 5 5 . 如申請專利範圍第 1 5 1 項之裝置，其中該半導體裝置係 M O S 複合裝置。

1 5 6 . 如申請專利範圍第 1 5 5 項之裝置，其中該 M O S 複合裝置係 M C - S I T H 。

1 5 7 . 如申請專利範圍第 1 5 5 項之裝置，其中該 M O S 複合裝置係 M C T 。

1 5 8 . 如申請專利範圍第 1 5 5 項之裝置，其中該 M O S 複合裝置係 E S T 。

1 5 9 . 如申請專利範圍第 1 5 0 項之裝置，其中該 M O S 複合裝置為 H E M T 。

1 6 0 . 一種半導體裝置，其特徵為：以第 1 半導體領域之一部分之耗盡層及由耗盡層挾持之領域做為通道領域，通過該通道領域之主電流朝向平行於該第 1 半導體領域之主表面之方向流通，該主電流之分佈方向與該主表面成為垂直。

1 6 1 . 如申請專利範圍第 1 6 0 項之裝置，其中該耗盡層係由形成於該第 1 半導體領域之主表面之一部分之溝部之側壁表面之閘極絕緣膜，及形成於閘極絕緣膜表面之閘極所構成。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

1 6 2 . 如申請專利範圍第 1 6 0 項之裝置，其中該耗盡層係由與該第 1 半導體領域相反之導電型第 2 半導體領域與該第 1 半導體領域所構成之 p n 接合所形成，該 p n 接合之分界面與該第 1 半導體領域之主表面實質上成爲垂直。

1 6 3 . 如申請專利範圍第 1 6 0 項之裝置，其中該耗盡層係由設在填埋於形成在該第 1 半導體領域之主表面之一部分之溝部內之金屬，與該第 1 半導體領域之間之肖特基接合所形成，該肖特基接合之分界面與該第 1 半導體領域之主表面實質上成爲垂直。

1 6 4 . 一種半導體裝置之製造方法，其特徵爲至少包括：經由底面絕緣膜在一定之基板上形成第 1 半導體領域之第 1 過程；在該第 1 半導體領域之一定部分形成深達該底面絕緣膜之第 1 及第 2 溝之第 2 過程；以該第 1 及第 2 溝之側壁做爲擴散窗，在該第 1 半導體領域上朝向橫方向擴散不純物而形成第 2 及第 3 半導體領域之第 3 過程；在與該第 1，第 2 溝成爲垂直之方向形成第 3 及第 4 溝部，以該第 1，第 2，第 3 及第 4 溝部包圍該第 1，第 2，及第 3 半導體領域，又在該第 1 半導體領域內形成閘極溝部之第 4 過程；在該第 1 ~ 4 溝部表面形成元件分離絕緣膜，在該閘極溝部表面形成閘極絕緣膜之第 5 過程；及在該第 1 ~ 第 4 溝部填埋絕緣物，在該閘極溝部填埋該填埋閘極之第 6 過程。

1 6 5 . 如申請專利範圍第 ~~1 0 4~~ 項之方法，其中該

六、申請專利範圍

第 1 半導體領域係第 1 導電型半導體領域，在該第 3 過程中擴散之不純物為第 1 導電型不純物。

1 6 6 . 一種半導體裝置之製造方法，其特徵為至少包括：經由底面絕緣膜在一定之基板上形成第 1 半導體領域之過程；在該第 1 半導體領域之一定部分形成深達該底面絕緣膜之第 1 及第 2 溝之過程；以該第 1 溝之側壁為擴散窗，在該第 1 半導體領域內朝向橫方向擴散第 1 及第 2 不純物而形成第 2 及第 4 半導體領域之過程；以該第 2 溝之側壁做為擴散窗，將該第 2 不純物朝向橫方向擴散而形成第 3 半導體領域之過程；在與該第 1，第 2 溝成為垂直之方向形成第 3 及第 4 溝部，以該第 1，第 2，第 3，及第 4 溝部包圍該第 1，第 2，及第 3 半導體領域，又在該第 1 半導體領域內形成閘極溝部之過程；在該第 1 ~ 4 溝部表面形成元件分離絕緣膜，在該閘極溝部表面形成閘極絕緣膜之過程；及在該第 1 ~ 4 溝部內填埋絕緣膜，在該閘極溝部內填埋該填埋閘極之過程。

1 6 7 . 如申請專利範圍第 1 6 6 項之方法，其中該第 1 半導體領域係第 1 導電型半導體領域，該第 1 不純物為第 1 導電型不純物，該第 2 不純物為第 2 導電型不純物。

1 6 8 . 如申請專利範圍第 1 6 7 項之方法，其中在形成第 2 及第 4 半導體領域之過程中，在第 1 不純物之擴散之前，先擴散該第 2 不純物。

1 6 9 . 如申請專利範圍第 1 6 7 項之方法，其中該

六、申請專利範圍

第 2 不純物之擴散係數大於該第 1 不純物之擴散係數，在該形成第 2 及第 4 半導體領域之過程中同時擴散該第 1 及第 2 不純物。

1 7 0 . 如申請專利範圍第 1 6 4 或 1 6 5 項之方法，其中該閘極絕緣膜係利用熱氧化法形成。

1 7 1 . 如申請專利範圍第 1 6 4 或 1 6 5 項之方法，其中該閘極溝部及該第 1 ~ 4 溝部係利用 C V D 法填埋。

1 7 2 . 如申請專利範圍第 1 7 1 項之方法，其中在該閘極溝部內填埋添加不純物之多結晶矽，在該第 1 ~ 4 溝部內填埋不添加不純物之多結晶矽。

1 7 3 . 如申請專利範圍第 1 6 6，1 6 7，1 6 8 或 1 6 9 項之方法，其中該閘極絕緣膜係利用熱氧化法形成。

1 7 4 . 如申請專利範圍第 1 6 6，1 6 7，1 6 8 或 1 6 9 項之方法，其中該閘極溝部及該第 1 ~ 4 溝部係利用 C V D 法填埋。

1 7 5 . 如申請專利範圍第 1 7 4 項之方法，其中在該閘極溝部內填埋添加不純物之多結晶矽，在該第 1 ~ 4 溝部內填埋不添加不純物之多結晶矽。

1 7 6 . 一種半導體裝置之製造方法，其特徵為至少包括：經由底面絕緣膜在一定之基板上形成第 1 半導體領域之第 1 過程；在該第 1 半導體領域之一定部分形成深達該底面絕緣膜之第 1 溝之第 2 過程；以該第 1 溝之側壁做

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

為擴散窗在該第 1 半導體領域內朝向橫方向擴散第 1 不純物而形成第 3 半導體領域之第 3 過程；以絕緣物填埋該第 1 溝部之第 4 過程；在該第 1 半導體領域之一定部分形成深達該底面絕緣膜之第 2 溝之第 5 過程；及以該第 2 溝之側壁為擴散窗，在該第 1 半導體領域內朝向橫方向擴散第 2 不純物而形成第 2 半導體領域之第 6 過程。

1 7 7 . 如申請專利範圍第 1 7 6 項之方法，其中在該第 6 過程之前又包括以該第 2 溝之側壁做為擴散窗在該第 1 半導體領域內朝向橫方向擴散第 3 不純物，形成鄰接該第 2 半導體領域之第 4 半導體領域之過程。

1 7 8 . 如申請專利範圍第 1 7 6 項之方法，其中該第 1 半導體領域係第 1 導電型，該第 1 不純物為第 2 導電型，該第 2 不純物為第 1 導電型。

1 7 9 . 如申請專利範圍第 1 7 7 項之方法，其中該第 1 半導體領域係第 1 導電型，該第 1，第 3 不純物為第 2 導電型，該第 2 不純物為第 1 導電型。

(請先閱讀背面之注意事項再填寫本頁)

訂

電