

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年1月14日(14.01.2016)



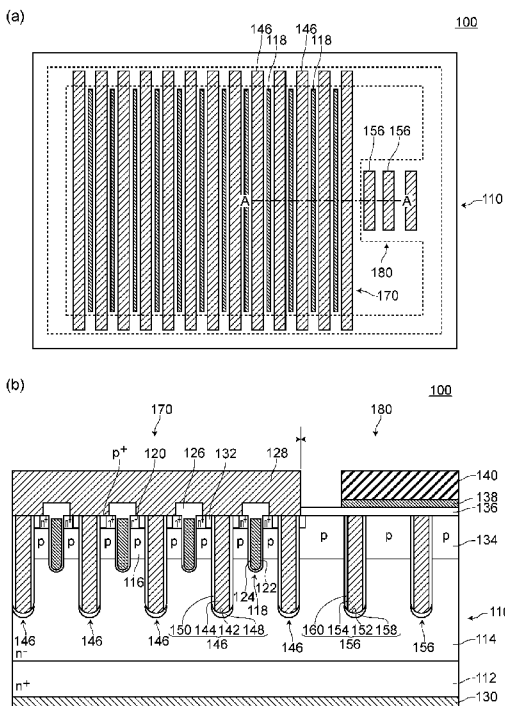
(10) 国際公開番号
WO 2016/006263 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/12 (2006.01)
H01L 21/336 (2006.01) H01L 29/739 (2006.01)
H01L 29/06 (2006.01)
- (21) 国際出願番号: PCT/JP2015/050989
- (22) 国際出願日: 2015年1月15日(15.01.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-143224 2014年7月11日(11.07.2014) JP
- (71) 出願人: 新電元工業株式会社 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 Tokyo (JP).
- (72) 発明者: 井上 徹人 (INOUE, Tetsuto); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 菅井 昭彦 (SUGAI, Akihiko); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 中村 俊一 (NAKAMURA, Shunichi); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP).
- (74) 代理人: 松尾 誠剛 (MATSUO, Nobutaka); 〒3990214 長野県諏訪郡富士見町落合9862番地60 めぶき特許事務所 Nagano (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置及び半導体装置の製造方法



(57) Abstract: This semiconductor device (100) is a semiconductor device in which an element part (170) and a gate pad part (180) are provided on the same wide-gap semiconductor substrate (110). The element part (170) has a first trench structure (146) including: a plurality of first protection trenches (142) each being opened in a body layer (116) in a region between adjacent gate trenches (118), the first protection trenches being formed so as to be deeper than the gate trenches (118); and a first embedded layer (144) formed inside each first protection trench (142). The gate pad part (180) has a second trench structure (156) including: a plurality of second protection trenches (152); and a second embedded layer (154) formed inside each second protection trench (152). This semiconductor device (100) provides a semiconductor device that has high voltage resistance and in which variations in electric characteristics are less likely to occur.

(57) 要約: 本発明の半導体装置100は、素子部170と、ゲートパッド部180とを同一のワイドギャップ半導体基板110に備える半導体装置であって、素子部170は、隣接するゲートトレンチ118の間の領域においてボディ層116を開口しゲートトレンチ118よりも深く形成されている複数の第1保護トレンチ142と、各第1保護トレンチ142のそれぞれの内側に形成されている第1埋込層144とを有する第1トレンチ構造146をさらに有し、ゲートパッド部180は、複数の第2保護トレンチ152と、各第2保護トレンチ152のそれぞれの内側に形成されている第2埋込層154とを有する第2トレンチ構造156をさらに有する。本発明の半導体装置100によれば、高耐圧、かつ、電気特性にバラツキが生じ難い半導体装置となる。

WO 2016/006263 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置及び半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置及び半導体装置の製造方法に関する。

背景技術

[0002] 従来、素子部とゲートパッド部とを同一の半導体基板に備える半導体装置が知られている（例えば、特許文献1参照。）。

[0003] 図23は、従来の半導体装置900を説明するために示す図である。図23中、符号926は保護絶縁膜を示す。

[0004] 従来の半導体装置900は、図23に示すように、素子部970とゲートパッド部980とを同一の半導体基板910に備える。

[0005] 素子部970は、 n^+ 型の低抵抗半導体層912、低抵抗半導体層912上に位置する n^- 型のドリフト層914、ドリフト層914上に位置する p 型のボディ層916、ボディ層916を開口しドリフト層914に達するように形成されているゲートトレンチ918、ボディ層916内に配置され少なくとも一部をゲートトレンチ918の内周面に露出させた状態で形成されている n 型のソース領域920、ゲートトレンチ918の内周面に形成されているゲート絶縁層922、ゲート絶縁層922を介してゲートトレンチ918の内側に形成されているゲート電極層924及びゲート電極層924とは絶縁されソース領域920と接した状態で形成されているソース電極層928を有する。なお、ゲートトレンチ918はドライエッチング法により形成されている。

[0006] ゲートパッド部980は、 n^+ 型の低抵抗半導体層912、低抵抗半導体層912上に位置する n^- 型のドリフト層914、ドリフト層914を開口し素子部970のゲートトレンチ918と同じ深さになるように形成されているメサ溝952、メサ溝952の上方に形成されている絶縁層936、絶縁層936上に形成されている下層ゲート配線938、下層ゲート配線938の

上方に形成されている上層ゲート配線940を有する。上層ゲート配線940は、下層ゲート配線938の上方に保護絶縁膜926を介して形成されており、上層ゲート配線940は、保護絶縁膜926に形成されたコンタクトホールを介して下層ゲート配線938と電氣的に接続されている。メサ溝952は、ドライエッチング法によりゲートパッド部980全域に形成されている。

[0007] 従来の半導体装置900によれば、ゲートトレンチ918と同じ深さになるようにメサ溝952が形成されているため、逆バイアス時において、素子部970のドリフト層914とボディ層916との間のpn接合から生じドリフト層914に向かって広がる空乏層をゲートパッド部980まで広げることが可能となり、メサ溝952が形成されていない場合と比較して、素子部970とゲートパッド部980との境界付近における当該空乏層の曲率（空乏層の曲がりの度合い）を小さくすることが可能となる。このため、ゲートトレンチ918のうちゲートパッド部980に最も近いゲートトレンチにおけるゲート絶縁層に電界が集中し難くなり、絶縁破壊が起こり難くなる。その結果、高耐圧の半導体装置となる。

先行技術文献

特許文献

[0008] 特許文献1：特開2002-373988号公報

発明の概要

発明が解決しようとする課題

[0009] しかしながら、ゲートトレンチ918と、ゲートトレンチ918よりも開口幅が大幅に広いメサ溝952とを同じ深さになるように形成することは容易ではなく、製造される半導体装置の電気特性にバラツキが生じるおそれがある。例えば、ゲートトレンチ918とメサ溝952とを一括して形成する場合には、素子部970とゲートパッド部980とのエッチング形状及び／又はエッチング速度が大きく異なるため、ゲートトレンチ918の深さとメ

サ溝 9 5 2 の深さとが大きく異なる場合がある。また、半導体装置を製造する工程において、ゲートトレンチ 9 1 8 とメサ溝 9 5 2 とを別個に形成する場合には、両者の深さは、製造バラツキの範囲内で異なることとなる。

[0010] そこで、本発明は、上記した事情に鑑みてなされたものであり、高耐圧、かつ、電気特性にバラツキが生じ難い半導体装置を提供することを目的とする。また、そのような半導体装置を製造する半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0011] 本発明の発明者らは、上記課題を解決するために鋭意研究を重ねた結果、ゲートパッド部に開口幅が大幅に広いメサ溝を形成する代わりに第 2 トレンチ構造を形成し、さらに素子部に第 1 トレンチ構造を形成することによって、高耐圧、かつ、電気特性にバラツキが生じ難い半導体装置となることを見出し、本発明を完成させるに至った。

[0012] [1] 本発明の半導体装置は、第 1 導電型のドリフト層、前記ドリフト層上に位置し前記第 1 導電型とは反対の第 2 導電型のボディ層、前記ボディ層を開口し前記ドリフト層に達するように形成されているゲートトレンチ、前記ボディ層内に配置され少なくとも一部を前記ゲートトレンチの内周面に露出させた状態で形成されている前記第 1 導電型のソース領域、前記ゲートトレンチの内周面に形成されているゲート絶縁層、前記ゲート絶縁層を介して前記ゲートトレンチの内側に形成されているゲート電極層及び前記ゲート電極層とは絶縁され前記ソース領域と接した状態で形成されているソース電極層を有する素子部と、第 1 導電型のドリフト層、前記ドリフト層上に位置する前記第 2 導電型の第 2 導電型半導体層、前記第 2 導電型半導体層上に形成されている絶縁層、前記絶縁層上に形成されているゲート配線を有するゲートパッド部とを同一のワイドギャップ半導体基板に備える半導体装置であって、前記素子部は、隣接する前記ゲートトレンチの間の領域において前記ボディ層を開口し前記ゲートトレンチよりも深く形成されている複数の第 1 保護トレンチと、前記複数の第 1 保護トレンチのそれぞれの内側に形成されてい

る第1埋込層とを有する第1トレンチ構造をさらに有し、前記ゲートパッド部は、前記第2導電型半導体層を開口し前記ゲートトレンチよりも深く形成されている複数の第2保護トレンチと、前記複数の第2保護トレンチのそれぞれの内側に形成されている第2埋込層とを有する第2トレンチ構造をさらに有することを特徴とする。

- [0013] [2] 本発明の半導体装置においては、前記第2保護トレンチの開口幅は、前記第1保護トレンチの開口幅と等しいことが好ましい。
- [0014] [3] 本発明の半導体装置においては、前記第2保護トレンチの深さは、前記第1保護トレンチの深さと等しいことが好ましい。
- [0015] [4] 本発明の半導体装置においては、前記第1保護トレンチ及び前記第2保護トレンチは同一工程で形成されたものであることが好ましい。
- [0016] [5] 本発明の半導体装置においては、前記第2トレンチ構造は、少なくとも前記第2保護トレンチの底部に形成されている第2導電型の第2半導体領域と、前記第2保護トレンチの側部に形成されている第2側壁絶縁層とをさらに有し、前記第2埋込層は、導電体からなることが好ましい。
- [0017] [6] 本発明の半導体装置においては、前記第2トレンチ構造は、少なくとも前記第2保護トレンチの底部に形成されている第2導電型の第2半導体領域と、前記第2保護トレンチの内周面に形成されている内周面絶縁層とをさらに有し、前記第2埋込層は、導電体からなることが好ましい。
- [0018] [7] 本発明の半導体装置においては、前記第2トレンチ構造は、少なくとも前記第2保護トレンチの底部及び側部に形成されている第2導電型の第2半導体領域と、前記第2保護トレンチの側部に形成されている第2側壁絶縁層とをさらに有し、前記第2埋込層は、導電体からなることが好ましい。
- [0019] [8] 本発明の半導体装置においては、前記第2トレンチ構造は、少なくとも前記第2保護トレンチの底部及び側部に形成されている第2導電型の第2半導体領域をさらに有し、前記第2埋込層は、導電体からなることが好ましい。
- [0020] [9] 本発明の半導体装置においては、前記第2トレンチ構造は、前記第2

保護トレンチの内周面に形成されている内周面絶縁層をさらに有し、前記第2埋込層は、導電体からなることが好ましい。

[0021] [10] 本発明の半導体装置においては、前記導電体は、金属であることが好ましい。

[0022] [11] 本発明の半導体装置においては、前記導電体は、非金属であることが好ましい。

[0023] [12] 本発明の半導体装置においては、前記第2トレンチ構造は、少なくとも前記第2保護トレンチの底部及び側部に形成されている第2導電型の第2半導体領域をさらに有し、前記第2埋込層は、絶縁体からなることが好ましい。

[0024] [13] 本発明の半導体装置においては、前記第2埋込層は、前記第2保護トレンチの底部及び側部で前記ドリフト層とショットキー接触を形成する金属層からなることが好ましい。

[0025] [14] 本発明の半導体装置においては、前記第1トレンチ構造は、少なくとも前記第1保護トレンチの底部に形成されている第2導電型の第1半導体領域と、前記第1保護トレンチの側部に形成されている第1側壁絶縁層とをさらに有し、前記第1埋込層は、前記第1保護トレンチの内部に前記第1半導体領域及び前記第1側壁絶縁層を介して形成された導電体からなることが好ましい。

[0026] [15] 本発明の半導体装置の製造方法は、上記[5]又は[6]に記載の半導体装置を製造する半導体装置の製造方法であって、第1保護トレンチの内周面及び第2保護トレンチの内周面のうちの少なくとも一方の内周面に不純物を導入する不純物導入工程と、前記第1保護トレンチの内周面を熱酸化することによって、前記第1保護トレンチの内周面に熱酸化膜を形成するとともに、前記第1保護トレンチの底部に第1半導体領域を形成する工程、及び、前記第2保護トレンチの内周面を熱酸化することによって、前記第2保護トレンチの内周面に熱酸化膜を形成するとともに、前記第2保護トレンチの底部に第2半導体領域を形成する工程のうちの少なくとも一方の工程を実施

する熱酸化工程と、前記熱酸化工程で形成された前記熱酸化膜を除去する熱酸化膜除去工程とをこの順序で含むことを特徴とする。

発明の効果

[0027] 本発明の半導体装置によれば、ゲートパッド部が複数の第2保護トレンチを有するため、各第2保護トレンチの開口幅は、従来の半導体装置におけるメサ溝の開口幅よりも狭くなる。このため、半導体装置を製造する工程において、第1保護トレンチ及び第2保護トレンチを同時に形成する場合でも、素子部とゲートパッド部とのエッチング形状及び／又はエッチング速度が大きく異なることがなく、第1保護トレンチの深さ及び第2保護トレンチの深さがそれぞれ所望の深さと大きく異なることがない。このため、製造される半導体装置の電気特性にバラツキが生じ難い。

[0028] また、本発明の半導体装置によれば、第1保護トレンチ及び第2保護トレンチがともにゲートトレンチよりも深く形成される。このため、ゲートトレンチと、第1保護トレンチ及び第2保護トレンチとを同じ深さになるように形成する必要がないため、ゲートトレンチの深さ及び第2保護トレンチが製造バラツキの範囲内で所定の深さと異なっても、製造される半導体装置の電気特性にバラツキが生じ難い。

[0029] また、本発明の半導体装置によれば、ゲートパッド部が上記した構造を有する第2トレンチ構造を有するため、従来の半導体装置の場合と同様に、逆バイアス時において、素子部のドリフト層とボディ層との間のpn接合から生じドリフト層に向かって広がる空乏層をゲートパッド部まで広げることが可能となり、素子部とゲートパッド部との境界付近における当該空乏層の曲率（空乏層の曲がりの度合い）を小さくすることが可能となる。このため、ゲートトレンチのうちゲートパッド部に最も近いゲートトレンチにおけるゲート絶縁層に電界が集中し難くなり、絶縁破壊が起こり難くなる。その結果、高耐圧の半導体装置となる。

[0030] また、本発明の半導体装置によれば、素子部が上記した構造を有する第1トレンチ構造を有することから、隣接する第1保護トレンチの間に空乏層を

広げることが可能となる。このため、ゲートトレンチの底部のゲート絶縁層に電界が集中することを緩和できるようになり、ゲートトレンチの底部のゲート絶縁層の絶縁破壊が起こり難くなる。その結果、より一層高耐压の半導体装置となる。

[0031] さらにまた、本発明の半導体装置によれば、素子部とゲートパッド部とを高耐压のワイドギャップ半導体基板に備えるため、より一層高耐压の半導体装置となる。

[0032] 本発明の半導体装置の製造方法によれば、上記した熱酸化工程及び上記した熱酸化膜除去工程を含むため、第1保護トレンチの内周面及び／又は第2保護トレンチの内周面に不純物を導入する際に第1保護トレンチの側壁及び／又は第2保護トレンチの側壁に導入された不純物を熱酸化膜と共に除去することが可能となる。よって、第1保護トレンチの底部のみに第1半導体領域を形成すること及び／又は第2保護トレンチの底部のみに第2半導体領域を形成することが可能となる。

図面の簡単な説明

[0033] [図1]実施形態1に係る半導体装置1を説明するために示す図である。

[図2]実施形態1に係る半導体装置の製造方法を説明するために示す図である

。

[図3]実施形態1に係る半導体装置の製造方法を説明するために示す図である

。

[図4]実施形態1に係る半導体装置の製造方法を説明するために示す図である

。

[図5]実施形態1に係る半導体装置の製造方法を説明するために示す図である

。

[図6]実施形態1に係る半導体装置の製造方法を説明するために示す図である

。

[図7]実施形態1に係る半導体装置の製造方法を説明するために示す図である

。

[図8]実施形態1に係る半導体装置の製造方法を説明するために示す図である。

。

[図9]実施形態1に係る半導体装置の製造方法を説明するために示す図である。

。

[図10]実施形態1に係る半導体装置の製造方法を説明するために示す図である。

[図11]実施形態1に係る半導体装置の製造方法を説明するために示す図である。

[図12]実施形態1に係る半導体装置100の作用効果を説明するために示す図である。

[図13]実施形態2に係る半導体装置100aを説明するために示す図である。

。

[図14]実施形態3に係る半導体装置100bを説明するために示す図である。

。

[図15]実施形態4に係る半導体装置100cを説明するために示す図である。

。

[図16]実施形態5に係る半導体装置100dを説明するために示す図である。

。

[図17]実施形態6に係る半導体装置100eを説明するために示す図である。

。

[図18]実施形態7に係る半導体装置100fを説明するために示す図である。

。

[図19]変形例2に係る半導体装置100gを説明するために示す図である。

[図20]変形例3に係る半導体装置100hを説明するために示す図である。

[図21]変形例4に係る半導体装置100iを説明するために示す図である。

[図22]実施形態8に係る半導体装置200を説明するために示す図である。

[図23]従来の半導体装置900を説明するために示す図である。

発明を実施するための形態

[0034] 以下、本発明の半導体装置及び半導体装置の製造方法について、図に示す実施形態に基づいて説明する。なお、以下の実施形態においては、説明を簡便にするために図示の一部及び説明の一部を省略している。

[0035] [実施形態 1]

1. 実施形態 1 に係る半導体装置 100 の構成

まず、実施形態 1 に係る半導体装置 100 の構成を説明する。

[0036] 図 1 は、実施形態 1 に係る半導体装置 100 を説明するために示す図である。図 1 (a) は半導体装置 100 の平面図であり、図 1 (b) は図 1 (a) の A-A 断面図である。なお、図 1 (b) において、符号 126 は層間絶縁膜を示す。また、図 1 (a) において、層間絶縁膜 126、ソース電極層 128、フィールド酸化層 136、下層ゲート配線 138 及び上層ゲート配線 140 の図示は省略している。

[0037] 実施形態 1 に係る半導体装置 100 は、図 1 に示すように、素子部 170 と、ゲートパッド部 180 とを同一のワイドギャップ半導体基板 110 (以下、単に半導体基板 110 という。) に備える半導体装置である。実施形態 1 においては、半導体基板 110 として 4H-SiC 半導体基板を用いる。

[0038] 素子部 170 は、図 1 (b) に示すように、n 型の低抵抗半導体層 112、低抵抗半導体層 112 上に位置する n 型のドリフト層 114、ドリフト層 114 上に位置する p 型のボディ層 116、ボディ層 116 を開口しドリフト層 114 に達するように形成されている複数のゲートトレンチ 118、ボディ層 116 内に配置され少なくとも一部をゲートトレンチ 118 の内周面に露出させた状態で形成されている n 型のソース領域 120、ゲートトレンチ 118 の内周面に形成されているゲート絶縁層 122、ゲート絶縁層 122 を介してゲートトレンチ 118 の内側に形成されているゲート電極層 124、及び、ゲート電極層 124 とは絶縁されソース領域 120 と接した状態で形成されているソース電極層 128 を有する。

[0039] 素子部 170 は、ボディ層 116 内に配置された状態で形成されている p 型のボディコンタクト領域 132 をさらに有する。また、裏面側 (低抵抗半

導体層 112 側) にはドレイン電極層 130 を有する。

- [0040] 素子部 170 は、隣接するゲートトレンチ 118 の間の領域においてボディ層 116 を開口しゲートトレンチ 118 よりも深く形成されている複数の第 1 保護トレンチ 142 と、各第 1 保護トレンチ 142 のそれぞれの内側に形成されている第 1 埋込層 144 とを有する第 1 トレンチ構造 146 をさらに有する。
- [0041] 第 1 トレンチ構造 146 は、第 1 保護トレンチ 142 の底部に形成されている p 型の第 1 半導体領域 148 と、第 1 保護トレンチ 142 の側部に形成されている第 1 側壁絶縁層 150 とをさらに有する。
- [0042] ゲートトレンチ 118 は、図 1 (a) に示すように、ストライプ状に形成されている。ゲートトレンチ 118 の断面形状は、底部が丸みを帯びた形状である。ゲート電極層 124 は低抵抗のポリシリコンからなる。
- [0043] 層間絶縁膜 126 は例えば CVD 法により形成された SiO₂ 膜からなる。
- [0044] 第 1 保護トレンチ 142 は、ストライプ状に形成されている。第 1 保護トレンチ 142 の断面形状は、底部が丸みを帯びた形状である。第 1 保護トレンチ 142 の深さはドリフト層 114 に達する深さである。第 1 保護トレンチ 142 のピッチはゲートトレンチ 118 のピッチに等しい。
- [0045] 第 1 半導体領域 148 は、第 1 保護トレンチ 142 の底部に形成されている。第 1 側壁絶縁層 150 は、例えば CVD 法により形成された SiO₂ 膜からなる。
- [0046] 第 1 埋込層 144 は、導電体からなる。当該導電体は、例えば金属である。第 1 埋込層 144 は、半導体基板 110 の一方面側 (ソース領域 120 及びボディコンタクト領域 132 が形成されている面側) の表面と概ね面一になるように形成されている。
- [0047] ゲートパッド部 180 は、n 型の低抵抗半導体層 112、低抵抗半導体層 112 上に位置する n 型のドリフト層 114、ドリフト層 114 上に位置する第 2 導電型半導体層 (p 型半導体層) 134、p 型半導体層 134 上に形成されている絶縁層 (フィールド絶縁層) 136、フィールド酸化層 136

上に形成されている下層ゲート配線 138 及び下層ゲート配線 138 の上方に形成されている上層ゲート配線 140 を有する。

[0048] ゲートパッド部 180 は、p 型半導体層 134 を開口しゲートトレンチ 118 よりも深く形成されている複数の第 2 保護トレンチ 152 と、各第 2 保護トレンチ 152 のそれぞれの内側に形成されている第 2 埋込層 154 とを有する第 2 トレンチ構造 156 をさらに有する。

[0049] 第 2 トレンチ構造 156 は、少なくとも第 2 保護トレンチ 152 の底部に形成されている p 型の第 2 半導体領域 158 と、第 2 保護トレンチ 152 の側部に形成されている第 2 側壁絶縁層 160 とをさらに有する。

[0050] 下層ゲート配線 138 は、ポリシリコンからなる。上層ゲート配線 140 は、金属からなり、素子部 170 の外周を囲むように配線されている。上層ゲート配線 140 の一部は素子部 170 に向けて張り出した形状をしており、張り出した部分は外部回路と接続する領域（ゲートパッド部 180）となる。

[0051] 第 2 保護トレンチ 152 は、ストライプ状に形成されている。第 2 保護トレンチ 152 の断面形状は、底部が丸みを帯びた形状である。第 2 保護トレンチ 152 は、第 1 保護トレンチ 142 と同一工程で形成されたものである。第 2 保護トレンチ 152 の深さは、第 1 保護トレンチ 142 の深さと等しい。第 2 保護トレンチ 152 の幅は、実施形態 1 においては第 1 保護トレンチ 142 の幅と等しいが、適宜に変更してもよい。第 2 保護トレンチ 152 のピッチは、第 1 保護トレンチ 142 のピッチと同じにすることも、大きく異ならせることもできる。

[0052] なお、本明細書において「等しい」とは、完全に等しい場合のみならず、実質的に等しい場合を含む。

[0053] 第 2 半導体領域 158 は、第 2 保護トレンチ 152 の底部に形成してなる。

[0054] 第 2 埋込層 154 は、第 1 埋込層 144 と同じ導電体からなる。当該導電体は、例えば金属である。第 2 埋込層 154 は、半導体基板 110 の一方向

側（p型半導体層134が形成されている面側）の表面と概ね面一になるように形成されている。このことにより、フィールド酸化層136、下層ゲート配線138及び上層ゲート配線140が段切れを起こすおそれがなく、配線不良の発生を防ぐことが可能となる。

[0055] 2. 実施形態1に係る半導体装置の製造方法

次に、実施形態1に係る半導体装置の製造方法を以下に示す各工程に沿って説明する。

図2～図11は、実施形態1に係る半導体装置の製造方法を説明するために示す図である。

[0056] (1) 半導体基板準備工程及びソース領域・ボディコンタクト領域形成工程

まず、半導体基板110を準備する。半導体基板110は、低抵抗半導体層112を構成する4H-SiC半導体基板上（低抵抗半導体層112の一方面側）に、ドリフト層114をエピタキシャル成長法により成膜させた後、ボディ層116及びp型半導体層134をエピタキシャル成長法により成膜させることによって形成する。

[0057] 次に、ソース領域120に対応する領域に開口を有するマスク（図示せず。）を形成し、当該マスクを介してイオン打ち込み法によりn型不純物（例えばリンイオン）を導入する。次に、ボディコンタクト領域132に対応する領域に開口を有するマスク（図示せず。）を形成し、当該マスクを介してイオン打ち込み法によりp型不純物（例えばアルミニウムイオン）を導入する。次に、n型不純物及びp型不純物の活性化アニール処理を行ってソース領域120及びボディコンタクト領域132を形成する（図2（a）参照。）。

[0058] (2) 第1保護トレンチ及び第2保護トレンチ形成工程

次に、第1保護トレンチ142に対応する領域及び第2保護トレンチ152に対応する領域に、それぞれ開口を有するマスク（SiO₂マスク）M1を形成する。次に、当該マスクM1を用いて異方性ドライエッチング法によりボディ層116及びp型半導体層134を開口し第1保護トレンチ142及

び第2保護トレンチ152を形成する（図2（b）参照。）。

[0059] （3）第1半導体領域及び第2半導体領域形成工程（半導体領域形成工程）
次に、マスクM1を介して第1保護トレンチ142及び第2保護トレンチ152のそれぞれの表面にp型不純物（例えばアルミニウムイオン）をイオン注入して、第1保護トレンチ142の内周面及び第2保護トレンチ152の内周面にp型不純物を導入する（図3（a）参照。図3（a）中、符号148'及び158'はp型不純物が導入された領域を示す。）。その後、マスクM1を除去する。次に、半導体基板110の熱処理を行うことによりp型不純物の活性化アニール処理を行う（図3（b）参照。図3（b）中、符号148'及び158'はp型不純物が活性化された領域を示す。）。なお、ソース領域120及びボディコンタクト領域132の活性化アニール処理を本活性化アニール処理と同時にを行うことにしてもよい。

[0060] 次に、第1保護トレンチ142の内周面を熱酸化することによって、第1保護トレンチ142の内周面に熱酸化膜OF1を形成するとともに、第1保護トレンチ142の底部に第1半導体領域148を形成する工程、及び、第2保護トレンチ152の内周面を熱酸化することによって、第2保護トレンチ152の内周面に熱酸化膜OF1を形成するとともに、第2保護トレンチ152の底部に第2半導体領域158を形成する工程を実施する（熱酸化工程、図4（a）参照。）。次に、エッチングにより熱酸化工程で形成された熱酸化膜OF1を除去する（熱酸化膜除去工程、図4（b）参照。）。

[0061] なお、4H-SiC半導体基板のうちドリフト層114を成膜する側の面が(0001)Si面側の面である場合、第1保護トレンチ142及び第2保護トレンチ152のそれぞれの側部の酸化速度が、底部の酸化速度よりも速いので、側部における不純物が導入された領域全てが熱酸化膜になったときでも、底部における不純物が導入された領域全てが熱酸化膜になるわけではない。このため、その後、熱酸化膜を除去した場合であっても、第1保護トレンチ142の底部に第1半導体領域148が残るとともに、第2保護トレンチ152の底部に第2半導体領域158が残ることとなる。

[0062] (4) トレンチフィル工程

次に、第1保護トレンチ142の内側及び第2保護トレンチ152の内側を二酸化ケイ素162で埋める(図5(a)参照。)

次に、半導体基板110の表面に保護酸化膜OF2を形成する。次に、素子部170に対応する開口を有するマスク(図示せず。)を形成した後、エッチングを行い、ゲートパッド部180に対応する保護酸化膜OF2を残して素子部170の保護酸化膜OF2を除去する(図5(b)参照。)

[0063] (5) ゲートトレンチ構造形成工程

次に、エッチストップ膜ESを形成する。エッチストップ膜ESは例えば、SiNからなる。次に、ゲートトレンチ118に対応する領域に開口を有するマスク(SiO₂マスク)M2を形成し、当該マスクM2を用いて異方性ドライエッチング法によりエッチストップ膜ESとボディ層116をエッチングしてドリフト層114に達する深さのゲートトレンチ118を形成する(図6(a)参照。)

[0064] その後、マスクM2とエッチストップ膜ESを除去する。次に、CVD法により酸化膜を成膜した後、必要に応じて熱処理することにより、ゲートトレンチ118の内周面及び表面に絶縁酸化膜OF3を形成する。なお、ゲートトレンチ118の内周面に形成された絶縁酸化膜OF3がゲート絶縁層122となる(図6(b)参照。)。なお、ゲート絶縁層122の形成にあたっては、熱酸化法とCVD法を併用することにしてもよく、ゲート絶縁層122の形成に好ましく用いられるその他の方法を適用することにしてもよい。

[0065] 次に、CVD法により、ゲート絶縁層122を介してゲートトレンチ118の内側に低抵抗のポリシリコンを堆積し、パターニングすることにより、ゲート電極層124を形成する(図7(a)参照。)

[0066] (6) 層間絶縁膜の下層部分形成工程

次に、CVD法等を用いてSiO₂からなる酸化膜OF4を素子部170の全域に形成する。

次に、ゲート電極層 1 2 4 に対応する領域上にマスク M 3 を形成し（図 7（b）参照。）、上記した領域以外の領域の絶縁酸化膜 O F 3 及び酸化膜 O F 4 を異方性エッチングにより除去する。この際に、保護酸化膜 O F 2 の一部（または全部）も同時に除去することにしてもよい。このことにより、ゲートトレンチ 1 1 8 の上方に層間絶縁膜の下層部分 1 2 6' を形成する（図 8（a）参照。）。

[0067] （7）二酸化ケイ素 1 6 2 除去工程

次に、層間絶縁膜の下層部分 1 2 6' の上面と露出した側面の全部を包囲しつつ、少なくとも第 1 保護トレンチ 1 4 2 及び第 2 保護トレンチ 1 5 2 に対応する領域が開口されたエッチストップ膜 E S 2（図示せず。）を形成し、保護酸化膜 O F 2 の残部、第 1 保護トレンチ 1 4 2、及び第 2 保護トレンチ 1 5 2 に埋め込まれていた二酸化ケイ素 1 6 2 をバッファードフッ酸で除去する（図 8（b）参照。）。その後、エッチストップ膜 E S 2 を除去する。なお、エッチストップ膜 E S 2 としては、例えば意図的なドーピングをしていないポリシリコンを使用する。

[0068] （8）側壁絶縁層形成工程

次に、第 1 保護トレンチ 1 4 2 及び第 2 保護トレンチ 1 5 2 のそれぞれの内周面に第 1 側壁絶縁層 1 5 0 及び第 2 側壁絶縁層 1 6 0 を形成する。具体的には、酸化膜を素子部 1 7 0 及びゲートパッド部 1 8 0 の全域に形成した後、異方性エッチングにより第 1 保護トレンチ 1 4 2 の側部以外の領域及び第 2 保護トレンチ 1 5 2 の側部以外の領域の酸化膜を除去して第 1 側壁絶縁層 1 5 0 及び第 2 側壁絶縁層 1 6 0 を形成する（図 9（a）参照。）。

[0069] （9）第 1 埋込層及び第 2 埋込層形成工程

次に、例えばスパッタ法により、素子部 1 7 0 及びゲートパッド部 1 8 0 の全域にソースコンタクトメタル（図示せず。）を形成する。次に、層間絶縁膜 1 2 6 に対応する領域のソースコンタクトメタルを除去する。ソースコンタクトメタルを除去することに代えて、層間絶縁膜 1 2 6 に対応する領域に、予めバリアメタルを形成しておくことにしてもよい。次に半導体基板 1

10の他方面側（低抵抗半導体層112側）にドレインコンタクトメタル（図示せず。）を形成する。その後、例えば1000℃で熱処理を行って、ソース領域120並びにボディコンタクト領域132とソースコンタクトメタルとの間、低抵抗半導体層112とドレインコンタクトメタルとの間、第1半導体領域148とソースコンタクトメタルとの間、及び、第2半導体領域158とソースコンタクトメタルとの間でそれぞれオーム性接触を得る。

[0070] 次に、CVD法等により、素子部170及びゲートパッド部180の全域に金属層を形成して少なくとも第1保護トレンチ142の内側及び第2保護トレンチ152の内側を金属で満たす（図9（b）参照。）。次に、当該金属をエッチングして第1保護トレンチ142の内側以外の領域及び第2保護トレンチ152の内側以外の領域の金属を除去して、第1保護トレンチ142の内側に金属からなる第1埋込層144を形成するとともに第2保護トレンチ152の内側に金属からなる第2埋込層154を形成する（図10（a）参照。）。このとき、第1保護トレンチ142の上面及び第2保護トレンチ152の上面はどちらも、半導体基板110の表面と概ね面一になるようにするまで金属を除去する。

[0071] （10）フィールド酸化膜形成工程

次に、半導体基板110の表面にフィールド酸化層136を形成する（図10（b）参照。）。このとき、ゲートトレンチ118上において、フィールド酸化層136と層間絶縁膜の下層部分126'とで層間絶縁膜126を構成する。

[0072] 次に、ソース領域120が形成されている領域の一部と、ボディコンタクト領域132及び第1トレンチ構造146が形成されている領域とに開口部を有するマスク（図示せず。）を形成した後、第1埋込層144の上面の酸化膜をエッチングして、ソースコンタクトホール及びゲートコンタクトホール（図示せず。）を開口する（図11（a）参照。）。

[0073] （11）ソース電極層、ゲート配線及びドレイン電極層形成工程

次に、素子部170及びゲートパッド部180の全域に金属層を形成し、

当該金属層を素子部170とゲートパッド部180との間で分断して、ソース電極層128及びゲート配線（下層ゲート配線138及び上層ゲート配線140）を形成する（図11（b）参照。）。次に、半導体基板110の他方面側を覆うようにドレイン電極層130を形成する（図11（b）参照。）。

[0074] 以上の工程を実施することにより、実施形態1に係る半導体装置100を製造することができる。

[0075] 3. 実施形態1に係る半導体装置100及び実施形態1に係る半導体装置の製造方法の効果

図12は、実施形態1に係る半導体装置100の作用効果を説明するために示す図である。図12中、破線は、逆バイアス時において、ドリフト層114とボディ層116及びp型半導体層134との間のpn接合から生じドリフト層114に向かって広がる空乏層を示す。

[0076] 実施形態1に係る半導体装置100によれば、ゲートパッド部180が複数の第2保護トレンチ152を有するため、各第2保護トレンチ152の開口幅は、従来の半導体装置900におけるメサ溝952の開口幅よりも狭くなる。このため、半導体装置を製造する工程中において、第1保護トレンチ142及び第2保護トレンチ152を同時に形成する場合でも、素子部170とゲートパッド部180とのエッチング形状及び／又はエッチング速度が大きく異なることがなく、第1保護トレンチ142の深さ及び第2保護トレンチ152の深さがそれぞれ所望の深さと大きく異なることがない。このため、製造される半導体装置の電気特性にバラツキが生じ難い。

[0077] また、実施形態1に係る半導体装置100によれば、第1保護トレンチ142及び第2保護トレンチ152がともにゲートトレンチ118よりも深く形成され、ゲートトレンチ118と、第1保護トレンチ142及び第2保護トレンチ152とを同じ深さになるように形成する必要がないため、ゲートトレンチ118の深さ及び第2保護トレンチ152の深さが製造バラツキの範囲内で所定の深さと異なったとしても、製造される半導体装置の電気特性

にバラツキが生じ難い。

[0078] また、実施形態 1 に係る半導体装置 100 によれば、ゲートパッド部 180 が上記した構造を有する第 2 トレンチ構造 156 を有するため、図 12 に示すように、逆バイアス時において、素子部 170 のドリフト層 114 とボディ層 116 との間の p n 接合から生じドリフト層 114 に向かって広がる空乏層をゲートパッド部 180 まで広げることが可能となり、素子部 170 とゲートパッド部 180 との境界付近における当該空乏層の曲率（空乏層の曲がりの度合い）を小さくすることが可能となる。このため、ゲートトレンチ 118 のうちゲートパッド部 180 に最も近いゲートトレンチのゲート絶縁層 122 に電界が集中し難くなり、絶縁破壊が起こり難くなる。その結果、高耐压の半導体装置となる。

[0079] また、実施形態 1 に係る半導体装置 100 によれば、素子部 170 が上記した構造を有する第 1 トレンチ構造 146 を有することから、隣接する第 1 保護トレンチ 142 の間に空乏層を広げることが可能となる。このため、ゲートトレンチ 118 の底部のゲート絶縁層 122 に電界が集中することを緩和できるようになり、ゲートトレンチ 118 の底部のゲート絶縁層 122 の絶縁破壊が起こり難くなる。その結果、より一層高耐压の半導体装置となる。

[0080] また、実施形態 1 に係る半導体装置 100 によれば、素子部 170 とゲートパッド部 180 とを高耐压のワイドギャップ半導体基板 110 に備えるため、より一層高耐压の半導体装置となる。

[0081] また、実施形態 1 に係る半導体装置 100 によれば、第 2 保護トレンチ 152 の側部に形成されている第 2 側壁絶縁層 160 を有するので、第 2 トレンチ構造 156 とドリフト層 114 との間に流れるリーク電流を抑制することができる。

[0082] また、実施形態 1 に係る半導体装置 100 によれば、第 1 保護トレンチ 142 の側部に形成されている第 1 側壁絶縁層 150 を有するので、第 1 トレンチ構造 146 とドリフト層 114 との間に流れるリーク電流を抑制するこ

とができる。

[0083] また、実施形態 1 に係る半導体装置 100 によれば、第 1 保護トレンチ 142 及び第 2 保護トレンチ 152 は同一工程で形成されたものであるため、生産性の高い半導体装置となる。

[0084] さらにまた、実施形態 1 に係る半導体装置 100 によれば、第 2 保護トレンチ 152 の深さは、第 1 保護トレンチ 142 の深さと等しいため、素子部 170 とゲートパッド部 180 との境界付近における空乏層の曲率（空乏層の曲がりの度合い）を小さくすることが可能となる。その結果、より一層高耐圧の半導体装置となる。

[0085] 実施形態 1 に係る半導体装置の製造方法によれば、上記した熱酸化工程及び上記した熱酸化膜除去工程を含むため、第 1 保護トレンチ 142 の内周面及び第 2 保護トレンチ 152 の内周面に不純物を導入する際に第 1 保護トレンチ 142 の側壁及び第 2 保護トレンチ 152 の側壁に導入された不純物を熱酸化膜 OF 1 と共に除去することが可能となる。よって、第 1 保護トレンチ 142 の底部のみに第 1 半導体領域 148 を形成すること及び第 2 保護トレンチ 152 の底部のみに第 2 半導体領域 158 を形成することが可能となる。

[0086] [変形例]

変形例に係る半導体装置（図示せず。）は、基本的には実施形態 1 に係る半導体装置 100 と同様の構成を有するが、第 2 埋込層の材料が実施形態 1 に係る半導体装置 100 の場合と異なる。すなわち、変形例に係る半導体装置において、第 2 埋込層を構成する導電体は非金属（例えば、SiN 等を主成分として水素を含有するものや、低抵抗のポリシリコン）である。

[0087] このように、変形例に係る半導体装置は、第 2 埋込層の材料が実施形態 1 に係る半導体装置 100 の場合とは異なるが、実施形態 1 に係る半導体装置 100 の場合と同様に、ゲートパッド部が複数の第 2 保護トレンチを有するため、各第 2 保護トレンチの開口幅は、従来の半導体装置 900 におけるメサ溝 952 の開口幅よりも狭くなる。このため、半導体装置を製造する工程

中において、第1保護トレンチ及び第2保護トレンチを同時に形成する場合でも、素子部とゲートパッド部とのエッチング形状及び／又はエッチング速度が大きく異なることがなく、第1保護トレンチの深さ及び第2保護トレンチの深さがそれぞれ所望の深さと大きく異なることがない。このため、製造される半導体装置の電気特性にバラツキが生じ難い。

[0088] なお、変形例に係る半導体装置によれば、導電体が非金属であるため、ソースコンタクトメタル及びドレインコンタクトメタルを形成する前にフィールド酸化膜形成工程を実施することもできる。このことにより、フィールド酸化膜に金属汚染が取り込まれることが実質的になく、信頼性が向上するという効果もある。

[0089] [実施形態2～7及び変形例2～4]

以下、各実施形態においては、実施形態1に係る半導体装置との相違点のみを説明し、実施形態1に係る半導体装置と同様の構成については説明を省略する。

図13～18は、実施形態2～7に係る半導体装置100a～100fを説明するために示す図である。なお、図13～18において、図1と同様の部分には同一符号を付し、適宜説明を省略する。

図19～21は、実施形態3、4及び7に係る半導体装置100b、100c及び100fの変形例（変形例2～4に係る半導体装置100g～100i）を説明するために示す図である。なお、図19～21においては、図14、15及び18と同様の部分には同一符号を付し、適宜説明を省略する。

[0090] 実施形態2～7に係る半導体装置100a～100fは、基本的には実施形態1に係る半導体装置100と同様の構成を有するが、第2トレンチ構造の構成が実施形態1に係る半導体装置100の場合と異なる。

[0091] すなわち、実施形態2に係る半導体装置100aにおいては、図13に示すように、第2トレンチ構造156aが、第2保護トレンチ152の側部に形成された第2側壁絶縁層の代わりに、第2保護トレンチ152の底部及び

側部に形成された内周面絶縁層 160 a を有する。

また、実施形態 3 に係る半導体装置 100 b においては、図 14 に示すように、第 2 トレンチ構造 156 b における第 2 半導体領域 158 b が第 2 保護トレンチ 152 の底部及び側部に形成されている。

また、実施形態 4 に係る半導体装置 100 c においては、図 15 に示すように、第 2 トレンチ構造 156 c における第 2 半導体領域 158 c が第 2 保護トレンチ 152 の底部及び側部に形成され、かつ、第 2 トレンチ構造 156 c が、第 2 側壁絶縁層を有しない。

[0092] また、実施形態 5 に係る半導体装置 100 d においては、図 16 に示すように、第 2 トレンチ構造 156 d が、第 2 保護トレンチ 152 の側部に形成された第 2 側壁絶縁層 160 の代わりに、第 2 保護トレンチ 152 の底部及び側部に形成された内周面絶縁層 160 d を有し、かつ、第 2 半導体領域を有しない。

また、実施形態 6 に係る半導体装置 100 e においては、図 17 に示すように、第 2 トレンチ構造 156 e が、第 2 側壁絶縁層を有せず、かつ、第 2 半導体領域 158 e が第 2 保護トレンチ 152 の底部だけでなく側部にも形成され、かつ、第 2 埋込層 154 e が、絶縁体からなる。

さらにまた、実施形態 7 に係る半導体装置 100 f においては、図 18 に示すように、第 2 トレンチ構造 156 f が、第 2 側壁絶縁層及び第 2 半導体領域を有せず、かつ、第 2 埋込層 154 f が、第 2 保護トレンチ 152 の底部及び側部でドリフト層 114 とショットキー接触を形成する金属層からなる。

[0093] このように、実施形態 2～7 に係る半導体装置 100 a～100 f は、第 2 トレンチ構造の構成が実施形態 1 に係る半導体装置 100 の場合とは異なるが、実施形態 1 に係る半導体装置 100 の場合と同様に、ゲートパッド部 180 が複数の第 2 保護トレンチ 152 を有するため、各第 2 保護トレンチ 152 の開口幅は、従来の半導体装置 900 におけるメサ溝 952 の開口幅よりも狭くなる。このため、半導体装置を製造する工程中において、第 1 保

護トレンチ142及び第2保護トレンチ152を同時に形成する場合でも、素子部170とゲートパッド部180とのエッチング形状及び／又はエッチング速度が大きく異なることがなく、第1保護トレンチ142の深さ及び第2保護トレンチ152の深さがそれぞれ所望の深さと大きく異なることがない。このため、製造される半導体装置の電気特性にバラツキが生じ難い。

[0094] また、実施形態2及び5に係る半導体装置100a及び100dによれば、第2側壁絶縁層の代わりに内周面絶縁層160a、160dを有していることから、第2保護トレンチ152の側部以外の領域の酸化膜を除去する工程を省くことができ、製造容易な半導体装置となる。

[0095] また、実施形態4、6及び7に係る半導体装置100c、100e及び100fによれば、第2保護トレンチ152の底面及び側面に絶縁層（第2側壁絶縁層又は内周面絶縁層）を有していないため、絶縁層を形成する工程そのものを省くことができ、かつ、絶縁層を形成した場合のように絶縁層の信頼性等を考慮に入れる必要がなくなるため、より一層製造容易な半導体装置となる。

[0096] ちなみに、実施形態3、4及び7に係る半導体装置100a、100b及び100fにおいては、第1トレンチ構造の構成を第2トレンチ構造の構成と同じ構成にしてもよい（変形例2～4に係る半導体装置100g～100i、図19～21参照。）。このような構成とすることにより、第1トレンチ構造と第2トレンチ構造とを一括して形成することができる。

[0097] なお、実施形態2～7に係る半導体装置100a～100f（及び変形例2～4に係る半導体装置100g～100i）は、第2トレンチ構造の構成以外の点においては実施形態1に係る半導体装置100と同様の構成を有するため、実施形態1に係る半導体装置100が有する効果のうち該当する効果を有する。

[0098] [実施形態8]

図22は、実施形態8に係る半導体装置200を説明するために示す図である。なお、図22において、図1と同様の部分には同一符号を付し、適宜

説明を省略する。

[0099] 実施形態 8 に係る半導体装置 200 は、基本的には実施形態 1 に係る半導体装置 100 と同様の構成を有するが、低抵抗半導体層が p 型の低抵抗半導体層である点で実施形態 1 に係る半導体装置 100 の場合と異なる。実施形態 8 に係る半導体装置 200 は、図 22 に示すように、IGBT である。

[0100] このように、実施形態 8 に係る半導体装置 200 は、低抵抗半導体層が p 型の低抵抗半導体層である点で実施形態 1 に係る半導体装置 100 の場合とは異なるが、実施形態 1 に係る半導体装置 100 の場合と同様に、ゲートパッド部 280 が複数の第 2 保護トレンチ 252 を有するため、各第 2 保護トレンチ 252 の開口幅は、従来の半導体装置 900 におけるメサ溝 952 の開口幅よりも狭くなる。このため、半導体装置を製造する工程中において、第 1 保護トレンチ 242 及び第 2 保護トレンチ 252 を同時に形成する場合でも、素子部 270 とゲートパッド部 280 とのエッチング形状及び／又はエッチング速度が大きく異なることがなく、第 1 保護トレンチ 242 の深さ及び第 2 保護トレンチ 252 の深さがそれぞれ所望の深さと大きく異なることがない。このため、製造される半導体装置の電気特性にバラツキが生じ難い。

[0101] なお、実施形態 8 に係る半導体装置 200 は、低抵抗半導体層が p 型の低抵抗半導体層である点以外の点においては実施形態 1 に係る半導体装置 100 と同様の構成を有するため、実施形態 1 に係る半導体装置 100 が有する効果のうち該当する効果を有する。

[0102] 以上、本発明を上記の実施形態に基づいて説明したが、本発明は上記の実施形態に限定されるものではない。その趣旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば、次のような変形も可能である。

[0103] (1) 上記各実施形態及び図面において記載した各構成要素の個数、材質及び形状は例示であり、本発明の効果を損なわない範囲において変更することが可能である。

- [0104] (2) 第1埋込層と第2埋込層とを同じ材料から形成してもよいし、それぞれ異なる材料から形成してもよい。
- [0105] (3) 上記実施形態1及び2においては、第1保護トレンチ及び第2保護トレンチの内周面に熱酸化膜を形成した後に当該熱酸化膜を除去して第1半導体領域及び第2半導体領域を形成したが、本発明はこれに限定されるものではない。例えば、マスクを形成することによって第1保護トレンチ及び第2保護トレンチのそれぞれの側部に不純物が導入されることを防ぎ、第1半導体領域及び第2半導体領域を形成してもよい。
- [0106] (4) 上記各実施形態においては、第1保護トレンチ及び第2保護トレンチは同一工程で形成したが、本発明はこれに限定されるものではない。第2保護トレンチを形成した後に第1保護トレンチを形成してもよいし、第1保護トレンチを形成した後に第2保護トレンチを形成してもよい。
- [0107] (5) 上記各実施形態においては、ソース領域120及びボディコンタクト領域132の活性化アニール処理と第1半導体領域148及び第2半導体領域158の活性化アニール処理とを別々に行ったが、本発明はこれに限定されるものではない。ソース領域120及びボディコンタクト領域132の活性化アニール処理と、第1半導体領域148及び第2半導体領域158の活性化アニール処理とを同時に行ってもよい。
- [0108] (6) 上記各実施形態においては、4H-SiC半導体基板のうちドリフト層114を成膜する側の面を(0001)Si面側の面としたが、本発明はこれに限定されるものではない。4H-SiC半導体基板のうちドリフト層114を成膜する側の面が(000-1)C面側の面としてもよい。
- [0109] (7) 上記各実施形態においては、ボディ層116及びp型半導体層134をエピタキシャル成長法によって形成したが、本発明はこれに限定されるものではない。ボディ層116及びp型半導体層134をイオン注入法によって形成してもよい。

符号の説明

- [0110] 100, 100a, 100b, 100c, 100e, 100f, 200...

半導体装置、110…半導体基体、112, 212…低抵抗半導体層、114, 214…ドリフト層、116…ボディ層、118…ゲートトレンチ、120…ソース領域、122、222…ゲート絶縁層、124, 224…ゲート電極層、126, 226…層間絶縁膜、126'…層間絶縁膜の下層部分、128, 228…ソース電極層、128…ドレイン電極層、130, 232…ボディコンタクト領域、134…p型半導体層、136…フィールド酸化層、138…下層ゲート配線、140…上層ゲート配線、142…第1保護トレンチ、144…第1埋込層、146…第1トレンチ構造、148…第1半導体領域、150…第1側壁絶縁層、152…第2保護トレンチ、154, 154e、154f…第2埋込層、156、156a、156b、156c、156d、156e、156f、256…第2トレンチ構造、158, 158b, 158c, 158e, 258…第2半導体領域、160…、160a, 260…第2側壁絶縁層、162…二酸化ケイ素、220…エミッタ領域、228…エミッタ電極層、230…コレクタ電極層、ES…エッチストップ膜、OF1…熱酸化膜、OF2…保護酸化膜、OF3…絶縁酸化膜、OF4…酸化膜

請求の範囲

[請求項1]

第1導電型のドリフト層、前記ドリフト層上に位置し前記第1導電型とは反対の第2導電型のボディ層、前記ボディ層を開口し前記ドリフト層に達するように形成されているゲートトレンチ、前記ボディ層内に配置され少なくとも一部を前記ゲートトレンチの内周面に露出させた状態で形成されている前記第1導電型のソース領域、前記ゲートトレンチの内周面に形成されているゲート絶縁層、前記ゲート絶縁層を介して前記ゲートトレンチの内側に形成されているゲート電極層及び前記ゲート電極層とは絶縁され前記ソース領域と接した状態で形成されているソース電極層を有する素子部と、

第1導電型のドリフト層、前記ドリフト層上に位置する前記第2導電型の第2導電型半導体層、前記第2導電型半導体層上に形成されている絶縁層、前記絶縁層上に形成されているゲート配線を有するゲートパッド部とを同一のワイドギャップ半導体基板に備える半導体装置であって、

前記素子部は、隣接する前記ゲートトレンチの間の領域において前記ボディ層を開口し前記ゲートトレンチよりも深く形成されている複数の第1保護トレンチと、前記各第1保護トレンチのそれぞれの内側に形成されている第1埋込層とを有する第1トレンチ構造をさらに有し、

前記ゲートパッド部は、前記第2導電型半導体層を開口し前記ゲートトレンチよりも深く形成されている複数の第2保護トレンチと、前記各第2保護トレンチのそれぞれの内側に形成されている第2埋込層とを有する第2トレンチ構造をさらに有することを特徴とする半導体装置。

[請求項2]

請求項1に記載の半導体装置において、

前記第2保護トレンチの開口幅は、前記第1保護トレンチの開口幅と等しいことを特徴とする半導体装置。

- [請求項3] 請求項1又は2に記載の半導体装置において、
前記第2保護トレンチの深さは、前記第1保護トレンチの深さと等しいことを特徴とする半導体装置。
- [請求項4] 請求項1～3のいずれかに記載の半導体装置において、
前記第1保護トレンチ及び前記第2保護トレンチは同一工程で形成されたものであることを特徴とする半導体装置。
- [請求項5] 請求項1～4のいずれかに記載の半導体装置において、
前記第2トレンチ構造は、少なくとも前記第2保護トレンチの底部に形成されている第2導電型の第2半導体領域と、前記第2保護トレンチの側部に形成されている第2側壁絶縁層とをさらに有し、
前記第2埋込層は、導電体からなることを特徴とする半導体装置。
- [請求項6] 請求項1～4のいずれかに記載の半導体装置において、
前記第2トレンチ構造は、少なくとも前記第2保護トレンチの底部に形成されている第2導電型の第2半導体領域と、前記第2保護トレンチの内周面に形成されている内周面絶縁層とをさらに有し、
前記第2埋込層は、導電体からなることを特徴とする半導体装置。
- [請求項7] 請求項1～4のいずれかに記載の半導体装置において、
前記第2トレンチ構造は、少なくとも前記第2保護トレンチの底部及び側部に形成されている第2導電型の第2半導体領域と、前記第2保護トレンチの側部に形成されている第2側壁絶縁層とをさらに有し、
、
前記第2埋込層は、導電体からなることを特徴とする半導体装置。
- [請求項8] 請求項1～4のいずれかに記載の半導体装置において、
前記第2トレンチ構造は、少なくとも前記第2保護トレンチの底部及び側部に形成されている第2導電型の第2半導体領域をさらに有し、
、
前記第2埋込層は、導電体からなることを特徴とする半導体装置。
- [請求項9] 請求項1～4のいずれかに記載の半導体装置において、

前記第2トレンチ構造は、前記第2保護トレンチの内周面に形成されている内周面絶縁層をさらに有し、

前記第2埋込層は、導電体からなることを特徴とする半導体装置。

[請求項10] 請求項2～9のいずれかに記載の半導体装置において、

前記導電体は、金属であることを特徴とする半導体装置。

[請求項11] 請求項2～9のいずれかに記載の半導体装置において、

前記導電体は、非金属であることを特徴とする半導体装置。

[請求項12] 請求項1～4のいずれかに記載の半導体装置において、

前記第2トレンチ構造は、少なくとも前記第2保護トレンチの底部及び側部に形成されている第2導電型の第2半導体領域をさらに有し、

前記第2埋込層は、絶縁体からなることを特徴とする半導体装置。

[請求項13] 請求項1～4のいずれかに記載の半導体装置において、

前記第2埋込層は、前記第2保護トレンチの底部及び側部で前記ドリフト層とショットキー接触を形成する金属層からなることを特徴とする半導体装置。

[請求項14] 請求項1～13のいずれかに記載の半導体装置において、

前記第1トレンチ構造は、少なくとも前記第1保護トレンチの底部に形成されている第2導電型の第1半導体領域と、前記第1保護トレンチの側部に形成されている第1側壁絶縁層とをさらに有し、

前記第1埋込層は、前記第1保護トレンチの内部に前記第1半導体領域及び前記第1側壁絶縁層を介して形成された導電体からなることを特徴とする半導体装置。

[請求項15] 請求項5又は6に記載の半導体装置を製造する半導体装置の製造方法であって、

第1保護トレンチの内周面及び第2保護トレンチの内周面のうちの少なくとも一方の内周面に不純物を導入する不純物導入工程と、

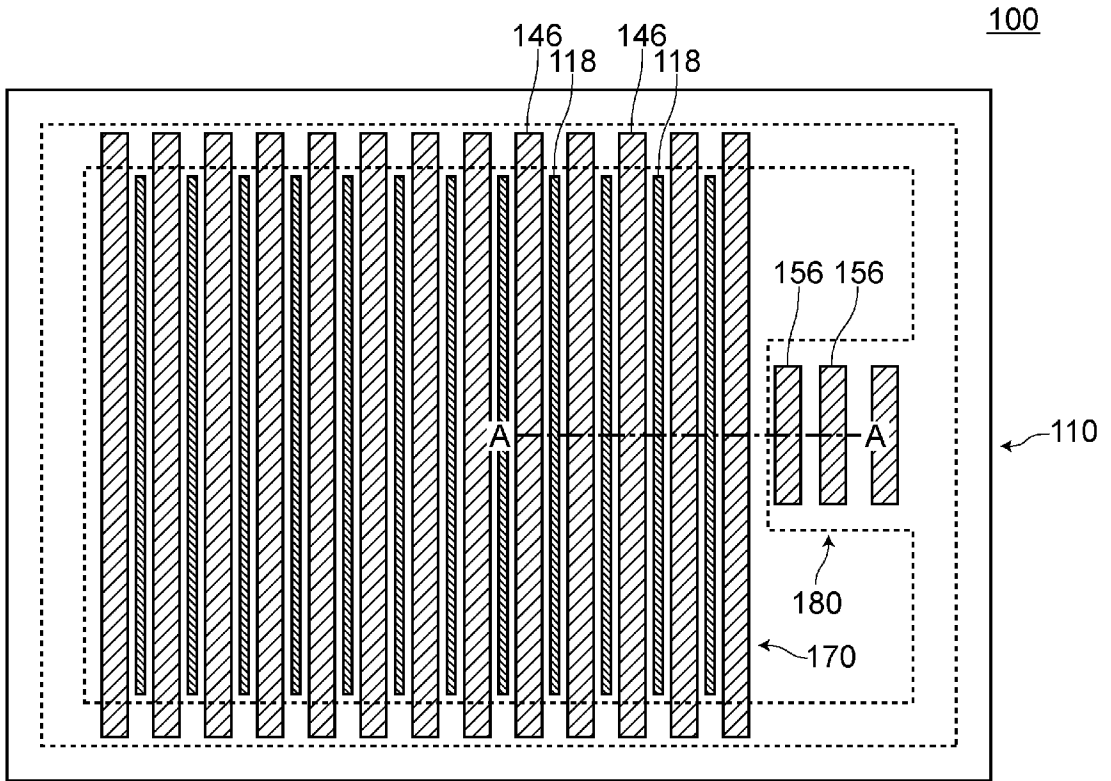
前記第1保護トレンチの内周面を熱酸化することによって、前記第

1 保護トレンチの内周面に熱酸化膜を形成するとともに、前記第1保護トレンチの底部に第1半導体領域を形成する工程、及び、前記第2保護トレンチの内周面を熱酸化することによって、前記第2保護トレンチの内周面に熱酸化膜を形成するとともに、前記第2保護トレンチの底部に第2半導体領域を形成する工程のうちの少なくとも一方の工程を実施する熱酸化工程と、

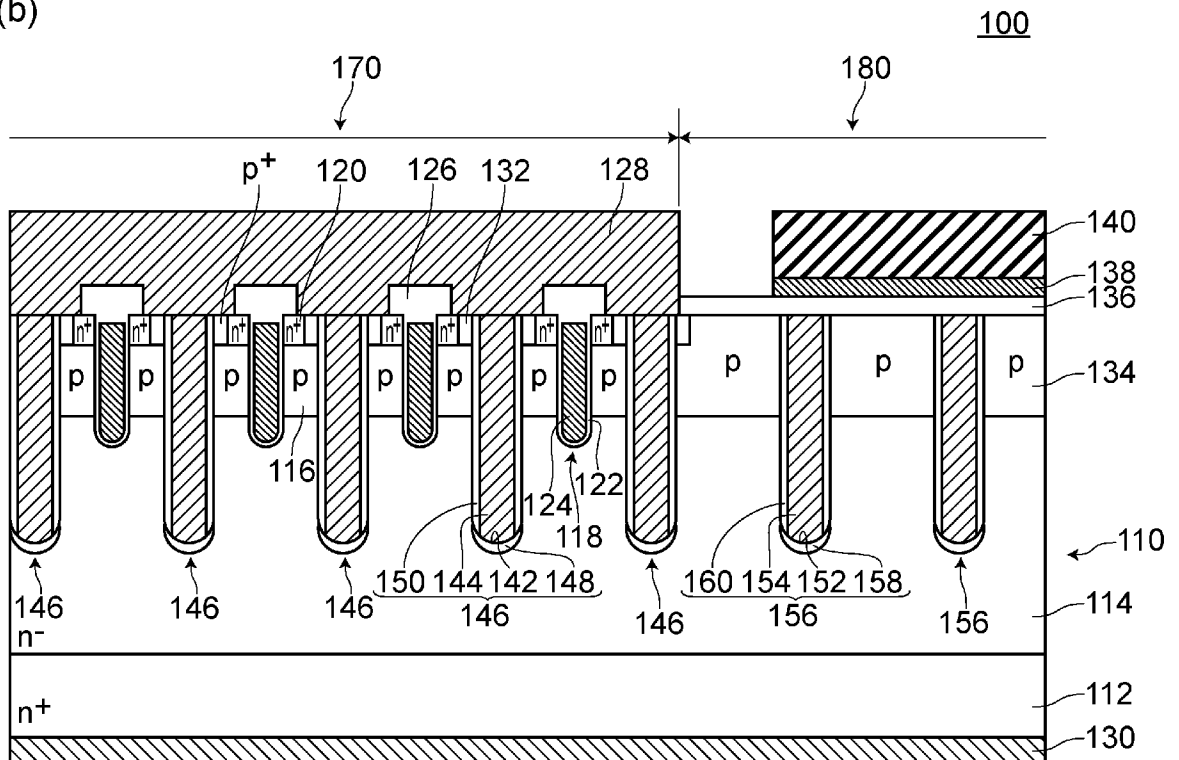
前記熱酸化工程で形成された前記熱酸化膜を除去する熱酸化膜除去工程とをこの順序で含むことを特徴とする半導体装置の製造方法。

[圖1]

(a)

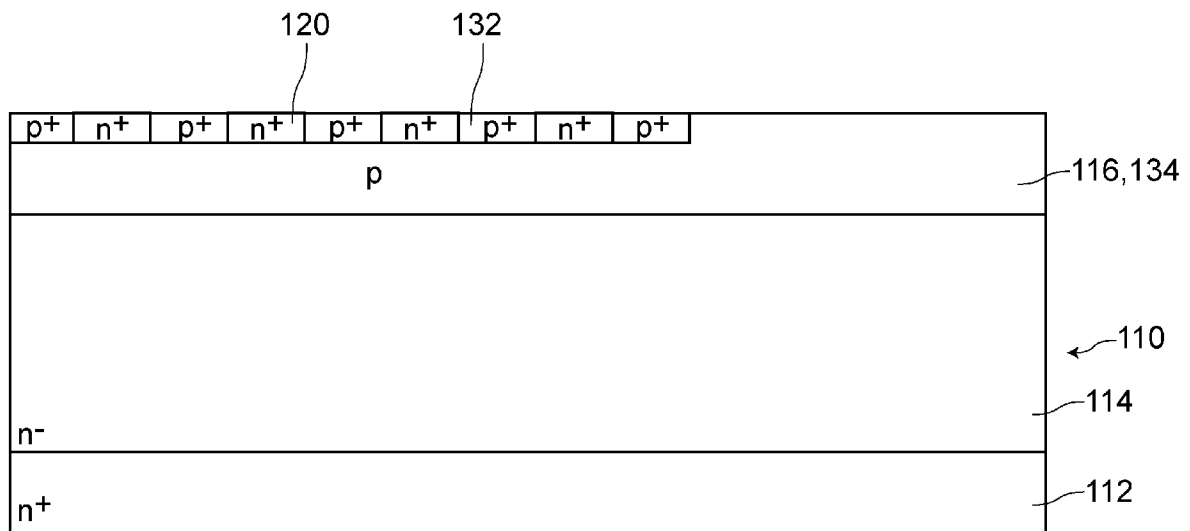


(b)

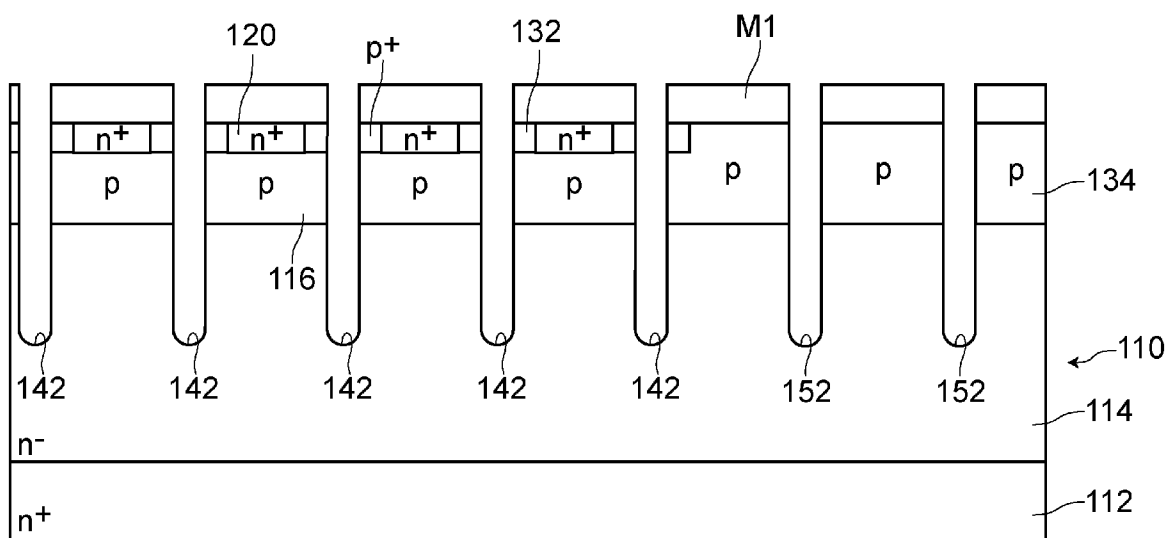


[図2]

(a)

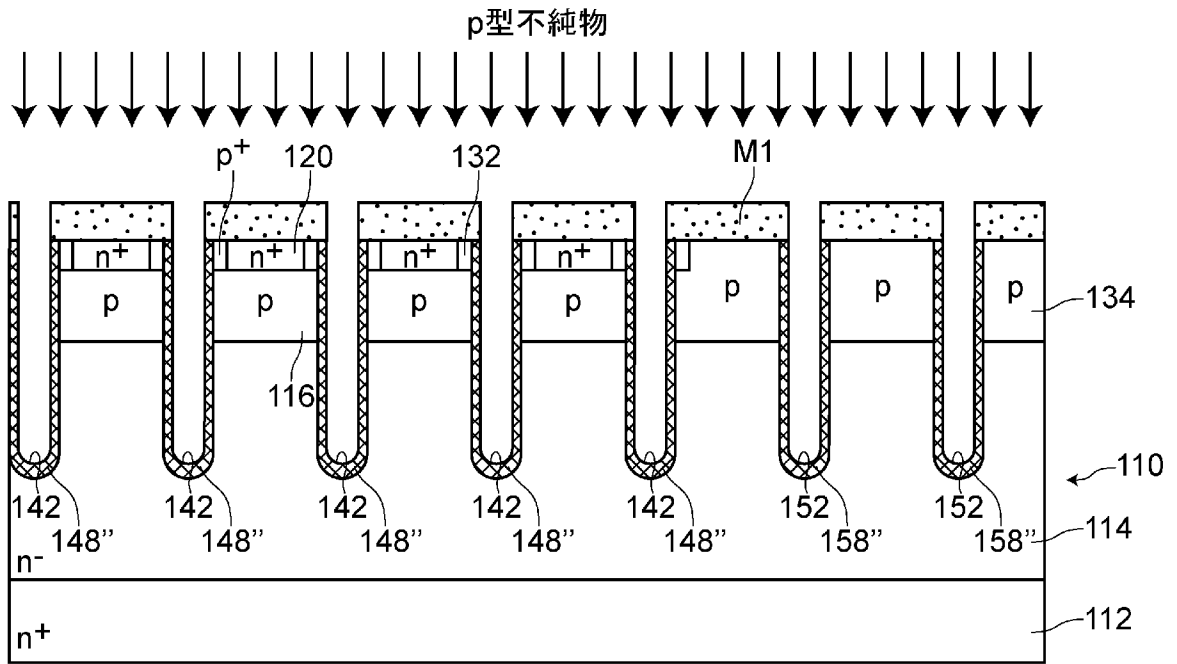


(b)

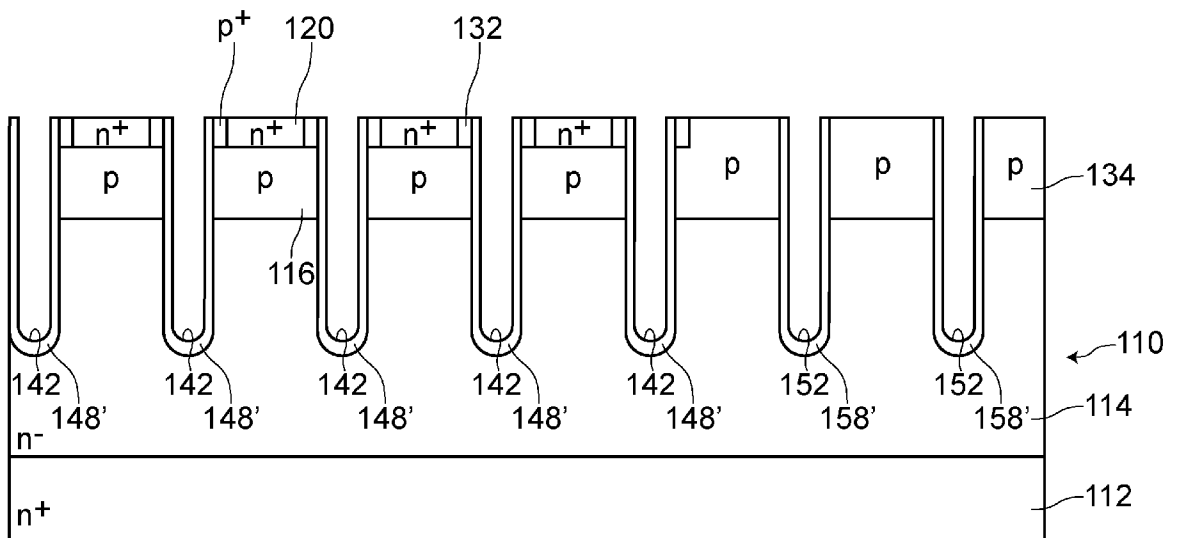


[図3]

(a)

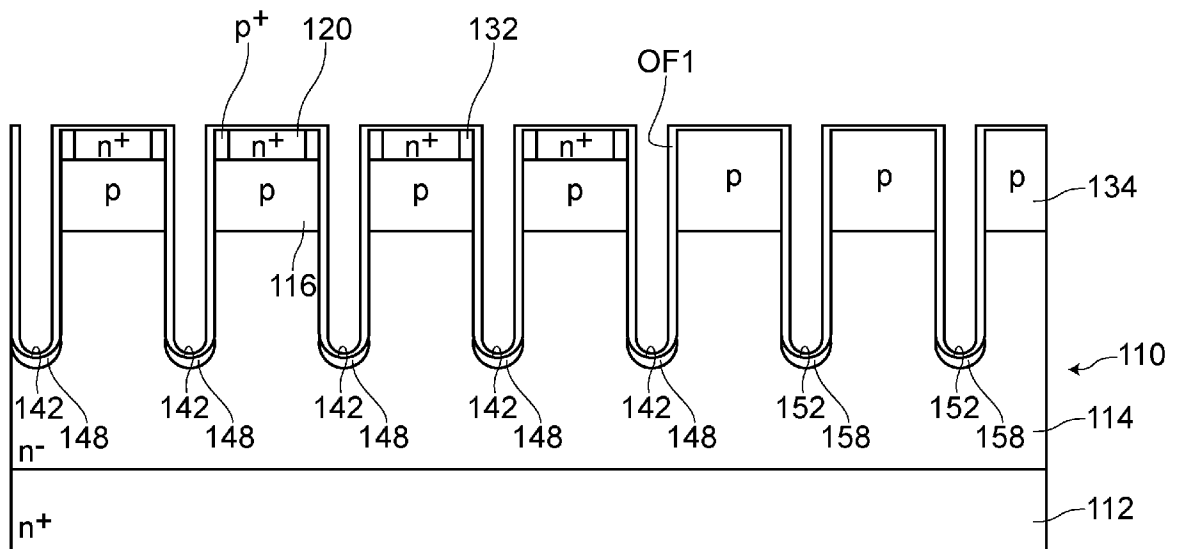


(b)

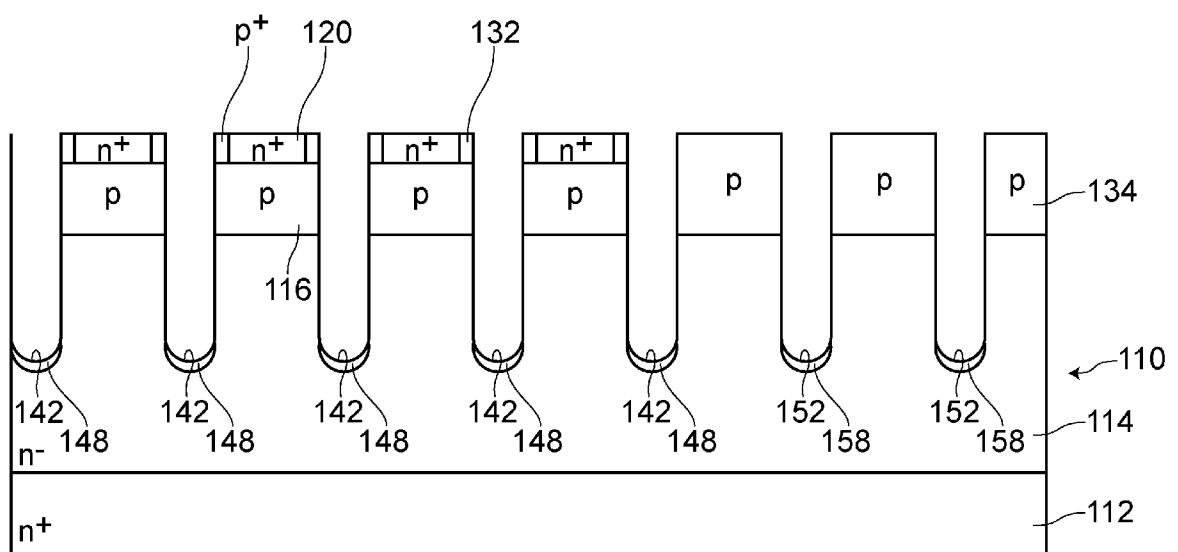


[図4]

(a)

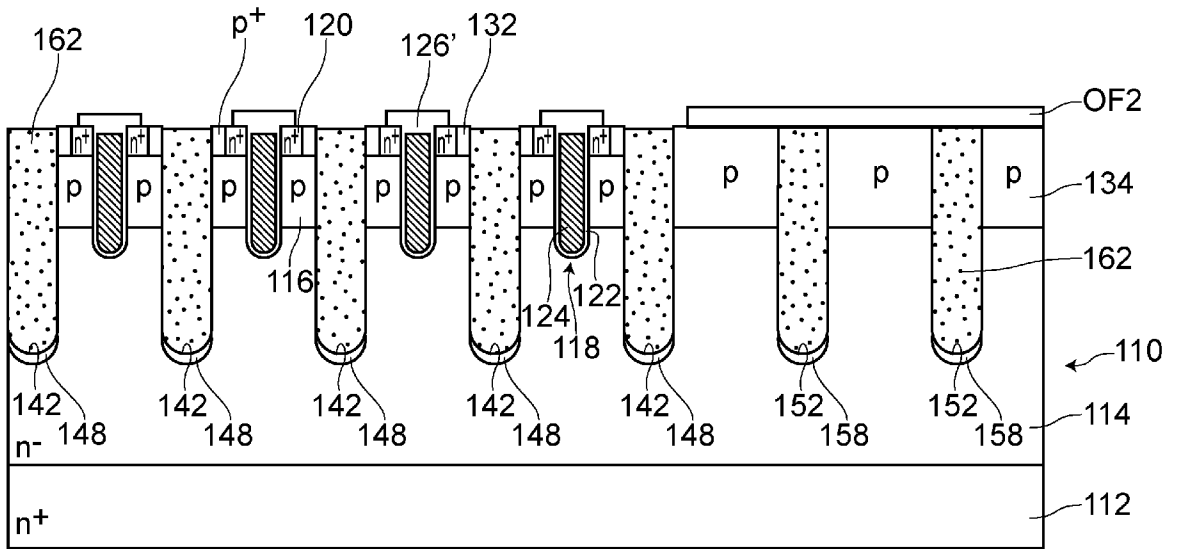


(b)

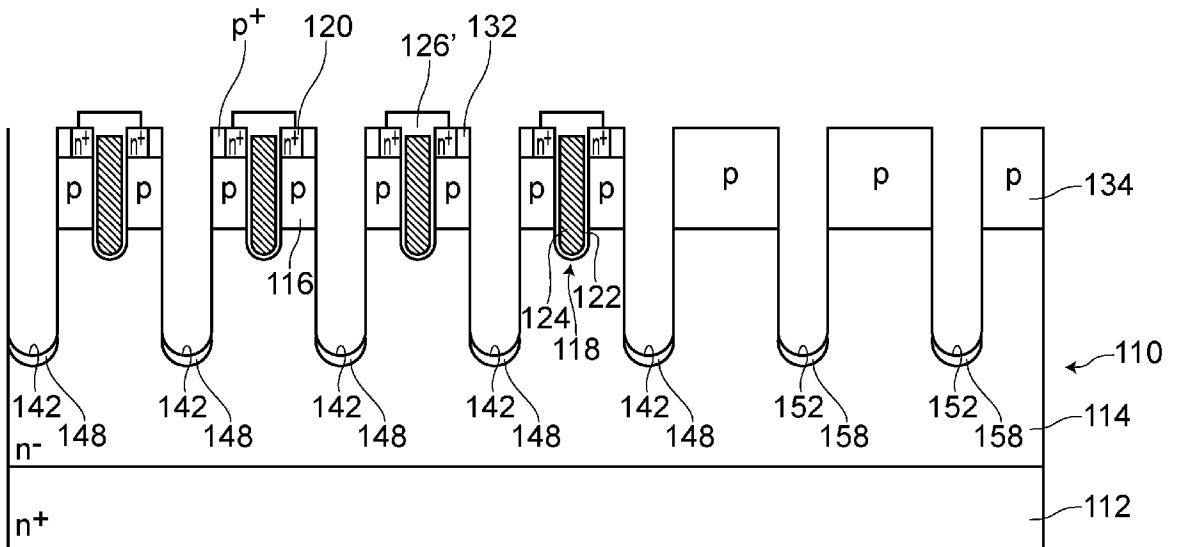


[図8]

(a)

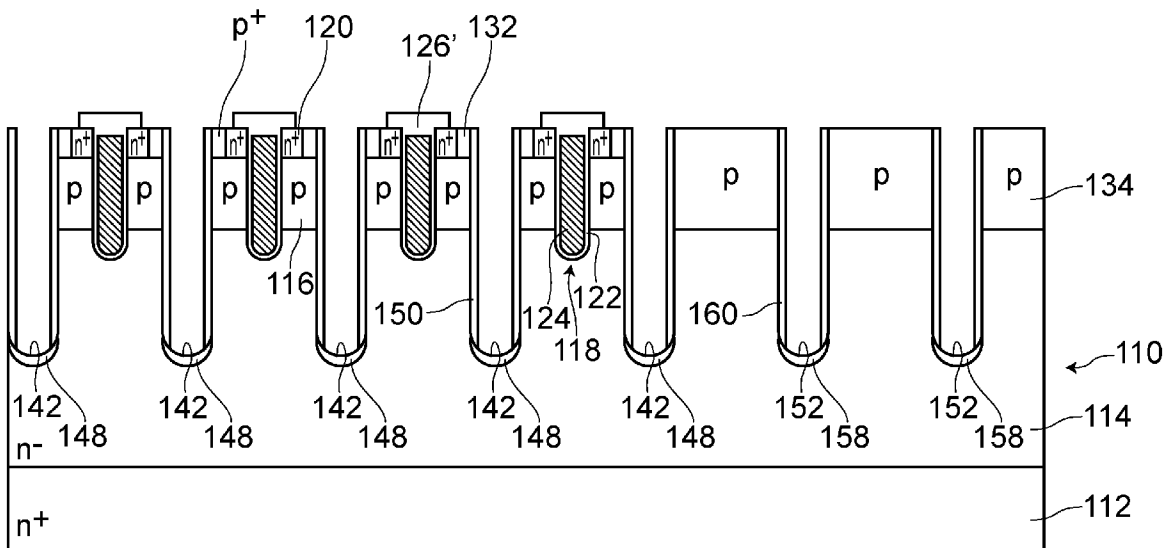


(b)

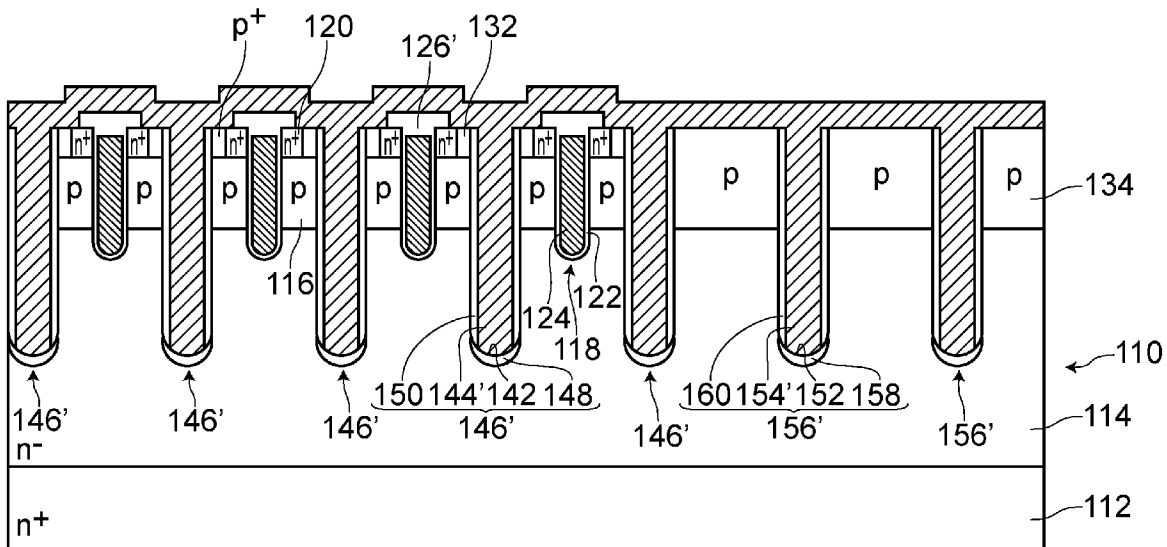


[圖9]

(a)

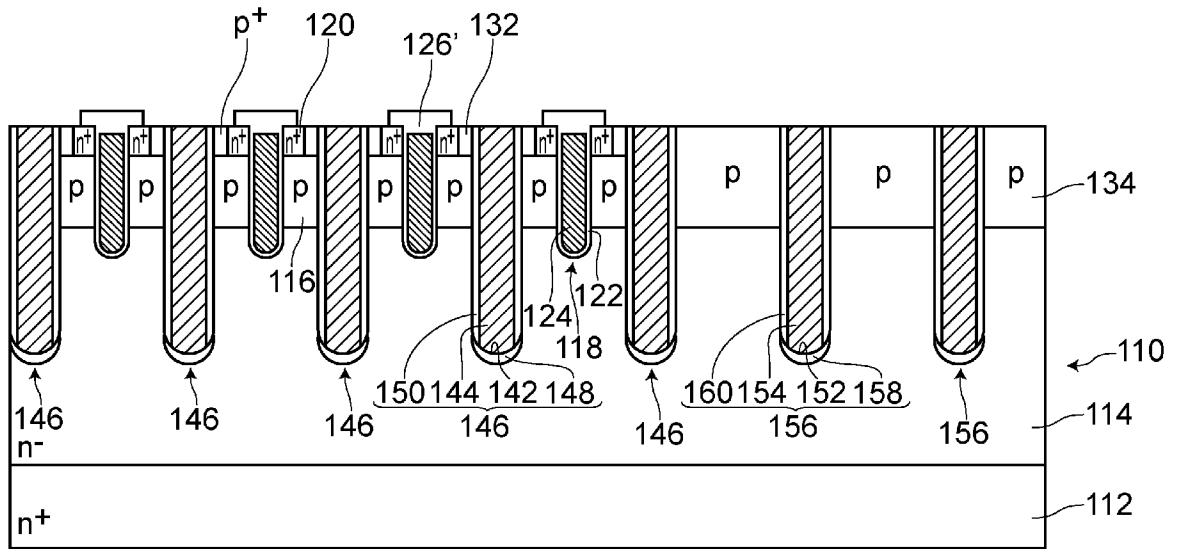


(b)

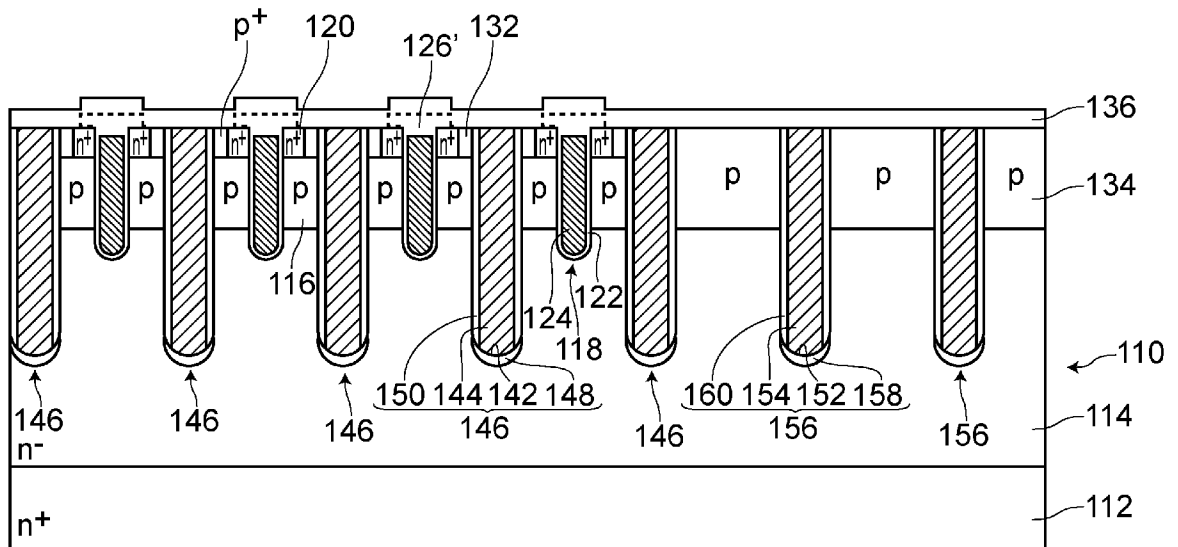


[図10]

(a)

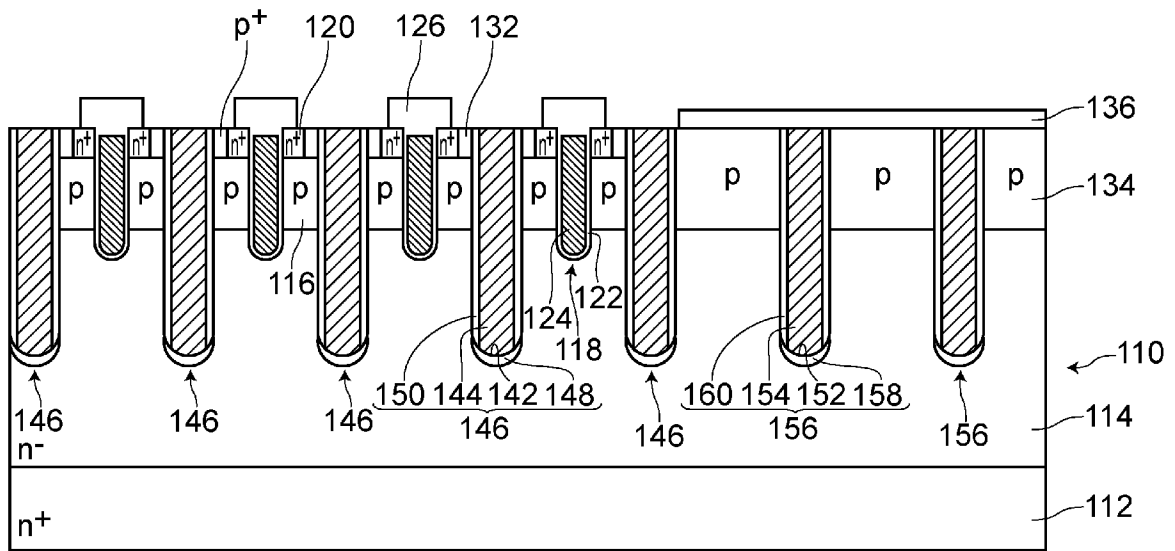


(b)

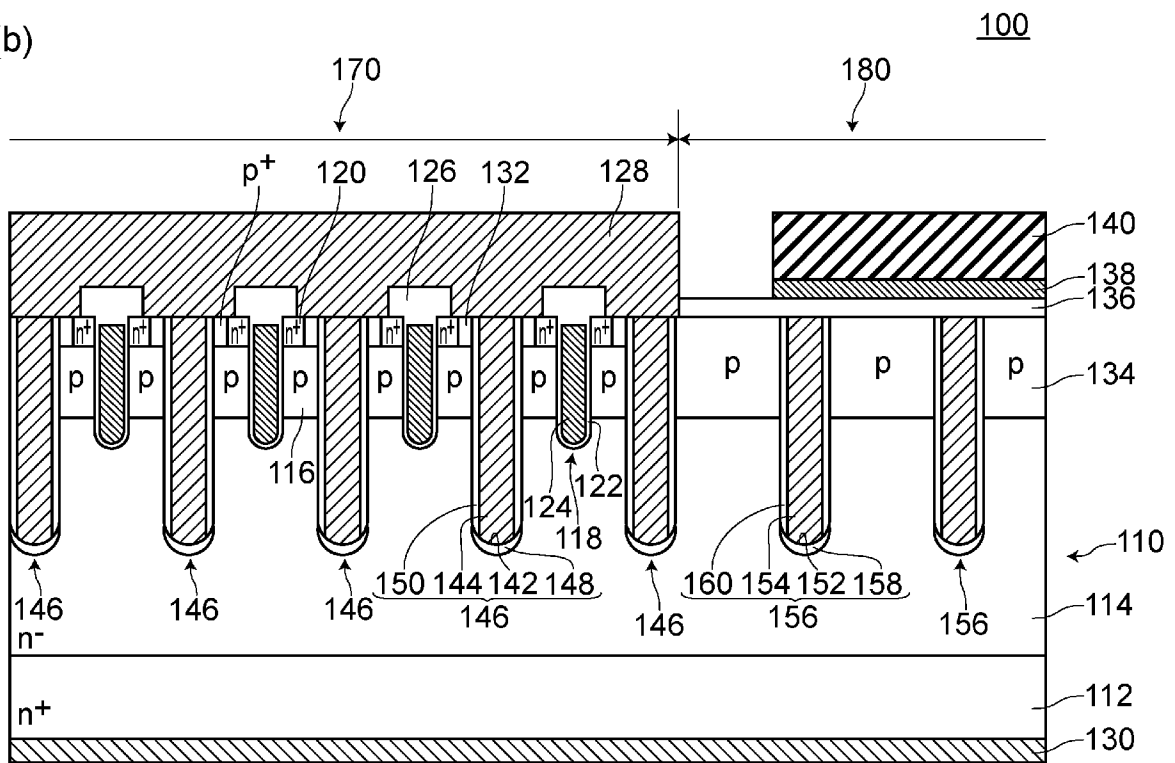


[図11]

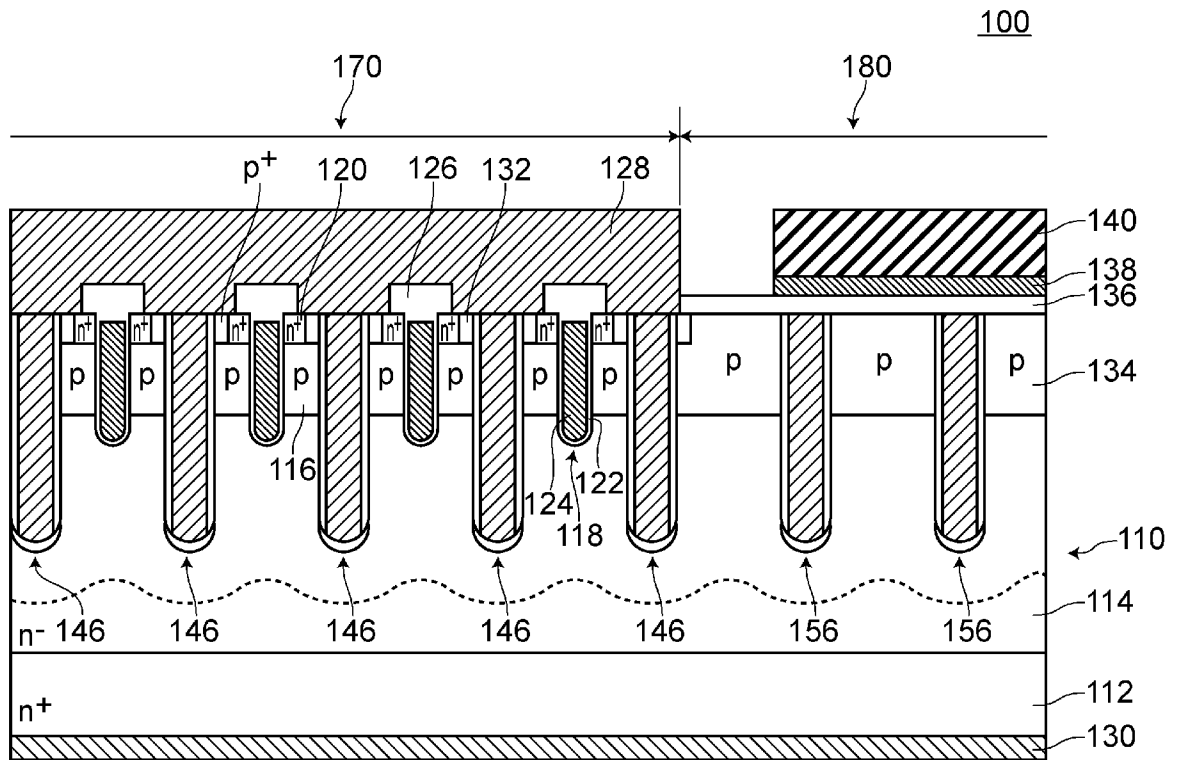
(a)



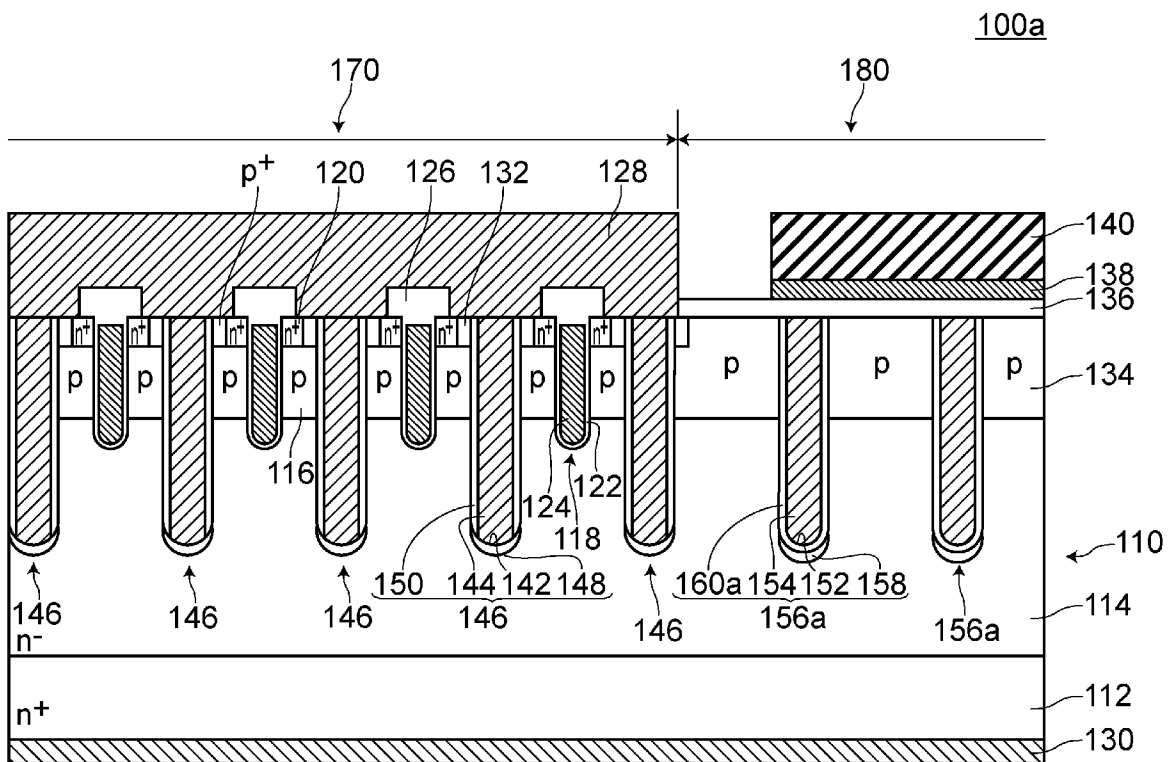
(b)



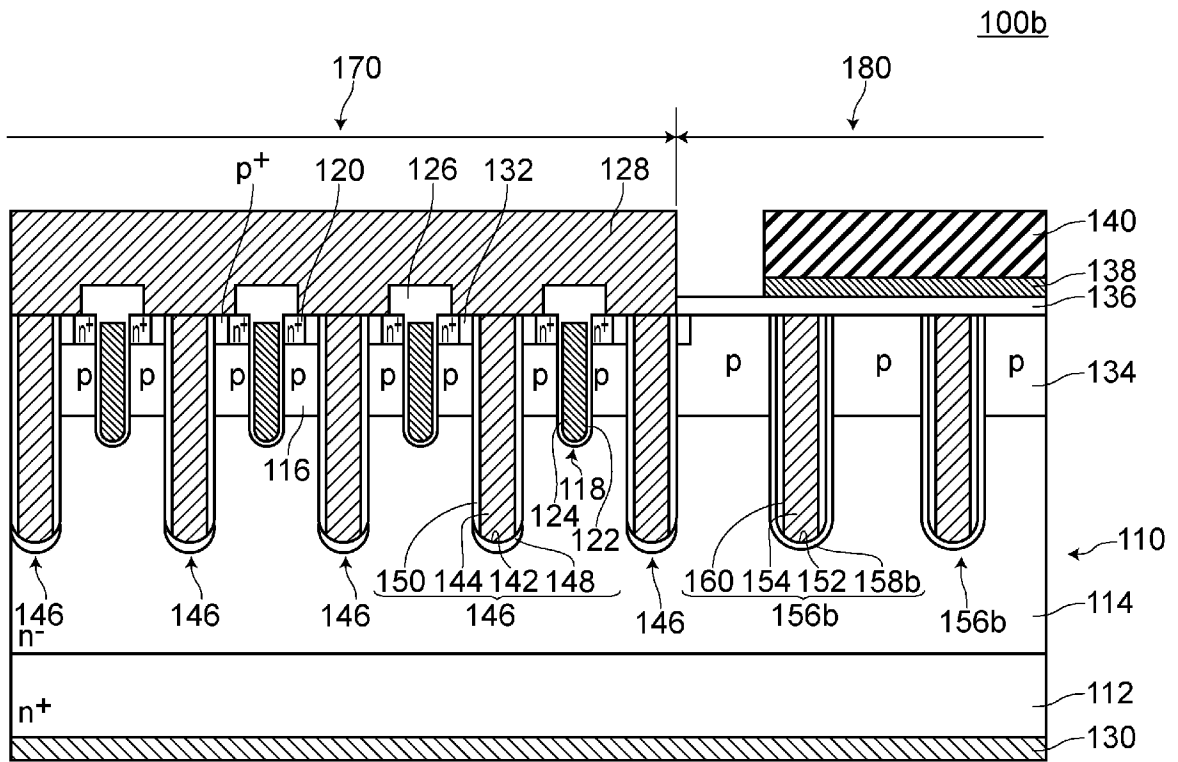
[図12]



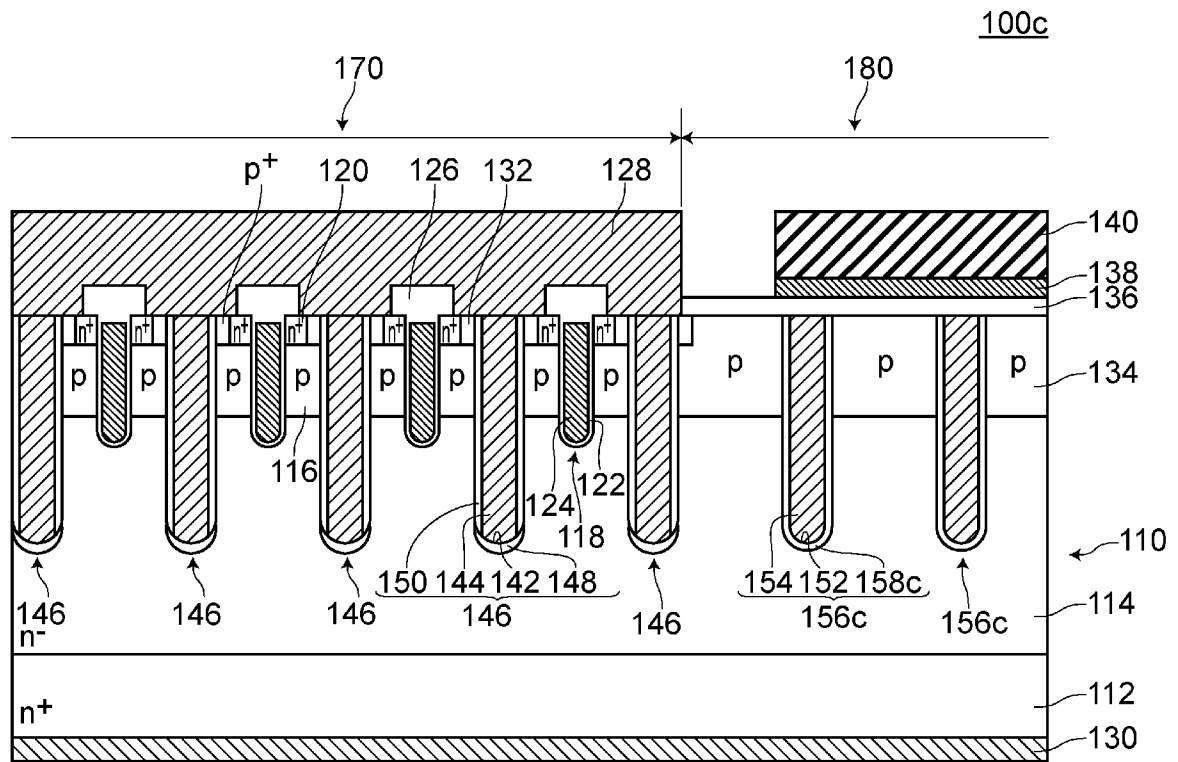
[図13]



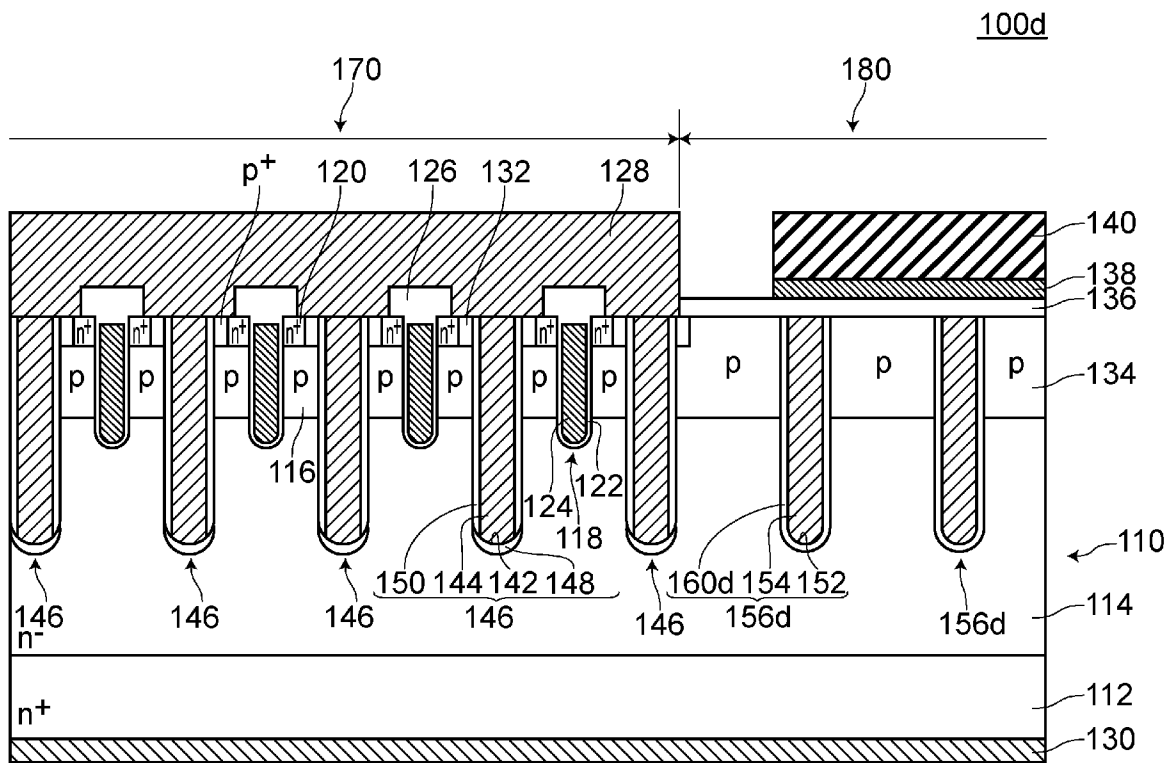
[図14]



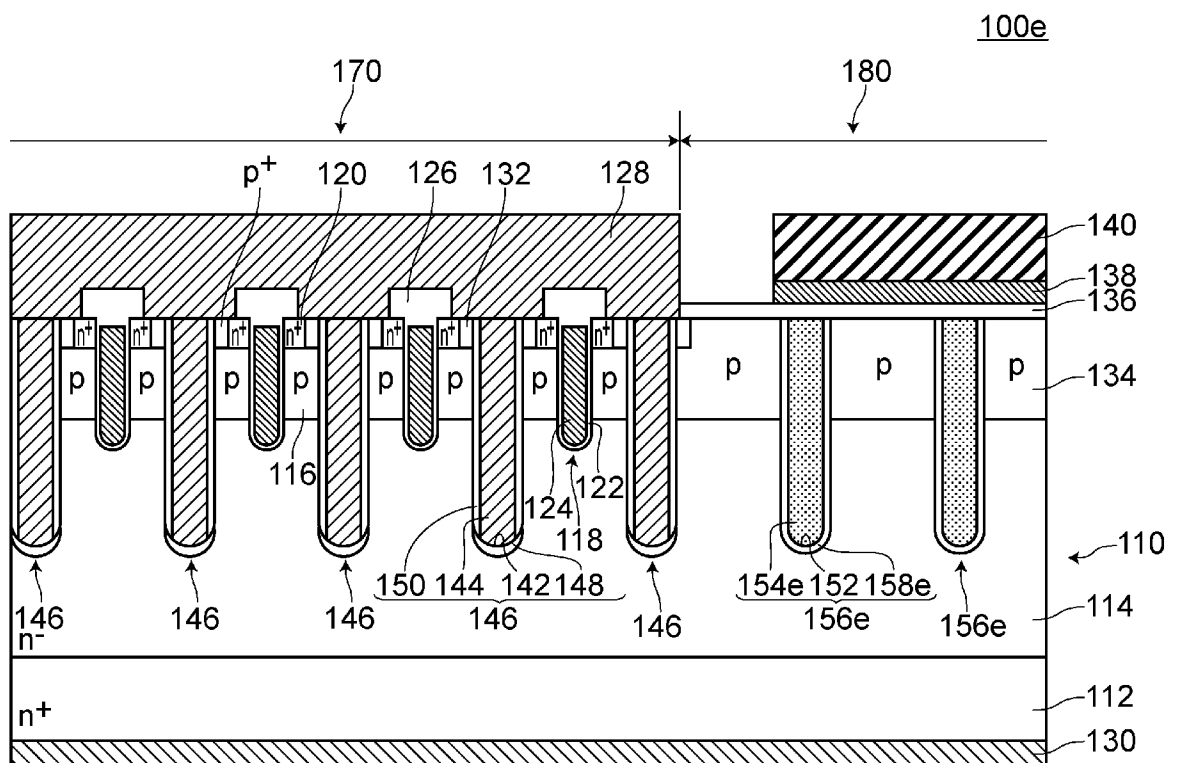
[図15]



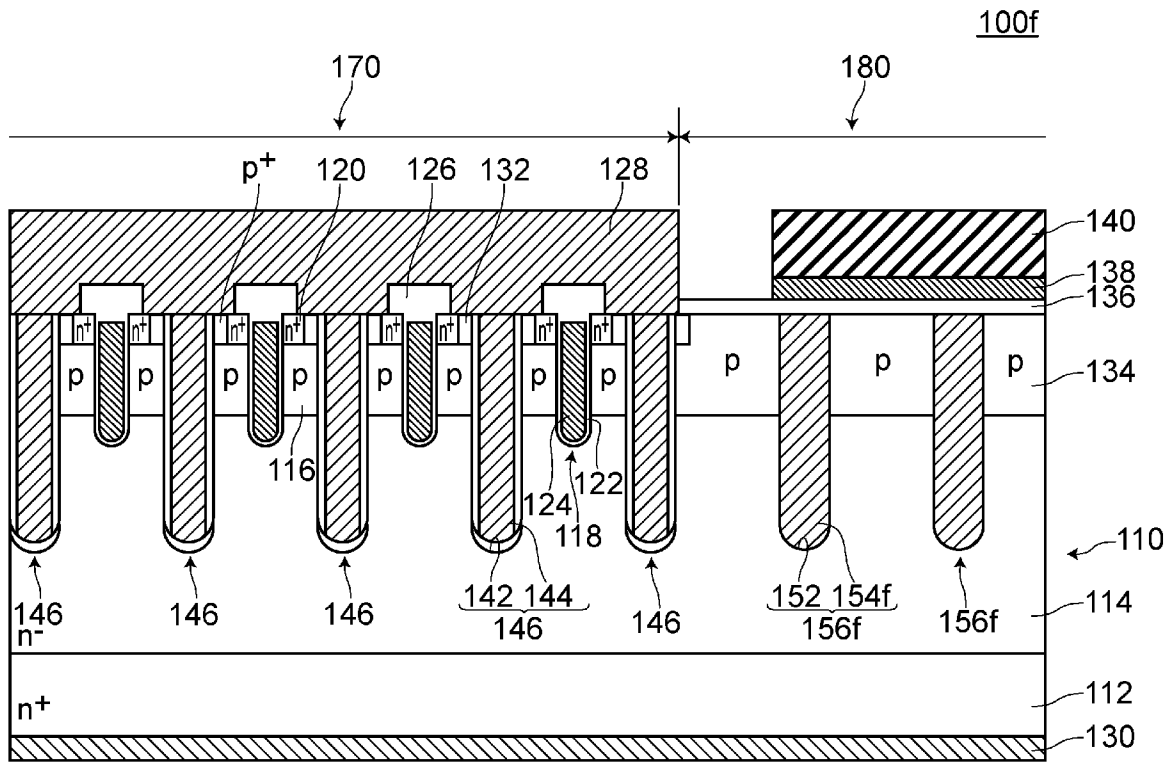
[図16]



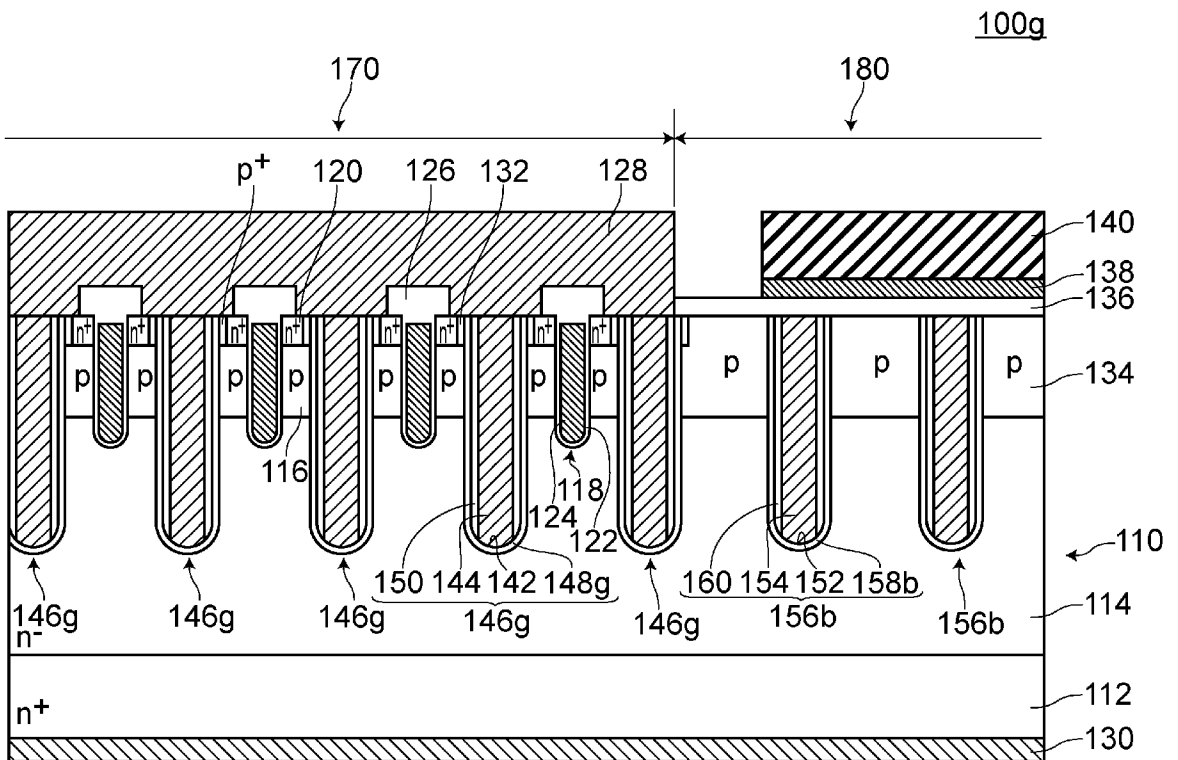
[図17]



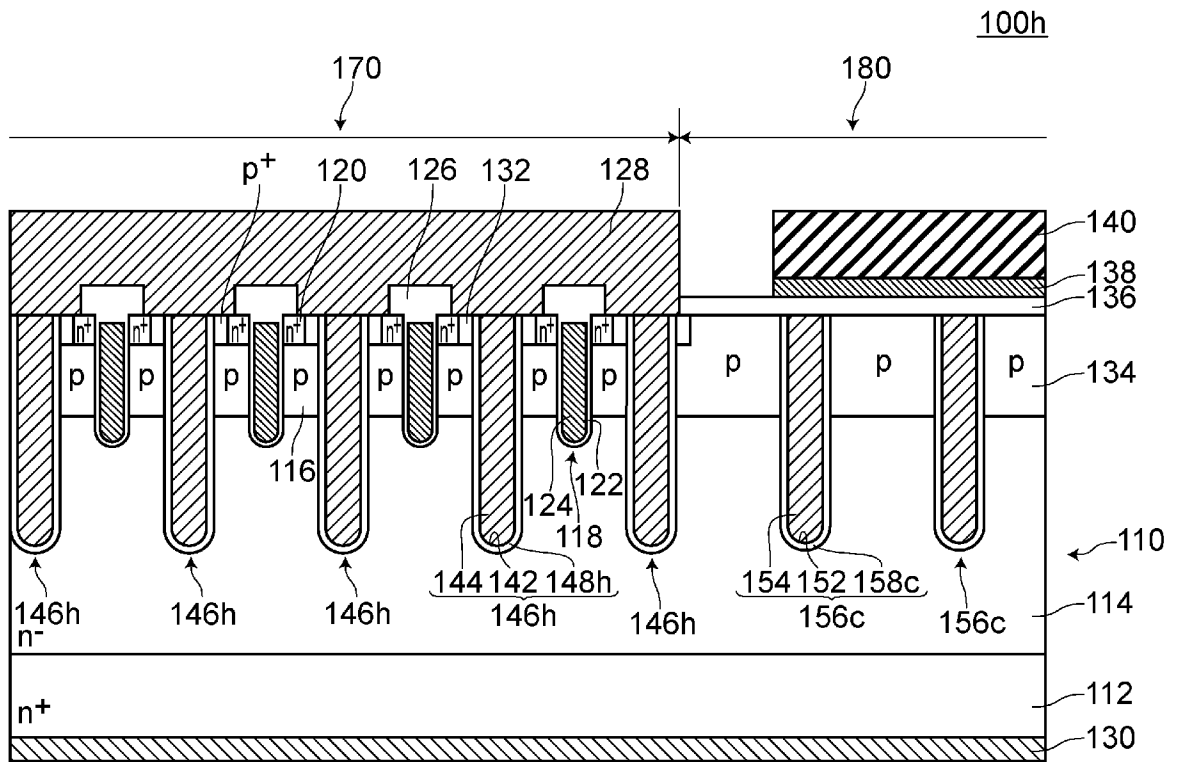
[図18]



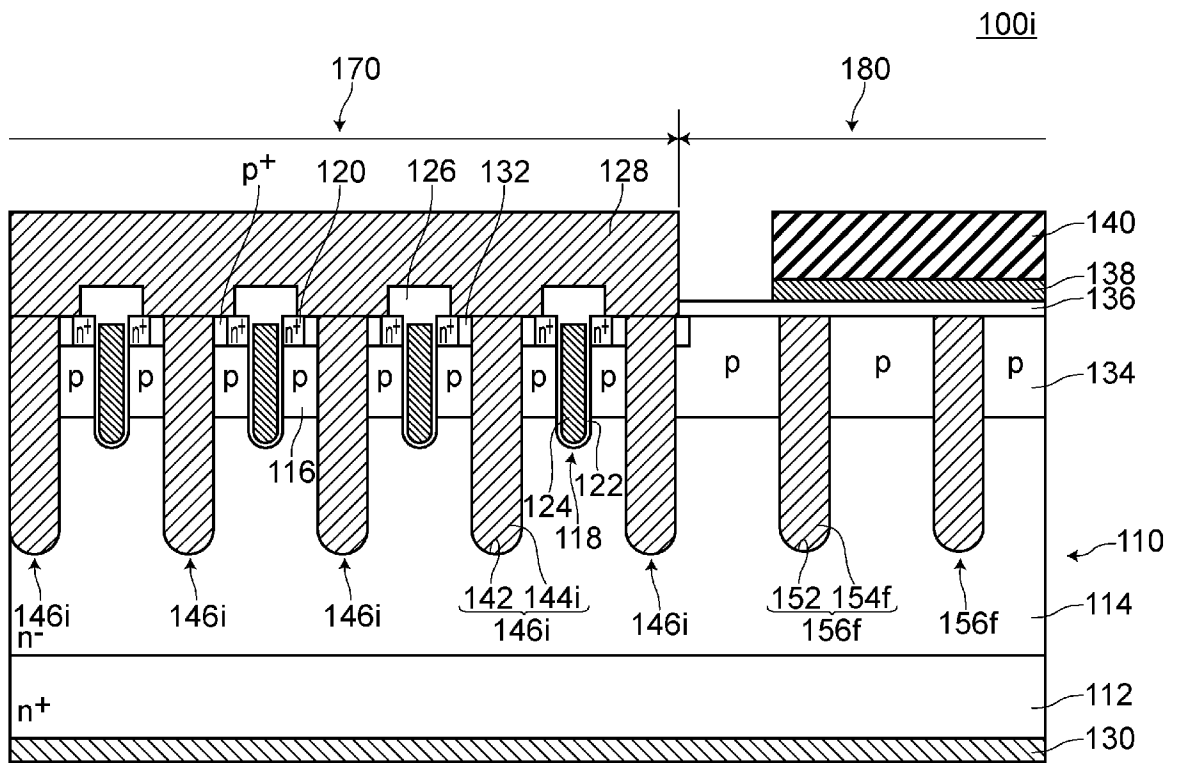
[図19]



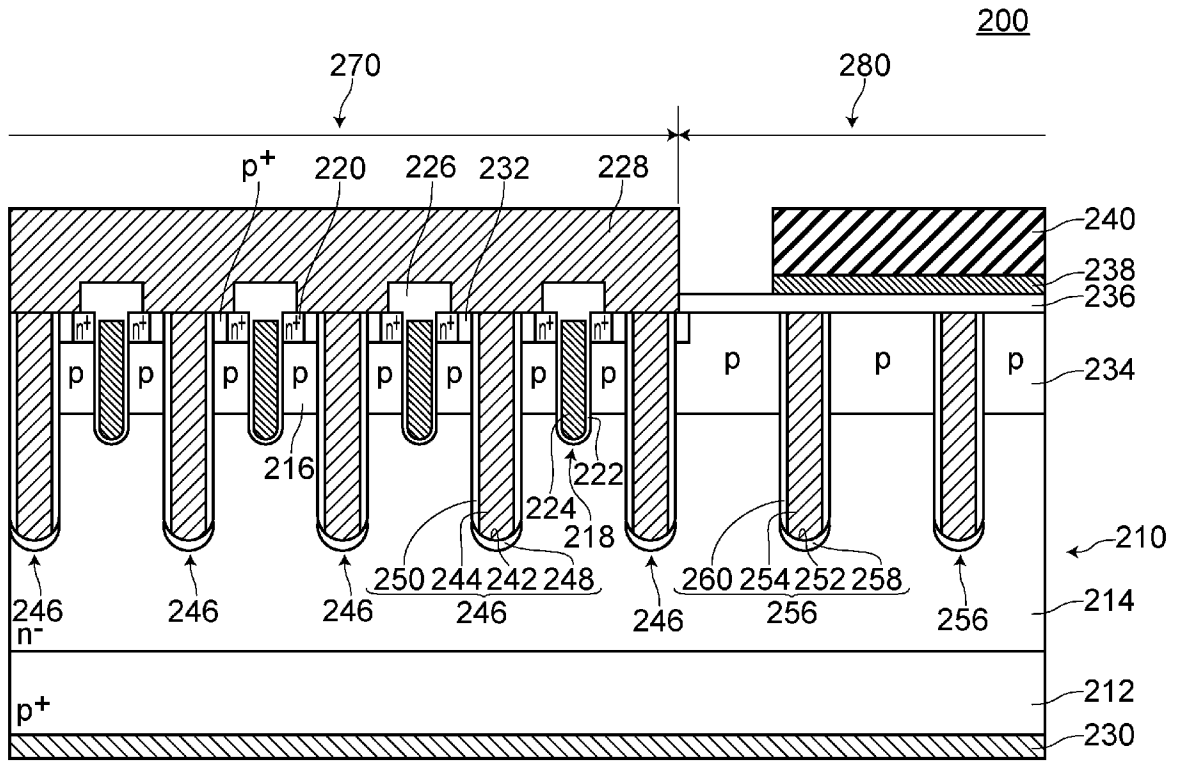
[図20]



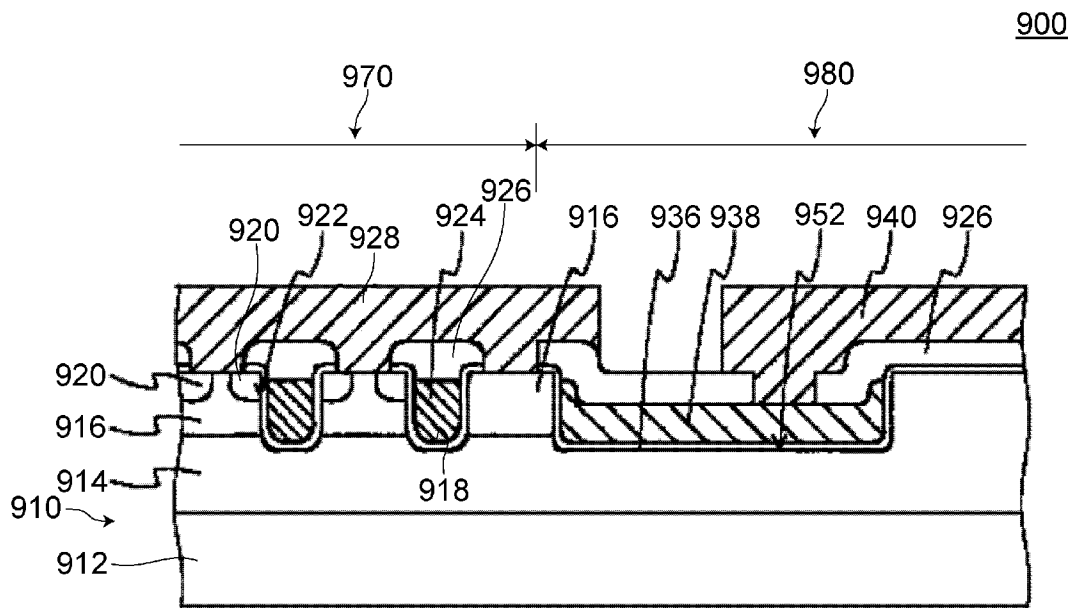
[図21]



[圖22]



[圖23]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/050989

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/739(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78, H01L21/336, H01L29/06, H01L29/12, H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2015 |
| Kokai Jitsuyo Shinan Koho | 1971-2015 | Toroku Jitsuyo Shinan Koho | 1994-2015 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| Y A | JP 2013-521660 A (Vishay-Siliconix), 10 June 2013 (10.06.2013), paragraphs [0019] to [0050]; fig. 1 to 17 & US 2011/0254084 A1 & WO 2011/109559 A2 & CN 102859699 A | 1-14 15 |
| Y A | JP 2012-243985 A (Shindengen Electric Mfg. Co., Ltd.), 10 December 2012 (10.12.2012), paragraphs [0025] to [0043]; fig. 1 to 5 (Family: none) | 1-14 15 |
| Y | JP 8-167711 A (Mitsubishi Electric Corp.), 25 June 1996 (25.06.1996), paragraphs [0094] to [0105]; fig. 34 to 48 & US 5864159 A & EP 717450 A2 & EP 881692 A2 | 6 |

Further documents are listed in the continuation of Box C. See patent family annex.

| | |
|---|--|
| * Special categories of cited documents: | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "A" document defining the general state of the art which is not considered to be of particular relevance | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "E" earlier application or patent but published on or after the international filing date | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family |
| "O" document referring to an oral disclosure, use, exhibition or other means | |
| "P" document published prior to the international filing date but later than the priority date claimed | |

| | |
|---|--|
| Date of the actual completion of the international search 30 March 2015 (30.03.15) | Date of mailing of the international search report 07 April 2015 (07.04.15) |
|---|--|

| | |
|--|---|
| Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan | Authorized officer Telephone No. |
|--|---|

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/050989

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| Y | JP 2001-284584 A (Toshiba Corp.), 12 October 2001 (12.10.2001), paragraphs [0009] to [0012]; fig. 1 to 2 & US 2001/0025984 A1 | 7-8 |
| Y | JP 2007-529115 A (Fairchild Semiconductor Corp.), 18 October 2007 (18.10.2007), paragraph [0058]; fig. 17 & WO 2005/065385 A2 & US 2005/0167742 A1 & KR 10-2007-0032627 A & CN 101180737 A | 12 |
| Y | JP 2009-278067 A (Fuji Electric Device Technology Co., Ltd.), 26 November 2009 (26.11.2009), paragraphs [0092] to [0098]; fig. 26 to 30 & US 2009/0283776 A1 | 13 |
| A | JP 7-326755 A (Nippondenso Co., Ltd.), 12 December 1995 (12.12.1995), paragraph [0023] & US 5915180 A & EP 676814 A2 | 15 |
| A | JP 2006-196583 A (Shindengen Electric Mfg. Co., Ltd.), 27 July 2006 (27.07.2006), paragraphs [0013] to [0033]; fig. 1 to 17 (Family: none) | 1-15 |

A. 発明の属する分野の分類（国際特許分類（IPC））
 Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/739(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（IPC））
 Int.Cl. H01L29/78, H01L21/336, H01L29/06, H01L29/12, H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2015年
 日本国実用新案登録公報 1996-2015年
 日本国登録実用新案公報 1994-2015年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
|-----------------|---|----------------|
| Y A | JP 2013-521660 A（ヴィシエイーシリコニックス）2013.06.10, 段落[0019]-[0050], 図1-17 & US 2011/0254084 A1 & WO 2011/109559 A2 & CN 102859699 A | 1-14 15 |
| Y A | JP 2012-243985 A（新電元工業株式会社）2012.12.10, 段落[0025]-[0043], 図1-5 （ファミリーなし） | 1-14 15 |

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

| | |
|--------------------------|--------------------------|
| 国際調査を完了した日 30.03.2015 | 国際調査報告の発送日 07.04.2015 |
|--------------------------|--------------------------|

| | | | |
|--|---|-----|------|
| 国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号 | 特許庁審査官（権限のある職員） 早川 朋一 電話番号 03-3581-1101 内線 3516 | 5 F | 9733 |
|--|---|-----|------|

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|---|----------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| Y | JP 8-167711 A (三菱電機株式会社) 1996. 06. 25, 段落[0094]-[0105], 図 34-48 & US 5864159 A & EP 717450 A2 & EP 881692 A2 | 6 |
| Y | JP 2001-284584 A (株式会社東芝) 2001. 10. 12, 段落[0009]-[0012], 図 1-2 & US 2001/0025984 A1 | 7-8 |
| Y | JP 2007-529115 A (フェアチャイルド・セミコンダクター・コーポ レーション) 2007. 10. 18, 段落[0058], 図 17 & WO 2005/065385 A2 & US 2005/0167742 A1 & KR 10-2007-0032627 A & CN 101180737 A | 12 |
| Y | JP 2009-278067 A (富士電機デバイステクノロジー株式会社) 2009. 11. 26, 段落[0092]-[0098], 図 26-30 & US 2009/0283776 A1 | 13 |
| A | JP 7-326755 A (日本電装株式会社) 1995. 12. 12, 段落[0023] & US 5915180 A & EP 676814 A2 | 15 |
| A | JP 2006-196583 A (新電元工業株式会社) 2006. 07. 27, 段落[0013]-[0033], 図 1-17 (ファミリーなし) | 1-15 |