

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

**(51) Int. Cl.<sup>6</sup>**  
**H01L 27/115**

**(45) 공고일자** 2001년01월15일  
**(11) 등록번호** 10-0274491  
**(24) 등록일자** 2000년09월14일

(21) 출원번호	10-1996-0701722	(65) 공개번호	특 1996-0705368
(22) 출원일자	1996년03월30일	(43) 공개일자	1996년10월09일
번역문제출일자	1996년03월30일		
(86) 국제출원번호	PCT/US 94/10648	(87) 국제공개번호	WO 95/09423
(86) 국제출원일자	1994년09월20일	(87) 국제공개일자	1995년04월06일
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 사이프러스 독일 덴마크 스페인 핀란드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴		
	국내특허 : 일본 대한민국 중국		

(30) 우선권주장 129866 1993년09월30일 미국(US)

(73) 특허권자 씨러스 로직 인코포레이티드 로버트 에프. 도나휴  
 미국 캘리포니아 94538 프레몬트 웨스트 워렌 애비뉴 3100  
 (72) 발명자 파비즈 케쉬트보드  
 미국 캘리포니아 94024 로스알토스 힐즈 레베카 레인 11627  
 (74) 대리인 이병호

**심사관 : 임동우**

**(54) 스페이서 플래쉬 셀 공정**

**요약**

플래쉬 EEPROM 셀은 프로그래밍동안 플로우팅 게이트(42) 및 비트라인(46)간을 수직 결합시키므로써 감소된 셀 크기를 갖는다. 소거 동작은 폴리스페이서(42)의 날카로운 텁에서 제어 게이트(38)로 전자를 터널링함으로써 행해진다. 셀은 인접 셀의 소오스의 어레이내의 각셀에 대한 소오스(32) 및 드레인(34)이 또 다른 인접 셀에 대한 드레인이 되도록 적응된다. 셀은 바람직한 필드 산화물인 제 1 절연체(106)의 개구들을 통해 기판(104)내에 드레인 영역들을 형성함으로써 형성된다. 제 2 절연체(112)는 기판(104)상의 제 1 절연체(106)상에 걸쳐 그리고 개구의 측벽을 따라서 증착되어 바람직한 얇은 층이 됨으로써, 이 개구가 얇은 절연층으로 커버되도록 한다. 절연된 개구는 제 1 도핑된 폴리 실리콘 층(114)으로 채워진다. 필드 산화물(106)은 선택적으로 제거된다. 게이트 산화물(118)은 성장되고 제 2 폴리실리콘 층은 형성되고 나서 에칭되어 제 1 폴리실리콘(114) 제 2 절연체 구조(112)의 에지들을 따라서 스페이서(124)를 형성한다. 제 2 폴리실리콘은 선택적으로 에칭되고 터널링 절연체 층은 그 위에 형성된다. 제 3 폴리실리콘 층(38)은 터넨링 절연체 상에 형성된다.

**대표도**

**도1**

**영세서**

[발명의 명칭]

스페이서 플래쉬 셀 공정

[발명의 상세한 설명]

[발명의 분야]

본 발명은 반도체 전자 장치를 제조하기 위한 공정 분야에 관한 것이며, 특히, 본 발명은 스페이서 기술을 사용하여 플래쉬 EEPROM 메모리 셀들을 형성하는 공정에 관한 것이다.

[발명의 배경]

때때로 플래쉬 장치들이라 칭하는 불휘발성의 전기적으로 프로그램 가능하고 소거가능한 메모리 장치가 종래 기술에서 다양한 동작으로 설명된다. EEPROM이라 칭하는 이 그룹의 섹션은 두개의 직렬로 접속된 N-채널 금속산화물 반도체 트랜지스터들을 포함하는데, 상기 트랜지스터들중 하나의 트랜지스터는 플로우팅되는 부가적인 제어 게이트를 갖고 이 게이트 및 채널간에 샌드위치되어 있다. 상기 게이트는 EEPROM의 상태를 결정하는 정의(positive) 전하 또는 부의(negative) 전하를 저장하는데 사용된다. 다른 트랜지스터는 선택 목적을 위하여 사용된다. 플로우팅 게이트의 총전은 플로우팅 게이트로부터 또는 플로우팅 게이트내로 전자들을 파울러-노르드하임(Fowler-Nordheim) 터널링시킴으로써 수행된다. 이 채널 및 플로우팅 게이트간의 산화물 층은 종래의 기술에서 보고된 바로는 약 100Å 이다. 이를 종래의 플래쉬 장치들은 고전압을 필요로하며, 프로그램하는데 느리고 상기 플로우팅 게이트 및 제어 게이트간에 필요로되는 대용

량의 커플링 때문에 큰 공간을 차지한다.

(인텔 플래쉬 특허원)에 보고된 바와같은 또다른 타임의 플래쉬 장치는 자신의 제어 게이트 및 채널간에 삽입된 플로우팅 게이트를 갖는 단일 N-MOS 트랜지스터를 사용한다. 이들 타잎의 플래쉬 셀들을 위한 산화물 두께는 또한 약 100Å 이다. 이 플로우팅 게이트에 부의 전하를 저장시키는 것은 트랜지스터의 소오스 및 드레인간에 전하를 운반하는 동안 채널에서 발생된 고 에너지전자를 주입시킴으로써 이루어진다. 이것은 제어 게이트에 대해 훨씬 낮은 전압을 필요로하지만 보다 큰 소오스 대 드레인 전류를 필요로한다. 부의 전하의 소거 또는 제거는 셀의 과도한 소거를 방지하기 위한 제어하에서 수행되어져야 한다는 점을 제외하면 EEPROM 셀과 정확하게 동일하게 수행되는데, 이것은 정의 전하를 플로우팅 게이트에 남겨 둠으로써, 트랜지스터가 항상 “on” 상태로 유지되도록 하며 셀 선택성이 상실되게 한다. 이 타잎의 플래쉬 셀은 EEPROM 셀 보다 작고 보다 낮은 프로그래밍 전압을 필요로하지만 과도한 소거를 겪게되고 고 전류를 필요로한다. 이 타잎의 플래쉬 셀에 대한 고 전류 필요조건이 전원으로서 전지를 사용하는 장치에 적합하지 않게 한다. 이 타잎의 플래쉬 셀에서 또 다른 문제점은 소거 전압  $V_t$  의 제어로부터 초래한다. 과도한 소거가 메모리내의 모든 셀에 대하여 회피되어야 하기 때문에, 소거된 셀의 전압  $V_t$ 에 대한 보다 낮은 한계는 0.5V 보다 작게 될 수 없다. 모든 셀들이 동일한 방식으로 소거되지 않기 때문에 3.0V 만큼 높은 전압  $V_t$ 를 갖는 메모리내의 셀들이 존재할 수 있다. 3.0V의  $V_t$ 는 게이트에 대한 제어 전압으로서 3 볼트로 셀을 동작시킬 수 없게 된다.

#### [도면의 간단한 설명]

제1도는 본 발명에 따라 제조된 셀의 단면도.

제2도는 본 발명에 따라 제조된 메모리 어레이의 일부분에 대한 기하학적인 배치도.

제3도 내지 제11도는 본 발명을 구현하는 공정 단계들의 다양한 스테이지후의 제1도의 반도체 장치의 단면도.

#### [표의 간단한 설명]

표 1은 본 발명에 따른 플래쉬 EEPROM 셀을 형성하는 제조 공정을 도시한다.

#### [발명의 요약]

저장 소자로서 플로우팅 폴리실리콘 스페이서를 사용하는 플래쉬 셀이 서술된다. 셀 비트 라인 및 플로우팅 저장 소자간의 결합 매체로서 실리콘 질화물 층이 바람직하게 사용된다. 셀의 이 비트 라인은 도핑된 폴리실리콘으로 필드 산화물(field oxide)에 형성된 트렌치(trench)를 채우고 나서 셀 영역에서 필드 산화물을 제거함으로써 형성된다. 실리콘 질화물 절연층은, 플로우팅 게이트를 제어 소자들에 결합하기 위하여 종래의 기술에서 사용되는 실리콘 이산화물 층들과 비교할 때, 보다 높은 유전 상수로 인해 비트 라인 및 플로우팅 저장 소자간을 보다 높게 결합시킨다.

저장 소자는 제어 트랜지스터와 직렬인 플로우팅 게이트 트랜지스터를 형성한다. 제어 트랜지스터의 게이트는 두꺼운 산화물을 층에 의해 저장 소자와 분리되어 있다. 이 층은 결합을 최대화하기 위해 실리콘 질화물/산화물 층을 사용하는 종래의 기술(인텔 특허)과 비교하여 플로우팅 게이트 및 제어 게이트간의 결합을 감소시킨다. 제어 게이트 및 플로우팅 게이트간의 낮은 결합은 플로우팅 게이트에 대한 매우 작은 부의 전하량으로 플로우팅 게이트 트랜지스터를 “오프”로 유지시키는데, 이것은 드레인 및 비트 라인에 대한 저 전압으로 본 발명의 플래쉬 셀을 신속하게 프로그램시킨다.

소거 동작은 플로우팅 게이트 저장 소자상에서 성장된 얇은 산화물을 통하여 행해진다. 이 얇은 산화물 층을 성장시키기 위하여, 플로우팅 게이트의 측면상의 실리콘 질화물의 작은 부분이 제거되고 나서 얇은 산화물 층이 성장된다. 플로우팅 게이트에 트랩된 전자들은 다른 전극들이 접지되는 동안 제어 게이트상에 고전압을 인가함으로써 얇은 산화물 층을 통하여 터널링될 것이다. 플로우팅 게이트로부터 과다 전자들을 터널링시켜 이 플로우팅 게이트를 정의 전하로 충전된 상태로 하는 것이 바람직하다. 이것은 종래 기술(인텔 특허)과 비교하며 과다 소거라고 불리는 현상을 피하게 한다. 셀의 제어 게이트 및 드레인은 함께 접속되지 않는다. 모든 프로그램들 동안, 제어 게이트 및 드레인은 10-12V 정도의 고전압에 결합된다. 판독 동작 동안, 드레인은 약 2V 정도의 저전압에 결합된다. 비트라인 전압은 0 또는 2V일 수 있다. 비트 라인을 제로볼트에 결합하는 것은 플로우팅 게이트에 결합된 전압을 감소시킴으로, 플로우팅 게이트에 대한 부의 전압 필요를 감소시켜 셀을 더욱 더 오프 상태로 유지시킨다. 이것은 셀의 설계를 더욱 복잡하게 한다는 것에 주의하라.

#### [바람직한 실시예의 상세한 설명]

본 발명은 CMOS공정에 관한 것이며, 이에 대해 설명될 것이다.

그러나, 본 발명의 원리가 NMOS와 PMOS에 동일하게 적용될 수 있다는 것이 당업에게는 명백할 것이다. 게다가, 본 발명은 EEPROM 기술에 적용될 수 있다는 것을 이해 할 수 있을 것이다.

#### [셀 구조]

본 실시예의 셀이 제1도에 도시되어 있다. 이 셀은 P형 반도체 기판(307)상에 형성된다. 이 셀은 드레인(34), 소오스(32) 및 제어 트랜지스터의 채널(40) 및 셀의 플로우팅 게이트 트랜지스터의 채널(44)을 포함한다. 드레인(34)은 도시된 셀의 우측에 위치한 셀과 공유되고, 소오스(32)는 도시된 셀의 좌측에 위치한 셀과 공유된다. 플로우팅 게이트(42)는 절연체(48)를 통해 비트라인(46)과 용량적으로 결합된다.

플로우팅 게이트(42) 및 채널(44)은 셀의 상태를 결정하는 플로우팅 게이트 트랜지스터를 형성한다. 플로우팅 게이트에 저장되는 부의 전하는 채널(44)에서는 전류 흐름을 차단하는데, 이것을 셀의 “오프” 상태라 한다. 플로우팅 게이트상의 정의 전하는 플로우팅 게이트 트랜지스터가 전류를 도전시키도록하는데, 이것을 셀의 “온” 상태라 한다. 제어 게이트(38) 및 채널(40)은 셀 선택을 위하여 사용되는 제어 트랜지스터를 형성한다.

절연 산화물 층(56)은 플로우팅 게이트(42) 및 제어 게이트(38)간에 형성된다. 이 산화물 층(56)의 두께는 플로우팅 게이트(42) 및 제어 게이트(38)간을 용량적 결합을 최소화하여 제어 트랜지스터 및 플로우팅 게이트 트랜지스터의 독립적인 동작을 보장하도록 1000Å 보다 크게 되는 것이 바람직하다.

비트 라인(46)은 바람직하게 폴리실리콘으로 트랜치를 채움으로써 형성된다. 폴리실리콘 채움(48)은 실리콘 질화물 절연체(58)의 작은 부분을 에칭함으로써 리세스된다. 두께가 대략 120에서 200Å 인 얇은 산화물 층은 실리콘 질화물 층이 제거된 영역의 플로우팅 게이트(42)상에서 성장된다. 플로우팅 게이트(42)는 폴리실리콘 스페이스로 형성된다. 비트 라인에 의해 형성된 스텝(step)상에 종착되는 폴리실리콘 층의 에칭에 의해 형성된 폴리실리콘 스페이스에서 최상부상에 날카로운 모서리를 갖게 될 것이다. 이 날카로운 모서리는 필요로되는 소거 시간 및 소거 전압을 감소시키는데 유용한 얇은 산화물 층(50)에서 전계를 증가시킨다.

제2도는 제1도에 도시된 셀 어레이와 같은 셀들의 어레이의 일부분을 도시한 평면도이다. 제1도의 각각의 소자들에 대해 한 개 이상 존재하기 때문에, 제2도에 도시된 소자들에는 각종 유사한 소자들간의 구별을 위해 알파벳 첨자가 병기되어 있다. 12개의 완전한 셀들 및 6개의 부분적인 셀들이 도시되어 있다. 드레인(34X)은 각각의 비트 라인(46X) 아래에 형성됨으로 제2도에 불명료하게 도시되어 있다는 것을 당업자는 이해할 수 있을 것이다. 드레인들(34X)에 대한 참조 번호는 가상으로 도시되어 있다.

한 셀이 식별될 것이다. 소오스(32A) 및 드레인(34B)은 채널(36X)을 통해서 서로 결합된다. 제어 게이트(38B)는 채널(36X)의 일부분(40X)을 제어하기 위해 결합된다. 플로우팅 게이트(42I)는 채널(44X)의 제 2 부분을 제어하도록 구성된다. 적절한 전압 신호를 제어 게이트(38A)에 인가함으로써, 채널(36X)은 플로우팅 게이트(42I)가 프로그램되었는지에 따라서 소오스로부터 드레인으로의 전류 흐름을 위한 경로를 제공한다.

#### [셀 동작]

셀의 동작은 제1도에 도시된 셀과 관련하여 설명된다. 이들 전압은 하나 또는 그보다 많은 부가적인 셀들에 순차적으로 인가되거나 시스템 수행 필요조건에 따라서 단일 셀을 위한 이들 신호들과 별별로 인가될 수 있다는 것을 당업자는 이해할 수 있을 것이다.

#### [셀 프로그래밍]

셀을 프로그램하기 위하여, 10 내지 12 볼트 정도의 전압이 셀의 드레인(34) 및 비트 라인(46)에 인가된다. 비트 라인(46) 및 플로우팅 게이트(42)는 상당히 강하게 용량적으로 서로 결합된다. 상기 전극들간의 용량성 결합 계수는 약 0.75인 것이 바람직하다. 따라서 비트 라인(46) 및 드레인(34)상에 10 내지 12V를 인가함에 따라서, 8 내지 9.6V가 플로우팅 게이트(42)상에 나타나게 될 것이다.

동시에 소오스(32)는 접지에 접속되고 제어 게이트(38)는 1.5내지 2V에 접속된다. 상기 전압은 제어 트랜지스터의 임계 전압보다 큰 0.5 내지 1V 이다.

이와같은 상태하에서, 채널(40)은 반전되고 채널(44)은 매우 강하게 반전된다. 이것은 특히 플로우팅 게이트 트랜지스터의 임계가 0에 가깝고, 고전압(8 내지 9.6V)은 플로우팅 게이트(42)상에 있기 때문에 사실임이 판명된다. 채널들(40, 44)간의 갭은 게이트들(38, 42)의 프린징 필드들(fringing fields)에 의해 약하게 반전된다. 제어 게이트(38)상의 높은 드레인 전압 및 낮은 게이트 전압 때문에, 소오스(32)로부터 채널(40)로 들어가는 전자들은 높은 수평 전계하에서 채널들(44)쪽으로 가속된다. 전계는 특히 채널들(44, 40)간의 갭에서 높게 된다. 이것을 전류를 운반하는 작은수의 전자들을 초래하는 이 영역에서의 약한 반전에 기인하는 것이며, 전체 전류가 소오스(32) 및 드레인(34)으로부터 일정하기 때문에 전자들은 더 높은 전계 더 빨리 이동해야만 한다. 이들 고속 이동하는 전자들의 일부는 가장 높은 전위를 갖는 플로우팅 게이트로 주입된다. 전자들이 플로우팅 게이트로 주입됨에 따라, 채널 영역(44)이 반전을 유지할 수 없는 점까지 플로우팅 플로우팅 게이트의 전위를 강하시킨다. 이때, 전류는 제로로 감소되고 셀의 프로그래밍은 중단된다. 프로그래밍에시 감속은 점진적으로 일어나기 때문에, 사용자는 채널이 완전하게 차단되기를 기다릴 필요가 없지만, 플로우팅 게이트(42)상의 전압이 대략 3 내지 4V로 강하될때 프로그래밍 동작을 중지할 수 있다. 비트 라인(46) 및 드레인(34)상의 보다 높은 전위에서 이 변화는 보다 짧은 시간 내에 일어난다는 것이 당업자에게 명백할 것이다. 비트 라인(46) 및 드레인(34)상의 프로그래밍 전압을 제거함에 따라서, 3 내지 4 볼트의 부의 전하는 채널(44)이 반전되지 않도록 방지하는 플로우팅 게이트(42)상에 트랩될 것이다.

#### [셀 판독]

셀 판독하기 위하여, 소오스(32)는 접지 전위에 접속되고, 드레인(34)(그리고 사용자의 비트 라인(46)의 선택에 따라서)은 1 내지 1.5V 에 접속되고, 제어 게이트(38)는 3 내지 5V에 접속된다. 제어 게이트(38) 및 플로우팅 게이트(42)간의 용량성 결합 계수는 매우 작은데, 0.1 내지 0.15 정도 바람직하게는 0.10 이다. 이들 상태하에서, 플로우팅 게이트에 결합된 전체 전압은 1.1 내지 1.95 볼트로 될 것이다. 소거된 셀에서, 플로우팅 게이트는 자연적으로 발생하는 과도한 소거로 인해 통상적으로 정의 전하를 갖는다. 과도한 소거는 셀의 동작을 위해 필요로되지 않지만, 소거 사이클 동안 통상적으로 발생되어 이를 방지하기 위한 어떤 작용도 실행하지 않아도 된다. 어쨋든 채널(40)을 갖는 플로우팅 게이트 트랜지스터의 임계는 제로 또는 부(negative)중 하나이며, 채널(44)은 적당한 셀 요소들에 인가되는 적절한 판독 전압들로 반전될 것이다. 제어 트랜지스터(40)의 채널은 또한 제어 게이트(38)에 3V 내지 5V를 인가함으로써 반전된다. 이것은 드레인(34)으로부터 소오스(32)에 전류를 흘르게한다.

프로그램된 셀에서, 플로우팅 게이트(42)상에 저장된 부의 전하는 제어 게이트(38) 및 비트 라인(46)으로부터의 용량적으로 결합된 정의 전하를 초과하여, 채널(44)이 반전되지 않도록 함으로써, 드레인(34)으로부터 소오스(32)로 전류가 흘르는 것을 방지한다. 판독 작업 동안, 비트 라인(46)은 접지에 결합되고 드레인(34)은 1V 내지 1.5V 에 접속된다. 이것은 플로우팅 게이트(42)로의 결합된 전하의 양을 훨씬 낮은 값으로 감소시킨다. 이것은 프로그래밍 동안 셀이 플로우팅 게이트상의 부의 전하를 훨씬 작게 할 필요가 있다는 것을 의미하며, 이것이 보다 낮은 드레인(34) 및 비트 라인(46) 전압으로 프로그래밍을 훨씬 더

고속으로 실행시킨다는 것을 의미한다.

### [셀 소거]

셀 소거 동작은 다른 전극들이 접지 전위에 있는 동안 전압을 제어 게이트(38)에 인가함으로써 수행된다. 필요로 되는 전압은 소거 속도 요구 조건에 좌우되는데, 보다 빠른 속도가 제어 게이트상의 전압을 보다 높게 할 필요가 있다. 본 발명의 셀에 대하여 전형적인 소거 전압은 약 12V 내지 15V이다. 소거 사이클 동안, 플로우팅 게이트(42)에서 트랩된 전하들은 터널링 산화물 층(50)을 통과하여 터널링되어 플로우팅 게이트(42)에 남게 됨으로써, 플로우팅 게이트(42)상의 전위를 증가시킨다.

플로우팅 게이트(42)상의 전위가 증가함에 따라서, 플로우팅 게이트 전압 및 제어 게이트 전압 간의 차이는 점점 작게되어 터널링 공정을 느리게 한다. 이것은 프로그램되지 않은 셀의 소거는 플로우팅 게이트상의 정의 전압이 보다 빠르게 확립되고 소거가 프로그램된 셀에 대한 것 보다 빠르게 중지되기 때문에 셀에 손상을 주지 않는다는 것을 의미한다. 이 동작에서, 동일한 공통 제어 게이트(38)를 공유하는 모든 셀들은 소거될 것이다. 이것을 종래 기술에서 섹터 소거 동작이라고 칭하는데, 그 이유는 한 섹터 분량의 데이터를 포함하는 모든 셀들이 공통 제어 게이트를 갖는다. 선택적인 셀 소거 동작은 적절한 전압을 셀들의 드레인 및 비트 라인들에 인가함으로써 가능하게 되어, 프로그램된 상태로 바람직하게 유지된다.

### [CMOS 공정과 결합하여 플래쉬 셀을 형성하기 위한 바람직한 공정]

본 특허원은 반도체의 종래 기술에 숙련된 당업자에게 공지된 바와 같은 종래의 CMOS 공정에 공정 단계를 부가함으로써 본 발명의 플래쉬 셀을 제조하는 기술을 또한 서술한다. 본 실시예를 위한 공정은 표 1에 개설되어 있는데 이것은 종래의 N-well CMOS 공정에서 통상적으로 발견되는 많은 공정 단계들을 사용한다.

웨이퍼가, N-well 공정, 확산 마스킹 및 적절한 에칭들, 및 필드 산화물을 통해서 처리된 후, 폴리실리콘 비트 라인 마스크는 필드 산화물에 깊은 트랜치들을 만들기 위하여 사용된다. 트랜치들은 실리콘 기판에 공정 내내 에칭된다.

그리고 나서, 셀의 드레인을 형성하기 위해 비소가 트랜치들로 주입된다. 그리고나서 대략 300Å 내지 500Å의 얇은 실리콘 질화물을 층이 모든 트랜치의 바닥과 측 벽돌 및 필드 산화물을 커버하고 있는 전체 웨이퍼상에 증착되어, 셀들의 드레인들로부터 비트 라인들을 절연시킨다.

매립된 접촉 마스크는 셀들의 드레인들에 비트 라인들을 접속하기 위하여 사용될 수 있다. 이것은 선택적이며 예를 들어 금속 및 접촉들로서 둘다를 함께 접속시키는 다른 수단을 사용할 수 있다. 그리고 나서, 트랜치들은 폴리실리콘으로 채워진다. 이것은 폴리실리콘으로 웨이퍼를 커버함으로써 행해진다. 폴리실리콘 층은 인으로 도핑되고 트랜치들에서만 폴리실리콘을 남겨두도록 에칭백됨으로써, 트랜치들을 최상부까지 채운다. 웨이퍼의 표면을 커버하는 실리콘 질화물은 상기 공정동안 또한 제거된다.

이 공정(표 1의 단계 X)에서, 산화물 층은 트랜치에서의 폴리실리콘의 일부를 없애기 위하여 웨이퍼상에 성장된다. 산화물 층은 1000Å이 바람직하다.

이 산화 단계 후, 활성 영역을 한정하기 위하여 사용되는 실리콘 질화물은 종래기술에서 공지된 바와 같이 제거된다. 단계 XI에서, 마스크는 셀 영역에서 필드 산화물을 선택적으로 제거하기 위하여 사용되는데, 이것은 트랜치를 채운 폴리실리콘이 그 측면들을 커버하는 실리콘 질화물과 함께 둘출되도록 한다.

850Å의 희생 산화물(sacrificial oxide)은 단결정 실리콘 기판상에 성장되고나서 에칭 백된다. 폴리실리콘은 인으로 심하게 도핑되기 때문에, 약 2600Å의 산화물이 폴리실리콘 층의 최상부상에 성장한다. 에칭 백 단계 후, 약 1600Å의 산화물이 트랜치내의 폴리실리콘 최상부상에 남게된다. 임계 조정을 위하여 적절히 수행한 후 150Å의 제 1 게이트 산화물이 성장된다. 이 때, 트랜치내의 폴리의 최상부상의 산화물은 약 1700Å이고 실리콘 질화물과 동일한 레벨로 된다.

지금, 두꺼운 폴리실리콘 층이 증착된다. 그리고 나서, 셀 여레이의 주변 및 폴리 스페이서들에서 얇은 산화물 트랜지스터들을 형성하기 위하여 폴리실리콘이 마스킹된다. 지금 셀의 소오는 마스킹 및 비소의 주입에 의해 형성된다. 다음 단계에서 폴리실리콘의 최상부상의 모든 산화물은 제거되고 약 350Å의 산화물 층이 노출된 실리콘 에리어들에서 성장된다. 이 산화물 층은 7 볼트보다 큰 전압을 취급하는 주변의 모든 트랜지스터들 뿐만 아니라 셀 내의 제어 트랜지스터를 위한 게이트 산화물을 형성한다. 제10도는 이 공정에서 이 때에 두 개의 폴리실리콘 층들이 서로 상대하여 어떻게 위치되는지를 도시한 것이다. 그리고 나서, 실리콘 질화물의 노출된 부분은 뜨거운 인산으로 에칭되고 200Å의 터널링 산화물 층은 폴리실리콘 상에 성장된다.

지금, 제3의 폴리실리콘 층이 증착되고 고전압 트랜지스터 게이트를 뿐만 아니라 셀의 제어 게이트를 형성하도록 한정된다. 이 폴리의 한정 후, 스페이스의 노출된 부분은 제거될 것이고 종래의 기술에서 공지된 바와 같이 제어 폴리실리콘 층에 자기 정렬된다. 셀의 소오는 사용되는 매립된 N+에 대한 손상을 방지하기 위하여 자기 정렬된 에칭 동안 여분의 한 마스크를 사용할 필요가 있을 수 있다. 이 단계는 전하의 누출을 방지하기 위하여 플로우팅 폴리들의 측면들을 봉입하는 산화에 앞서 있다. 나머지 이 공정 단계들은 종래의 기술에서 공지된 종래의 CMOS 공정과 매우 유사하다.

제3도 내지 제11도의 도면과 관계하는 공정의 더욱 상세한 설명이 이어진다. 반도체 웨이퍼는 기판으로서 사용된다. 웨이퍼는 임의의 공지된 마스킹 기술을 사용하여 마스킹된다.

이하의 설명에서 도표 1에 도시된 공정의 각각의 단계와 관계하는 텍스트의 각각의 섹션은 해당하는 로마 숫자로 시작된다.

I. 웨이퍼는 적절한 크기 및 위치의 N-well 들을 형성하기 위하여 마스크 된다. 이 N-well들은 소망의 N-형 불순물 도우즈(dose)를 주입함으로써 포토레지스트 마스크를 통해서 형성된다. II. 필드 산화물의 형성을 선택적으로 방지하기 위하여 질화물 층이 도포되고 마스킹된다. 채널 스톱으로서 사용될 필드 주입(field implant) 웨이퍼에 도포된다. III. 필드 산화는 웨이퍼의 부분들상에 6000Å 까지 선택적으로 성장

된다. IV. 필드 산화물은 마스크되고 선택적으로 제거되어 기판의 부분들을 노출시킨다. V. 비소는 개구를 통해 주입된 다음에 드레인을 형성하기 위해 고온 단계들에서 어닐링된다. 두개의 드레인들은 각각의 개구를 통해서 형성된다.

제3도는 이 공정의 이 스테이지에서 웨이퍼의 일부분의 단면을 도시한 도시한 것이다. 셀은 기준점으로서만 도시된 두개의 수직선(100, 102)간에 형성된다. 두꺼운 필드 산화물 층(106)은 P-형 기판(104)상에 형성된다. 개구(108)는 기판(104)의 일부를 노출시키는 필드 산화물 층(106)을 통하여 형성된다. 결국 두개의 셀들에 대해 드레인이 되는 영역(110)에 비소가 주입된다.

VI. 제4도에 도시된 바와 같이, 얇은 질화물( $\text{Si}_3\text{N}_4$ ) 층은 제3도의 구조의 표면 상에 증착된다. 이 층의 두께는  $300\text{\AA}$  이 바람직하다. VII 다음에, 매립된 접촉 마스크는 폴리실리콘 비트 라인을 확산에 결합시키기 위하여 사용된다. 이 단계는 어떤 종래의 기술에 의한 공정에서 나중 스테이지에서 이 확산에 금속 결합으로 대체될 수 있다.

VIII. 그리고나서, 제 1폴리실리콘 층은 제5도에 도시된 바와같은 구조의 표면으로 증착된다. 증착된 제 1 폴리실리콘 층은 필드 산화물 층(106)의 표면을 커버하도록  $3000\text{\AA}$ 보다 두껍게되어야만 된다. 제 1 폴리실리콘 층은 도전되도록 도핑된다.

IX. 제 1 폴리실리콘 층은 제6도에서 도시된 바와같이 필드 산화물(106)의 표면을 다시 노출시키도록 에칭되고, 채워진 폴리실리콘 영역(116)을 형성한다. X. 그 다음에 제7도에 도시된 바와같이  $1000\text{\AA}$ 의 산화 층(118)이 성장된다. 이 산화 층(118)의 성장은 채워진 폴리실리콘 영역(116)의 높이를 감소시킨다.

XI. 웨이퍼가 마스크되어, 회로의 셀 영역들만을 노출시킨다. 노출된 단 결정 기판(104) 및 채워진 폴리실리콘(116)을 에칭함으로써 필드 산화물은 제거된다. XII. 희생 산화물이 기판(104) 및 채워진 폴리실리콘상에 성장된다. 산화물 성장 두께는 단결정 실리콘 상에서  $850\text{\AA}$  이고 채워진 폴리실리콘 층(116)상에서  $2600\text{\AA}$  이다. XIII. 그리고 나서, 웨이퍼는 기판(104)상의 모든 산화를 제거하는  $850\text{\AA}$  산화물 딥(dip) 내지 채워진 폴리실리콘 층(116)상의  $950\text{\AA}$ 을 겪게된다.

XIV. 주입(implant)이 수행되어 CMOS 트랜지스터들의 임계 전압을 조정한다. XV. 이것은 제 1 게이트 산화물 층 (122)을  $150\text{\AA}$ 의 두께로 성장시키는 것보다 앞서있다. 채워진 폴리실리콘 층 (116)상의 산화물 층(118)은 현재 제8도에서 도시한 바와 같이 약  $1700\text{\AA}$  이다. (불필요한 설명으로 본 발명을 혼란시키지 않기 위해서  $V_t$  조정 주입은 도시되지 않았다는 점에 유의하라)

XVI. 제 2 폴리실리콘 층이 증착된다. 제 2 폴리실리콘 층의 두께는  $3500\text{\AA}$  이다. 이것은 도전되도록 도핑된다. XVII. 얇은 산화물 트랜지스터 마스크는 저 전압의 CMOS 트랜지스터들을 한정하도록 사용된다. 플라즈마 에칭은 제9도에 도시된 바와같은 질화물 층(112)의 측벽들을 따라 폴리실리콘 스페이서(124) 뿐만 아니라 CMOS 트랜지스터들의 게이트들을 형성하는데 사용된다.

XVIII. 이 회로는 마스크되고 소오스 영역(126)에 비소가 주입된다. XIX. 산화물 딥(dip)에 의해 셀의 채널 영역으로부터 산화물이 제거된다. 본 실시예에서 산화물 딥은 30 second 50:1 HF 딥 이다. 그리고나서, 제10도에 도시된 바와같이  $325\text{\AA}$  의 산화물 층 (128)이 기판(104)상에 성장되고  $900\text{\AA}$  의 산화물 층(130)이 폴리실리콘 스페이서(124)상에 성장되는 것을 포함하는 이 구조상에 산화물 층이 성장된다.

XX. 뜨거운 인의 질화물 에칭은 산화물 층 (118) 및 채워진 폴리실리콘(116)의 나머지 부분들 상에 있는 질화물 층(112)의 노출된 부분을 제거하기 위하여 사용된다. XXI. 터널링 산화물 층은 이 구조상에 성장된다. 기판상의 두께는 셀에 대한 게이트 산화물의 두께가 약  $350\text{\AA}$  이 되도록  $50\text{\AA}$  내지  $70\text{\AA}$  사이가 된다. 약  $150$  내지  $200\text{\AA}$ 의 산화물이 폴리실리콘 스페이서(124)상에 형성되어 플로우팅 게이트(스페이스 구조) 및 제어 게이트(아직 형성되진 않음)간의 간격이 제11도에 도시된 바와같이 약  $1000\text{\AA}$  이 되도록 한다. 플로우팅 게이트의 수직 측벽상에 얇은 산화물 층이 형성되어 있다는 것에 유의하라.

XXII. 제 3폴리실리콘 층은 제11도의 구조상에 형성된다. XXIII. 제 3 의 폴리실리콘 층은 마스크되고 XXXIV. 상기 마스크는 제거된다. 제 3 폴리실리콘 층은 기판(104)으로부터 떨어져서 정위(orient)되는 곡면을 따라 플로우팅 게이트로부터 약  $1000\text{\AA}$  이격되도록 하는 플로우팅 게이트의 윤곽(contour)을 따른다. 플로우팅 게이트 및 제어 게이트 간의 간격은 수직 측벽을 따라서 중첩되는 짧은 길이를 따라서 단지 약  $200\text{\AA}$ 가 된다. 플로우팅 게이트 및 제어 게이트간의 중첩되는 양은 약  $700\text{\AA}$  이다. 폴리 3을 한정하고 이를 에칭한 후, 셀의 소스 뿐만 아니라 주변을 커버하는데 자기 정렬 마스크가 사용된다. 이 마스크를 사용하여, 비트 라인(46) 및 플로우팅 폴리(42)의 P 상으로  $1000\text{\AA}$  이 에칭 제거될 것이다. 그리고 나서, 비수직 폴리 에칭을 사용하여, 스페이서(42)는 제어 게이트들간에서 제거된다. 이 에칭 동안, 약  $3000\text{\AA}$  의 폴리가 폴리실리콘 채워진 비트 라인으로부터 벗어나서 에칭되어, 제어 게이트들간에 있는 비트 라인에 약  $2000\text{\AA}$  의 폴리를 남겨둔다.

이 공정에서 나머지 단계들(XXXXV에서 XXXXIII)은 셀로부터 분리되고 떨어진 회로의 부분들을 형성하기 위한 것이다. 표 I에 열거된 단계들은 이들 단계들을 형성하기 위한 종래의 단계들을 나타내고 완성을 위해서만 포함된다. 당업자는 이들 소망의 구조들 및 회로들을 형성하기 위한 다른 단계들을 손쉽게 개발할 수 있다. 본 발명이 바람직한 실시예와 관계하여 서술되었다. 두께 및 특정한 공정 단계들은 임의의 특정한 회로 설계 및 공정 조건의 정밀한 필요에 따라서 변할 수 있고 변화될 것이라는 것을 쉽게 이해할 수 있을 것이다. 본 명세서를 읽고 난 후 당업자에 명백한 이와같은 수정은 본 발명의 원리 및 영역 및 첨부된 청구범위들 범위내에 있다고 간주된다.

## [표 1]

## 스페이서 플래쉬 셀 공정

I.	N-well 마스크/공정/주입들.
II.	화산(diff). 마스크/질화물 에칭/필드 주입.
III.	필드 산화 6000Å.
IV.	폴리 비트 라인 마스크/플라즈마 에칭.
V.	비소 주입/저항 제거
VI.	질화물 증착
VII.	매립된 접촉 마스크.(폴리 비트 라인을 화산에 결합시키기 위함)
VIII.	폴리 채움/폴리 도핑.
IX.	폴리 에칭백.
X.	산화 1000Å.
XI.	필드 산화물 에칭 마스크.
XII.	회생 산화물 성장 : 단결정 실리콘상에 850Å. 폴리상에 2600Å.
XIII.	산화물 딥(제거된 전체 산화물 ~950Å )
XIV.	Vt 조정 주입.
XV.	게이트 산화물 1150Å.(폴리상의 산화물 1700Å)

XVI.	폴리 2 증착 3500Å/도핑.
XVII.	얇은 산화물 트랜지스터 마스크 +스페이서 형성.
XVIII.	비소 주입 마스크/비소 주입.
XIX.	산화물 딥/케이트 산화물 성장 : 케이트 산화물(고전압) 300Å(폴리 상의 900Å)
XX.	뜨거운 인산 질화물 에칭.
XXI.	터널링 산화물 : 실리콘상의 70Å, 폴리상의 200Å (전체 케이트 산화물 350, 전체 폴리 산화물 1000Å).
XXII.	폴리3 증착/도핑(폴리 측면)
XXIII.	폴리 3 마스크.
XXIV.	폴리 3 제거 자동 정렬 마스크/폴리 에칭.
XXV.	LDD Ph. 주입 마스크/Ph. 주입.
XXVI.	스페이서 산화물 증착.
XXVII.	스페이서 에칭.
XXVIII.	N+ S/D 주입 마스크/비소 주입.
XXIX.	P+ S/D 주입 마스크/붕소 주입.
XXX.	S/D 산화.

XXXI.	BPSG 증착.
XXXII.	접촉 마스크.
XXXIII.	Ti 스퍼터/질화
XXXIV.	금속 1 증착
XXXV.	금속 1 마스크/에칭.
XXXVI.	ILD 증착.
XXXVII.	평활화.
XXXVIII.	마스크에 의해/에칭에 의해
XXXIX.	금속 2 증착.
XXXX.	금속2 마스크/에칭.
XXXXI.	페시베이션.
XXXXII.	페드 마스크.

## (57) 청구의 범위

### 청구항 1

불휘발성 메모리 셀에 있어서, a. 상부 표면을 갖고, 상기 상부 표면에 형성되는 도전 소오스 영역 및 도전 드레인 영역을 또한 갖고, 이들간에 채널 영역을 갖는 반도체 물질의 평활 기판과, b. 상기 기판에 결합되는 플로우팅 게이트로서, 상기 플로우팅 게이트는 전기적으로 절연되는 물질로 둘러쌓인 도전 물질로 형성되며, 또한 상기 플로우팅 게이트는 한 측이 다른 측에 비해서 보다 긴 단면을 갖고며, 상기 플로우팅 게이트는 상기 기판과 실질적으로 수직인 상기 보다 긴 측과 평행한 적어도 한 표면을 갖고며 상기 플로우팅 게이트는 상기 드레인에 인접한 채널의 일부분상에 위치되고 상기 패널의 일부분만을 전기적으로 제어하는, 상기 플로우팅 게이트와, c. 상기 플로우팅 게이트가 제어 게이트 및 상기 기판간에 있도록 상기 기판에 결합된 상기 제어 게이트로서, 상기 제어 게이트는 상기 절연 물질에 의해 상기 플로우팅 게이트와 이격됨으로써, 상기 어 게이트만이 상기 기판으로부터 가장 먼 기판과 실질적으로 수직인 상기 보다 긴 측에 평행한 적어도 한 표면을 따라서 상기 플로우팅 게이트의 일부분과 중첩되도록 하고 이 중첩 영역에서 상기 플로우팅 게이트와 매우 인접하게 되도록 하며, 상기 제어 게이트는 상기 채널상에 위치되고 상기 제어 게이트에 의해 제어되지 않는 상기 채널의 부분만을 전기적으로 제어함으로써, 상기 채널이 두 부분들로 나뉘어지도록 하는데, 상기 채널의 제1 부분은 상기 플로우팅 게이트에 의해 제어되고 상기 채널의 제2 부분은 상기 제어 게이트에 의해 제어되도록 하며, 또한 상기 플로우팅 게이트는 약하게 도전되는 제2 부분으로부터 열전자 주입에 의해 프로그램되는, 상기 제어 게이트를 구비하는, 불휘발성 메모리 셀.

### 청구항 2

제1항에 있어서, 상기 셀은 전기적으로 소거가능한 불휘발성 메모리 셀.

### 청구항 3

제2항에 있어서, 상기 셀은 제어 게이트가 상기 플로우팅 게이트의 날카로운 팁과 매우 근접하게 되는 곳에서 상기 절연 물질을 통해서 소거되는 불휘발성 메모리 셀.

### 청구항 4

제1항에 있어서, 상기 기판은 단결정 실리콘으로 형성되는 불휘발성 메모리 셀.

### 청구항 5

제1항에 있어서, 상기 플로우팅 게이트는 도핑된 폴리실리콘으로 형성되는 불휘발성 메모리 셀.

### 청구항 6

제1항에 있어서, 상기 제어 게이트는 도핑된 폴리실리콘으로 형성되는 불휘발성 메모리 셀.

### 청구항 7

제1항에 있어서, 상기 절연 물질은 상기 기판에 실질적으로 수직인 상기 플로우팅 게이트의 표면 일부분을 따라서  $\text{Si}_3\text{N}_4$ 로 형성되고 그밖의 곳에서는  $\text{SiO}_2$ 로 형성되는 불휘발성 메모리 셀.

### 청구항 8

제1항에 있어서, 스페이서 중첩의 상기 날카로운 팁의 상기 영역에서의 상기 플로우팅 게이트 및 상기 제어 게이트간의 거리는 대략  $200\text{\AA}$ 이고 그 밖의 곳에서는  $1000\text{\AA}$ 인 불휘발성 메모리 셀.

### 청구항 9

불휘발성 메모리 셀에 있어서, a. 표면을 갖는 반도체 물질의 평활 기판으로서, 상기 기판은 상기 표면내에 형성되는 서로 이격되어 있는 드레인 영역 및 소오스 영역을 갖고며, 상기 드레인 영역 및 소오스 영역은 자신들간에 채널을 형성하는, 제1 도전형으로 도핑되는, 상기 평활 기판과, b. 상기 기판에 실질적으로 수직인 적어도 하나의 평활한 제1 층벽을 갖는 제1 도전 물질로서, 상기 제1 도전 물질은 상기 드레인 영역상에 형성되고 제1 절연층에 의해 상기 드레인으로부터 이격되며, 상기 제1 절연층은 상기 제1 절연층에 결합된 상기 제1 층벽을 따라서 실질적으로 평활한 제2 절연층을 포함하는, 상기 제1 도전 물과, c. 실질적으로 평활한 제2 층벽을 갖는 제2 도전 물질로서, 상기 제2 도전 물질은 상기 기판상에 형성되고 상기 제1 도전 물질과 인접하고 상기 드레인 및 상기 소스 영역들간에 형성되지만 상기 소스 영역으로부터 이격되어 상기 제2 층벽이 상기 제2 절연층에 결합되고, 또한 상기 제2 도전 물질은 제3 절연층에 의해 둘러쌓이고 상기 제1 도전 물질 보다 기판으로부터 더욱 확장되어 상기 제2 층벽의 노출되고 절연된 부분을 남기며, 상기 제2 도전 물질은 상기 드레인에 인접한 채널의 일부만을 커버하고 전기적으로 제어하는, 상기 제2 도전 물질과, d. 상기 기판상에 형성되고 상기 소오스 영역에서 상기 드레인 영역으로 확장되는 제3 도전 물질로서, 상기 제2 도전 물질이 제3 도전 물질 및 상기 기판간에 있게 되고, 상기 제3 도전 물질이 상기 제2 층벽과 상기 기판으로부터 떨어져 있는 상기 제2 도전 물질의 표면을 따라서 제1 거리만큼 그리고 상기 제2 층벽의 상기 노출되고 절연된 부분을 따라서 제2 거리 만큼, 상기 제2 도전 물질로부터 이격되어 있고, 상기 제2 거리는 상기 제1 거리보다 작으며, 상기 제3 도전 물질은 상기 채널을 커버하지만, 상기 제2 도전 물질에 의해 커버되지 않는 상기 채널의 부분만을 전기적으로 제어함으로써, 상기 채널이 두 개의 부분들로 나뉘어지도록 하는데 상기 채널의 제1 부분은 상기 제2 도전 물질에 의해 제어되는, 상기 제3 도전 물질을 구비하며, 상기 채널의 제2 부분은 상기 제3 도전 물질에 의해 제어되고, 상기 제2 도전 물질은 약하게 도전되는 제2 부분으로부터 열전자 주입을 통해서 전자들을 수신하는, 불휘발성 메모리 셀.

**청구항 10**

제9항에 있어서, 상기 제 1 도전 물질은 도핑된 폴리실리콘이고, 상기 제 2 도전 물질은 도핑된 폴리실리콘이며, 상기 제 3 도전물질은 도핑된 폴리실리콘인 불휘발성 메모리 셀.

**청구항 11**

제9항에 있어서, 상기 제 1 도전 물질은 상기 드레인에 전기적으로 결합되는 불휘발성 메모리 셀.

**청구항 12**

제9항에 있어서, 상기 제 1 절연층 및 상기 제 2 절연층  $\text{Si}_3\text{N}_4$ 로 형성되는 불휘발성 메모리 셀.

**청구항 13**

제9항에 있어서, 상기 제 3 절연층은  $\text{SiO}_2$  인 불휘발성 메모리 셀.

**청구항 14**

제9항에 있어서, 상기 제 1 거리는 대략  $1000\text{\AA}$  이고 상기 제2 거리는 대략  $200\text{\AA}$  인 불휘발성 메모리 셀.

**청구항 15**

제9항에 있어서, 상기 제 1 도전 물질 및 상기 제 2 도전 물질간의 용량성 결합은 대략 0.75이고 상기 제 2 도전 물질 및 상기 제 3 도전 물질간의 용량성 결합은 대략 0.15인 불휘발성 메모리 셀.

**청구항 16**

제9항에 있어서, 상기 셀은 과다 소거되지 않는 불휘발성 메모리 셀.

**청구항 17**

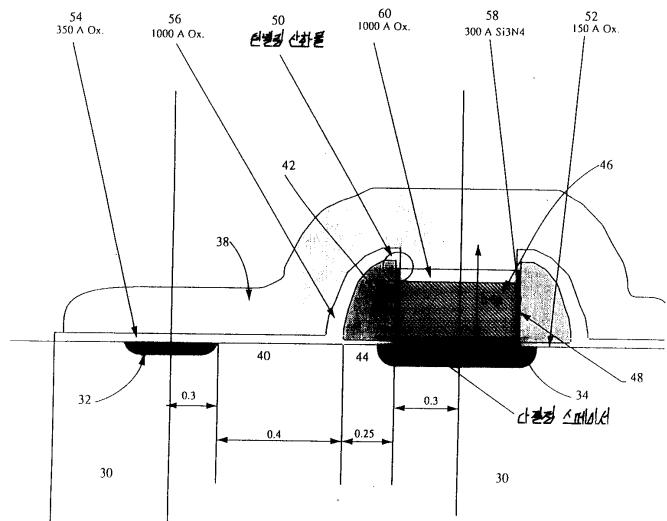
불휘발성 메모리 셀 형성 방법에 있어서, a. 표면을 갖는 반도체 물질의 평활 기판을 형성하는 단계로서, 상기 기판은 서로 이격되고 상기 표면내에 형성되는 드레인 영역 및 소오스 영역을 가지며, 제1 도전형으로 도핑되는, 상기 형성 단계와, b. 상기 기판에 수직인 적어도 하나의 평활한 제1 측벽을 갖는 제1 도전 물질을 형성하는 단계로서, 상기 제1도전 물질은 상기 드레인 영역상에 형성되고 제1 절연층에 의해 상기 드레인으로부터 이격되며, 상기 제1 절연층은 상기 제1 절연층에 결합된 상기 제1 측벽을 따라서 실질적으로 평활한 제2 절연층을 포함하는, 상기 제1 도전 물질 형성 단계와, c. 실질적으로 평활한 제2 측벽을 갖는 제2 도전 물질을 형성하는 단계로서, 상기 제2 도전층은 상기 제1 도전층에 인접하여 상기 기판상에 그리고 상기 드레인 및 상기 소스 영역들간에 형성되지만, 상기 소오스 영역으로부터 이격되어 상기 제2 측벽이 상기 제2 절연층에 결합되고, 또한 상기 제2 도전층은 제3 절연층에 의해 둘러쌓여 있고 상기 제2 도전층은 상기 제1 도전층보다 상기 기판으로부터 더욱 확장되어 상기 제2 측벽의 노출되고 절연된 부분을 남기는, 상기 제2 도선 물질 형성 단계와, d. 상기 기판상에 형성되고 상기 소오스 영역에서 상기 드레인 영역으로 확장되는 제3 도전 물질을 형성하는 단계로서, 상기 제2도전 영역은 제3도전 영역 및 상기 기판간에 있게 되고, 제3 도전 물질이 상기 제2 측벽과 상기 기판으로부터 벗어나 상기 제2 도전 물질의 표면을 따라서 제1 거리만큼 그리고 상기 제2 측벽의 상기 노출되고 절연된 부분을 따라서 제2 거리만큼, 상기 제2 도전 물질로부터 이격되도록 하고, 상기 제2 거리는 상기 제1 거리보다 작은, 상기 제3 도전 물질 형성 단계를 포함하는 불휘발성 메모리 셀 형성 방법.

**청구항 18**

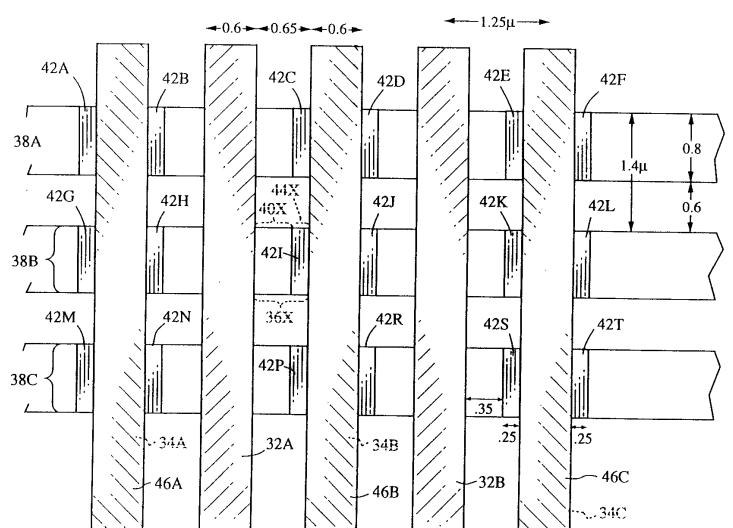
불휘발성 메모리 셀 형성 방법에 있어서, a. 반도체 기판상에 필드 산화물 층을 형성하는 단계와, b. 상기 기판의 일부를 노출시키기 위하여 필드 산화물 층을 통해 측벽들을 갖는 개구를 형성하는 단계와, c. 드레인을 형성하기 위하여 상기 개구를 통해서 상기 기판의 일부를 도핑하는 단계와, d. 상기 측벽들 및 상기 기판의 상기 노출된 부분상에 얇은 제1 절연층을 증착시키는 단계와, e. 상기 제1 절연층의 일부분이 상기 개구내에서 노출되도록, 상기 개구내에 그리고 상기 제 1 절연층에 의해 상기 필드 산화물 층 및 상기 기판으로부터 이격되는 제1 도핑된 폴리실리콘 층을 형성하는 단계와, f. 상기 필드 산화물 층을 제거하여, 상기 제1 도핑된 폴리실리콘 층 및 상기 제1 절연층에 의해 커버되지 않는 상기 기판의 상기 부분을 노출시키고 상기 제1 절연층의 외부 측벽을 노출시키는 단계와, g. 상기 노출된 기판상에 제2 절연층을 형성하는 단계와, h. 상기 외부 측벽을 따라서 그리고 상기 제2 절연층상에 도핑된 폴리실리콘 스페이서를 형성하는 단계와, i. 상기 제1 절연층의 상기 노출된 부분을 제거하는 단계와, j. 상기 제1 절연층의 상기 노출된 부분이 제거되는 곳에서 제3 절연층이 제1 두께 및 그 밖의 곳에서 제2 두께가 되도록 상기 제3 절연층으로 상기 스페이서의 모든 노출된 표면들을 둘러쌓는 단계로서, 상기 제2 두께는 상기 제1 두께보다 두껍게 되도록 하는, 상기 둘러쌓는 단계와, k. 제2 도핑된 폴리실리콘 층으로 단계 j에서 초래되는 구조를 선택적으로 커버하는 단계를 포함하는 불휘발성 메모리 셀 형성 방법.

**도면**

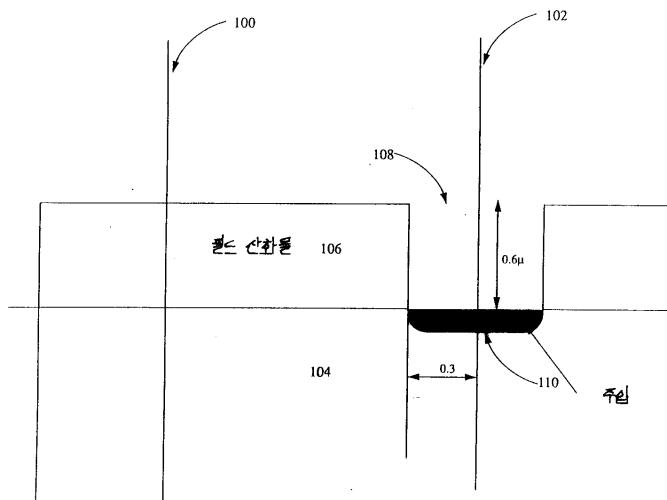
## 도면1



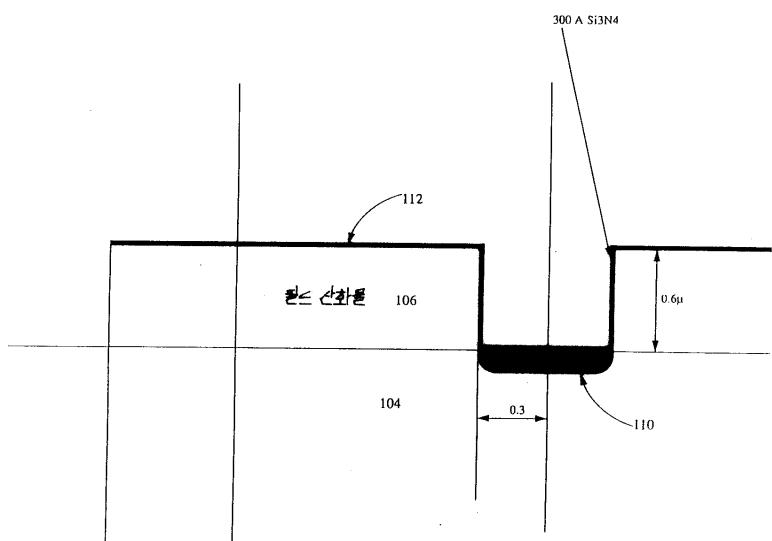
## 도면2



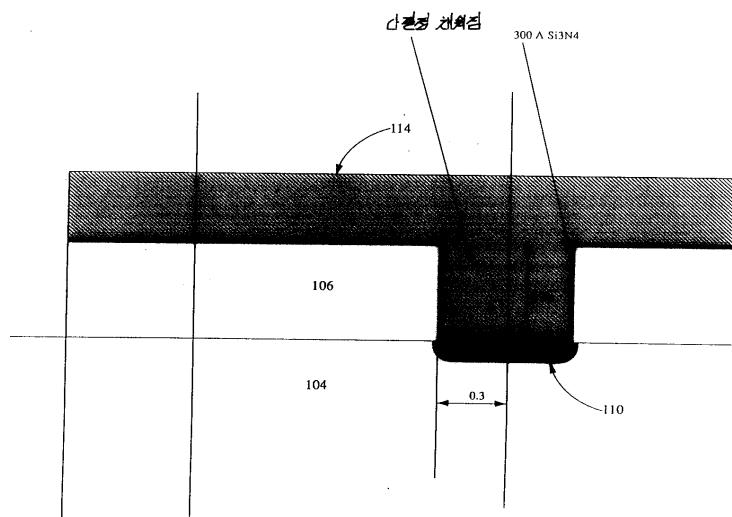
도면3



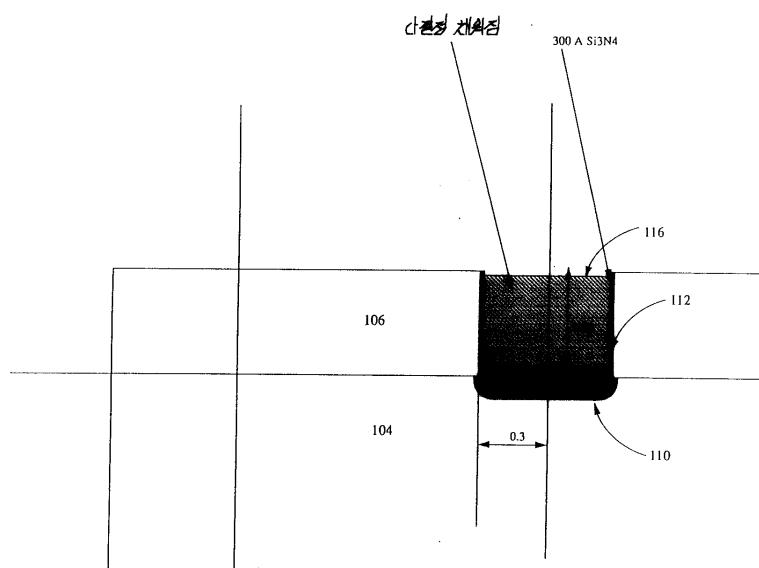
도면4



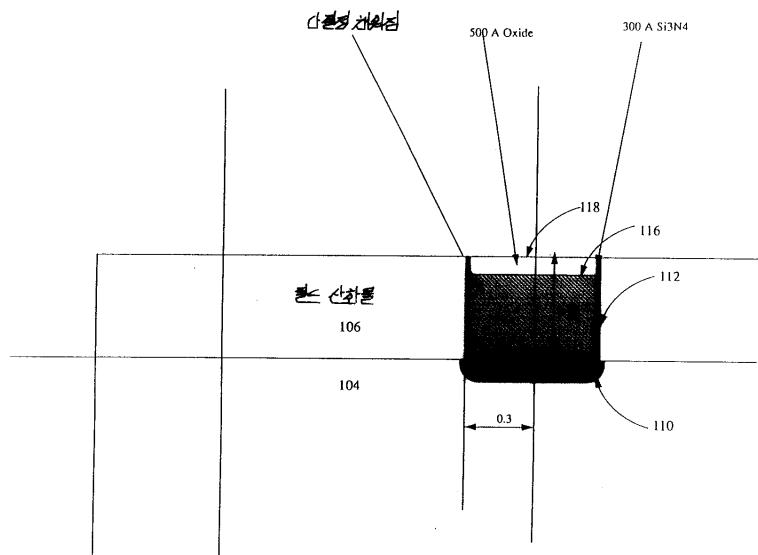
도면5



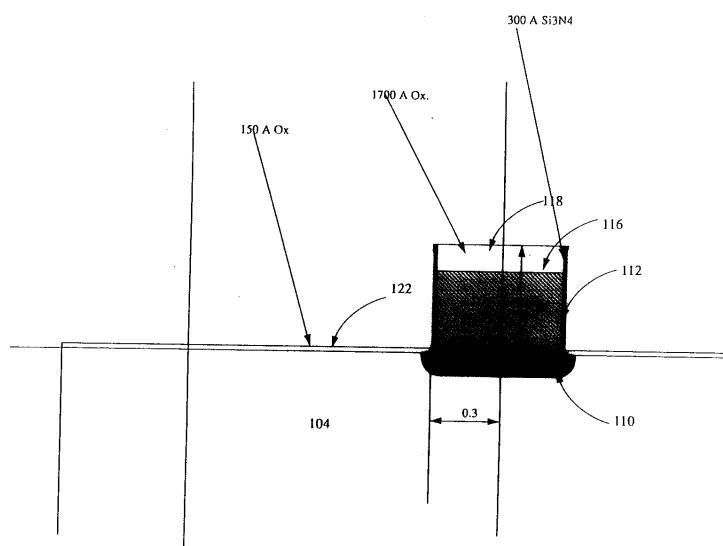
도면6



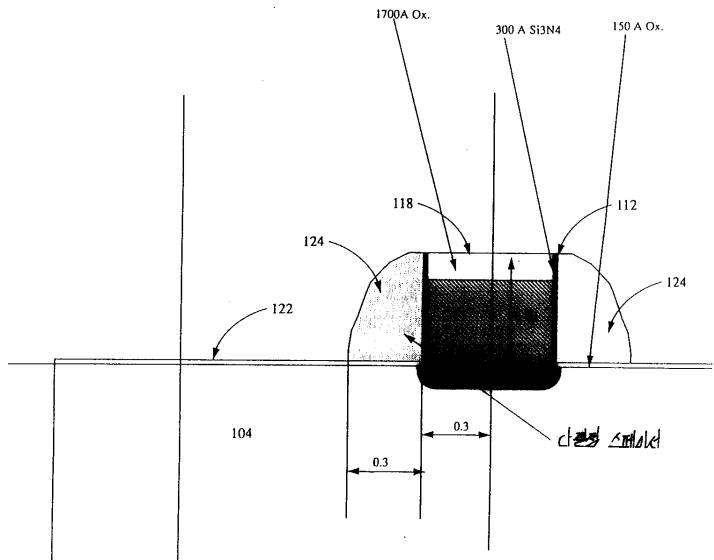
도면7



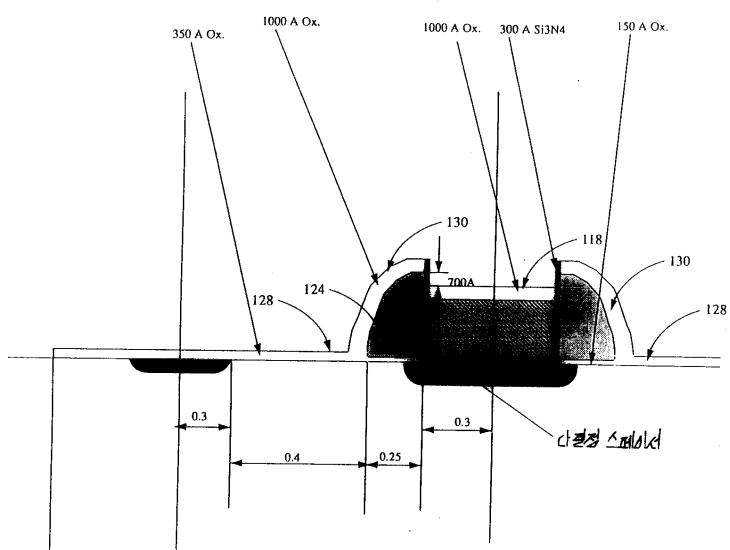
도면8



도면9



도면10



## 도면11

