



[12] 发明专利说明书

专利号 ZL 01821537.8

[45] 授权公告日 2007 年 11 月 28 日

[11] 授权公告号 CN 100352016C

[22] 申请日 2001.12.27 [21] 申请号 01821537.8

[30] 优先权

[32] 2000.12.28 [33] JP [31] 402834/00

[32] 2001.3.28 [33] JP [31] 94245/01

[86] 国际申请 PCT/JP2001/011597 2001.12.27

[87] 国际公布 WO2002/054473 日 2002.7.11

[85] 进入国家阶段日期 2003.6.27

[73] 专利权人 大见忠弘

地址 日本宫城县

[72] 发明人 大见忠弘 须川成利 平山昌树
白井泰雪

[56] 参考文献

US5576229A 1996.11.19

JP6-120152A 1994.4.28

JP2000-260767A 2000.9.22

US6017784A 2000.1.25

审查员 朱永全

[74] 专利代理机构 北京东方亿思知识产权代理有限公司

代理人 陆锦华

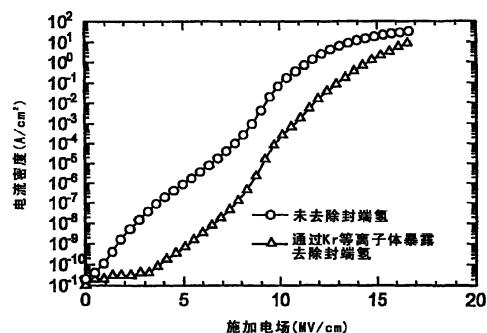
权利要求书 6 页 说明书 28 页 附图 21 页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

一种半导体器件的制造方法，该半导体器件包含以硅为衬底的多个晶体管和电容，其中，氢至少存在于所述硅衬底表面的一部分上，通过将所述表面暴露于由第一惰性气体产生的等离子体来去除所述氢，然后，由第二惰性气体和一种或多种气体分子的混合气体产生等离子体，从而在硅衬底表面上形成一种硅化合物层，该硅化合物层至少包含构成所述气体分子的一部分的元素。



1. 一种半导体器件，包括形成于硅表面上的硅化合物层，其特征在于，

所述硅化合物层至少包含规定的惰性气体，氢含量按面密度换算时在 $10^{11}/\text{cm}^2$ 以下。

2. 如权利要求 1 所述的半导体器件，其特征在于，

所述惰性气体至少是氩、氪、氙中的一种。

3. 一种半导体器件，是在共用衬底上具有晶体管和电容的半导体存储器件，其中，所述晶体管，具有在硅表面的第一硅化合物层上形成的多晶硅膜，所述电容，包含在多晶硅表面形成的第二硅化合物层，

其特征在于，

所述第一和第二硅化合物层分别至少包含规定的惰性气体，氢含量按面密度换算时在 $10^{11}/\text{cm}^2$ 以下。

4. 一种半导体器件，将形成于衬底上的多晶硅层或非晶硅层作为活性层，

其特征在于，

在所述硅层的表面上，形成至少包含规定的惰性气体、氢含量按面密度换算时在 $10^{11}/\text{cm}^2$ 以下的硅化合物层；

所述半导体器件驱动形成于所述衬底上的显示元件。

5. 一种半导体器件的制造方法，用于在硅表面上制造半导体器件，

其特征在于，该方法包括：

将所述硅表面暴露在由第一惰性气体产生的第一等离子体中，除去预先至少存在于部分硅表面的氢的工序；以及

由第二惰性气体和一种或多种气体分子的混合气体产生第二等离子体，并在所述第二等离子体下，在所述硅表面上形成至少包含一部分构成所述气体分子的元素的硅化合物层的工序，所述硅化合物层中的氢含量按面密度换算时在 $10^{11}/\text{cm}^2$ 以下。

6. 如权利要求 5 所述的半导体器件的制造方法，其特征在于，在所述除氢工序之前，包含用含有氢的媒体来处理所述硅表面的工序。
7. 如权利要求 6 所述的半导体器件的制造方法，其特征在于，所述媒体是添加氢的水。
8. 如权利要求 6 所述的半导体器件的制造方法，其特征在于，所述媒体是稀氢氟酸。
9. 如权利要求 5 所述的半导体器件的制造方法，其特征在于，所述硅表面是单晶硅表面。
10. 如权利要求 9 所述的半导体器件的制造方法，其特征在于，所述硅表面由（100）面构成。
11. 如权利要求 9 所述的半导体器件的制造方法，其特征在于，所述硅表面由（111）面构成。
12. 如权利要求 9 所述的半导体器件的制造方法，其特征在于，所述硅表面有多个不同的结晶面。
13. 如权利要求 12 所述的半导体器件的制造方法，其特征在于，所述多个不同的结晶面构成元件分离沟。
14. 如权利要求 5 所述的半导体器件的制造方法，其特征在于，所述硅表面是多晶硅表面。
15. 如权利要求 5 所述的半导体器件的制造方法，其特征在于，所述硅表面是非晶硅表面。
16. 如权利要求 5 所述的半导体器件的制造方法，其特征在于，所述第一惰性气体和所述第二惰性气体都是从氩气、氪气、氙气构成的组中选择的至少一种气体。
17. 如权利要求 16 所述的半导体器件的制造方法，其特征在于，所述第一惰性气体和所述第二惰性气体相同。
18. 如权利要求 5 所述的半导体器件的制造方法，其特征在于，所述第二惰性气体由氪气体构成，所述气体分子由氧分子构成，形成氧化硅膜作为所述硅化合物层。

19. 如权利要求 5 所述的半导体器件的制造方法，其特征在于，所述第二惰性气体是氩气体、或氮气体、或氩和氮的混合气体，所述气体分子由氨分子、或氮分子和氢分子构成，形成氮化硅膜作为所述硅化合物层。

20. 如权利要求 5 所述的半导体器件的制造方法，其特征在于，所述第二惰性气体是氩气体、或氮气体、或氩和氮的混合气体，所述气体分子由氧分子和氨分子、或氧分子和氮分子及氢分子构成，形成氮氧化硅膜作为所述硅化合物层。

21. 如权利要求 5 所述的半导体器件的制造方法，其特征在于，所述第一等离子体和所述第二等离子体由微波激励。

22. 一种半导体器件的制造方法，用于制造半导体存储器件，所述半导体存储器件在共用衬底上具有晶体管和电容，其中，所述晶体管，具有在硅表面的第一绝缘层上形成的多晶硅膜，所述电容，包含在多晶硅表面形成的第二绝缘层，

其特征在于，该方法包括：

将所述硅表面暴露在由第一惰性气体产生的第一等离子体中，除去预先至少存在于部分所述硅表面上的氢的工序；以及

由第二惰性气体和一种或多种气体分子的混合气体产生第二等离子体，并在所述第二等离子体下，在所述硅表面上形成至少包含一部分构成所述气体分子的元素的硅化合物层来作为所述第一绝缘膜的工序。

23. 如权利要求 22 所述的半导体器件的制造方法，其特征在于，还包括：

将所述多晶硅表面暴露在由第三惰性气体产生的第三等离子体中，来除去预先至少存在于部分所述硅表面的氢的工序；以及

由第四惰性气体和一种或多种气体分子的混合气体产生第四等离子体，在所述第四等离子体下，在所述多晶硅表面上形成至少包含一部分构成所述气体分子的元素的硅化合物层来作为所述第二绝缘膜的工序。

24. 如权利要求 23 所述的半导体器件的制造方法，其特征在于，所述第一和第三惰性气体至少由从 Ar、Kr 及 Xe 构成的组中选择的

一种气体构成。

25. 如权利要求 23 所述的半导体器件的制造方法，其特征在于，所述第二和第四惰性气体由 Kr 构成，所述第一和第二绝缘膜由氧化硅膜构成。

26. 如权利要求 23 所述的半导体器件的制造方法，其特征在于，所述第二和第四惰性气体由 Ar 或 Kr 构成，所述第一和第二绝缘膜由氮化膜或氮氧化膜构成。

27. 如权利要求 22 至 26 中任何一项所述的半导体器件的制造方法，其特征在于，

所述第一和第二等离子体由微波激励。

28. 一种半导体器件的制造方法，将衬底上的多晶硅层或非晶硅层作为活性层，

其特征在于，该方法包括：

在所述衬底上形成由多晶硅层或非晶硅层构成的硅层的工序；

将所述硅层表面暴露在由第一惰性气体产生的等离子体中，除去至少存在于部分所述硅层表面的氢的工序；以及

由第二惰性气体和一种或多种气体分子的混合气体产生第二等离子体，在所述硅表面上形成至少包含一部分构成所述气体分子的元素的硅化合物层的工序，所述硅化合物层中的氢含量按面密度换算时在 $10^{11}/\text{cm}^2$ 以下。

29. 如权利要求 28 所述的半导体器件的制造方法，其特征在于，所述第一惰性气体至少由从 Ar、Kr 和 Xe 构成的组中选择的一种气体构成。

30. 如权利要求 28 所述的半导体器件的制造方法，其特征在于，所述第二惰性气体由 Kr 构成，所述硅化合物层由氧化硅膜构成。

31. 如权利要求 28 所述的半导体器件的制造方法，其特征在于，所述第二惰性气体由 Ar 或 Kr 构成，所述硅化合物层由氮化膜或氮氧化膜构成。

32.如权利要求 28 所述的半导体器件的制造方法，其特征在于，

所述第一及第二等离子体由微波激励。

33. 一种半导体器件，其特征在于，包括半导体区和直接形成在该半导体区上的绝缘膜，在所述半导体区和所述绝缘膜之间的界面，表面封端氢按面密度换算时在 $10^{11}/\text{cm}^2$ 以下。

34. 一种半导体器件，其特征在于，具有将形成于衬底上的多晶硅层或非晶硅层作为活性层而在所述硅层之上直接形成的绝缘膜，在所述硅层和所述绝缘膜之间的界面，表面封端氢按面密度换算时在 $10^{11}/\text{cm}^2$ 以下。

35. 如权利要求 33 或 34 所述的半导体器件，其特征在于，所述绝缘膜包含氧化硅、氮化硅以及氮氧化硅中的至少一种。

36. 如权利要求 33 或 34 所述的半导体器件，其特征在于，所述绝缘膜包含 Ar、Kr 和 Xe 中的至少一种。

37. 如权利要求 33 或 34 所述的半导体器件，其特征在于，所述绝缘膜包含氮化硅和氮氧化硅中的至少一种，其表面部分的氮浓度大于中央部分的氮浓度。

38. 如权利要求 33 或 34 所述的半导体器件，其特征在于，所述绝缘膜是栅极绝缘膜，在所述栅极绝缘膜上具有栅电极。

39. 如权利要求 34 所述的半导体器件，其特征在于，该半导体器件驱动所述衬底上形成的显示元件。

40. 一种半导体器件的制造方法，其特征在于，包括：

将半导体衬底或衬底上的半导体区的表面暴露在惰性气体等离子体中从而去除表面封端氢的工序；以及

在除去了表面封端氢的半导体表面上通过进行等离子体处理来形成膜的工序。

41. 如权利要求 40 所述的半导体器件的制造方法，其特征在于，所述膜是栅极绝缘膜。

42. 如权利要求 41 所述的半导体器件的制造方法，其特征在于，所述栅极绝缘膜包含氧化硅、氮化硅以及氮氧化硅中的至少一种。

43. 如权利要求 40 至 42 中任一项所述的半导体器件的制造方法，

其特征在于，所述半导体表面是单晶硅表面。

44. 如权利要求 40 至 42 中任一项所述的半导体器件的制造方法，
其特征在于，所述半导体表面是多晶硅表面。

45. 如权利要求 40 至 42 中任一项所述的半导体器件的制造方法，
其特征在于，所述半导体表面是非晶硅表面。

半导体器件及其制造方法

技术领域

本发明涉及在硅半导体上形成氧化膜、氮化膜、氮氧化硅膜等的半导体器件及其形成方法。

背景技术

在 MIS（金属/绝缘膜/硅）晶体管的栅极绝缘膜中，要求低漏电流特性、低界面能级密度、高耐压性、热载流子的高抗性、均匀阈值电压特性等各种高性能电特性和高可靠性。

作为满足这些要求的栅极绝缘膜形成技术，以往使用约在 800°C 以上利用氧分子或水分子的热氧化技术。

以往，通过作为其前工序的清洗工序，除去有机物、金属、微粒等表面附着的污物之后，再进行热氧化工序。在以往的清洗工序中，在其最后使用稀氢氟酸和加氢水等进行清洗，通过氢对硅表面的硅悬挂键 (silicon dangling-bond) 以进行封端，抑制在硅表面形成自然氧化膜，将具有清洁表面的硅衬底导入到后续的热氧化工序中。在热氧化工序中，在氩 (Ar) 等惰性气体环境中对硅衬底进行升温，并且在此升温过程中，约在 600°C 以上的温度时使该表面的封端氢脱离。并且在其后约 800°C 以上时在导入氧分子或水分子的环境下进行硅表面的氧化。

以往，使用这种热氧化技术，在硅表面上形成氧化硅膜时，只有在使用表面以 (100) 面方位取向的硅场合，才能获得良好的氧化膜/硅界面特性、氧化膜的耐压性、漏电流特性等。此外，在使用现有的热氧化技术制造的氧化硅膜中，如果其膜厚在约 2nm 以下，则会使漏电流明显恶化，阻碍实现要求栅极绝缘膜的薄膜化的高性能微细晶体管。

此外，在以 (100) 面以外的其他面方位取向的结晶硅或在绝缘膜上主要以 (111) 面取向的多晶硅等中，即使使用热氧化技术来形成氧

化硅膜，与以（100）面方位取向的硅的氧化硅膜相比，氧化膜/硅界面的界面能级密度明显高，因此在膜厚薄的氧化硅膜中，耐压性、漏电流特性等电特性很差，在使用时需要增大氧化硅膜的膜厚。

另一方面，近年来，为了提高半导体器件的生产率，大口径的硅晶片衬底或大面积的玻璃衬底正被广泛使用。为了在这种大型衬底的整个面上以高生产率生产均一特性的晶体管，需要在升温降温的温度变化幅度小的低温下进行温度依赖性小的绝缘膜形成工序。在现有的热氧化工序中，对于温度波动的氧化反应速度变化较大，因此用大面积的衬底生产半导体器件时很难达到高生产率。

为了解决现有的热氧化工序中的问题，尝试了很多低温成膜处理。其中，在（日本）特开平 11-279773 公报记载的技术，以及 1999 年国际电子器件会议技术论文摘要（Technical Digest of International Electron Devices Meeting 1999），pp. 249-252 记载的技术，或 2000 年 VLSI 会议技术论文摘要（2000 Symposium on VLSI Technology Digest of Technical Papers），pp. 76-177 中记载的技术中，通过在等离子体中导入惰性气体和氧分子，并在具有大准稳定能级的惰性气体中高效率地进行氧分子的原子化，然后利用原子态氧使硅表面氧化，从而获得较好的电特性。

在这些技术中，向惰性气体氪（Kr）和氧（O₂）的混合气体照射微波，产生 Kr 和 O₂ 混合等离子体，生成大量的原子态氧 O^{*}，并在 400°C 左右的温度下进行硅的氧化，来实现与现有的热氧化相匹敌的低漏电流特性、低界面能级密度、高耐压特性。此外，通过该氧化技术，也可以在具有（100）面以外的其他面方位的硅表面上，获得高质量的氧化膜。

但是，在通过这种现有的微波激励等离子体形成氧化硅膜的技术中，尽管使用原子态氧 O^{*} 来进行氧化，但只能获得与传统上使用氧分子或水分子的热氧化工序具有同等程度电特性的氧化硅膜。特别是在硅衬底表面中，氧化膜厚度大约为 2nm 以下的氧化硅膜，无法获得良好的低漏电流特性，与现有的热氧化膜技术一样，难以实现要求栅极绝缘膜进一步薄膜化的高性能微细晶体管。

此外，与采用现有的热工序形成氧化硅膜的场合相比，有以下问题：受热载流子注入到晶体管的氧化膜的影响产生的电导恶化更加明显，以及在闪存存储器等将电子在氧化硅膜中进行隧道传导的元件中，更加明显地造成漏电流的增加等电特性的时间性恶化。

发明内容

因此，本发明的总的目的在于，提供一种解决了上述问题的、新型有效的半导体器件及其制造方法。

本发明的更具体的目的在于，提供一种低温等离子体氧化技术来取代现有的热氧化技术。

本发明的另一个目的在于，提供一种可应用于任何面方位的硅面的、在低温下进行的高质量绝缘膜形成技术。

本发明的再一个目的在于，使用这种在低温下进行的高质量绝缘膜形成技术，提供高可靠性、高质量的微细半导体器件，具体的说，提供晶体管集成电路器件或闪存存储器件，还提供具有多个晶体管和各种功能元件的三维集成电路器件，以及其制造方法。

本发明的另一目的在于，提供一种半导体器件，包含形成在硅表面上的硅化合物层，其特征在于，

所述硅化合物层至少包含规定的惰性气体，氢含量按面密度计算时为 $10^{11}/\text{cm}^2$ 以下。

本发明的另一目的在于，提供一种半导体器件，是在共用衬底上具有晶体管和电容的半导体存储器件，其中，所述晶体管，具有通过第一硅化合物层在硅表面上形成的多晶硅膜，所述电容，包含在多晶硅表面形成的第二硅化合物层，

其特征在于，

所述第一和第二硅化合物层分别至少含有规定的惰性气体，氢含量按面密度计算时为 $10^{11}/\text{cm}^2$ 以下。

本发明的另一目的在于，提供一种半导体器件，将形成于衬底上的多晶硅层或非晶硅层作为活性层，

其特征在于，

在所述硅层的表面上，形成至少含有规定的惰性气体、氢含量按面密度换算时为 $10^{11}/\text{cm}^2$ 以下的硅化合物层；

所述半导体器件驱动形成于所述衬底上的显示元件。

本发明的另一目的在于，提供一种半导体器件的制造方法，用于在硅表面上制造半导体器件，

其特征在于，该方法包括：

将所述硅表面暴露在由第一惰性气体产生的第一等离子体中，除去预先至少存在于部分硅表面的氢的工序；以及

由第二惰性气体和一种或多种气体分子的混合气体产生第二等离子体，并在所述第二等离子体下，在所述硅表面上形成至少包含一部分构成所述气体分子的元素的硅化合物层的工序。

本发明的另一目的在于，提供一种半导体器件的制造方法，用于制造半导体存储器件，其中，所述半导体存储器件在共用衬底上具有晶体管和电容，所述晶体管，具有通过第一绝缘层在硅表面上形成的多晶硅膜，所述电容，含有在多晶硅表面形成的第二绝缘层，

其特征在于，该方法包括：

将所述硅表面暴露在由第一惰性气体产生的第一等离子体中，除去预先至少存在于部分所述硅表面上的氢的工序；以及

由第二惰性气体和一种或多种气体分子的混合气体产生第二等离子体，并在所述第二等离子体下，在所述硅表面上形成至少含有一部分构成所述气体分子的元素的硅化合物层来作为所述第一绝缘膜的工序。

本发明的另一目的在于，提供一种半导体器件的制造方法，将衬底上的多晶硅层或非晶硅层作为活性层，

其特征在于，该方法包括：

在所述衬底上形成由多晶硅层或非晶硅层构成的硅层的工序；

将所述硅层表面暴露在由第一惰性气体产生的等离子体中，除去至少存在于部分所述硅层表面的氢的工序；以及

由第二惰性气体和一种或多种气体分子的混合气体产生第二等离子体，并在所述硅表面上形成至少含有一部分构成所述气体分子的元素的硅化合物层的工序。

根据本发明，使用不恶化硅表面的平坦性、且不破坏真空的连续工序，在400°C以下的低温下，也能够完全除去表面封端氢，并且，能够在约500°C以下的低温下，在任何面方位取向的硅上形成，比用现有的热氧化工序或微波等离子体工序成膜的氧化硅膜特性更优良的、高可靠性的氧化硅膜、氮化硅膜、氮氧化硅膜，从而可以获得高可靠性、高性能的微细晶体管集成电路。

而且，根据本发明，在浅沟隔离层等元件分离侧壁部分的角部分和具有凹凸表面形状的硅表面上，也能够形成漏电流和耐压等特性良好的、薄而高质量的氧化硅膜、氮化硅膜、氮氧化硅膜，从而能够实现将元件分离宽度变小的高密度的元件集成化和具有立体结构的高密度的元件集成化。

此外，通过使用本发明的栅极绝缘膜，可以实现能够大幅增加重写次数的闪存存储元件等。

此外，根据本发明，在形成于绝缘膜上的主要以(111)面取向的多晶硅上，也能够形成高质量的栅极氧化硅膜、栅极氮化硅膜，因此可以实现使用具有高驱动能力的多晶硅晶体管的显示装置，进而可以实现层叠多个晶体管、功能元件的三维集成电路元件。

附图的简要说明

图1是使用径向线缝隙天线的等离子体装置的原理图；

图2是用红外光谱仪测定的、硅表面封端氢和硅的结合对在Kr等离子体中暴露时间的依赖特性图；

图3是氧化硅膜厚对处理室气体压力的依赖特性图；

图4是氧化硅膜中的Kr密度在深度方向的分布特性图；

图5是氧化硅膜的电流电压特性图；

图6是氧化硅膜、氮氧化硅膜的漏电流特性与膜厚的关系图；

图 7 是氮化硅膜厚对处理室气体压力的依赖特性图；

图 8 是形成氮氧化硅膜时的原子态氧和原子态氢的发光强度特性图；

图 9 是氮氧化硅膜的元素分布特性图；

图 10 是氮氧化硅膜的电流电压特性图；

图 11A~图 11C 是浅沟隔离层的剖面原理图；

图 12 是在凹凸的硅表面上形成的立体晶体管的剖面结构图；

图 13 是闪存元件的剖面结构示意图；

图 14 是分阶段说明本发明的闪存元件的形成方法的示意性剖面结构图；

图 15 是分阶段说明本发明的闪存元件的形成方法的示意性剖面结构图；

图 16 是分阶段说明本发明的闪存元件的形成方法的示意性剖面结构图；

图 17 是分阶段说明本发明的闪存元件的形成方法的示意性剖面结构图；

图 18 是制作在金属衬底 SOI 上的 MOS 晶体管的剖面结构示意图；

图 19 是适应于玻璃衬底和塑料衬底等的等离子体装置示意图；

图 20 是绝缘膜状的多晶硅晶体管的剖面结构示意图；

图 21 是三维 LSI 的剖面结构原理图。

本发明的最佳实施方式

以下，参照附图详细说明采用本发明的优选实施方式。

(第一实施方式)

首先，说明使用等离子体在低温下进行的氧化膜的形成。

图 1 是使用径向线缝隙天线的等离子体装置的剖面图；

图 1 是用于本发明的、使用径向线缝隙天线的等离子体处理装置的一个例子的剖面图。

在本实施方式中，为了除去对硅表面悬挂键进行封端氢，在后面的

氧化膜形成工序中使用 Kr 作为等离子体激励气体，并在同一处理室内连续进行除去表面封端氢的处理和氧化处理。

首先，将真空容器（处理室）101 内部抽成真空，接着从喷射板 102 先导入 Ar 气体，然后将其切换为 Kr 气体。而且，将所述处理室 101 内的压力设定为 133Pa (1Torr) 左右。

接着，将硅衬底 103 放置在具有加热机构的试料台 104 上，并将试料温度设定为 400°C 左右。如果所述硅衬底 103 的温度在 200-550°C 的范围内，则与下述结果大致相同。在前一个的前处理工序中，对所述硅衬底 103 进行稀氢氟酸清洗，其结果，表面的硅悬挂键被氢封端。

接着，从同轴波导管 105 向径向线缝隙天线 106 供给频率为 2.45GHz 的微波，将所述微波从所述径向线缝隙天线 106 通过设置于处理室 101 的部分壁面上的电介质板 107，导入到所述处理室 101 内。导入的微波激励从所述喷射板 102 导入到所述处理室 101 内的 Kr 气体，其结果，在所述喷射板 102 的正下方形成高密度的 Kr 等离子体。如果供给的微波的频率在 900MHz 以上、约 10GHz 以下的范围，则与下述结果大致相同。

在图 1 的结构中，喷射板 102 和衬底 103 的间隔在本实施方式中设定为 6cm。该间隔越窄，就越能进行高速的成膜。在本实施方式中，表示了使用径向线缝隙天线的等离子体装置进行成膜的例子，但也可以使用其他方法将微波导入到处理室内并进行等离子体激励。

通过将所述硅衬底 103 暴露在用 Kr 气体激励的等离子体中，使所述硅衬底 103 的表面受低能量 Kr 离子的照射，除去其表面封端氢。

图 2 是利用红外光谱仪对所述硅衬底 103 表面的硅-氢结合进行分析的结果，表示利用 Kr 等离子体除去硅表面封端氢的效果，其中，所述 Kr 等离子体被在 133Pa (1Torr) 压力下，以 1.2W/cm^2 的功率导入到所述处理室 101 中的微波激励。

参照图 2 可知，仅在 1 秒左右的 Kr 等离子体照射后，硅-氢结合的特征波数 2100cm^{-1} 附近的光吸收几乎消失，并在约 30 秒的照射后，几乎完全消失。即可知，通过约 30 秒的 Kr 等离子体照射，可以除去封端

硅表面的氢。在本实施方式中，进行 1 分钟的 Kr 等离子体照射，除去表面封端氢。

接着，从所述喷射板 102 导入分压比为 97/3 的 Kr/O₂ 混合气体。此时，维持处理室内的压力在 133Pa (1Torr) 左右。在混合 Kr 气体和 O₂ 气体的高密度激励等离子体中，处于中间激励状态的 Kr* 和 O₂ 分子碰撞，从而能够高效率地产生大量的原子态氧 O*。

在本实施例中，用该原子态氧 O* 对所述硅衬底 103 的表面进行氧化。现有的硅表面的热氧化方法，使用 O₂ 分子或 H₂O 分子进行氧化，需要 800°C 以上的非常高的处理温度，而本发明的使用原子态氧的氧化处理，可在 400°C 左右的非常低的温度下进行氧化。为了增大 Kr* 和 O₂ 的碰撞机会，虽然希望处理室的压力高，但是如果过高，产生的 O* 之间会发生碰撞，从而返回为 O₂ 分子。当然，存在最佳气体压力。

图 3 表示将处理室内的 Kr/O₂ 的压力比保持在 97/3 的基础上改变所述处理室 101 内的气体压力时，所形成的氧化膜厚度与处理室内压力之间的关系。其中，在图 3 中，将硅衬底 103 的温度设定为 400°C，进行 10 分钟的氧化处理。

参照图 3 可知，在所述处理室 101 内的压力为约 133Pa (1Torr) 时，氧化速度最快，该压力及其附近的压力条件是最佳的。该最佳压力不限于所述硅衬底 103 的面方位为 (100) 面的情况，也适用于任何面方位的硅表面。

形成期望膜厚的氧化硅膜后，停止导入微波能，并结束等离子体激励，进而将 Kr/O₂ 混合气体置换为 Ar 气体来结束氧化工序。在本工序前后使用 Ar 气体的原因在于，用比 Kr 便宜的气体作为净化气体。此外，可回收再利用本工序中使用过的 Kr 气体。

接以上的氧化膜形成之后，实施电极形成工序、保护膜形成工序、氢烧结处理工序等，来完成包含晶体管和电容的半导体集成电路器件。

在通过升温释放来测定在上述过程形成的氧化硅膜中的氢含量时，在 3nm 膜厚的氧化硅膜中，按面密度换算时，氢含量为 10¹²/cm² 以下。特别是在漏电流小的氧化膜中，按面密度换算时，可知氧化硅膜内的氢

含量为 $10^{11}/\text{cm}^2$ 以下。另一方面，按面密度换算，在氧化膜形成之前没有进行 Kr 等离子体暴露的氧化膜含有超过 $10^{12}/\text{cm}^2$ 的氢。

此外，用原子力显微镜测定并比较剥离在上述过程形成的氧化硅膜后的硅表面和氧化膜形成前的硅表面的粗糙度时，得知硅表面的粗糙度没有变化。即，即使在除去封端氢并进行氧化后，硅表面也不粗糙。

图 4 是用全反射 X 射线荧光光谱仪分析的、根据上述过程形成的氧化硅膜中的 Kr 密度在深度方向的分布图。其中，图 4 是关于硅 (100) 面的结果，但这不局限于 (100) 面，即使是其他方位，也可以获得同样的结果。

在图 4 的实验中，将 Kr 中的氧的分压设定为 3%，将处理室内的压力设定为 133Pa (1Torr)，并在衬底温度为 400°C 时进行等离子体氧化处理。

参照图 4，氧化硅膜中的 Kr 密度随着远离衬底的硅表面而增大，并在氧化硅膜表面，其密度达到 $2 \times 10^{11}/\text{cm}^2$ 左右。因此可知，根据上述过程获得的氧化硅膜是这样的膜：在距离衬底的硅表面 4nm 以上的区域，膜中的 Kr 浓度一定，在距离硅表面 4nm 以下的区域，Kr 浓度朝硅/氧化硅膜的界面的方向减少。

图 5 表示在根据上述过程获得的氧化硅膜中，漏电流对施加电场的依赖性。其中，图 5 的结果表示氧化硅膜的膜厚为 4.4nm 时的特性。作为比较，在图 5 中示出了在氧化膜形成前没有进行 Kr 等离子体暴露的、同一厚度的氧化膜的漏电流特性。

参照图 5 可知，没有在 Kr 等离子体中暴露过的氧化硅膜的漏电流特性与现有的热氧化膜的漏电流特性相同，因此，即使根据 Kr/O₂ 微波进行氧化处理，也不能明显改善所得氧化膜的漏电流特性。相反，根据本实施方式的方法，通过照射 Kr 等离子体来除去封端氢后，导入 Kr/O₂ 气体进行氧化后所形成的氧化硅膜，与通过现有的微波等离子体形成的氧化硅膜相比，在同一电场中的漏电流减少了 2~3 个数量级，显示出非常好的低漏电流特性。并得知即使是膜厚薄至 1.7nm 的氧化硅膜，也同样能够改善漏电流特性。

图 6 表示改变所述氧化硅膜的膜厚，来测定本实施方式的氧化硅膜的漏电流特性的结果。其中，在图 6 中，△表示现有的热氧化膜的漏电流特性，○表示省略在 Kr 等离子体中进行暴露，用 Kr/O₂ 等离子体进行氧化时的氧化硅膜的漏电流特性，而●表示在所述 Kr 等离子体中进行暴露后，并用所述 Kr/O₂ 等离子体进行氧化的本实施例方式的氧化硅膜的漏电流特性。此外，在图 6 中，用■表示的数据表示在后面说明的氮氧化膜的漏电流特性。

参照图 6 可知，○所示的省略了在 Kr 等离子体中进行的暴露工序并通过等离子体氧化工序形成的氧化硅膜的漏电流特性与△所示的热氧化膜的漏电流特性一致，而●所示的本实施方式的氧化硅膜的漏电流特性比○所示的漏电流特性降低了 2~3 个数量级。此外还可知，本实施方式的氧化硅膜，即使膜厚约为 1.5nm，也比得上厚度为 2nm 的热氧化膜，可以实现 $1 \times 10^{-2} \text{ A/cm}^2$ 的漏电流。

此外，对于由本实施方式获得的氧化硅膜，测定硅/氧化硅膜界面能级密度对面方位的依赖性时，发现在任何面方位的硅表面中，都能够获得约 $1 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ 的非常低的界面能级密度。

另外，对于耐压性、热载流子抗性、使应力电流流过时的直至氧化硅膜被破坏的电荷量 QBD (Charge-to-Breakdown) 等的电特性、可靠性，由本实施方式形成的氧化膜显示出与现有的热氧化膜相同或其之上的良好特性。

如上所述，除去表面封端氢后，通过用 Kr/O₂ 高密度等离子体进行硅氧化工序，即使在 400°C 的低温中，也可以在所有面方位的硅上形成优良的氧化硅膜。获得这种效果的原因在于，通过除去封端氢，氧化膜中的氢含量减少，并且在氧化膜中含有 Kr。因氧化膜中的氢很少，氧化硅膜内的元素的弱结合减少，而且通过含有 Kr，缓和了膜中和 Si/SiO₂ 界面中的应力，使膜中电荷和界面能级密度降低，从而大幅度地改善了氧化硅膜的电特性。

特别是以面密度换算，氢浓度在 $10^{12}/\text{cm}^2$ 以下，最好在 $10^{11}/\text{cm}^2$ 以下，并含有 $5 \times 10^{11}/\text{cm}^2$ 以下的 Kr 时，将有助于氧化硅膜的电特性、可

可靠的改善。

为了实现本发明的氧化膜，除了图 1 的装置以外，也可以使用能够用等离子体在低温下进行氧化膜形成的其他等离子体处理装置。例如，可以用两级喷射板型等离子体处理装置，该装置具有排出用于通过微波来激励等离子体的 Kr 气体的第一气体排出结构、以及排出氧气的与所述第一气体排出结构不同的第二气体排出结构。

再有，在本实施方式中，在形成期望膜厚的氧化硅膜时停止导入微波并结束等离子体激励，而且将 Kr/O₂ 混合气体置换为 Ar 气体并结束氧化工序，但也可以这样结束处理，即，在停止导入所述微波能之前，将压力继续保持在 133Pa (1Torr) 左右的情况下，从喷射板 102 导入分压比为 98/2 的 Kr/NH₃ 混合气体，在氧化硅膜上形成约 0.7nm 的氮化硅膜后。根据该方法，可获得在表面上形成了氮化硅膜的氮氧化硅膜，从而可以形成具有更大介电常数的绝缘膜。

(第二实施方式)

下面，论述使用等离子体在低温下进行的氮化膜形成。在氮化膜形成中使用与图 1 相同的装置。

在本实施方式中，为了形成良好的氮化膜，除去封端氢和形成氮化膜时最好使用 Ar 或 Kr 作为等离子体激励气体。

以下表示使用 Ar 时的一例。

首先，对真空容器（处理室）101 进行排气，使其内成为真空，接着从喷射板 102 导入 Ar 气体并将处理室内的压力设定在 13.3Pa (100mTorr) 左右。

接着，将在其之前的前工序中通过加氢水清洗、从而其表面的硅悬挂键被氢封端的硅衬底 103 导入到所述处理室 101 中，并装载在具有加热机构的试料台 104 上。而且将试料的温度设定为 500°C。如果该温度在 330-550°C 的范围内，则下述结果几乎不变。

接着，从同轴波导管 105 通过径向线缝隙天线 106 及电介质板 107，向处理室内供给 2.45GHz 的微波，在处理室内产生高密度的 Ar 等

离子体。如果供给的微波频率在 900MHz 以上、10GHz 以下的范围，则以下所述的结果几乎不变。喷射板 102 和衬底 103 的间隔在本实施方式中设定为 6cm。该间隔越窄，就越能进行高速的成膜。还有，在本实施方式中，表示了通过使用径向线缝隙天线的等离子体装置来进行成膜的例子，但也可以使用其他方法将微波导入到处理室内。

这样，暴露于由 Ar 气体激励的等离子体中的硅表面受到低能量的 Ar 离子照射，从而其表面封端氢被除去。本实施方式，在 Ar 等离子体中暴露 1 分钟。

接着，在 Ar 气体中以分压比为 2% 混合 NH₃ 气体并从喷射板 102 导入。此时，处理室内的压力保持在 13.3Pa (100mTorr) 左右。在混合 Ar 气体和 NH₃ 气体的高密度激励等离子体中，处于中间激励状态的 Ar* 和 NH₃ 分子碰撞，从而高效率地产生 NH* 原子团。该 NH* 原子团对硅衬底表面进行氮化。

接着，在形成期望膜厚的氮化硅膜时停止导入微波能，并结束等离子体激励，而且将 Ar/NH₃ 混合气体置换为 Ar 气体，并结束氮化工序。

在以上的氮化膜形成后，进行电极形成工序、保护膜形成工序、氢烧结处理工序等，从而完成包含晶体管和电容的半导体集成电路器件。

在本实施方式中，示出了通过使用径向线缝隙天线的等离子体装置来形成氮化膜的例子，但也可以使用其他方法将微波导入处理室内。此外，在本实施方式中，在等离子体激励气体上使用 Ar，但使用 Kr 也可以获得同样的结果。此外，在本实施方式中，在等离子体处理气体上使用 NH₃，但也可以使用 N₂ 和 H₂ 等的混合气体。

在本发明的氮化硅膜形成中，在除去表面封端氢后，在等离子体中含有氢仍是一个重要的条件。因为等离子体中具有氢，所以在氮化硅膜内及界面的悬挂键上形成 Si-H、N-H 结合从而被封端，其结果，失去氮化硅膜和截面的电子捕获。

本发明的氮化膜中具有 Si-H 结合、N-H 结合的情况是分别通过测定红外吸收光谱、X 射线光电子光谱确认的。因为氢的存在，所以 CV 特性的磁滞消失，硅/氮化硅膜界面能级密度也被很低地抑制到

$2 \times 10^{10} \text{ cm}^{-2}$ 。使用稀有气体（Ar 或 Kr）和 N₂/H₂ 的混合气体来形成氮化硅膜时，通过使氢气体的分压为 0.5%以上，可以显著地减少膜中的电子和空穴的捕获。

图 7 表示以上述过程制作的氮化硅膜厚对压力的依赖性。其中，在图 7 的实验中，将 Ar/NH₃ 的分压比设定为 98/2，成膜时间为 30 分钟。

参照图 7 可知，降低处理室的压力，增加稀有气体（Ar 或 Kr）对 NH₃（或 N₂/H₂）施加的能量时，会加快氮化膜的成长速度。从氮化膜形成效率的观点来看，气体压力在 6.65~13.3Pa（50~100mTorr）的范围时较好，但是如在其他实施方式中所述的那样，在连续进行氧化和氮化的工序中，可统一在适合的压力上、例如 133Pa（1Torr）进行氮化，从生产率的观点来看这也是较好的条件。此外，稀有气体中的 NH₃（或 N₂/H₂）的分压在 1~10%的范围时较好，在 2~6%时更好。

由本实施方式获得的氮化硅膜的介电常数为 7.9，该值大约相当于氧化硅膜的介电常数的两倍。

在测定由本实施方式获得的氮化硅膜的电流电压特性时发现：在膜厚为 3.0nm（按介电常数换算相当于氧化膜为 1.5nm）的氮化硅膜施加 1V 电压时，能够获得比膜厚 1.5nm 的热氧化膜低 5—6 数量级以上的漏电流特性。这意味着通过使用本实施例的氮化硅膜，可以突破在栅极绝缘膜上使用氧化硅膜的晶体管中成为问题的微细化界限。

上述氮化膜的成膜条件、物理特性（物性的）及电特性并不局限于（100）面方位的硅表面上，而在包含（111）面的所有面方位的硅中同样成立。

由本实施方式获得的较好的结果，不仅在于除去了封端氢，而且还与氮化膜中包含 Ar 或 Kr 的情况也有关系。即，在本实施方式的氮化膜中，氮化膜中和硅/氮化膜界面中的应力通过氮化膜中含有的 Ar 或 Kr 被缓和，其结果，使氮化硅膜中的固定电荷和界面能级密度降低，大幅度地改善了电特性、可靠性特性。

与氧化硅膜的情况一样，可以认为，包含面密度为 $5 \times 10^{11}/\text{cm}^2$ 以下的 Ar 或 Kr 有助于改善氧化硅膜的电特性、可靠性。

为了实现本发明的氮化膜，除了图 1 的装置以外，还可以使用能够用等离子体在低温下进行氧化膜形成的其他等离子体处理装置。例如，可以用两级喷射板型等离子体处理装置，该装置具有排出用于通过微波来激励等离子体的 Ar 或 Kr 气体的第一气体排出结构、以及排出 NH₃（或 N/H 气体）的与所述第一气体排出结构不同的第二气体排出结构。

（实施方式 3）

下面，说明在栅极绝缘膜上使用等离子体的低温氧化膜和氮化膜的双层结构的实施方式。

本实施方式中使用的氧化膜和氮化膜的形成装置与图 1 相同。在本实施方式中，为了形成氧化膜和氮化膜，将 Kr 用作等离子体激励气体。

首先，对真空容器（处理室）101 进行排气，使其内成为真空，从喷射板 102 向所述处理室 101 内导入 Ar 气体。接着，将导入的气体从最初的 Ar 切换成 Kr，将所述处理室 101 内的压力设定在 133Pa（1Torr）左右。

接着，将在其之前的前工序中实施稀氢氟酸清洗、从而其表面的硅悬挂键被氢封端的硅衬底 103 导入到所述处理室 101 中，并装载在配有加热机构的试料台 104 上。而且将试料的温度设定为 400°C。

接着，从所述同轴波导管 105 向径向线缝隙天线 106 供给 1 分钟的频率为 2.45GHz 的微波，将所述微波通过电介质板 107 导入到处理室 101 内。这样，将所述硅衬底 103 暴露于在所述处理室 101 内产生的高密度的 Kr 等离子体中，从而除去其表面封端氢。

接着，将所述处理室 101 内的压力保持在 133Pa（1Torr）的情况下，从所述喷射板 102 导入分压比为 98/3 的 Kr/O₂ 混合气体，在所述硅衬底 103 的表面上形成 1.5nm 的氧化硅膜。

接着，暂时停止供给微波，停止导入 O₂ 气体。并用 Kr 对真空容器（处理室）101 内进行清洁后，从喷射板 102 导入分压比为 98/2 的 Kr/NH₃ 混合气体，而且将处理室内的压力设定在 133Pa（1Torr）左右的

情况下，再次供给频率为 2.56GHz 的微波，在所述处理室 101 内产生高密度的等离子体，从而在所述氧化硅膜的表面上形成 1nm 的氮化硅膜。

接着，在形成期望膜厚的氮化硅膜时，停止导入微波并结束等离子体激励，进而将 Kr/NH₃ 混合气体置换成 Ar 气体，结束氮氧化工序。

在以上氮氧化硅膜形成后，通过实施电极形成工序、保护膜形成工序、氢烧结处理工序，来完成包含晶体管和电容的半导体集成电路器件。

在测定这样形成的层叠栅极绝缘膜的有效介电常数时，获得约为 6 的值。另外，漏电流特性、耐压特性、热载流子抗性等电性能、可靠性特性也与前面实施方式 1 的情况一样良好。此外，在获得的栅极绝缘膜中没有发现对硅衬底 103 的面方位的依赖性，因此在（100）面以外的任何面方位的硅上都可以形成良好特性的栅极绝缘膜。这样，可以实现同时具备氧化膜的低界面能级特性和氮化膜的高介电常数特性的栅极绝缘膜。

在本实施方式中，示出了在硅的一侧形成氧化膜的氧化膜、氮化膜的双层结构，但根据目的，可以转换氧化膜、氮化膜的顺序，并且还可以形成氧化膜/氮化膜/氧化膜、氮化膜/氧化膜/氮化膜等多种层叠膜。

（第四实施方式）

下面，说明在栅极绝缘膜上使用等离子体的低温氮氧化膜的实施方式。

在本实施方式中使用的氮氧化膜形成装置与图 1 相同。在本实施方式中，将 Kr 用作等离子体激励气体。

首先，对真空容器（处理室）101 进行排气，使其内成为真空，从喷射板 102 向所述处理室 101 内导入 Ar 气体。接着，将导入到所述处理室 101 中的气体从 Ar 切换成 Kr，并将处理室内的压力设定在 133Pa（1Torr）左右。

接着，将在其之前的前工序中实施稀氢氟酸清洗、从而其表面的硅悬挂键被氢封端的硅衬底 103 导入到所述处理室 101 中，并装载在配有

加热机构的试料台 104 上。而且将试料的温度设定为 400°C。

接着，从所述同轴波导管 105 向径向线缝隙天线 106 供给 1 分钟的频率为 2.45GHz 的微波，将所述微波从径向线缝隙天线 106 通过电介质板 107 导入到处理室 101 内，在所述处理室 101 内产生高密度的 Kr 等离子体。这样，通过将所述硅衬底 103 的表面暴露在由 Kr 气体激励的等离子体中，来除去其表面封端氢。

接着，将所述处理室 101 的压力维持在 133Pa (1Torr) 左右，从所述喷射板 102 导入分压比为 96.5/3/0.5 的 Kr/O₂/NH₃ 混合气体，在硅表面上形成 3.5nm 的氮氧化硅膜。在形成期望膜厚的氮氧化硅膜时，停止导入微波能，结束等离子体激励，并将 Kr/O₂/NH₃ 混合气体置换为 Ar 气体，结束氮氧化工序。

在以上的氧化膜形成后，实施电极形成工序、保护膜形成工序、氢烧结处理工序等，来完成包含晶体管和电容的半导体集成电路器件。

如图 8 所示，通过发光分析测定的原子态氧 O* 的发生密度在 Kr/O₂/NH₃ 气体的混合比为 97/3/0~95/3/2 的范围内没有实质性变化，但如果增大 NH₃ 的比率超出此范围时，则原子态氧的发生量将会减少，而代之，原子态氢的量会增加。尤其，Kr/O₂/NH₃ 气体的混合比为 96.5/3/0.5 时，漏电流减少到最小，绝缘耐压、电荷注入也提高。

图 9 表示用二次离子质谱仪测定的、本实施方式的氮氧化膜内的硅、氧、氮的浓度分布。其中，在图 9 中，横轴表示从氮氧化膜的表面开始的深度。在图 9 中，可看到硅、氧、氮的分布在膜内平缓地变化，这并不是因为氮氧化膜的膜厚不均匀，而是因为蚀刻的均匀性差。

参照图 9 可知，所述氮氧化膜中的氮的浓度在硅/氮氧化硅膜界面和氮氧化硅膜表面中较高，在氮氧化膜中央部分减少。该氮氧化膜所取入的氮含量与硅和氧相比为几成以下。

图 10 表示本实施方式的氮氧化膜的漏电流对施加电场的依赖性。其中，在图 10 中，作为比较，还表示了在通过微波等离子体的氧化膜形成之前没有进行 Kr 等离子体的暴露处理的、同一膜厚的氧化膜的漏电流特性和通过热氧化形成的氧化膜的漏电流特性。

参照图 10 可知，在通过 Kr 等离子体照射除去封端氢后，导入 Kr/O₂/NH₃ 气体进行氮氧化的本实施方式的氮氧化膜中，与根据现有方法形成的氧化膜相比，同一电场下的漏电流的值减小了 2~4 个数量级，从而能够获得良好的低漏电流特性。

此外，在前面说明的图 6 中，用 ■ 表示这样形成的氮氧化膜的漏电流特性和膜厚的关系。

再次参照图 6 可知，根据本实施方式，进行 Kr 照射后形成的氮氧化膜具有与根据相同工序形成的氧化膜相同的漏电流特性，特别是在膜厚为约 1.6nm 时，漏电流的值也不过为 $1 \times 10^{-2} \text{ A/cm}^2$ 。

另外，在本实施方式的氮氧化膜中，耐压特性、热载流子抗性等电特性、可靠性也优于前面实施方式 1 的氧化膜。此外，也没有发现对硅衬底的面方位的依赖，因此，不仅在硅的（100）面，而且在任何面方位的硅表面上都能够形成优良特性的栅极绝缘膜。

如上述那样，除去表面封端氢后，通过用 Kr/O₂/NH₃ 的高密度等离子体进行硅氮氧化工序，即使在 400°C 的低温中，也可以在所有面方位的硅表面上形成具有优良的特性和膜质量的氮氧化硅膜。

在本实施方式中能够获得这样良好的效果的原因，不仅在于通过除去封端氢，减少了氮氧化膜中的氢含量，而且还在在于在氮氧化膜中含有几成以下的氮。在本实施方式的氮氧化膜中，Kr 的含量与实施方式 1 的氧化膜相比大约在 1/10 以下，而取代 Kr 含有更多的氮。即，在本实施方式中，由于氮氧化硅膜中的氢少，所以氮氧化膜中的弱结合的比例减少，而通过含有氮，缓和了膜中和 Si/SiO₂ 界面中的应力，其结果，使膜中电荷和界面能级的密度降低，从而大幅度地改善了所述氮氧化膜的电特性。特别是所述氮氧化膜中的氢浓度以面密度换算时在 10^{12} cm^{-2} 以下，最好减少到 10^{11} cm^{-2} 以下的情况，以及膜中含有浓度为硅或氧浓度的几成以下的氮的情况，被认为有助于氮氧化硅膜的电特性、可靠性的改善。

此外，在本实施方式中，在形成期望膜厚的氮氧化膜时停止导入微

波能，并结束等离子体激励，而且将 Kr/O₂/NH₃ 混合气体置换为 Ar 气体并结束氮氧化工序，但也可以在停止导入该微波能之前，将压力保持在 133Pa (1Torr) 左右的情况下，从所述喷射板 102 导入分压比为 98/2 的 Kr/NH₃ 混合气体，在氮氧化膜的表面上形成约 0.7nm 的氮化膜后结束氮氧化工序。根据该方法，可在氮氧化硅膜的表面上形成氮化硅膜，从而可形成介电常数更大的绝缘膜。

(第 5 实施方式)

下面，示出根据本发明第 5 实施方式的半导体器件的形成方法，该方法在构成浅沟隔离层的元件分离侧壁部分的角部分或在具有凹凸的表面形状的硅表面上形成高质量的氧化膜。

图 11A 是浅沟隔离层的原理图。

参照图 11，图示的浅沟隔离层是这样形成的：即，在硅衬底 1003 表面上通过等离子体蚀刻来形成隔离沟槽，将形成的沟槽用通过 CVD (化学气相沉积) 法形成的氧化硅膜 1002 填充，并且例如用 CMP (化学机械抛光) 法等对所述氧化硅膜 1002 进行平坦化。

在本实施方式中，在根据 CMP 法的所述氧化硅膜 1002 的研磨工序后，通过将硅衬底暴露于 800-900°C 的氧化性气氛中来进行牺牲氧化 (Sacrificial oxidation)，将通过牺牲氧化形成的氧化硅膜在含有氢氟酸的药液中进行蚀刻，获得氢封端的硅表面。在本实施方式中按与实施方式 1 同样的过程，通过 Kr 等离子体除去表面封端氢，然后导入 Kr/O₂ 气体，形成约 2.5nm 的氧化硅膜。

根据本实施方式，如图 11 所示，在浅沟隔离层的角部分中，氧化硅膜以均匀的厚度形成，不发生氧化硅膜的膜厚变薄。包含利用该 Kr 等离子体的等离子体氧化法形成的浅沟隔离层部分的氧化硅膜整体的 QBD (Charge to Breakdown) 特性非常良好，即使在注入电荷量为 10²C/cm² 时，也不会引起漏电流的上升，从而能够大幅度地改善器件的可靠性。

如图 11B 所示，在通过现有的热氧化法来形成所述氧化硅膜时，随

着浅沟隔离层的锥形角增大，浅沟隔离层角部分中的膜很大程度地变薄，但根据本发明的等离子体氧化，即使锥形角增大，也不会使浅沟隔离层角部分的氧化硅膜变薄。因此，本实施例，在浅沟隔离层结构中，通过使沟槽的锥形角接近 90 度，可以减少元件分离区域的面积。从而能够进一步提高半导体元件的集成度。在现有的热氧化技术中，因图 11B 所示的沟槽角部分中的热氧化膜的薄膜化的约束，在元件分离部分中使用约 70 度左右的锥形角，而根据本发明，可使用 90 度的角度。

图 12 是根据实施方式 1 的过程在硅衬底上形成 3nm 厚度的氧化硅膜的剖面，其中，所述硅衬底具有将硅衬底蚀刻到约 90 度的凹凸表面形状。

参照图 12，可知在任何面上都形成了均匀膜厚的氧化硅膜。

在这样形成的氧化膜中，漏电流和耐压等电特性良好，因此，根据本发明，能够实现具有纵向结构等多个面方位的硅立体结构的、高密度的半导体集成器件。

(第 6 实施方式)

下面，说明本发明第 6 实施方式的闪存元件，其中，使用了上述在低温下使用等离子体的氧化膜及氮化膜，或氮氧化膜的形成技术。此外，虽然在以下的说明中，作为一个例子公开了闪存元件，但本发明也适用于有同样层叠结构的 EPROM、EEPROM 等。

图 13 是本实施方式的闪存元件的剖面结构示意图。

参照图 13，所述闪存元件形成在硅衬底 1201 上，由形成在所述硅衬底 1201 上的隧道氧化膜 1202、作为形成在所述硅衬底 1201 上的浮置栅极的第一多晶硅栅极 1203、依次形成在所述多晶硅栅极 1203 上的氧化硅膜 1204 和氮化硅膜 1205、形成在所述氮化硅膜 1205 上构成控制栅极的第二多晶硅栅极 1206 构成。在图 13 中，省略了源极区、漏极区、接触孔、布线图形等的图示。所述氧化硅膜 1202 根据第一实施方式中说明的氧化硅膜形成方法来形成，而氧化硅膜 1204 和氮化膜 1205 的层叠结构根据实施方式 3 中说明的氮化硅膜形成方法来形成。

图 14~图 17 是分段说明本实施方式的闪存元件的制造方法的示意性剖面图。

参照图 14，在硅衬底 1301 上通过场氧化膜 1302 来划分闪存存储单元区域 A、高电压晶体管区域 B 以及低电压晶体管区域 C，在各所述区域 A~C 中，在所述硅衬底 1301 的表面上形成氧化硅膜 1303。所述场氧化膜 1302 可以通过硅局部氧化法（LOCOS 法）或浅沟隔离法等形成。

在本实施方式中，将 Kr 用作等离子体激励气体来除去表面封端氢，并形成氧化膜及氮化膜。氧化膜、氮化膜形成装置与图 1 相同。

接着，在图 15 的工序中，从存储单元区域 A 中除去所述氧化硅膜 1303，通过稀氢氟酸清洗对硅表面进行氢封端。而且，与前面的实施方式 1 一样，形成隧道氧化膜 1304。

即，与前面的实施方式 1 一样，对所述真空容器（处理室）101 进行排气，使其内成为真空，并从喷射板 102 向所述处理室 101 中导入 Ar 气体。接着，将所述 Ar 气体切换为 Kr 气体，将处理室 101 中的压力设定为 1Torr 左右。

接着，将除去所述氧化硅膜 1303 的、对硅表面进行稀氢氟酸处理的所述硅衬底 1301 作为图 1 的硅衬底 103 导入到所述处理室 101 内，并装载在具有加热机构的试料台 104 上。而且，将试料台的温度设定为 400°C。

而且，从所述同轴波导管 105 向径向线缝隙天线 106 供给 1 分钟的频率为 2.45GHz 的微波，将所述微波从径向线缝隙天线 106 通过所述电介质板 107 导入到所述处理室 101 内。将所述硅衬底 1301 的表面暴露在如述形成于所述处理室 101 中的高密度 Kr 等离子体中，从而，从所述硅衬底 1301 的硅表面除去封端氢。

接着，从所述喷射板 102 导入 Kr 气体、O₂ 气体，在所述区域 A 以 3.5nm 的厚度形成作为所述隧道绝缘膜的氧化硅膜 1304，接着堆积第一多晶硅层 1305，以覆盖所述氧化硅膜 1304。

接着，在高电压和低电压晶体管形成区域 B、C 中，通过所述第一

多晶硅层 1305 构图而将其除去，仅在存储单元区域 A 的隧道氧化膜 1304 上，保留第一多晶硅图形 1305。

在所述蚀刻后进行清洗，对多晶硅图形 1305 的表面进行氢封端。

接着，在图 16 的工序中，与前面第三实施方式一样，形成具有下部氧化膜 1306A 和上部氮化膜 1306B 的 ON 结构的绝缘膜 1306，以覆盖所述多晶硅图形 1305。

该 ON 膜如下形成。

对真空容器（处理室）101 进行排气，使其内成为真空，将从喷射板 102 导入的 Ar 气体切换为 Kr 气体并进行导入，将处理室内的压力设定为 133Pa (1Torr) 左右。接着，将进行所述氢封端的、具有多晶硅图形 1305 的硅衬底 1301 导入到所述处理室 101 内，并装载在具有加热机构的试料台 104 上。而且，将试料台的温度设定为 400°C。

接着，从所述同轴波导管 105 向径向线缝隙天线 106 供给大约 1 分钟的频率为 2.45GHz 的微波，将所述微波从径向线缝隙天线 106 通过所述电介质板 107 导入到所述处理室 101 内，产生高密度的 Kr 等离子体。其结果，所述多晶硅图形 1305 的表面被暴露在 Kr 气体中，使表面封端氢被除去。

接着，将所述处理室 101 内的压力维持在 133Pa (1Torr) 左右的情况下，从所述喷射板 102 向所述处理室 101 内导入 Kr/O₂ 混合气体，在多晶硅表面上形成 3nm 的氧化硅膜。

接着，在暂时停止微波的供给后，停止 Kr 气体、O₂ 气体的导入，并对真空容器（处理室）101 内进行排气后，从喷射板 102 导入 Kr 气体和 NH₃ 气体。将所述处理室 101 内的压力设定为 13.3Pa (100mTorr) 左右，再次将 2.45GHz 的微波从所述径向线缝隙天线 106 供给到所述处理室 101 内，在处理室内产生高密度的等离子体，在氧化硅膜表面上形成 6nm 的氮化硅膜。

这样形成 9nm 的 ON 膜时，获得的 ON 膜的膜厚是一样的，而且没有观察到对多晶硅面方位的依赖性，从而得知可获得非常均匀的膜。

在这样形成所述 ON 膜后，在图 17 的工序中，通过构图从高电压

及低电压晶体管区域 B、C 中除去绝缘膜 1306，接着在高电压及低电压晶体管区域 B、C 上进行用于阈值电压控制的离子注入。并且，除去形成在所述区域 B、C 上的氧化膜 1303，在所述区域 B 上形成 5nm 厚度的栅极绝缘膜 1307，然后在所述区域 C 上形成 3nm 厚度的栅极绝缘膜 1308。

然后，在包含场氧化膜 1302 的整体结构上依次形成第二多晶硅层 1309 和硅化物层 1310，进而对所述第二多晶硅层 1309 和硅化物层 1310 进行构图，在所述高电压晶体管区域 B 和低电压晶体管区域 C 中分别形成栅极 1311B 和 1311C。此外，对应于所述存储器区域 A，形成栅极 1311A。

在图 17 的工序后，根据标准的半导体工序，形成源极区和漏极区，之后形成层间绝缘膜和接触孔及布线图形等而完成元件。

在本发明中，这些绝缘膜 1306A、1306B，即使将其膜厚减少到现有的氧化膜和氮化膜的约一半，也可以维持良好的电特性。即，这些氧化硅膜 1306A 和氮化硅膜 1306B，即使对它们进行薄膜化，也能具有良好的电特性，并且致密、质量高。此外，在本发明中，所述氧化硅膜 1306A 和氮化硅膜 1306B 在低温下形成，因此在栅极多晶硅和氧化膜的界面上不产生热存积等，可获得良好的界面。

本发明的闪存元件在低电压下进行信息的写入和删除动作，从而可以抑制衬底电流的产生，进而能够抑制隧道绝缘膜的恶化。因此，可以高成品率地制造二维排列本发明的闪存元件而形成的非易失性半导体存储装置，并且使该半导体存储装置显示出稳定的特性。

本发明的闪存元件，对应于所述绝缘膜 1306A、1306B 具有良好的膜质量，其漏电流较小，而且可以减小膜厚而不增加漏电流，因此可在 5V 左右的工作电压下进行写入或删除动作。其结果，闪存元件的存储保持时间比以往增大了两个数量级以上，可重写的次数也增大了两个数量级以上。

此外，绝缘膜 1306 的膜结构不限于上述 ON 结构，也可以是同于实施方式 1 的由氧化膜构成的 O 结构、同于实施方式 2 的由氮化膜构成

的 N 结构、或是同于实施方式 4 的氮氧化膜。此外，所述绝缘膜 1306 也可以是由氮化膜及氧化膜构成的 NO 结构、依次层叠氧化膜、氮化膜及氧化膜的 ONO 结构、以及层叠氮化膜、氧化膜、氮化膜、氧化膜的 NONO 结构等。选择一种结构作为所述绝缘膜 1306 时，可以考虑周边电路的高电压晶体管和低电压晶体管的栅极绝缘膜间的匹配性和共用可能性等，根据目的进行选择。

(第 7 实施方式)

使用图 1 的装置，可将利用 Kr/O₂ 微波激励高密度等离子体的栅极绝缘膜的形成、或将利用 Ar (或 Kr) /NH₃ (或 N₂/H₂) 微波激励高密度等离子体的栅极氮化膜的形成，应用于不能使用现有的高温工序的、金属层存在于衬底硅内的硅-绝缘体 (金属衬底 SOI) 晶片上的半导体集成电路器件的形成上。特别是在硅的膜厚薄的、完全耗尽的 SOI 结构中，根据本发明的除去封端氢的效果比较明显。

图 18 是具有金属衬底 SOI 结构的 MOS 晶体管的剖面图。

参照图 18，1701 是 n⁺型或 p⁺型的低电阻半导体层，1702 是 NiSi 等硅化物层，1703 是 TaN、TiN 等导电性氮化物层；1704 是 Cu 等金属层，1705 是 TaN、TiN 等导电性氮化物层，1706 是 n⁺型或 p⁺型的低电阻半导体层，1707 是 AlN、Si₃N₄ 等氮化物绝缘膜，1708 是 SiO₂ 膜，1709 是 SiO₂ 层、BPSG 层或将它们组合起来的绝缘膜层，1710 是 n⁺型漏极区，1711 是 n⁺型源极区，1712 是 p⁺型漏极区，1713 是 p⁺型源极区，1714、1715 是以<111>方向取向的硅半导体层，1716 是根据本发明实施方式 1 的过程、通过 Kr 照射除去表面封端氢后、利用 Kr/O₂ 微波激励高密度等离子体形成的 SiO₂ 膜，1717 和 1718 分别是用 Ta、Ti、TaN/Ta、TiN/Ti 等形成的 nMOS 晶体管和 pMOS 晶体管的栅极，1719 是 nMOS 晶体管的源极，1720 是 nMOS 晶体管和 pMOS 晶体管的漏极。1721 是 pMOS 晶体管的源极。1722 是衬底表面电极。

在这种用 TaN 或 TiN 保护的含有 Cu 层的衬底中，为了抑制 Cu 的扩散，热处理温度必须在约 700°C 以下。n⁺型或 p⁺型的源极区或漏极区

在 As^+ 、 AsF_2^+ 或 BF_2^+ 的离子注入后，在 550°C 的热处理中形成。

在具有图 18 的器件结构的半导体器件中，对在栅极绝缘膜上使用热氧化膜的晶体管的亚阈值（sub-threshold）特性和在 Kr 等离子体照射中除去表面封端氢后、通过 Kr/O_2 微波激励高密度等离子体处理形成栅极绝缘膜的晶体管的亚阈值特性进行比较时，在通过热氧化形成的栅极绝缘膜情况下的亚阈值特性上可观察到弯折或泄漏，而根据本发明形成的栅极绝缘膜情况下的亚阈值特性却非常好。

此外，如果具有台面形元件分离结构，则在台面元件分离结构的侧壁部分会呈现出与硅平面部分不同面方位的硅表面，但是可以通过使用 Kr 的等离子体氧化来形成栅极绝缘膜，从而对台面元件分离的侧壁部分进行大致与平面部分相同的均匀的氧化，进而可以获得良好的电特性、高可靠性。

此外，根据第二实施方式的过程，即使将用 Ar/NH_3 形成的氮化硅膜用作栅极绝缘膜，也能够制造出具有非常良好的电特性、高可靠性的金属衬底 SOI 集成电路器件。

在本实施方式中，即使是氮化硅膜的厚度为 3nm（以介电常数换算时相当于 1.5nm 的氧化硅膜膜厚），也可以获得良好的电特性，并且与使用 3nm 的氧化硅膜相比，可以将晶体管的驱动能力提高 2 倍左右。

（第 8 实施方式）

图 19 是本发明第 8 实施方式的制造装置一例的原理图，该装置用于对形成液晶显示元件和有机场致发光元件等的玻璃衬底或塑料衬底等大型长方形衬底上所形成的多晶硅或非晶硅层进行氧化处理、氮化处理、或氮氧化处理。

参照图 19，通过使真空容器（处理室）1807 内处于减压状态，接着从设置于所述处理室 1807 内的喷射板 1801 导入 Kr/O_2 混合气体，进而通过螺纹沟泵 1802 对所述处理室 1807 内进行排气，将所述处理室 1807 内的压力设定为 133Pa (1Torr)。然后，将玻璃衬底 1803 放置在具有加热机构的试料台 1804 上，并将玻璃衬底的温度设定为 300°C。

在所述处理室 1807 中设置多个矩形波导管 1805，接着从所述多个矩形波导管 1805 的各个缝隙部分通过电介质板 1806 向所述处理室 1807 内导入微波，在所述处理室 1807 内产生高密度的等离子体。此时，设置于所述处理室 1807 中的喷射管 1801 具有将从波导管发射的微波作为表面波向左右传播的波导路径的作用。

图 20 表示使用图 19 的装置来制造本发明的栅极绝缘膜或栅极氮化膜，并形成用于驱动液晶显示元件、有机 EL 发光元件等的，或用于处理电路的多晶硅薄膜晶体管（TFT）的例子。

首先，阐述形成并使用氧化硅膜的例子。

参照图 20，1901 是玻璃衬底，1902 是 Si_3N_4 膜，1903 是以（111）面为主取向的多晶硅 nMOS 的沟道层，1905、1906 分别是多晶硅 nMOS 的源极区、漏极区，1904 是以（111）面为主取向的多晶硅 pMOS 的沟道层，1907、1908 分别是多晶硅 pMOS 的源极区、漏极区。1910 是多晶硅 nMOS 的栅极，1911 是多晶硅 pMOS 的栅极，1912 是 SiO_2 、BSG、BPSG 等绝缘膜，1913、1914 是多晶硅 nMOS 的源极（同时为多晶硅 p-MOS 的漏极），1915 是多晶硅 p-MOS 的源极。

形成于绝缘膜上的多晶硅在对于绝缘膜垂直的方向上朝向（111）面时是稳定的，并且是结晶性致密的高质量的多晶硅。在本实施方式中，1909 是使用图 19 的装置根据与实施方式 1 相同的过程做成的、厚度为 $0.2\mu\text{m}$ 的本发明的氧化硅膜层，在朝向（111）面的多晶硅上 400°C 下以 3nm 来形成。

根据本实施方式可知，在晶体管间的元件分离区域的尖角部分中氧化膜也没有变薄，因此在多晶硅上形成平坦部分和边缘部分都为均匀膜厚的氧化硅膜。用于形成源极、漏极区的离子注入不经过栅极绝缘膜进行，而且在 400°C 下通过电激活来形成。其结果，可以在 400°C 以下的温度实施所有工序，并且能够在玻璃衬底上形成晶体管。该晶体管的迁移率是电子时约为 $300\text{cm}^2/\text{Vsec}$ 以上，空穴时约为 $150\text{cm}^2/\text{Vsec}$ 以上，源极、漏极耐压和栅极耐压时为 12V 以上。在沟道长度为 $1.5\text{-}2.0\text{nm}$ 左右的晶体管中，可进行超过 100MHz 的高速动作。氧化硅膜的泄漏特

性、多晶硅/氧化膜的界面能级特性也良好。

通过使用本实施方式的晶体管，液晶显示元件、有机 EL 发光元件可以具有大画面、低价格、高速动作、高可靠性。

虽然本实施方式是将本发明的栅极绝缘膜或栅极氮化膜用于多晶硅上的实施方式，但同样也可以应用在用于液晶显示元件等的非晶硅薄膜晶体管（TFT）的、特别是交错型的薄膜晶体管（TFT）的栅极绝缘膜或栅极氮化膜上。

（第 9 实施方式）

下面，说明了具有金属层的 SOI 元件、多晶硅元件、非晶硅元件的三维层叠 LSI 的实施方式。

图 21 是本发明的三维 LSI 的剖面结构原理图。

在图 21 中，2001 是第一 SOI 及布线层，2002 是第二 SOI 及布线层，2003 是第一多晶硅元件及布线层，2004 是第二多晶硅元件及布线层，2005 是非晶硅半导体元件和功能材料元件及布线层。

在所述第一 SOI 及布线层 2001 和所述第二 SOI 及布线层 2002 上，使用在实施方式 7 中说明的 SOI 晶体管来制作数字运算处理部分、高精度高速模拟部分、同步 DRAM 部分、电源部分、接口电路部分等。

在所述第一多晶硅元件和布线层 2003 中，使用在前面的实施方式 6、8 中说明的多晶硅晶体管、闪存存储器等来制作并行数字运算部分、功能块间中继部分、存储元件部分等。

另一方面，在所述第二多晶硅元件和布线层 2004 中，使用所述实施方式 8 中说明的多晶硅晶体管来形成放大器、AD 变换器等并行模拟运算部分。在非晶硅半导体元件、功能材料元件及布线层 2005 上，制作光传感器、声音传感器、触觉传感器、电波发送接收部分等。

所述非晶硅半导体元件、功能材料元件及设置于布线层 2005 内的光传感器、声音传感器、触觉传感器、电波发送接收部分的信号由使用所述第二多晶硅元件和设置于布线层 2004 中的多晶硅晶体管的放大器、AD 变换器等并行模拟运算部分处理，而且将该处理在使用所述第

一多晶硅元件和布线层 2003 或所述第二多晶硅元件和设置于布线层 2004 中的多晶硅晶体管、闪存存储器的并行数字运算部分、存储元件部分中继续进行，进而由使用设置于所述第一 SOI 和布线层 2001 或所述第二 SOI 和布线层 2002 中的 SOI 晶体管的数字运算处理部分、高精度高速模拟部分、同步 DRAM 来处理。

此外，即使设置多个所述第一多晶硅元件和设置于布线层 2003 中的功能块间中继部分，也不会占很大的芯片面积，并能够调整 LSI 整体的信号为同步。

根据在上述实施方式中详细说明的本发明的技术可知，能够形成这种三维 LSI。

以上，以优选实施例说明了本发明，但本发明并不局限于这些特定的实施例，可在本发明的宗旨内进行各种变形、变更。

工业实用性

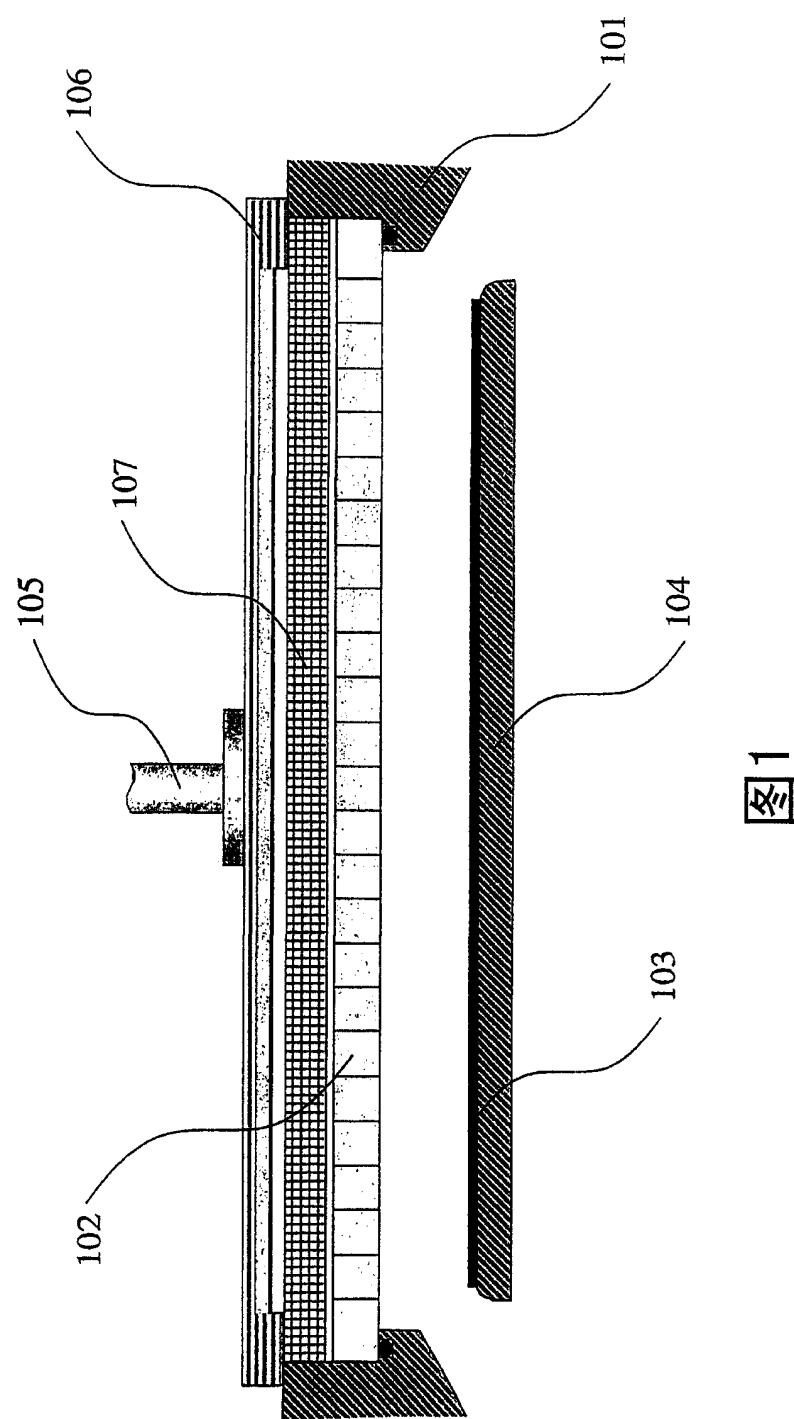
根据本发明，在不恶化硅表面的平坦性，不破坏真空的连续工序中，即使在 400℃以下的低温下，也可完全除去表面封端氢，因此能够在约 500℃以下的低温下、在所有面方位的硅上形成，比用现有的热氧化工序或微波等离子体工序成膜的氧化硅膜特性更优良的、高可靠的氧化硅膜、氮化硅膜、氮氧化硅膜，从而能够实现高可靠性、高性能的微细晶体管集成电路。

而且，根据本发明，在浅沟隔离层等元件分离侧壁部分的角部分和具有凹凸表面形状的硅表面上，也能够形成漏电流和耐压等特性良好的、薄而高质量的氧化硅膜、氮化硅膜、氮氧化硅膜，从而能够实现将元件分离宽度变小的高密度的元件集成化和具有立体结构的高密度的元件集成化。

此外，通过使用本发明的栅极绝缘膜，可以实现能够大幅增加重写次数的闪存存储元件等。

此外，根据本发明，在形成于绝缘膜上的主要以（111）面取向的多晶硅上，也能够形成高质量的栅极氧化硅膜、栅极氮化硅膜，因此可

以实现使用具有高驱动能力的多晶硅晶体管的显示装置，进而可以实现层叠多个晶体管、功能元件的三维集成电路元件，并且此技术所波及的效果很大。



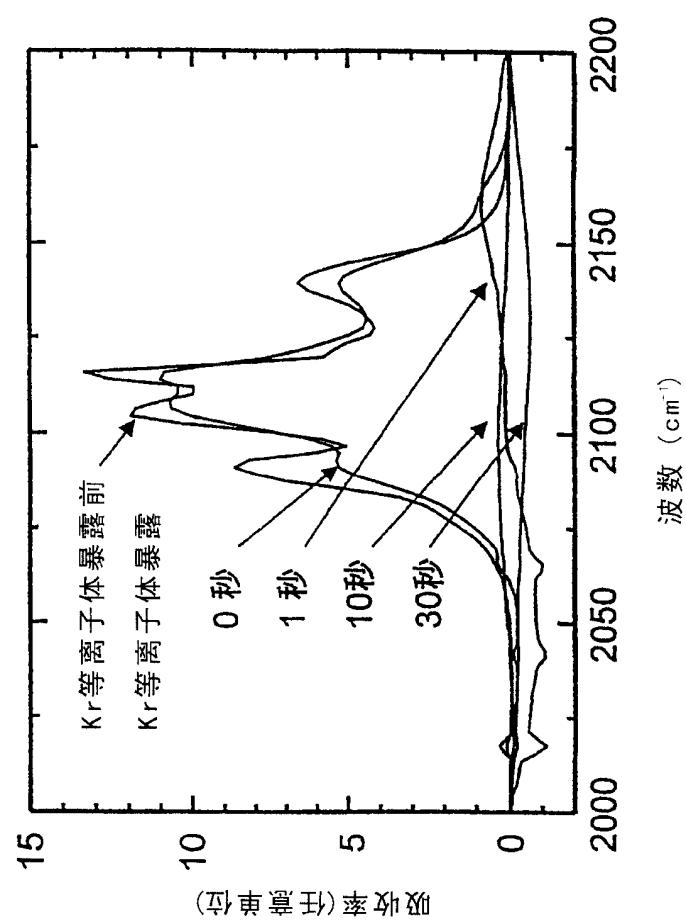
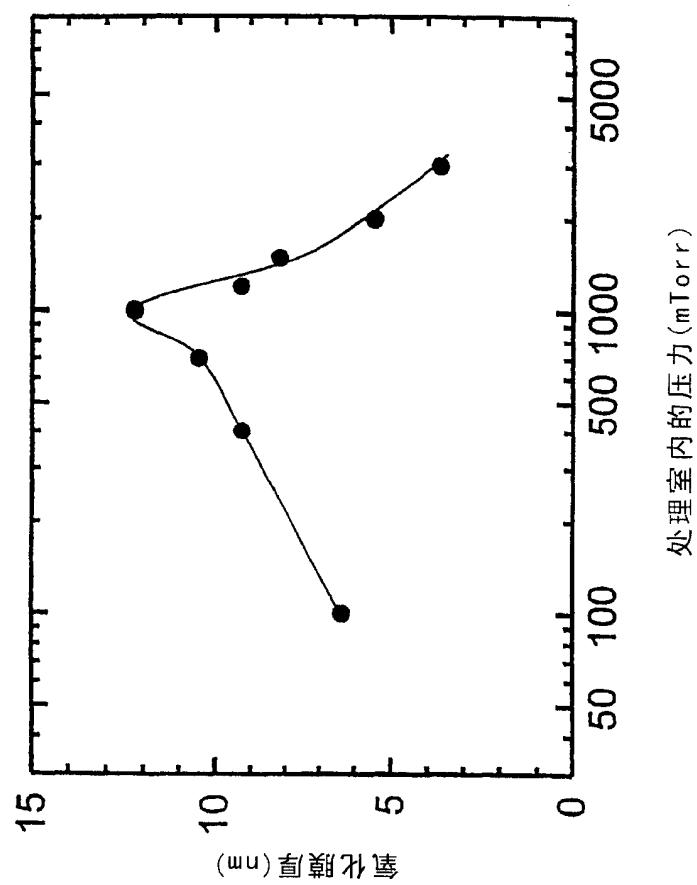


图2



处理室内的压力 (mTorr)

图3

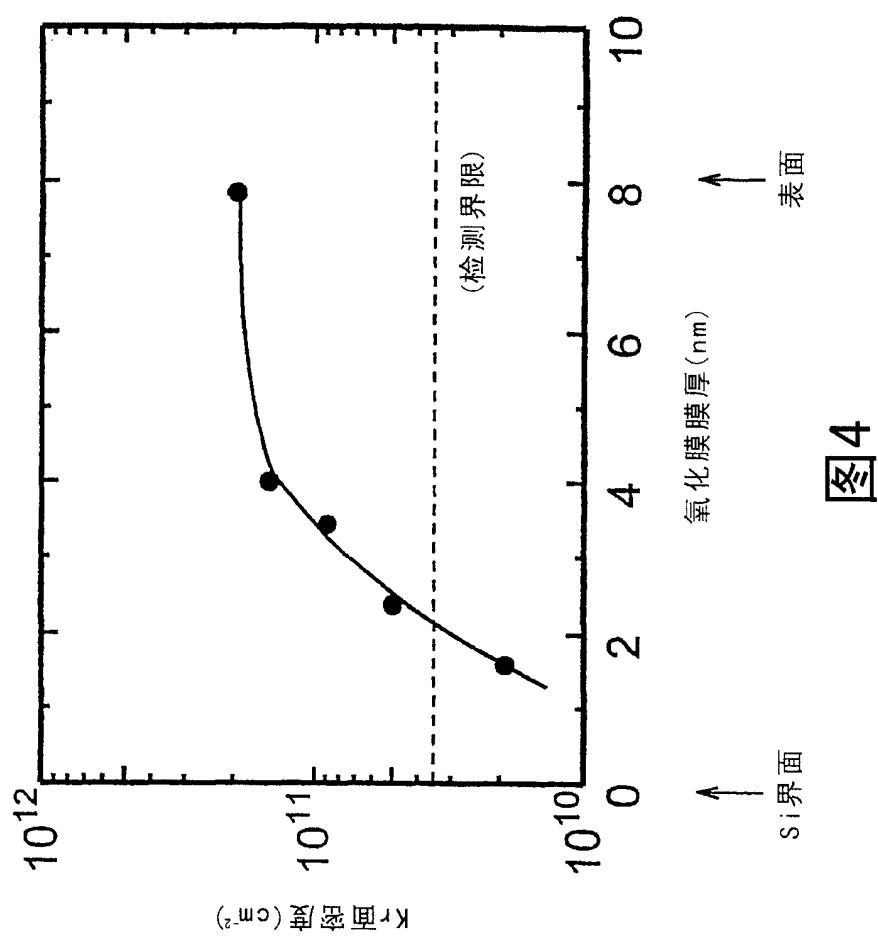
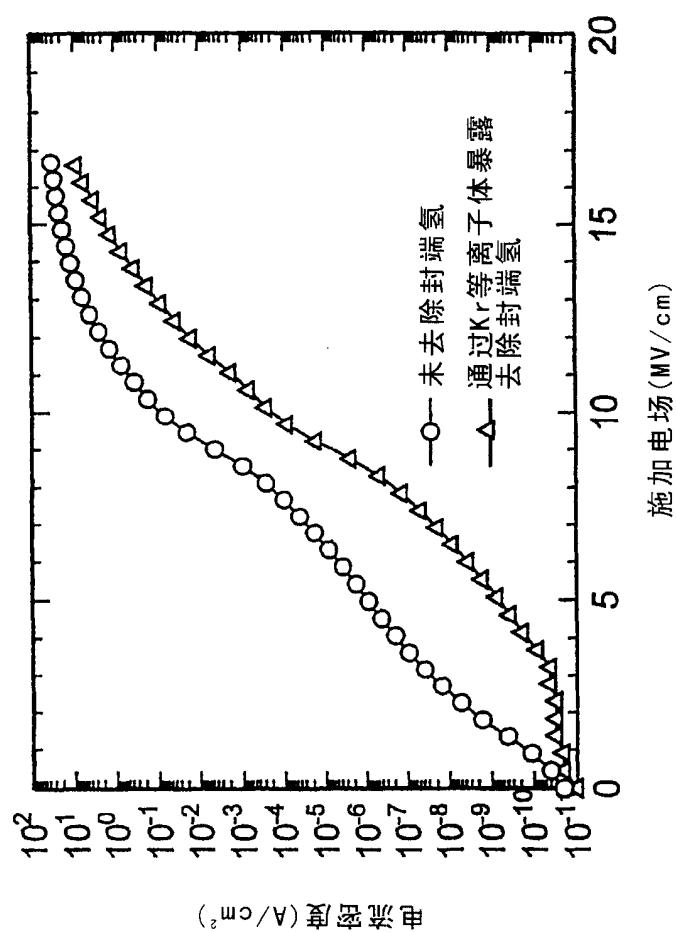


图4



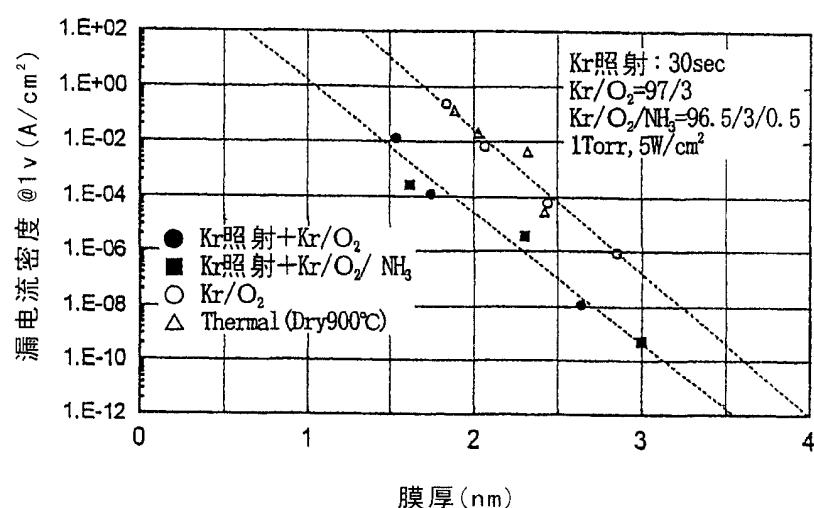


图6

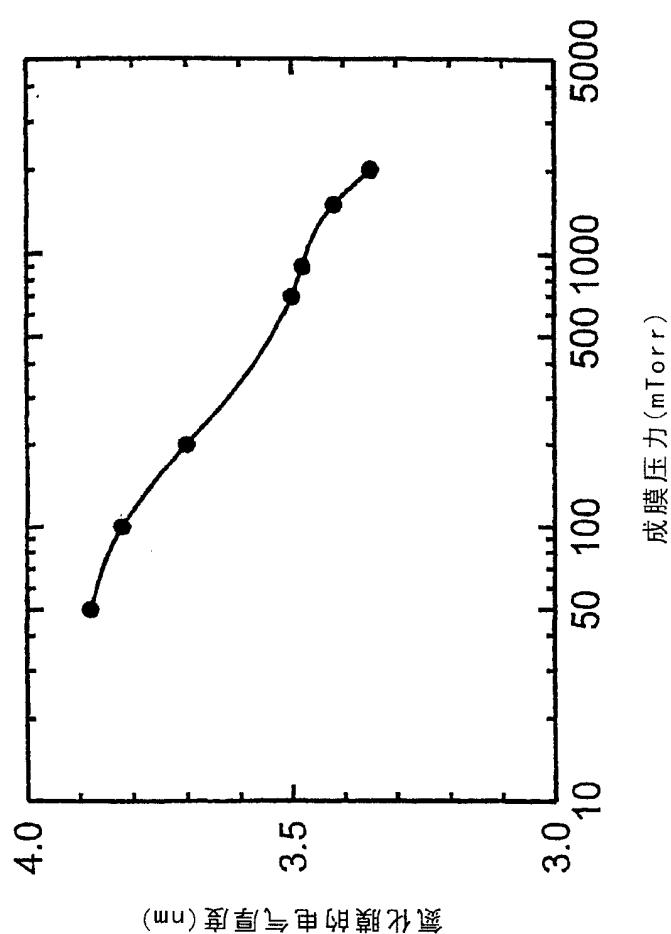


图7

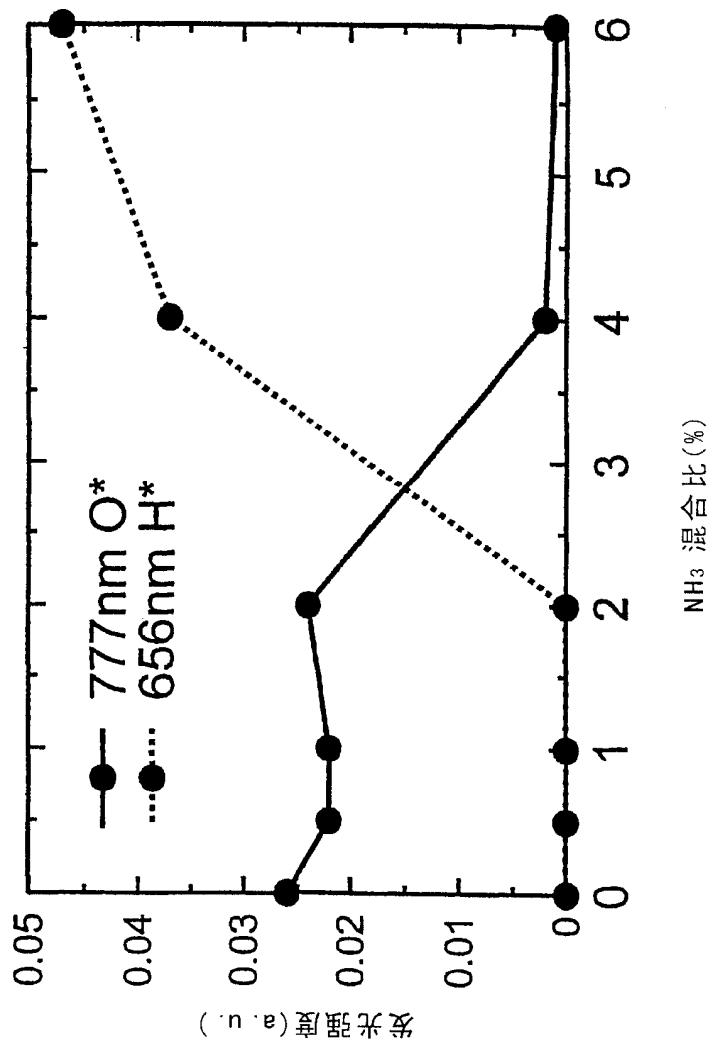
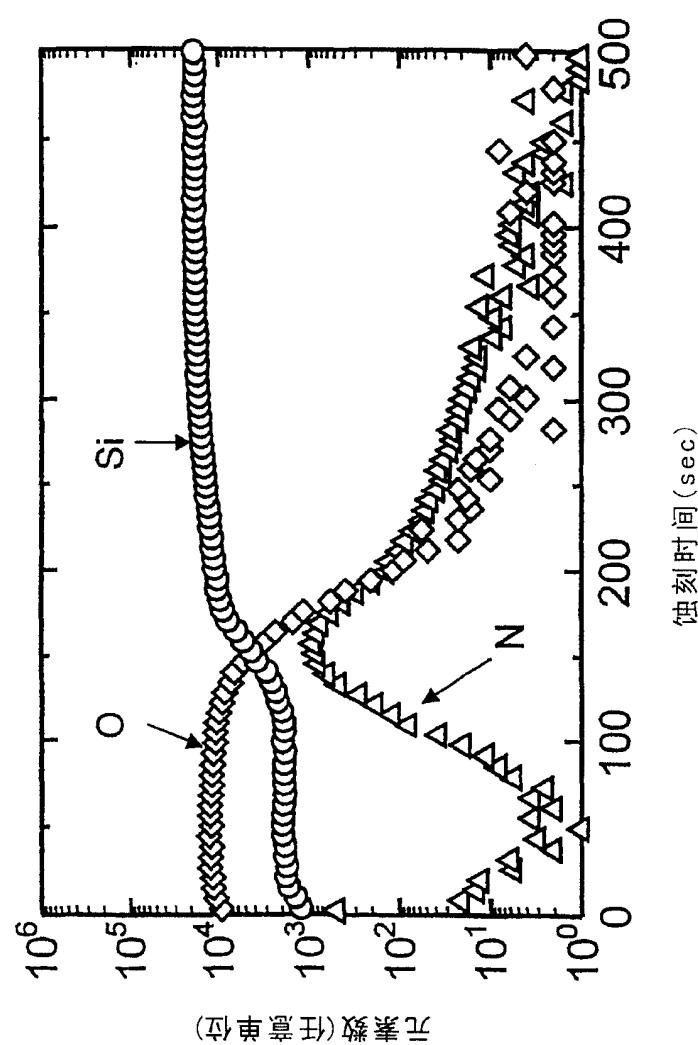


图8



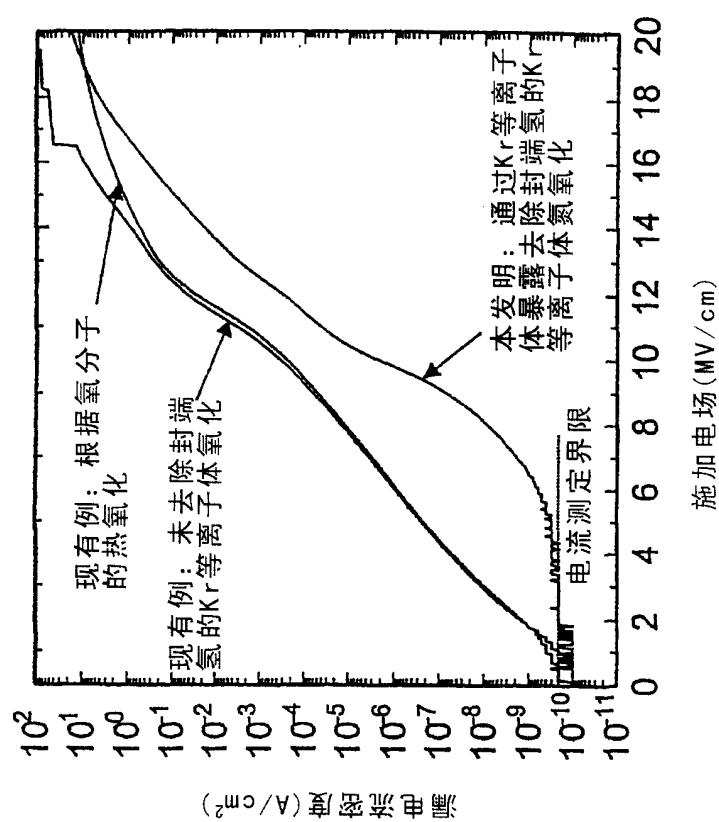


图 10

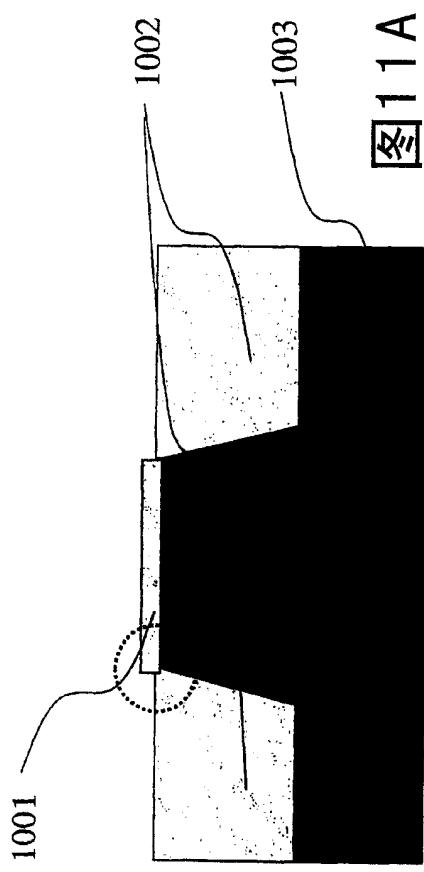


图11A

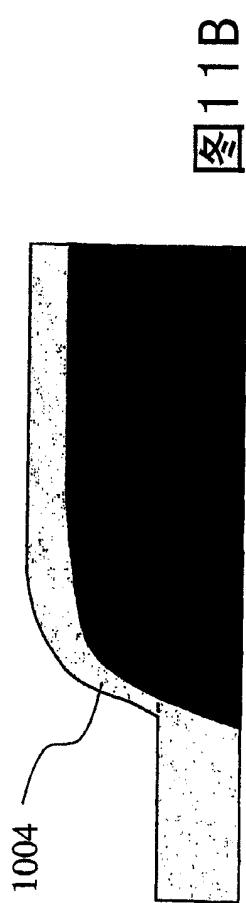


图11B



图11C

现有例

本发明

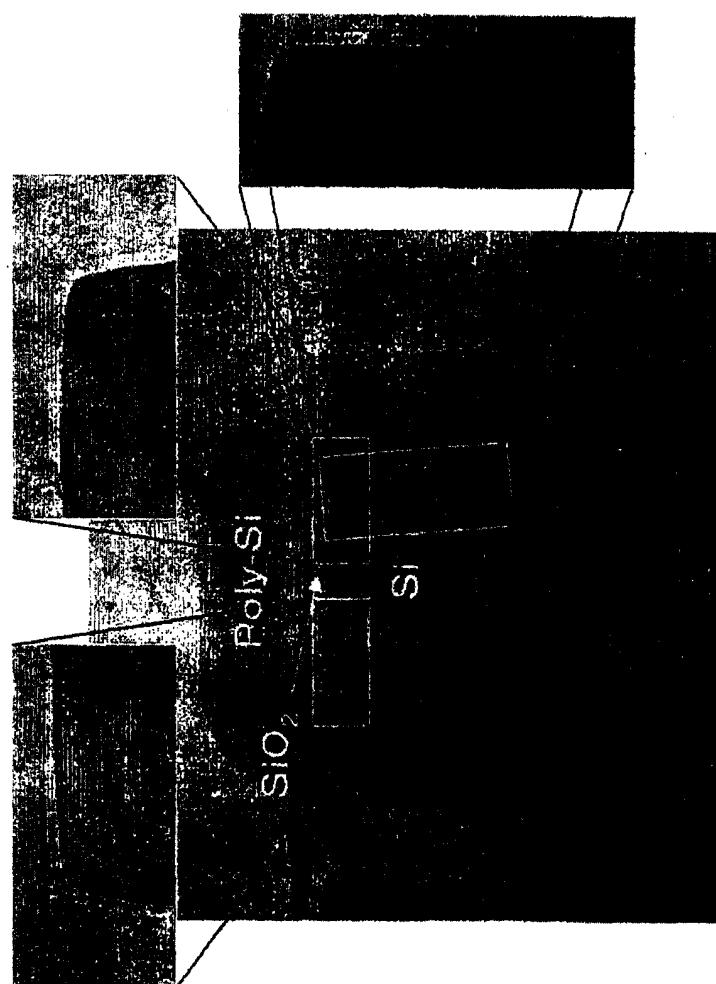


图12

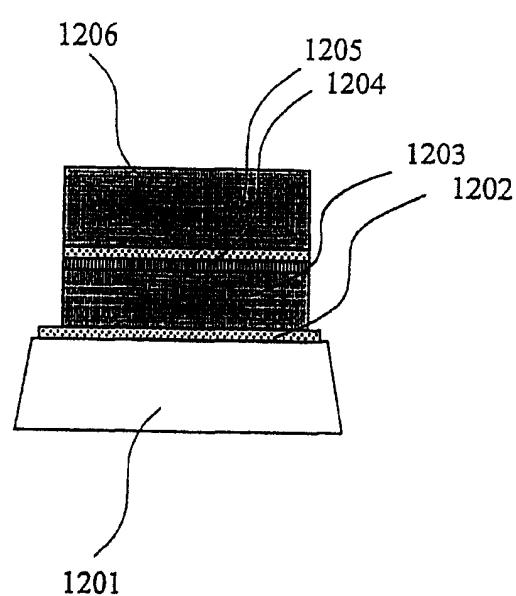


图13

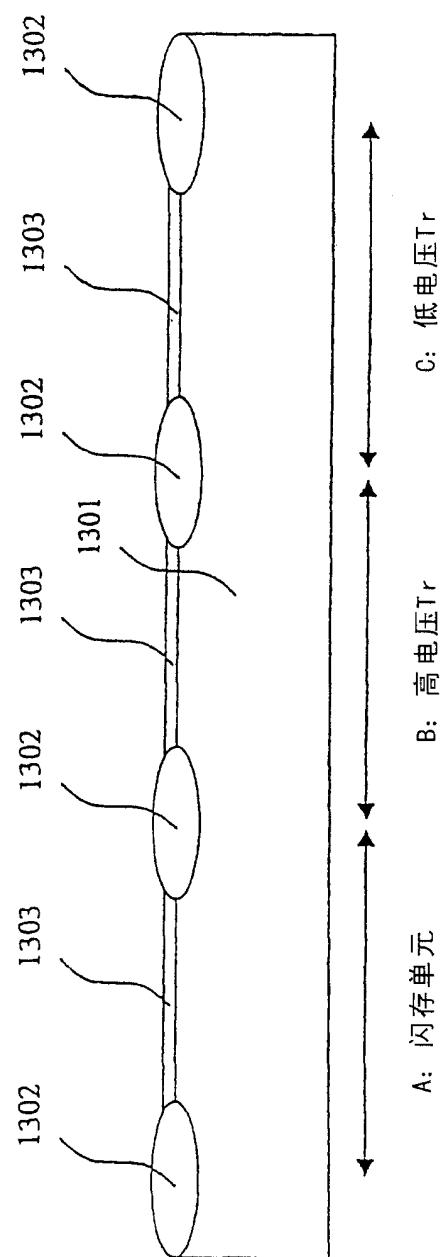


图14

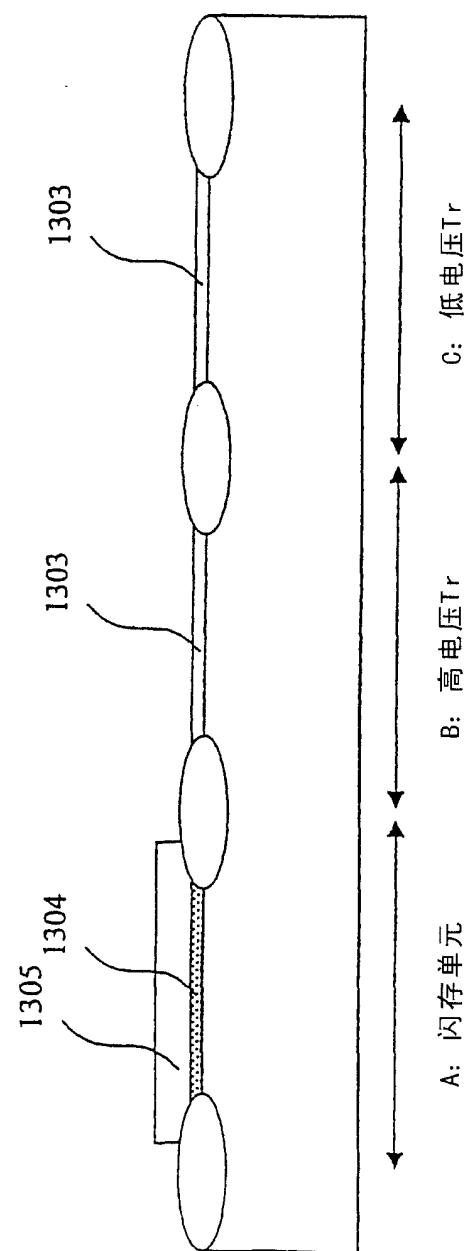
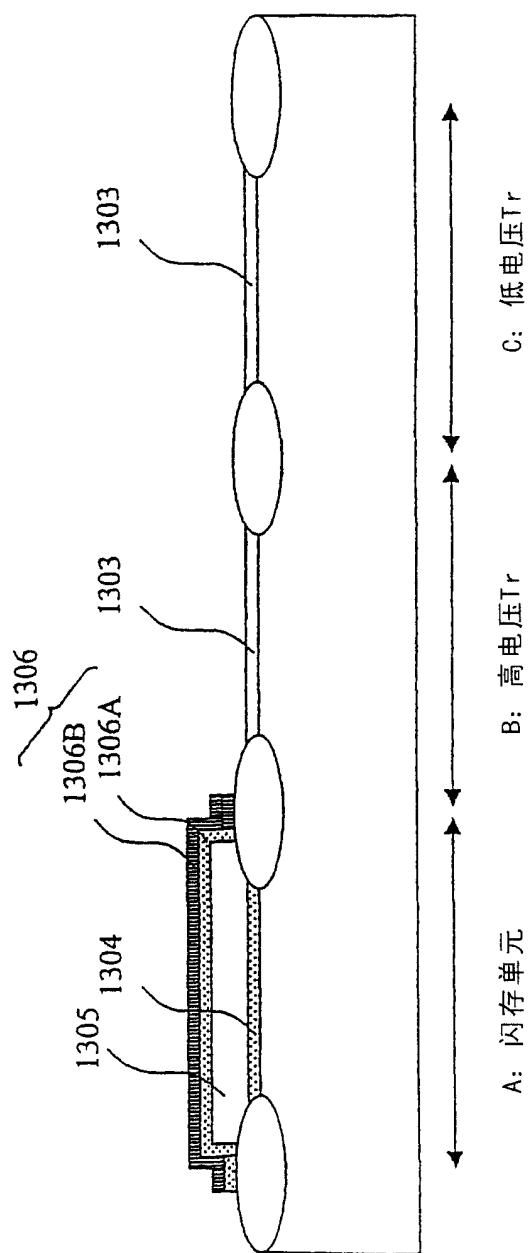


图15



A: 闪存单元 B: 高电压 T_r C: 低电压 T_r

图16

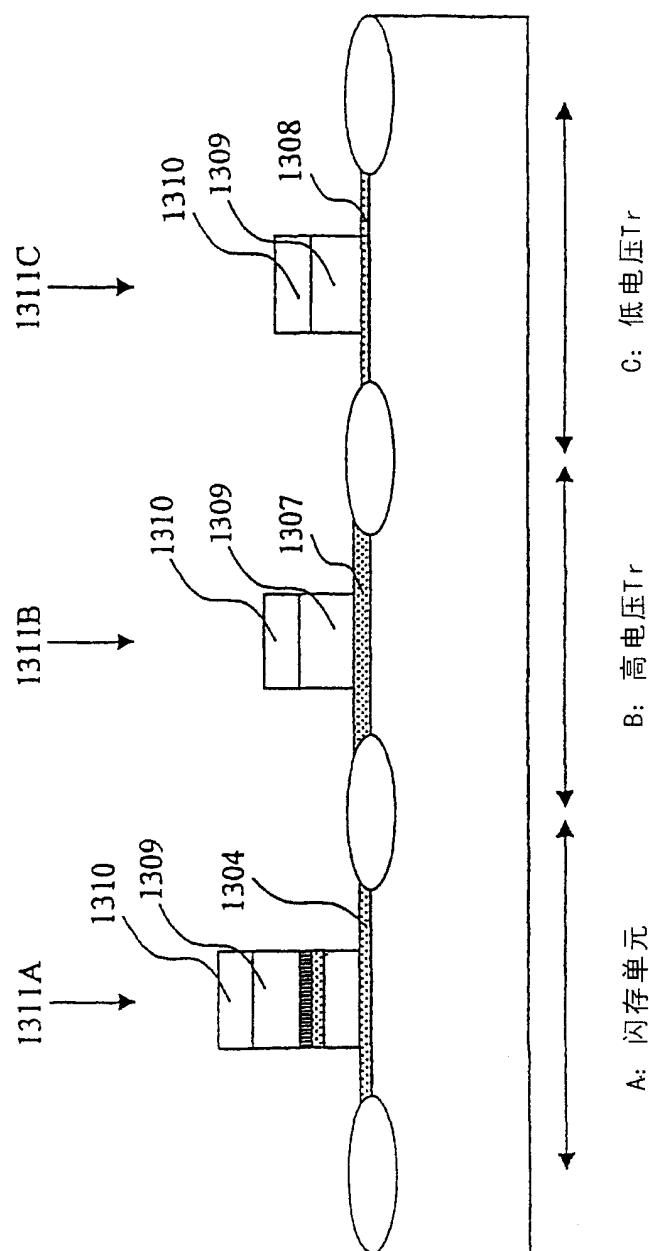


图17

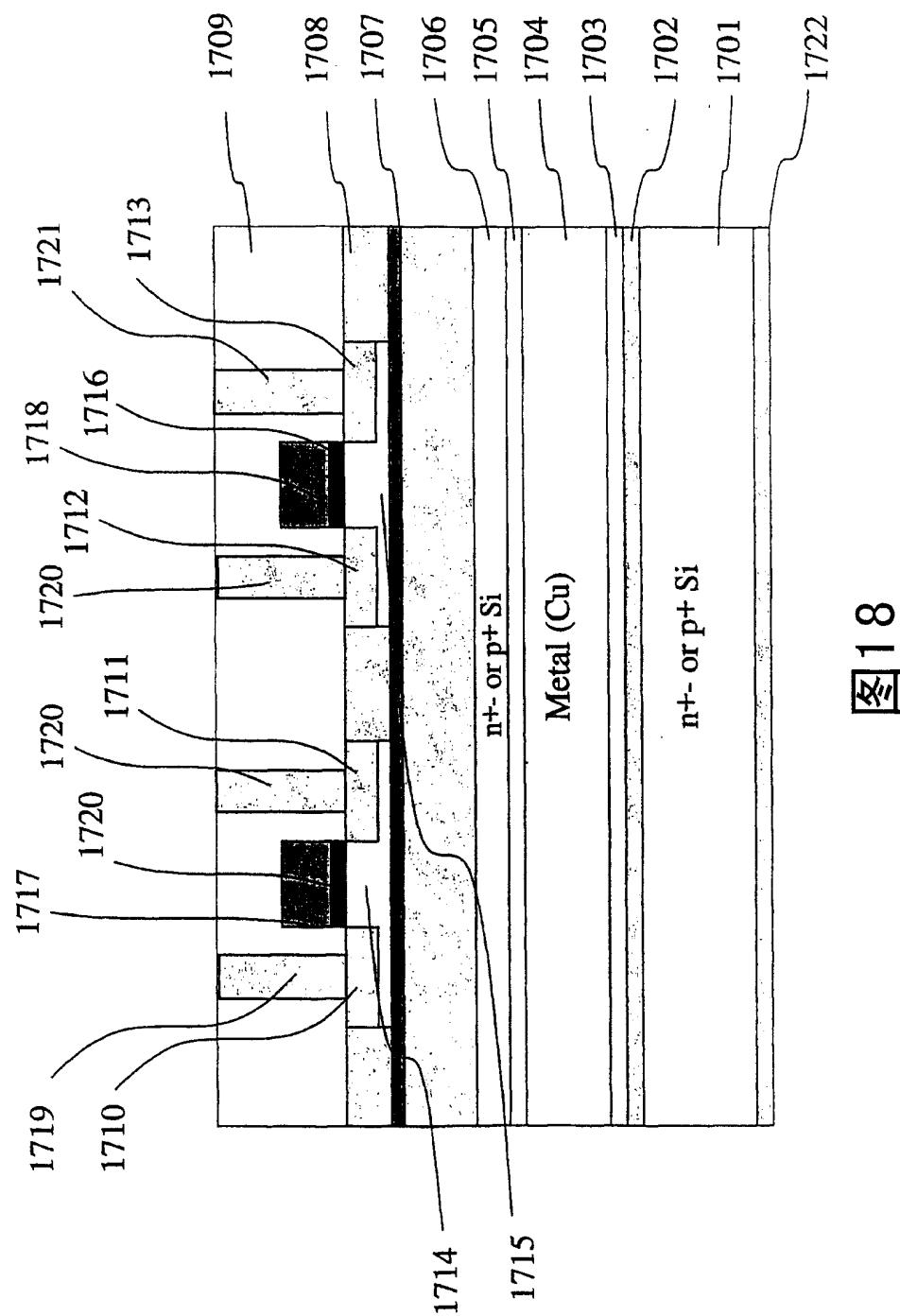


图 18

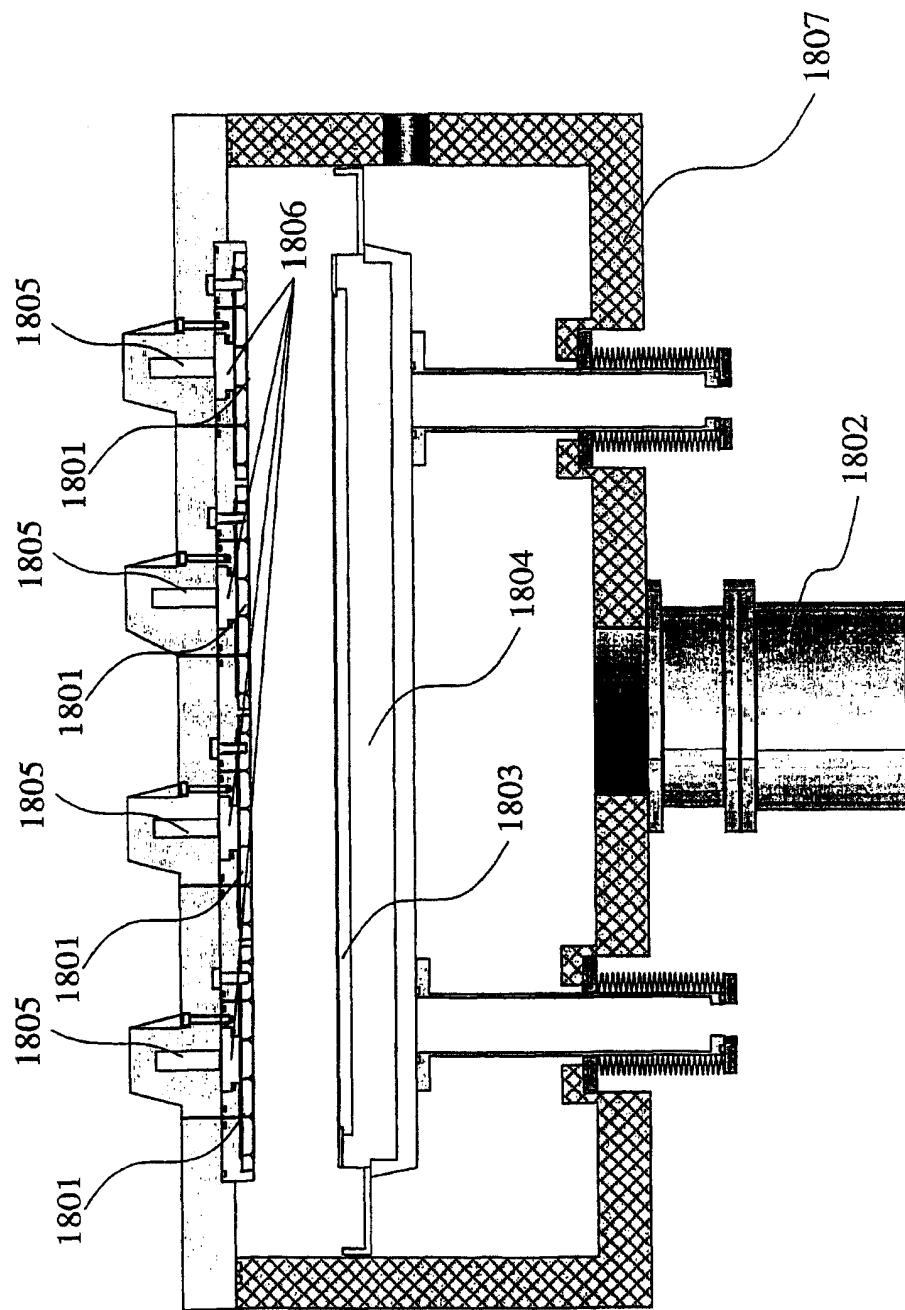


图19

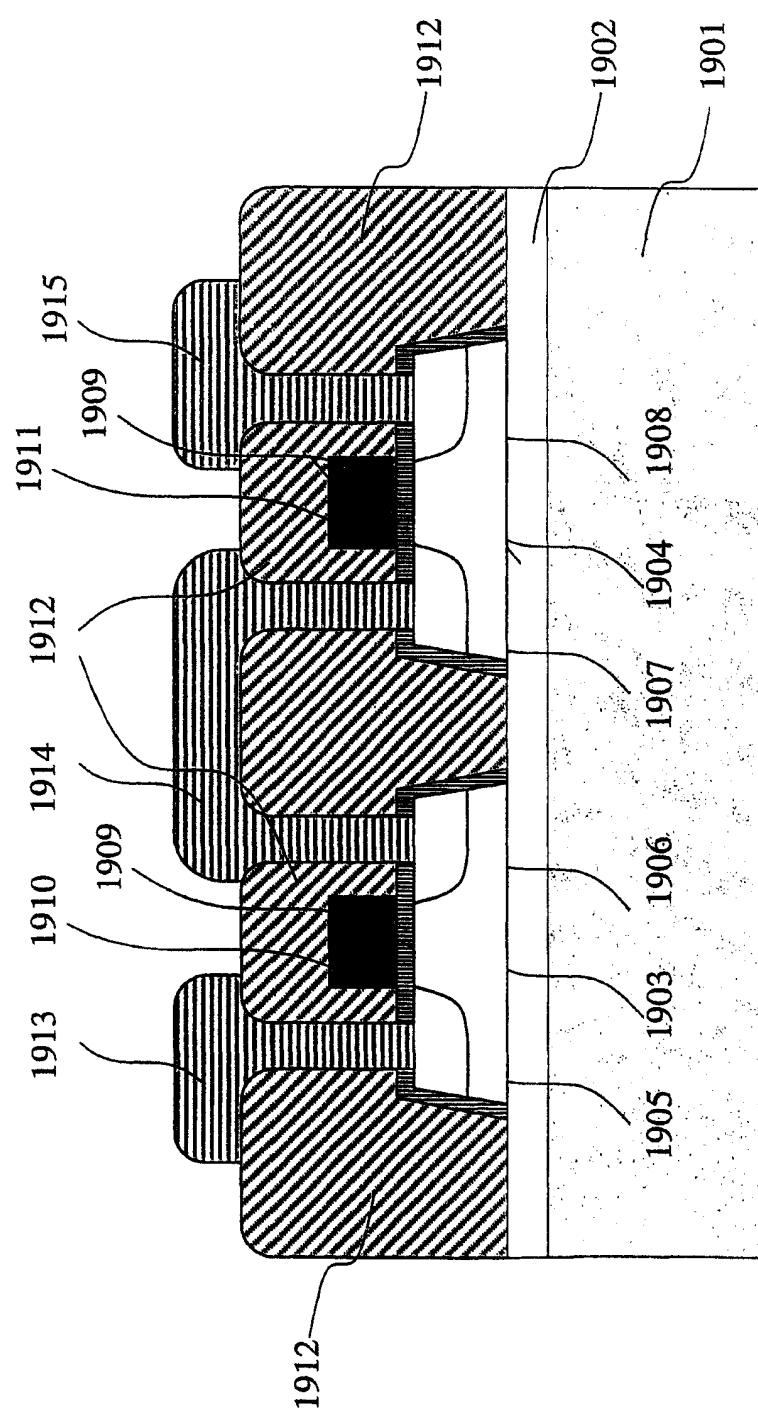


图20

