

(43) 国際公開日
2008 年 11 月 13 日 (13.11.2008)

PCT

(10) 国際公開番号
WO 2008/136293 A1

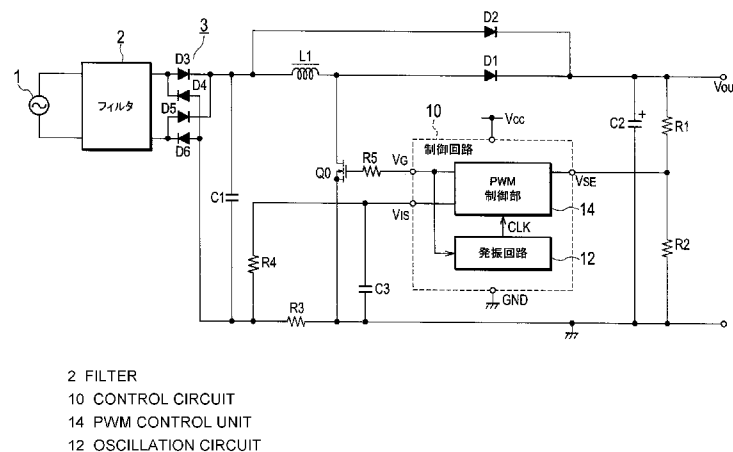
- (51) 国際特許分類: *H02M 7/12* (2006.01) *H02M 3/155* (2006.01)
- (21) 国際出願番号: PCT/JP2008/057677
- (22) 国際出願日: 2008 年 4 月 21 日 (21.04.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2007-121138 2007 年 5 月 1 日 (01.05.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野 3 丁目 6 番 3 号 Saitama (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 大坂 昇平 (OSAKA, Syohei).
- (74) 代理人: 三好 秀和, 外 (MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目 2 番 8 号 虎ノ門 琴平タワー Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: POWER FACTOR IMPROVING CIRCUIT

(54) 発明の名称: 力率改善回路

FIG. 2



(57) Abstract: A power factor improving circuit includes: a rectifier (3) which rectifies AC voltage of an AC power source (1); a first series circuit connected in parallel to output of the rectifier and having a boost reactor (L1) and a switching element (Q0) which are connected in series; a second series circuit connected in parallel to the switching element and having a rectification diode (D1) and a smoothing capacitor (C2) which are connected in series; an oscillation circuit (12) which generates a clock signal (CLK) having a predetermined oscillation frequency; and a control circuit (10) which generates a drive signal for driving the switching element with a cycle of the clock signal generated by the oscillation circuit in accordance with a voltage value of the smoothing capacitor. The oscillation circuit changes a predetermined frequency according to the drive signal of the switching element.

(57) 要約: 交流電源 1 の交流電圧を整流する整流器 3 と、整流器の出力に並列に接続され、昇圧リアクトル L1 とスイッチング素子 Q0 とが直列に接続された第 1 直列回路と、スイッチング素子に並列に接続され、整流ダイオード D1 と平滑コンデンサ C2 とが直列に接続された第 2 直列回路と、所定の発振周波数を有するクロック信号 CLK を生成する発振回路 12 と、発振回路で生成されたクロック

[続葉有]

WO 2008/136293 A1



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

明 細 書

力率改善回路

技術分野

[0001] 本発明は、力率改善機能を有する昇圧型の力率改善回路に関する。

背景技術

[0002] 交流電源の交流電圧を整流器と平滑コンデンサとにより直流電圧に変換する場合、入力電流が歪み、力率が低下する。このため、昇圧リアクトル、スイッチング素子、整流ダイオード及び平滑コンデンサからなる昇圧チョッパ回路を、整流器の出力に接続して、入力電流の歪みを小さくする力率改善回路が用いられている。

[0003] 力率改善回路の制御方式は、所定の期間、スイッチング素子をオンさせて昇圧リアクトルに電流を流し、スイッチング素子がオフすると昇圧リアクトルに流れる電流がゼロになったことを検出し、スイッチング素子を再びオンさせるDCM(Discontinuous Conduction Mode)方式と、昇圧リアクトルに流れる電流には関係なく所定の周期でPWM制御を行うCCM(Continuous Conduction Mode)方式がある。

[0004] 図1は関連する力率改善回路を示す図である。図1に示す力率改善回路は、CCM方式であり、交流電源1、交流電源1に含まれる電磁波ノイズを除去するフィルタ2、フィルタ2を介する交流電源1の交流電圧を整流する全波整流器3、全波整流器3からの整流電圧を平滑する平滑コンデンサC1を有する。

[0005] また、平滑コンデンサC1の両端には、昇圧リアクトルL1とMOSFET等からなるスイッチング素子Q0と抵抗R3とからなる第1直列回路が接続されている。スイッチング素子Q0のドレインソース間には、ダイオードD1と平滑コンデンサC2とからなる第2直列回路が接続されている。昇圧リアクトルL1とダイオードD1との直列回路の両端にはダイオードD2が接続され、平滑コンデンサC2の両端には抵抗R1と抵抗R2との直列回路が接続されている。

[0006] 制御回路10aは、所定の発振周波数のクロック信号を生成する発振回路11と、PWM制御部14とを有する。平滑コンデンサC2の電圧は抵抗R1と抵抗R2とで分圧されてPWM制御部14の端子VSEに入力される。PWM制御部14は、端子VSEの電圧

と基準電圧との誤差である誤差信号を生成し、発振回路11から出力されるクロック信号CLKの周期で三角波信号を生成し、生成された三角波信号と誤差信号とを比較することによりPWM信号を生成し、PWM信号によりスイッチング素子Q0をオン／オフさせる。

[0007] また、平滑コンデンサC1の両端には、抵抗R6と抵抗R7との直列回路が接続され、抵抗R6と抵抗R7との接続点は、制御回路10aの端子ADJを介して発振回路11に接続されている。

[0008] 抵抗R3は、昇圧リアクトルL1に流れる電流を検出し、過電流を保護するための検出抵抗である。即ち、抵抗R3に流れる電流に対応する電圧降下を抵抗R4を介してPWM制御部14に入力し、PWM制御部14が抵抗R4の電圧により過電流を保護するようにになっている。

[0009] 次に、このように構成された従来の力率改善回路の動作を説明する。まず、スイッチング素子Q0がオンすると、交流電源1、フィルタ2、全波整流器3、昇圧リアクトルL1、スイッチング素子Q0、抵抗R3、全波整流器、フィルタ2、交流電源1に沿って延在する経路を時計回りに電流が流れて、昇圧リアクトルL1にエネルギーが蓄積される。

[0010] 次に、スイッチング素子Q0がオフすると、交流電源1、フィルタ2、全波整流器3、昇圧リアクトルL1、整流ダイオードD1、平滑コンデンサC2(及び負荷(図示なし))、抵抗R3、全波整流器3、フィルタ2、交流電源1に沿って延在する経路を時計回りに電流が流れる。昇圧リアクトルL1に蓄積されたエネルギーの放出と交流電源1により平滑コンデンサC2が充電され、負荷にエネルギーが供給される。

[0011] 次に、PWM制御部14からのPWM信号により、再びスイッチング素子Q0がオンすると、交流電源1、フィルタ2、全波整流器3、昇圧リアクトルL1、スイッチング素子Q0、抵抗R3、全波整流器、フィルタ2、交流電源1に沿って延在する経路を時計回りに電流が流れる。このとき、整流ダイオードD1のアノードは、平滑コンデンサC2のマイナス側の電位になるので、平滑コンデンサC2の電圧が整流ダイオードD1に逆方向に印加される。

発明の開示

[0012] CCM方式の力率改善回路は、昇圧リアクトルL1のインダクタンス、スイッチング素子Q0のオン期間、昇圧リアクトルL1に印加される電圧等で決定される一定以上の電力を出力すると、昇圧リアクトルL1に流れる電流が直流重畳し、昇圧リアクトルL1は、常に電流が流れる。昇圧リアクトルL1が直流重畳すると、昇圧リアクトルL1から整流ダイオードD1に電流が流れているときにスイッチング素子Q0がオンし、整流ダイオードD1は、オン状態から急激に逆方向の電圧が印加され、リカバリ電流が流れる。リカバリ電流は、短いパルス状の電流であるが、大きな電流が流れるので、ノイズが発生する。このノイズを抑制するため、一般的には整流ダイオードD1に並列にスナバ回路を設けている。

[0013] 図1に示す関連する力率改善回路では、平滑コンデンサC1の両端電圧を抵抗R6と抵抗R7とで分圧した電圧を制御回路10aの端子ADJから発振回路11に入力し、発振回路11が端子ADJからの電圧により発振周波数を変化させている。このため、スイッチング素子Q0のPWM信号の周波数が端子ADJの電圧、即ち、交流電源1の電圧に比例して変化することで、発生するノイズの周波数を拡散させてノイズを抑制している。

[0014] なお、図1に示す力率改善回路と同様な従来の力率改善回路として、例えば、米国特許5459392号(特許文献1)や米国特許7123494号(特許文献2)が知られている。

[0015] 課題を解決するための手段

CCM方式の力率改善回路で発生するノイズを抑制する場合、整流ダイオードD1に並列にスナバ回路を設ける方法は、簡単で有効である。しかし、ノイズを発生させるエネルギーをスナバ回路で熱に変換させるため、発熱が大きくなり、効率が低下する。

[0016] また、上記特許文献1、特許文献2又は図1に示す力率改善回路では、交流電源1の電圧により制御回路10aの発振周波数を変化させる方法は、効率を低下させることなくノイズを抑制できる。しかし、高圧の交流電源1の交流電圧を直接検出するので検出による損失が比較的大きくなる。また、制御回路10aに新たなADJ端子を設けることになるので、力率改善回路をIC(集積回路)化するのが困難になる。

- [0017] 本発明によれば、発生するノイズを拡散でき、効率が良くしかも簡単な構成からなる力率改善回路を提供することができる。
- [0018] 前記課題を解決するために、本発明の第1の技術的側面によれば、力率改善回路は、交流電源の交流電圧を整流する整流器と、前記整流器の出力に並列に接続され、昇圧リアクトルとスイッチング素子とが直列に接続された第1直列回路と、前記スイッチング素子に並列に接続され、整流ダイオードと平滑コンデンサとが直列に接続された第2直列回路と、所定の発振周波数を有するクロック信号を生成する発振回路と、前記発振回路で生成されたクロック信号の周期で且つ前記平滑コンデンサの電圧値に応じて、前記スイッチング素子を駆動するための駆動信号を生成する制御回路とを有し、前記発振回路は、前記スイッチング素子の前記駆動信号に応じて、前記所定の周波数を変化させることを特徴とする。
- [0019] 本発明の第2の技術的側面によれば、さらに、前記発振回路は、発振用コンデンサと、前記発振用コンデンサの充電及び放電を繰り返し行うことにより前記所定の発振周波数を有するクロック信号を生成する信号生成部と、前記スイッチング素子の前記駆動信号に応じて、前記発振用コンデンサの充電電流と放電電流との少なくとも一方の電流を所定値だけ増加又は減少させることにより前記信号生成部のクロック信号の前記所定の発振周波数を変化させる周波数制御部とを有することを特徴とする。

図面の簡単な説明

- [0020] [図1]図1は、関連する力率改善回路を示す図である。
- [図2]図2は、本発明の実施例1の力率改善回路を示す図である。
- [図3]図3は、本発明の実施例1の力率改善回路に設けられた発振回路を示す図である。
- [図4]図4は、本発明の実施例1の力率改善回路の動作を示す波形図である。
- [図5]図5は、本発明の実施例2の力率改善回路に設けられた発振回路を示す図である。
- [図6]図6は、本発明の実施例2の力率改善回路の動作を示す波形図である。
- [図7]図7は、本発明の実施例3の力率改善回路に設けられた発振回路を示す図で

ある。

発明を実施するための最良の形態

[0021] 以下、本発明の力率改善回路の実施の形態を図面を参照しながら詳細に説明する。

[0022] 実施例1

図2は本発明の実施例1の力率改善回路を示す図である。図2に示す実施例1の力率改善回路は、図1に示した関連する力率改善回路に対して、全波整流器3の出力に接続された抵抗R6、抵抗R7を削除し、PWM制御部14の出力端子VGと発振回路12とを接続したことを特徴とする。

[0023] 発振回路12は、所定の発振周波数を有するクロック信号を生成し、PWM制御部14の出力端子VGからのスイッチング素子Q0のPWM信号を入力し、このPWM信号に応じて、クロック信号の所定の発振周波数を変化させる。

[0024] PWM制御部14は、発振回路12で生成されたクロック信号の周期で且つ平滑コンデンサC2の電圧値に応じて、スイッチング素子Q0をオン／オフさせるためのPWM信号を生成する。

[0025] 図3は本発明の実施例1の力率改善回路に設けられた発振回路を示す図である。図3において、電源Regとグランド間にはFETQ1と定電流源Ioscとの直列回路が接続され、定電流源Ioscの両端にはFETQ8と定電流源IADJとの直列回路が接続されている。電源Regとグランド間には、FETQ2とFETQ5との直列回路が接続されるとともに、FETQ3とFETQ6との直列回路が接続されている。FETQ5の両端にはFETQ4が接続されている。

[0026] FETQ3とFETQ6との接続点には、発振用コンデンサCosc及びコンパレータCOMP1の一端子が接続されている。電源Regとグランド間には抵抗R8と抵抗R9との直列回路が接続され、抵抗R8と抵抗R9との接続点はコンパレータCOMP1の＋端子に接続されている。

[0027] コンパレータCOMP1の出力端子はインバータINV1の入力端子に接続され、インバータINV1の出力端子はインバータINV2の入力端子及びFETQ7のゲートに接続されている。FETQ7のドレイン－ソース間は抵抗R8の両端に接続されている。イ

ンバータINV2の出力端子は、クロック信号を出力するとともに、FETQ4のゲートに接続されている。FETQ8のゲートにはPWM制御部14からPWM信号が入力されるようになっている。

[0028] コンパレータCOMP1、抵抗R8、R9及びFETQ7は、発振用コンデンサCoscの充放電動作を決定する。インバータINV1、INV2、FETQ4及びFETQ7は、発振用コンデンサCoscの充放電動作を切替える。FETQ1、Q3は、第1カレントミラー回路を構成し、定電流源Ioscの電流をFETQ3に流すことにより発振用コンデンサCoscを充電する。FETQ5、Q6は、第2カレントミラー回路を構成し、定電流源Ioscのn倍（nは1以上の任意の数値）の電流をFETQ6に流すことにより、発振用コンデンサCoscを放電する。なお、FETQ8と定電流源IADJとは、本発明の周波数制御部を構成する。

[0029] 図3に示す構成において、FETQ8と定電流源IADJとを除く全ての構成は、本発明の信号生成部を構成している。

[0030] 次にこのように構成された実施例1の力率改善回路の動作、ここでは発振回路12の動作を詳細に説明する。

[0031] まず、FETQ8がオフしている状態について説明する。発振用コンデンサCoscが充電されていない状態では、コンパレータCOMP1はHレベルを出力する。インバータINV1はLレベルを出力するので、FETQ7はオフし、抵抗R8の両端には電圧Regを抵抗R8と抵抗R9とで分圧した電圧が発生し、この電圧がコンパレータCOMP1の＋端子に入力され第1閾値となる。インバータINV2はHレベルを出力するので、FETQ4はオンし、第2カレントミラー回路はFETQ6に電流を流さない。

[0032] まず、FETQ1に定電流源Ioscの電流が流れると、第1カレントミラー回路のFETQ3にも定電流源Ioscの電流が流れるため、発振用コンデンサCoscは定電流源Ioscの電流で充電される。そして、発振用コンデンサCoscの電圧が第1閾値になると、コンパレータCOMP1の出力は反転してLレベルになる。同時に、インバータINV1はHレベルになり、FETQ7がオンする。このため、コンパレータCOMP1の＋端子は第1閾値より低い第2閾値になり、コンパレータCOMP1の出力はLレベルを維持する。

[0033] また、インバータINV2はLレベルになり、FETQ4がオフするので、第2カレントミラ

一回路が有効になり、FETQ6に電流が流れる。すると、FETQ3の電流 I_{Q3} とFETQ6の電流 I_{Q6} の差の電流($I_{Q3}-I_{Q6}$)によって発振用コンデンサ C_{osc} は放電する。このため、FETQ6にはFETQ3の電流と発振用コンデンサ C_{osc} の放電電流が流れる。

[0034] 発振用コンデンサ C_{osc} の電圧が低下して第2閾値になると、コンパレータCOMP1の出力は反転してHレベルになる。同時に、インバータINV1はLになるので、FETQ7はオフし、コンパレータCOMP1の+端子は第1閾値電圧に上昇するので、コンパレータCOMP1の出力はHレベルを維持する。また、インバータINV2はHレベルになるので、FETQ4はオンし、第2カレントミラー回路はFETQ6に電流を流さない。このため、再び発振用コンデンサ C_{osc} はFETQ3の定電流源 I_{osc} の電流で充電される。以上の動作を繰り返すことにより、クロック信号CLKが出力される。

[0035] また、実施例1では、FETQ8のゲートにPWM制御部14からPWM信号(スイッチング素子Q0を駆動する信号)が入力される。このため、PWM信号がHレベルのとき(スイッチング素子Q0を駆動しているとき)、第1カレントミラー回路のFETQ1に流れる電流は、定電流源 I_{osc} の電流と定電流源 I_{ADJ} との合計電流となる。

[0036] 発振用コンデンサ C_{osc} は、第1カレントミラー回路のFETQ3を流れる電流(FETQ1の電流と同じ)で充電されるので、発振用コンデンサ C_{osc} の電圧は、充電電流が増加した分だけ早く第1閾値に達する。このため、発振回路12から出力されるクロック信号CLKの発振周波数が上昇する。PWM信号がHレベルの期間が長くなれば、その分コンデンサ C_{osc} を充電する電流が増えることになるので、さらに発振周波数が上昇する。

[0037] PWM信号のHレベルの期間が発振用コンデンサ C_{osc} の放電期間になると、発振用コンデンサ C_{osc} は、放電電流($I_{Q3}-I_{Q6}$)で放電される。FETQ6を流れる電流は、FETQ3を流れる電流より所定の倍率で多く流れるように設定されているので、放電時間も短くなり、周波数はさらに上昇する。

[0038] このように実施例1では、PWM信号がHレベルの期間に発振用コンデンサ C_{osc} の充電電流及び放電電流を大きくすることにより、発振回路12の出力のクロック信号CLKの周波数を変えることができる。

[0039] 一般にCCM方式の力率改善回路は、平滑コンデンサC2の電圧と交流電源1の電圧(全波整流器3の出力)を検出し、平滑コンデンサC2の電圧を一定に制御し、且つ入力電流波形を交流電源1の入力電圧波形と同じになるように、スイッチング素子Q0を周波数固定でPWM制御する。このため、PWM信号は入力電圧に応じてデューティ比が変わる。

[0040] 即ち、交流電源1の入力電圧 V_{in} がゼロ付近ではスイッチング素子Q0のオン時間(PWM信号のHレベルの期間)が長くなり、交流電源1の入力電圧 V_{in} がピーク付近ではスイッチング素子Q0のオン時間(PWM信号のHレベルの期間)が短くなる。このため、実施例1の発振回路12は、交流電源1の交流電圧によって出力の信号CLKの周波数を変えることができる。

[0041] このように、制御回路10は、発振回路12の出力信号CLKの周期で、PWM信号を生成するので、PWM信号で駆動されるスイッチング素子Q0は、交流電源1の電圧に応じて変化する周波数でオン／オフ動作する。この結果、ノイズの周波数成分は拡散され、ノイズが低減し、効率が良くなる。また、抵抗R6、抵抗R7及び端子ADJを削除できるので、簡単な構成からなる力率改善回路を提供できる。

[0042] 図4は本発明の実施例1の力率改善回路の動作を示す波形図である。図4において、 V_{in} は全波整流器3の出力波形、 I_D はスイッチング素子Q0のドレイン電流、 F_{r1} は発振回路12のクロック信号CLKの周波数、PWM信号は制御回路10から出力されるPWM信号である。

[0043] 図4において、交流電源1の電圧 V_{in} がゼロボルト付近では、PWM信号のデューティ比が大きく、クロック信号CLKの周波数 F_{r1} は大きく、交流電源1の電圧 V_{in} がピーク値付近では、PWM信号のデューティ比が小さく、クロック信号CLKの周波数 F_{r1} は小さくなる。

[0044] 実施例2

図5は本発明の実施例2の力率改善回路に設けられた発振回路を示す図である。実施例2の発振回路12aは、FETQ8と定電流源IADJとの直列回路をFETQ1に並列に接続したことを特徴とする。図5に示す発振回路12aのその他の構成は、図3に示す実施例1の発振回路の構成と同一であるので、同一部分には同一符号を付し、

その説明は省略する。

[0045] 実施例1と同様に、FETQ3にはFETQ1に流れる電流に等しい電流が流れ、この電流により発振用コンデンサCoscが充電される。FETQ4がオフのとき、FETQ6にはFETQ3に流れる電流に対して、所定の倍率の電流により発振用コンデンサCoscが放電される。

[0046] 次に、FETQ8がオフすると、FETQ1には定電流源Ioscの電流が流れる。また、PWM信号によりFETQ8がオンすると、FETQ1には定電流源Ioscの電流と定電流源IADJとの差の電流($I_{osc} - I_{ADJ}$)が流れる。即ち、実施例2では、FETQ8がオンすると、発振用コンデンサCoscの充放電の電流が減少する。

[0047] このため、PWM信号のHレベルの期間が長いと、発振用コンデンサCoscの充放電の期間が長くなり、クロック信号CLKの周波数が低くなる。制御回路10は、発振回路12aのクロック信号CLKの周期で、PWM信号を生成するので、PWM信号で駆動されるスイッチング素子Q0は、交流電源1の入力電圧Vinに応じて変化する周波数でオン／オフ動作する。この結果、ノイズの周波数成分は拡散され、ノイズが低減し、効率が良くなる。従って、実施例1の効果と同様な効果が得られる。

[0048] 図6は本発明の実施例2の力率改善回路の動作を示す波形図である。図6において、Vinは全波整流器3の出力波形、IDはスイッチング素子Q0のドレイン電流、Fr2は発振回路12aのクロック信号CLKの周波数、PWM信号は制御回路10から出力されるPWM信号である。

[0049] 図6において、交流電源1の電圧Vinがゼロボルト付近では、PWM信号のデューティ比が大きく、クロック信号CLKの周波数Fr2は小さくなり、交流電源1の電圧Vinがピーク値付近では、PWM信号のデューティ比が小さく、クロック信号CLKの周波数Fr1は大きくなる。

[0050] 実施例3

図7は本発明の実施例3の力率改善回路に設けられた発振回路を示す図である。図7に示す発振回路12bは、図3に示す発振回路12の定電流源Ioscと定電流源IADJの代わりに、演算増幅器AM1、FETQ10、抵抗R10、R11を設けたことを特徴とする。

- [0051] FETQ1のドレインには、FETQ10のドレインが接続され、FETQ10のソースには抵抗R10の一端と演算増幅器AM1の一端子が接続されている。抵抗R10の他端は抵抗R11の一端とFETQ8のドレインとに接続され、抵抗R11の他端とFETQ8の他端は接地されている。演算増幅器AM1の+端子には基準電源 V_r が接続され、演算増幅器AM1の出力端子はFETQ10のゲートに接続されている。演算増幅器AM1とFETQ10はボルテージフォロウを構成する。その結果、演算増幅器AM1の+端子の電圧とFETQ10のソース電圧とが同一電圧となるように、FETQ10のゲート電圧が設定される。
- [0052] このような構成によれば、FETQ8がオフすると、FETQ10のソース電圧は上昇するため、演算増幅器AM1の一端子の電圧も上昇し、演算増幅器AM1の出力電圧、即ち、FETQ10のゲート電圧は低くなる。このため、FETQ10とFETQ1には比較的小さい電流が流れる。
- [0053] また、PWM信号によりFETQ8がオンすると、FETQ10のソース電圧は低下するため、演算増幅器AM1の一端子の電圧も低下し、演算増幅器AM1の出力電圧、即ち、FETQ10のゲート電圧は高くなる。このため、FETQ10とFETQ1には比較的大きな電流が流れる。即ち、実施例3では、FETQ8がオンすると、発振用コンデンサ C_{osc} の充放電の電流が増加する。
- [0054] このように実施例3では、PWM信号がHレベルの期間に発振用コンデンサ C_{osc} の充電電流及び放電電流を大きくすることにより、発振回路12bの出力のクロック信号CLKの周波数を変えることができる。従って、実施例1の効果と同様な効果が得られる。
- [0055] なお、実施例1乃至実施例3では、第1カレントミラー回路のFETQ3に流れる電流を、FETQ1に流れる電流と同じとしたが、FETQ3に流れる電流を、FETQ1に流れる電流に比例した電流としても同様の効果が得られる。定電流源IADJは電流源であれば定電流でなくても良い。
- [0056] また、実施例1乃至実施例3では、発振用コンデンサ C_{osc} の充放電電流をPWM信号に基づいて変化させたが、第1カレントミラー回路、第2カレントミラー回路を別の定電流源で電流を決定し、第1カレントミラー回路の電流又は第2カレントミラー回路の

電流だけをPWM信号に基づいて変化させても良い。周波数の変動は小さくなるが、第1カレントミラー回路の電流を変化させる場合、発振用コンデンサの放電電流が実施例1では減少し、実施例2では増加するので、充電期間の動作とは逆の動作をする。発振回路のデューティ比の設定によっては、発振回路の出力の周波数を増減させることができる。

- [0057] さらに、実施例1乃至実施例3では、PWM信号がHレベルのとき発振用コンデンサCoscの充放電電流を変化させたが、PWM信号がLレベルのときに発振用コンデンサCoscの充放電電流を変化させても同様の効果が得られる。

発明の効果

本発明の第1の技術的側面によれば、発振回路は、スイッチング素子の駆動信号に応じて、クロック信号の所定の発振周波数を変化させる。CCM方式の力率改善回路は、スイッチング素子の駆動信号のデューティ比が交流電源の電圧に応じて変化するので、発振回路の発振周波数、即ちスイッチング素子の駆動信号のオン／オフ周波数が交流電源の電圧に応じて変化する、発生するノイズを拡散でき、効率が良くしかも簡単な構成からなる力率改善回路を提供できる。

- [0058] また、本発明の第2の技術的側面によれば、発振回路は、発振用コンデンサの充放電電流を、スイッチング素子の駆動信号に応じて所定値だけ増加又は減少させることにより、発振周波数を変化させるので、構成を簡単化でき、力率改善回路を容易にIC化できる。

- [0059] (米国指定)

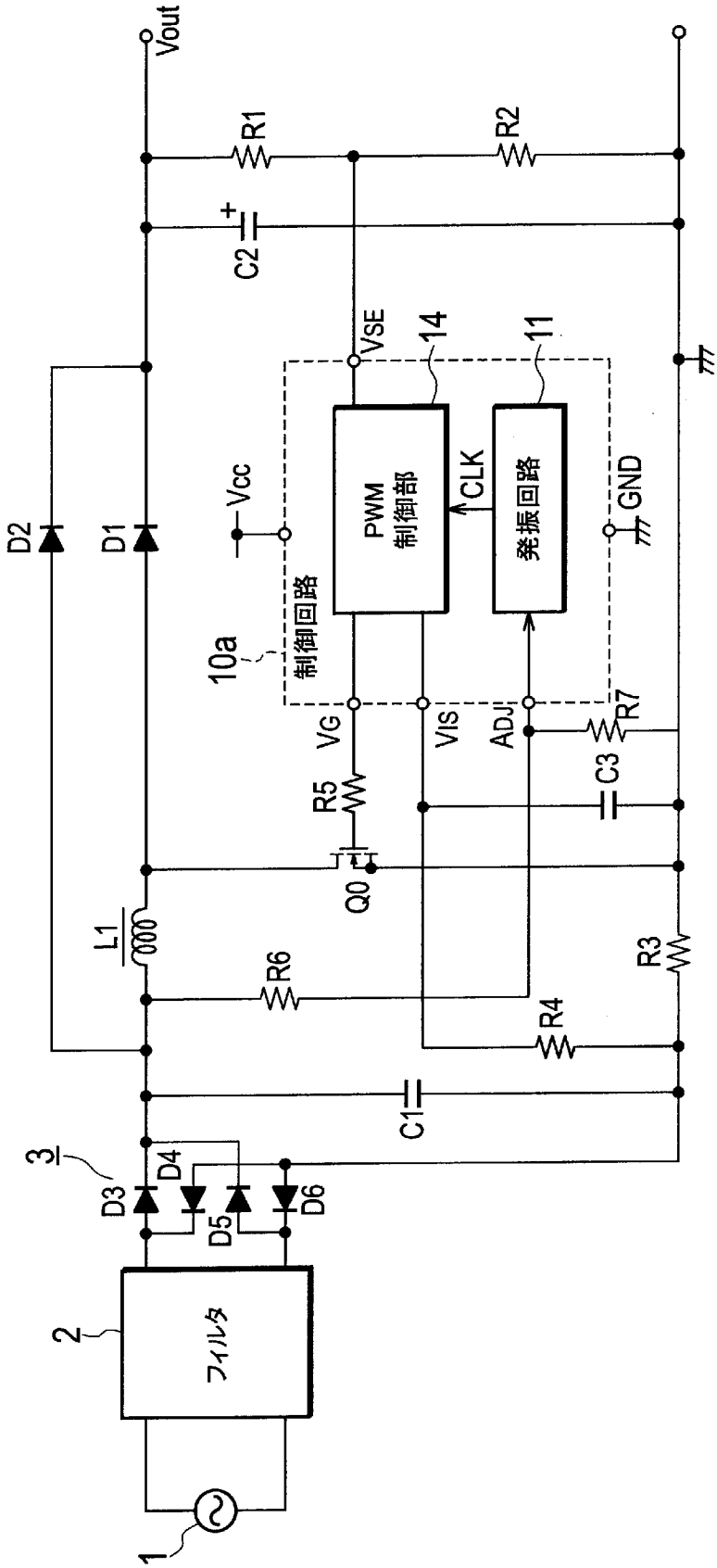
本国際特許出願は米国指定に関し、2007年5月1日出願された日本国特許出願第2007-121138号(2007年5月1日出願)について米国特許法第119条(a)に基づく優先権の利益を援用し、当該開示内容を引用する。

請求の範囲

- [1] 交流電源の交流電圧を整流する整流器と、
前記整流器の出力に並列に接続され、昇圧リアクトルとスイッチング素子とが直列に接続された第1直列回路と、
前記スイッチング素子に並列に接続され、整流ダイオードと平滑コンデンサとが直列に接続された第2直列回路と、
所定の発振周波数を有するクロック信号を生成する発振回路と、
前記発振回路で生成されたクロック信号の周期で且つ前記平滑コンデンサの電圧値に応じて、前記スイッチング素子を駆動するための駆動信号を生成する制御回路とを有し、
前記発振回路は、前記スイッチング素子の前記駆動信号に相応して前記所定の周波数を変化させることを特徴とする力率改善回路。
- [2] 前記発振回路は、
発振用コンデンサと、
前記発振用コンデンサの充電及び放電を繰り返し行うことにより前記所定の発振周波数を有するクロック信号を生成する信号生成部と、
前記スイッチング素子の前記駆動信号に応じて、前記発振用コンデンサの充電電流と放電電流との少なくとも一方の電流を所定値だけ増加又は減少させることにより前記信号生成部のクロック信号の前記所定の発振周波数を変化させる周波数制御部と
を有することを特徴とする請求項1記載の力率改善回路。

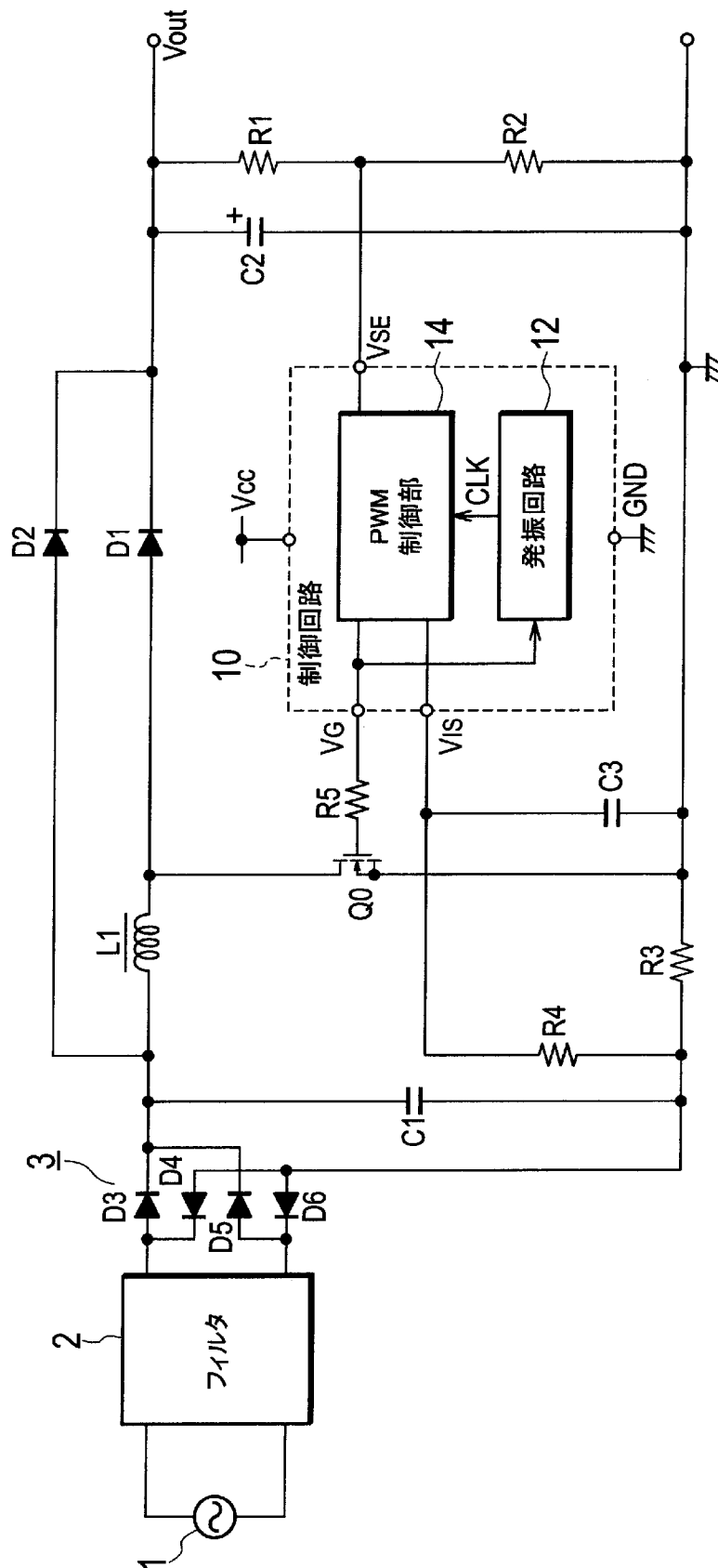
[図1]

FIG. 1



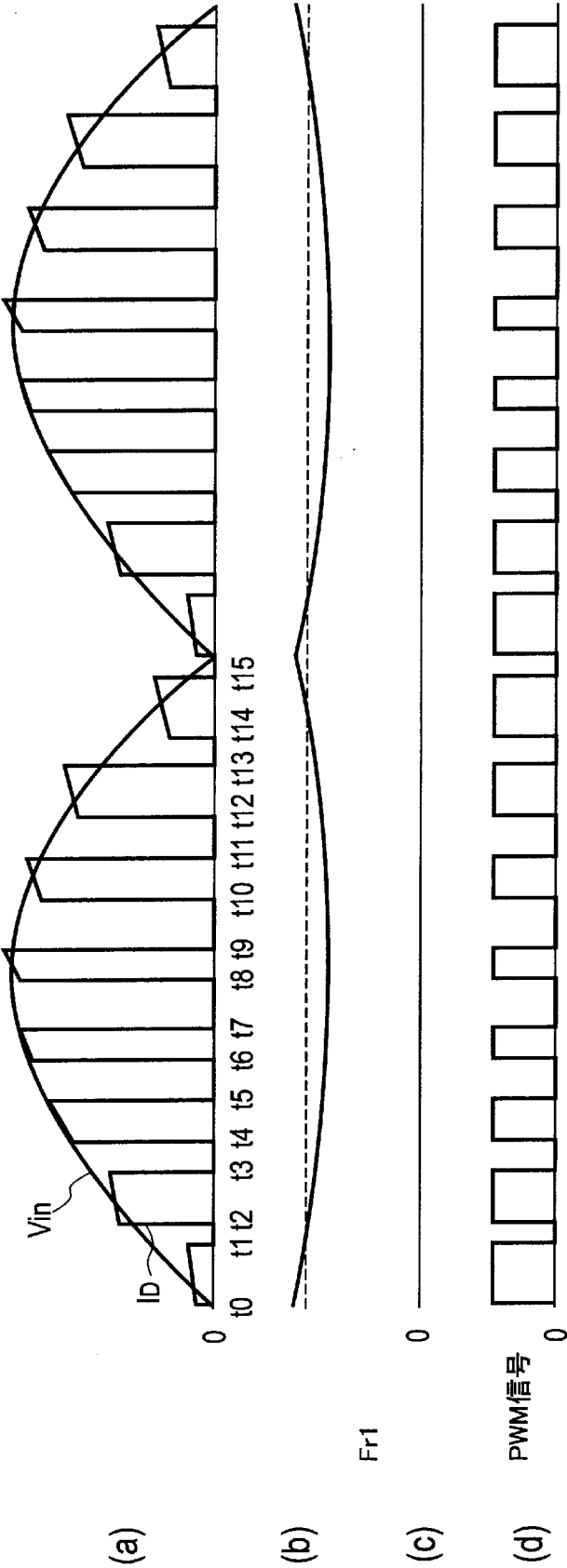
[図2]

FIG. 2



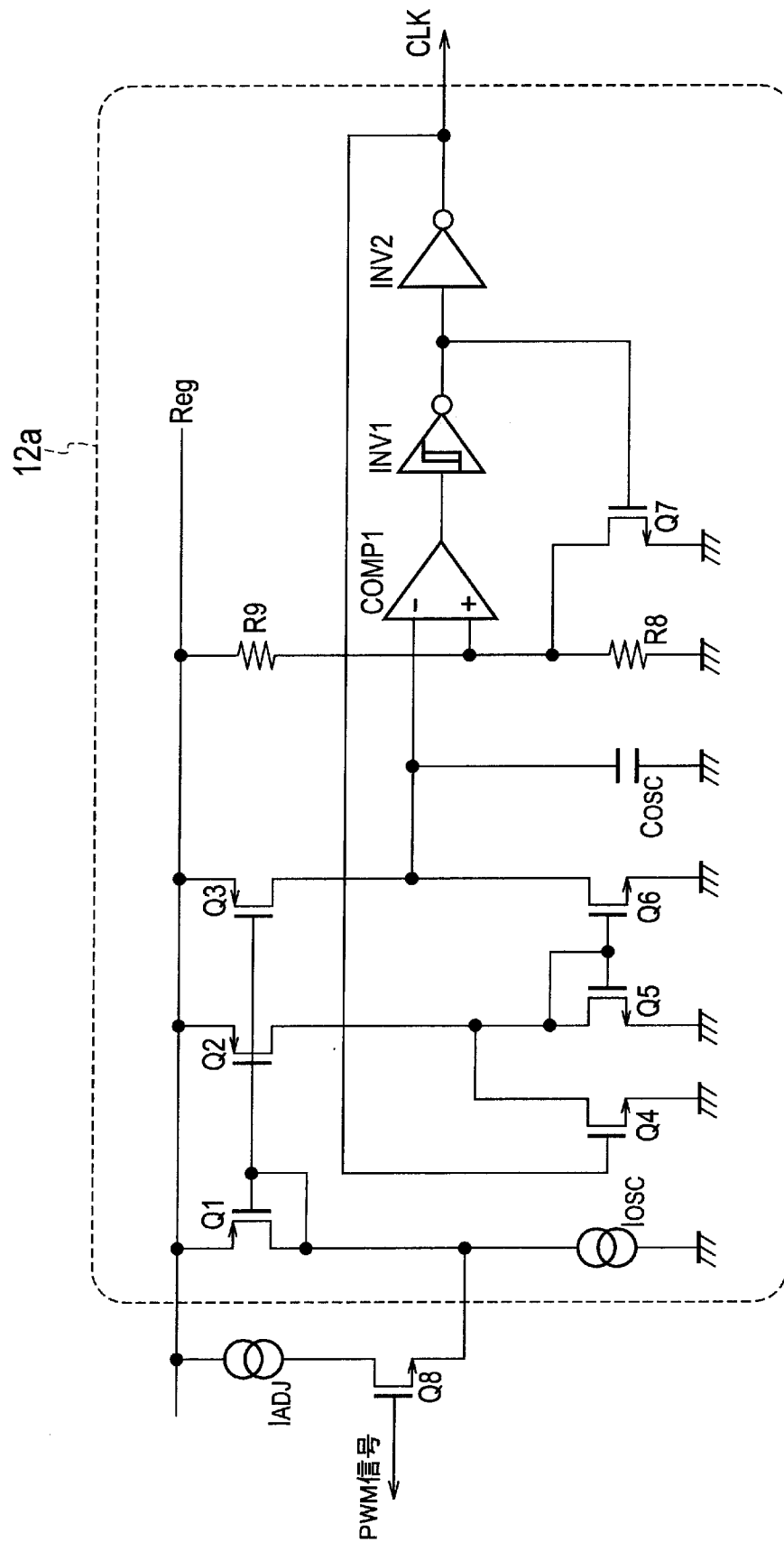
[図4]

FIG. 4



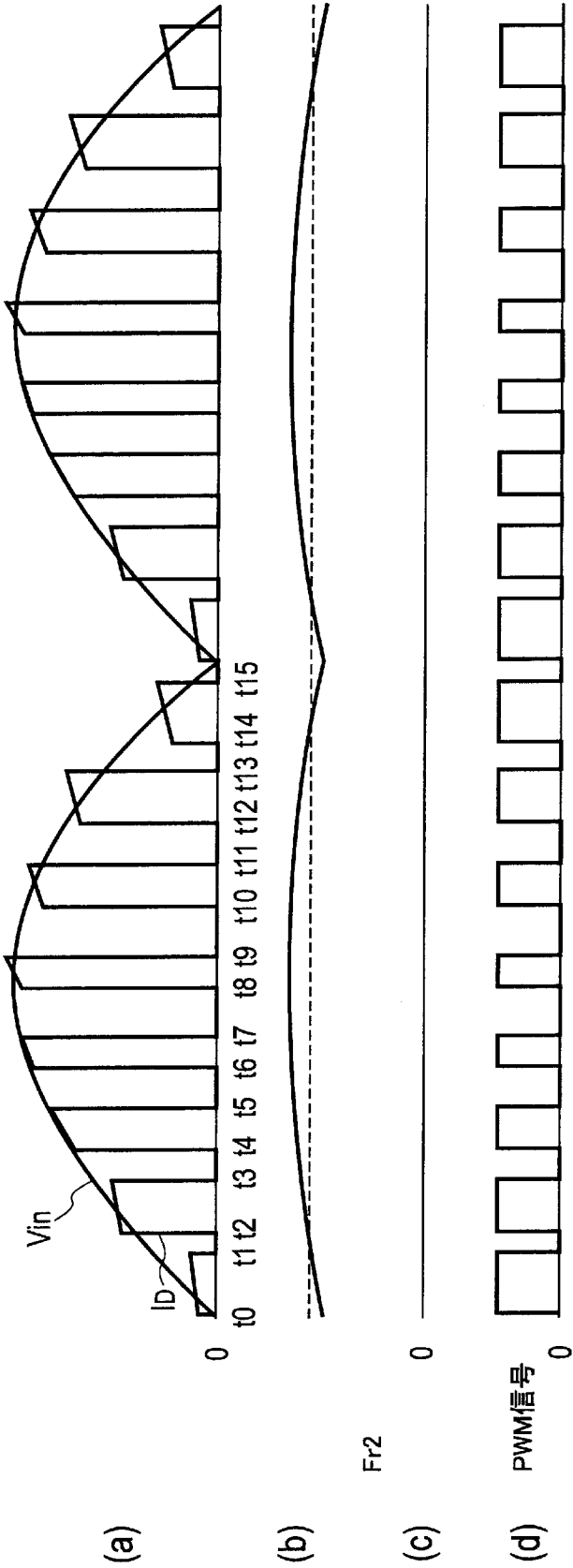
[図5]

FIG. 5



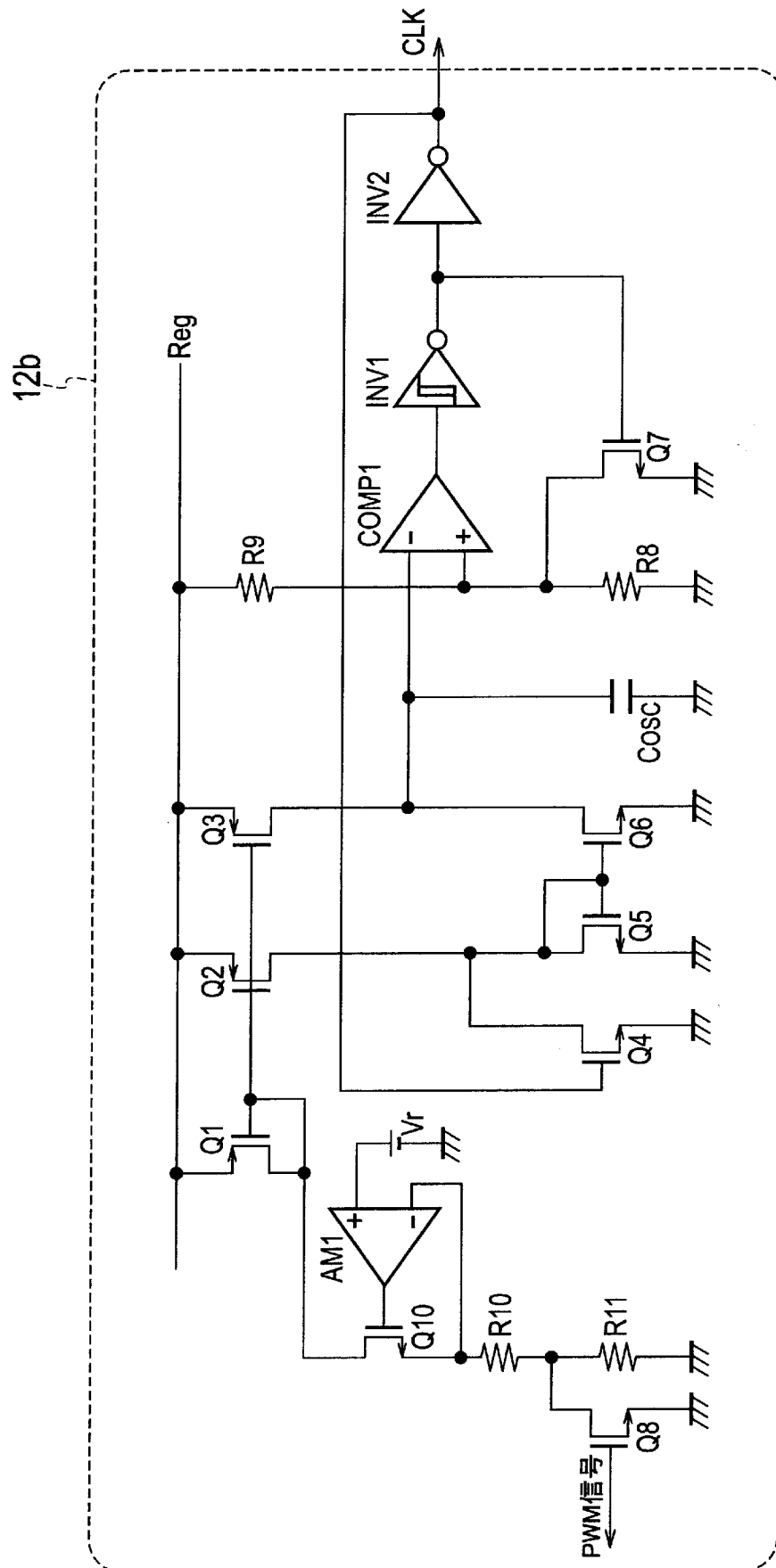
[図6]

FIG. 6



[図7]

FIG. 7



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/057677

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/12(2006.01) i, H02M3/155(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/12, H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-245150 A (Sharp Corp.), 08 September, 2000 (08.09.00), Par. Nos. [0076] to [0082]; Fig. 7 (Family: none)	1, 2
Y	JP 2003-125585 A (Sanken Electric Co., Ltd.), 25 April, 2003 (25.04.03), Full text; Fig. 1 (Family: none)	1, 2
Y	JP 2003-125582 A (Sanken Electric Co., Ltd.), 25 April, 2003 (25.04.03), Full text; Fig. 1 (Family: none)	1, 2

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 July, 2008 (07.07.08)

Date of mailing of the international search report
15 July, 2008 (15.07.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/057677

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-118445 A (Denso Corp.), 19 April, 2002 (19.04.02), Par. Nos. [0014] to [0039]; Fig. 1 (Family: none)	2

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H02M7/12(2006.01)i, H02M3/155(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02M7/12, H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2008年
日本国実用新案登録公報	1996-2008年
日本国登録実用新案公報	1994-2008年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-245150 A (シャープ株式会社) 2000.09.08, 段落【0076】-【0082】, 図7 (ファミリーなし)	1, 2
Y	JP 2003-125585 A (サンケン電気株式会社) 2003.04.25, 全文, 図1 (ファミリーなし)	1, 2
Y	JP 2003-125582 A (サンケン電気株式会社) 2003.04.25, 全文, 図1 (ファミリーなし)	1, 2

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

07.07.2008

国際調査報告の発送日

15.07.2008

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松本 泰典

3V

3328

電話番号 03-3581-1101 内線 3358

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-118445 A (株式会社デンソー) 2002. 04. 19, 段落【0014】 - 【0039】 , 図 1 (ファミリーなし)	2