

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
18. Dezember 2003 (18.12.2003)

PCT

(10) Internationale Veröffentlichungsnummer
WO 03/105231 A1

(51) Internationale Patentklassifikation⁷: H01L 27/115,
21/8246

TECHNOLOGIES FLASH GMBH & CO. KG
[DE/DE]; Königsbrücker Strasse 180, 01099 Dresden
(DE).

(21) Internationales Aktenzeichen: PCT/DE03/01573

(22) Internationales Anmeldedatum:
15. Mai 2003 (15.05.2003)

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): KLEINT, Christoph
[DE/DE]; Bolivarstr. 11, 01129 Dresden (DE). LUDWIG,
Christoph [DE/DE]; Bergerstrasse 15, 01465 Langebrück
(DE). WILLER, Josef [DE/DE]; Friedrich-Fröbel-Str.
62, 85521 Riemerling (DE). DEPPE, Joachim [DE/DE];
Bischofsweg 62, 01099 Dresden (DE).

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 25 410.9 7. Juni 2002 (07.06.2002) DE

(74) Anwalt: EPPING HERMANN FISCHER PATEN-
TANWALTSGESELLSCHAFT MBH; Ridlerstrasse 55,
80339 München (DE).

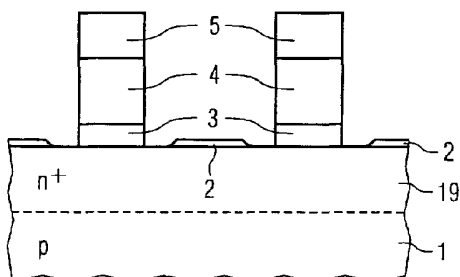
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): INFINEON TECHNOLOGIES AG [DE/DE];
St.-Martin-Str. 53, 81669 München (DE). INFINEON

(81) Bestimmungsstaaten (national): CN, JP, KR, US.

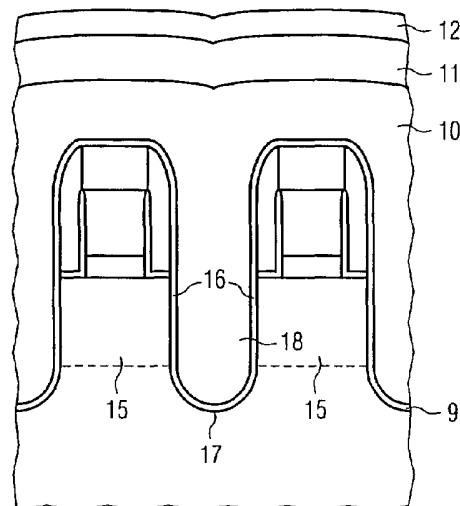
[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PRODUCING NROM-MEMORY CELLS WITH TRENCH TRANSISTORS

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG VON NROM-SPEICHERZELLEN MIT GRABENTRANSISTOREN



(57) Abstract: The invention relates to a method consisting in applying an electrically conductive bit line layer and structuring it in parts which are arranged in a parallel manner before the trench is etched into the semi-conductive material. An implantation takes place in order to fix the position of the junctions after structuring the bit line layer (3, 4) and before the trench is etched, or the bit line layer (3, 4) is structured after the implantation of the n⁺-trough (19) for the source/drain areas by using an etching stop layer (2) which is arranged on the semi-conductor body (2).



(57) Zusammenfassung: Es wird eine elektrisch leitfähige Bitleitungsschicht aufgebracht und in parallel zueinander angeordnete Anteile strukturiert, bevor der Graben in das Halbleitermaterial geätzt wird, wobei nach dem Strukturieren der Bitleitungsschicht (3, 4) und vor der Ätzung des Grabens eine Implantation zur Festlegung der Position der Junctions eingebracht wird oder nach der Implantation der n⁺-Wanne (19) für die Source-/Drain-Bereiche die Bitleitungsschicht (3, 4) unter Verwendung einer auf dem Halbleiterkörper (1) angeordneten Ätzstoppschicht (2) strukturiert wird.



WO 03/105231 A1



(84) Bestimmungsstaaten (*regional*): europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

- *mit internationalem Recherchenbericht*
- *vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen*

Beschreibung

Verfahren zur Herstellung von NROM-Speicherzellen mit Graben-
transistoren

5

Die vorliegende Erfindung betrifft ein Herstellungsverfahren
für NROMs mit Grabentransistoren und separaten Bitleitungen.

10 Kleinste nichtflüchtige Speicherzellen werden für höchste In-
tegrationsdichte bei Multimedia-Anwendungen benötigt. Die
Weiterentwicklung der Halbleitertechnik ermöglicht zunehmend
größere Speicherkapazitäten, die im Rahmen herkömmlicher Her-
stellungstechnologien jedoch nicht erreicht werden.

15 In der DE 100 39 441 A1 ist eine Speicherzelle mit einem Gra-
bentransistor beschrieben, der in einem an einer Oberseite
eines Halbleiterkörpers ausgebildeten Graben angeordnet ist.
Zwischen der in den Graben eingebrachten Gate-Elektrode und
dem daran seitlich angrenzenden Source-Bereich und dem auf
20 der anderen Seite daran angrenzenden Drain-Bereich ist je-
weils eine Oxid-Nitrid-Oxid-Schichtfolge (ONO-Schicht) als
Speicherschicht vorhanden. Diese Schichtfolge ist für das
Einfangen von Ladungsträgern (hot electrons) an Source und
Drain vorgesehen.

25

In der DE 101 29 958 ist eine Speicherzellenanordnung be-
schrieben, bei der eine weitere Verringerung der Abmessungen
der Speicherzellen bei gleichzeitig ausreichend niedrig ge-
haltener Zugriffszeit zum Schreiben und Lesen dadurch er-
30 reicht wird, dass die Bitleitungen ausreichend niederohmig
ausgebildet werden. Zu diesem Zweck sind auf den dotierten
Source-/Drain-Bereichen der einzelnen Speichertransistoren
entsprechend den Bitleitungen streifenförmig strukturierte
gesonderte Schichten oder Schichtfolgen als Bitleitungen an-
35 geordnet. Diese Schichtfolgen können dotiertes Polysilizium
oder eine metallische Schicht umfassen. Insbesondere kann die
metallische Schicht eine siliziierte Metallschicht sein, die

nach dem Verfahren hergestellt wird, das unter der Bezeichnung "Salicide" als Abkürzung von Self-aligned-Silicide bekannt ist.

5 NROM-Speicherzellen sind in der Veröffentlichung von B. Eitan et al.: "NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell" in IEEE Electron Device Letters 21, 543 (2000) beschrieben. Wegen der besonderen Materialeigenschaften sind für derartige Speicherzellen typisch Source-/Drain-Spannungen
10 von 4 bis 5 Volt während des Programmierens und Löschens erforderlich. Die Kanallängen des Speichertransistors können daher nicht wesentlich unterhalb 200 nm hergestellt werden. Es wäre jedoch wünschenswert, wenn trotz dieser Kanallänge von 200 nm die Breite der Bitleitungen so reduziert werden
15 könnte, dass eine Zellenfläche von weniger als $5 F^2$ möglich ist. Außerdem wünschenswert sind Bitleitungen mit ausreichend geringem elektrischem Widerstand, so dass auf mehrfachen Anschluss der Bitleitungen in Abständen innerhalb des Speicherzellenfeldes (bitline strapping) verzichtet werden könnte,
20 zwischen den Wortleitungen keine Kontaktlöcher für den elektrischen Anschluss der Bitleitungen hergestellt werden müssten und dadurch die zwischen den Wortleitungen erforderliche Fläche reduziert werden könnte.

25 Aufgabe der vorliegenden Erfindung ist es, anzugeben, wie bei der Herstellung von NROM-Speicherzellen die vorgenannten Anforderungen erfüllt werden können und gleichzeitig erreicht wird, die Fabrikationsstreuungen auf ein Minimum zu reduzieren.

30

Diese Aufgabe wird mit dem Verfahren mit den Merkmalen des Anspruchs 1 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

35 Bei dem Verfahren wird der Speichertransistor in einem Graben an einer Oberseite eines Halbleiterkörpers oder einer Halbleiterschicht ausgebildet. Die Gate-Elektrode wird in diesen

Graben eingebracht und ist von den seitlich daran angrenzenden Source-/Drain-Bereichen durch eine Speicherschicht, insbesondere eine ONO-Schicht, getrennt. Parallel zu den Gräben sind über den Source-/Drain-Bereichen elektrisch leitfähige Schichten angeordnet, die vorzugsweise mehrere Schichtlagen umfassen. Es ist wichtig, die Grabentiefe relativ zu der Tiefe der Source-/Drain-Bereiche festlegen zu können, so dass die Position, an der die untere Begrenzungsfläche der Source-/Drain-Bereiche an den Graben angrenzt, die so genannte Junction, genau eingestellt werden kann. Dadurch wird die zwischen den beidseitigen Junctions liegende Kanallänge sehr genau entsprechend dem vorgegebenen Wert eingestellt.

Bei dem Verfahren wird das dadurch erreicht, dass eine Implantation zur Festlegung der Position der Junctions nach dem Strukturieren der Bitleitungsschicht und vor der Ätzung des Grabens eingebracht wird oder die Strukturierung der Bitleitungsschicht nach einer Implantation der Source-/Drain-Bereiche unter Verwendung einer auf dem Halbleitermaterial angeordneten Ätzstoppschicht erfolgt. So wird erreicht, dass nach dem Strukturieren der niederohmigen Bitleitungen in jedem Fall der Abstand zwischen der Oberseite des Halbleitermaterials, in das der Graben geätzt wird, und der davon ausgehend gemessenen Tiefe der Position der Junctions genau den vorgegebenen Wert besitzt.

Falls keine gesonderte Ätzstoppschicht verwendet wird, ergibt sich die maßgebliche Position der Oberseite des Halbleitermaterials beim Ätzen der Bitleitungen. Die Tiefe der Position der Junctions wird in diesem Fall anschließend durch eine gesondert eingebrachte Implantation von Dotierstoff eingestellt, mit der die Source-/Drain-Bereiche endgültig ausgebildet werden. Falls die Implantate für die Source-/Drain-Bereiche bereits vor dem Herstellen der Bitleitungen eingebracht wurden, wird durch eine Ätzstoppschicht erreicht, dass die ursprüngliche Oberseite des Halbleitermaterials bei der Strukturierung der Bitleitungen unversehrt bleibt, so dass

auch in diesem Fall der Abstand dieser Oberseite von den Junctions den ursprünglichen Wert beibehält. Bei Verwendung einer Ätzstoppschicht, die zunächst ganzflächig aufgebracht wird, kann ein guter elektrischer Übergang zwischen den Bit-
5 leitungen und den Bereichen von Source und Drain dadurch hergestellt werden, dass die Ätzstoppschicht unter den Bitleitungen beidseitig zum Teil entfernt wird und die entstehenden Zwischenräume mit einer elektrisch leitfähigen Kontaktschicht, z. B. aus leitfähig dotiertem Polysilizium, aufge-
10 füllt werden.

Es folgt eine genauere Beschreibung von Beispielen des Verfahrens anhand der beigefügten Figuren, die jeweils Querschnitte von Zwischenprodukten nach verschiedenen Schritten
15 des Herstellungsverfahrens zeigen.

Die Figuren 1.1 bis 5.1 zeigen Querschnitte durch Zwischenprodukte nach verschiedenen Schritten eines bevorzugten ersten Ausführungsbeispiels des Verfahrens.
20

Die Figuren 2.2 bis 4.2 zeigen Querschnitte entsprechend den Figuren 2.1 bis 4.1 für ein weiteres Ausführungsbeispiel des Verfahrens.

25 Die Figuren 2.3 bis 4.3 zeigen Querschnitte entsprechend den Figuren 2.1 bis 4.1 für ein weiteres Ausführungsbeispiel des Verfahrens.

Ein bevorzugtes Ausführungsbeispiel des Verfahrens beginnt
30 gemäß dem in der Figur 1.1 dargestellten Querschnitt ausgehend von einem Halbleiterkörper oder einer auf einem Substrat aufgetragenen Halbleiterschicht, auf dem bzw. auf der zunächst in an sich bekannter Weise ein Pad-Oxid/Nitrid aufgebracht wird. Der Halbleiterkörper 1 besitzt vorzugsweise eine
35 Grunddotierung, die schwach p-leitend ist. An der mit dem Pad-Oxid versehenen Oberseite ist eine n⁺-dotierte Wanne durch Einbringen von Dotierstoff ausgebildet. Die Pad-

Oxidschicht dient später als Ätzstoppschicht 2. Es wird hier ein Oxid bevorzugt, obwohl als Ätzstoppschicht 2 im Prinzip jedes Material geeignet ist, bezüglich dessen das Material der aufzubringenden Bitleitungsschichten selektiv ätzbar ist.

5

An dieser Stelle des Verfahrens werden vorzugsweise alle STI-Isolationen (Shallow Trench Isolation) hergestellt. Diese STI-Isolationen können das gesamte Speicherzellenfeld oder einzelne Blöcke des Speicherzellenfeldes umgeben. Es können
10 zusätzlich solche Isolationsgräben zwischen den einzelnen Speicherzellen vorgesehen sein, die bezüglich des in der Figur 1.1 dargestellten Querschnitts in regelmäßigen Abständen vor und hinter der Zeichenebene und parallel zu der Zeichenebene verlaufen. Wannenheimplantate zur Ausbildung von CMOS-
15 Transistoren der Ansteuerperipherie können in diesem Stadium des Verfahrens ebenfalls eingebracht werden. Diese Verfahrensschritte werden in einer an sich bekannten Weise wie bei der Herstellung üblicher Speicherzellenfelder ausgeführt. Es wird dann eine Lackmaske 21 aufgebracht, die Öffnungen in den
20 Bereichen der herzustellenden Bitleitungen aufweist. Unter Verwendung dieser Lackmaske 21 wird die Ätzstoppschicht 2, hier das Pad-Oxid, bereichsweise entfernt.

Es wird dann gemäß Figur 2.1 mindestens eine elektrisch leitfähige Bitleitungsschicht auf die Oberseite aufgebracht. Vorzugsweise wird hier ein Schichtstapel aufgebracht, der zunächst eine erste Bitleitungsschicht 3 aus Polysilizium, eine zweite Bitleitungsschicht 4 aus einem Metall oder Metallsilicid und eine Hartmaskenschicht 5 umfasst. Zur Erleichterung
30 der nachfolgenden Lithographieschritte wird vorzugsweise in an sich bekannter Weise auf die Oberseite noch eine dünne Antireflexschicht aufgebracht, die in der Figur nicht eingezeichnet ist. Dann wird mittels einer Fotolithographie zunächst die Hartmaskenschicht 5 strukturiert, so dass anschließend die zweite Bitleitungsschicht 4 und die erste Bitleitungsschicht 3 unter Verwendung der so hergestellten Hartmaske rückgeätzt werden können.
35

Da in den Bereichen zwischen den herzustellenden Bitleitungsstegen noch die restlichen Anteile der Ätzstoppschicht 2 vorhanden sind, ergibt sich beim Erreichen dieser Ätzstoppschicht 2 ein deutliches Signal, dass der Endpunkt der Ätzung erreicht ist. Nach Bedarf kann das Ätzen der ersten Bitleitungsschicht 3, die hier vorzugsweise Polysilizium ist, noch etwas weiter fortgesetzt werden, um sicherzustellen, dass alle restlichen Anteile des Polysiliziums entfernt worden sind. Auf diese Weise erhält man die in der Figur 2.1 dargestellte Struktur, in der auch das erste n^+ -Implantat zur Ausbildung der n^+ -Wanne 19 in dem p-leitenden Halbleiterkörper 1, durch die gestrichelte Linie kenntlich gemacht, eingezeichnet ist.

Bei dem hier beschriebenen Ausführungsbeispiel ist es zweckmäßig, als nächstes die Bitleitungsstege seitlich mit einer dünnen Oxidschicht 6 zu bedecken. Das ist im Querschnitt in der Figur 3.1 dargestellt, bei der davon ausgegangen ist, dass die erste Bitleitungsschicht 3 Polysilizium und die zweite Bitleitungsschicht 4 eine metallische Schicht, insbesondere ein Metallsilizid, ist. Diese Schichten werden daher oberflächlich oxidiert, so dass die dünne Oxidschicht 6 das Halbleitermaterial und die Flanken der Bitleitungsstege bedeckt. Die Hartmaskenschicht 5, die z. B. ein Nitrid ist, wird dabei nicht oder nur geringfügig oxidiert.

Entsprechend dem Querschnitt der Figur 4.1 werden dann an den Flanken der Bitleitungsstege Spacer 7 hergestellt, vorzugsweise, indem zunächst ganzflächig eine Nitridschicht in gleichmäßiger Dicke abgeschieden wird und diese Schicht anschließend in einem anisotropen Ätzschritt so weit rückgeätzt wird, dass die in der Figur 4.1 eingezeichneten Spacer 7 übrig bleiben. Die dünne Oxidschicht 6 dient hierbei wieder als Ätzstoppschicht, so dass die Oberseite des Halbleiterkörpers 1 nicht angegriffen wird. Zwischen den hergestellten Spacern 7 werden dann jeweils die Gräben, die für die Speichertransistoren vorgesehen sind, ausgeätzt. Das geschieht mittels ei-

nes so genannten Break-Through-Step, in dem wie sonst üblich in mehreren aufeinanderfolgenden Ätzschritten zunächst die dünne Oxidschicht 6 entfernt und sodann das Halbleitermaterial in Grabenform ausgeätzt wird.

5

Es wird so der in der Figur 4.1 eingezeichnete Graben 8 ausgebildet. Wegen der zuvor vorhandenen Ätzstoppschicht 2 bzw. der Oxidschicht 6 befand sich vor der Grabenätzung die Oberseite des Halbleiterkörpers 1 in einem genau definierten Abstand zu der unteren Grenzfläche der Source-/Drain-Bereiche, wie in der Figur 4.1 gestrichelt eingezeichnet ist. Dort, wo diese Grenzfläche an die Grabenwände anstößt, befinden sich die so genannten Junctions, die den Anfang und das Ende des dazwischen angeordneten Kanalbereichs festlegen. Der Kanalbereich befindet sich an der Oberseite des Halbleitermaterials zwischen den Junctions im Bereich des Grabenbodens. Nach dem Ätzen des Grabens 8 können die Wände und der Boden des Grabens durch Aufbringen einer Opferschicht aus einem dünnen Oxid, das anschließend entfernt wird, verbessert werden. Auf die so verbesserte Oberfläche des Halbleitermaterials kann dann anschließend die vorgesehene Speicherschicht aufgebracht werden.

10

15

20

In der Figur 5.1 ist im Querschnitt dargestellt, dass die Speicherschicht 9 ganzflächig auf die in der Figur 4.1 dargestellte Struktur aufgebracht wird. Die Speicherschicht 9 ist vorzugsweise eine Oxid-Nitrid-Oxid-Schichtfolge, in der die Nitridschicht als Speichermedium und die beiden Oxidschichten als Begrenzungsschichten zum Einfangen von Ladungsträgern (trapping) vorgesehen sind. Im Bereich der Ansteuerperipherie kann die Speicherschicht 9 fotolithographisch entfernt werden und durch geeignete Dielektrikumschichten als Gate-Oxid der Ansteuertransistoren ersetzt werden.

25

30

35

Zur Herstellung der Gate-Elektroden der Speichertransistoren wird dann vorzugsweise eine erste Wortleitungsschicht 10 aus dotiertem Polysilizium aufgebracht. Derjenige Anteil dieser

ersten Wortleitungsschicht 10, der den jeweiligen Graben füllt, bildet eine betreffende Gate-Elektrode 18. Wie bereits oben erwähnt, können parallel zu den Wortleitungen STI-Isolationsgräben in das Halbleitermaterial eingebracht worden sein. Die Gräben sind daher in Längsrichtung jeweils durch das isolierende Material, insbesondere Siliziumdioxid, unterbrochen, so dass in diesem zuletzt angegebenen Verfahrensschritt das Material der ersten Wortleitungsschicht 10 nur zwischen den STI-Isolationsgräben in die Gräben 8 der Speichertransistoren eingebracht wird. Die so hergestellten Gate-Elektroden 18 sind von den Source-/Drain-Bereichen 15 durch die Speicherschicht 9 getrennt. Zwischen den Junctions 16 befindet sich unmittelbar unter der Speicherschicht 9 im Halbleitermaterial der Kanalbereich 17. Eine zweite Wortleitungsschicht 11, die auf die Oberseite der ersten Wortleitungsschicht 10 aufgebracht wird, ist vorzugsweise ein Metallsilizid, insbesondere Wolframsilizid (WSi). Eine darauf aufgebraute weitere Hartmaskenschicht 12 dient zur Strukturierung der Wortleitungen als Streifen, die in der Figur 5.1 innerhalb der Zeichenebene von links nach rechts verlaufen. Zur Fertigstellung der Speicherzellenanordnung noch erforderliche weitere Verfahrensschritte erfolgen in der vom Stand der Technik her an sich bekannten Weise.

Bei einem alternativen Ausführungsbeispiel des Verfahrens wird keine Ätzstoppschicht verwendet bzw. das zunächst aufgebraute Pad-Oxid vollständig entfernt, bevor die Bitleitungsschichten aufgebracht werden. Ein dem Verfahrensschritt der Figur 2.1 entsprechender Querschnitt ist in der Figur 2.2 dargestellt. Es ist hier die n^+ -Wanne 19 zur Ausbildung der Source-/Drain-Bereiche in dem Halbleiterkörper 1 dargestellt. Wie erkennbar ist, wird bei der Strukturierung der Bitleitungsstreifen, die hier ebenfalls eine erste Bitleitungsschicht 3 (vorzugsweise leitfähig dotiertes Polysilizium), eine zweite Bitleitungssicht 4 (vorzugsweise Wolframsilizid) und eine Hartmaskenschicht 5 umfassen, bis in das Halbleitermaterial hinein geätzt. Zwischen den Bitleitungsstreifen ist

daher die Oberseite des Halbleiterkörpers 1 entsprechend abgesenkt, so dass hier der Abstand zwischen der unteren Grenzfläche der n^+ -Wanne und der Oberseite des Halbleiterkörpers 1 verringert ist. Um die Bitleitungstreifen sicher voneinander
5 zu trennen, wird hier der Ätzprozess so weit fortgesetzt, bis alles Material der ersten Bitleitungsschicht 3 entfernt wurde.

Um auch in diesem Ausführungsbeispiel zu einem genau festgelegten Abstand der Junctions von der Oberseite des Halbleitermaterials zu gelangen, so dass bei der Grabenätzung die Kanallänge exakt eingestellt werden kann, wird hier die n^+ -Wanne 19 zunächst nur mit geringer Tiefe ausgebildet, was
10 aber ausreicht, um einen guten elektrischen Übergang zwischen den Bitleitungstreifen und dem darunter befindlichen Halbleitermaterial zu erreichen. Erst nach dem Ätzen der Bitleitungsstege erfolgt die eigentliche n^+ -Dotierung, mit der die Bereiche von Source und Drain hergestellt und die Positionen der Junctions festgelegt werden.
15

20

Die weitere Source-/Drain-Implantierung ist im Querschnitt in der Figur 3.2 mit dem dotierten n^+ -Bereich 20 dargestellt. Das unter den Bitleitungsstegen etwas flachere Profil der Dotierstoffkonzentration ist mit der gekrümmten unteren gestrichelten Linie angedeutet. Es ist daran erkennbar, dass das
25 weitere Wannens-Implantat 20 erst nach der Herstellung der Bitleitungsstege eingebracht wurde. Die Implantationsdosis wird hier so eingestellt, dass die untere Grenzfläche des weiteren Wannens-Implantates 20 einen vorgesehenen Abstand zu der Oberseite des Halbleitermaterials zwischen den Bitleitungsstegen
30 aufweist. Es schließt sich dann in der zuvor beschriebenen Weise die Herstellung einer dünnen Oxidschicht 6 an, die die Flanken der Bitleitungsstege bedeckt.

35 Der in der Figur 4.2 dargestellte Querschnitt entspricht dem Querschnitt der Figur 4.1 nach der Herstellung der Spacer 7 und dem Ätzen des Grabens 8. Die Position der Junctions, die

durch die Position der unteren Grenzfläche des weiteren Wannenheimplantates an den Wänden des Grabens 8 festgelegt wird, befindet sich in dem vorgesehenen Abstand von der Oberseite des Halbleiterkörpers im Bereich zwischen den Bitleitungsste-
5 gen, so dass beim Ätzen des Grabens 8 auch hier die Ätztiefe so genau eingestellt werden kann, dass die vorgesehene Kannallänge hergestellt wird.

Ein weiteres Ausführungsbeispiel des Verfahrens geht von ei-
10 ner ganzflächigen Ätzstoppschicht 2 aus. Die Bitleitungsschichten werden auf der Ätzstoppschicht 2, z. B. der Pad-Oxidschicht, aufgebracht. Der Querschnitt, der in der Figur 2.3 dargestellt ist, zeigt die Anordnung nach dem Ätzen der Bitleitungsstege. Es ist hier dargestellt, dass auch bei Ver-
15 wendung einer Ätzstoppschicht 2 die Implantierung des Dotierstoffes, der für die Bereiche von Source und Drain vorgesehen ist, in zwei Schritten vor dem Aufbringen der Bitleitungsschichten und nach dem Aufbringen der Bitleitungsschichten erfolgen kann. Es sind daher auch hier eine n^+ -Wanne 19 und
20 ein weiteres Wannenheimplantat 20 eingezeichnet. Da die Ätzstoppschicht 2 ganzflächig vorhanden ist, ist zunächst nur ein unzureichender elektrischer Kontakt zwischen der n^+ -Wanne 19 und der ersten Bitleitungsschicht 3 (vorzugsweise leitfähig dotiertes Polysilizium) vorhanden. Die Ätzstoppschicht 2
25 wird daher entfernt, so dass nur ein geringer Anteil der Ätzstoppschicht 2 unterhalb der Bitleitungsstege verbleibt.

In der Figur 3.3 sind die restlichen Anteile der Ätzstoppschicht 2 unter den Bitleitungsstegen im Querschnitt einge-
30 zeichnet. Es wird ganzflächig eine Kontaktschicht 13 aufgebracht, die vorzugsweise eine dünne elektrisch leitende Polysiliziumschicht ist. Mit dieser Kontaktschicht 13 werden die beidseitigen Zwischenräume zwischen dem Bitleitungsstreifen und dem Halbleiterkörper 1 aufgefüllt. Auf diese Weise ergibt
35 sich ein guter elektrischer Übergang zwischen den Bitleitungsstegen und dem Halbleitermaterial der n^+ -Wanne 19. Die

übrigen Anteile der Kontaktschicht 13 auf und zwischen den Bitleitungsstegen werden entfernt.

In der Figur 4.3 ist die mit diesem Ausführungsbeispiel des
5 Verfahrens erreichte Struktur entsprechend dem Verfahrensschritt der Figur 4.1 im Querschnitt dargestellt. Unterhalb der Bitleitungsstege befinden sich hier ein restlicher Anteil der Ätzstoppschicht 2 sowie die verbleibenden Anteile 14 der Kontaktschicht 13. Die dargestellte Struktur entspricht im
10 Übrigen der Struktur gemäß der Figur 4.1, wobei gleiche Bezugszeichen gleiche Teile bezeichnen.

Mit den verschiedenen Ausführungsbeispielen des Verfahrens ist es möglich,

- 15 a) Oxidisolationen zwischen benachbarten Kanälen in Form von STI-Isolationen vorzusehen,
- b) eine Kanallänge von etwa 200 nm auf einen vorgegebenen Wert sehr exakt einzustellen,
- c) eine Virtual-Ground-NOR-Speicherarchitektur mit metallisierten Bitleitungen zur Verminderung des Bitleitungswiderstandes auszubilden und
- 20 d) Fabrikationsstreuungen äußerst gering zu halten.

Mit diesem Verfahren ist es daher möglich, den Flächenbedarf
25 eines NROM-Speichers weiter zu verringern.

Bezugszeichenliste

	1	Halbleiterkörper
	2	Ätzstoppschicht
5	3	erste Bitleitungsschicht
	4	zweite Bitleitungsschicht
	5	Hartmaskenschicht
	6	Oxidschicht
	7	Spacer
10	8	Graben
	9	Speicherschicht
	10	erste Wortleitungsschicht
	11	zweite Wortleitungsschicht
	12	weitere Hartmaskenschicht
15	13	Kontaktschicht
	14	verbleibender Anteil der Kontaktschicht
	15	Source-/Drain-Bereich
	16	Junction
	17	Kanalbereich
20	18	Gate-Elektrode
	19	n ⁺ -Wanne
	20	weiteres Wannenheimplantat
	21	Lackmaske

Patentansprüche

1. Verfahren zur Herstellung von NROM-Speicherzellen mit einer Gate-Elektrode (18), die an einer Oberseite eines Halbleiterkörpers (1) oder einer Halbleiterschicht angeordnet und von dem Halbleitermaterial durch dielektrisches Material getrennt ist, und
- 5 mit einem Source-Bereich (15) und einem Drain-Bereich (15), die in dem Halbleitermaterial ausgebildet sind,
- 10 wobei die Gate-Elektrode (18) in einem in dem Halbleitermaterial ausgebildeten Graben (8) zwischen dem Source-Bereich und dem Drain-Bereich angeordnet ist und
- wobei zumindest zwischen dem Source-Bereich und der Gate-Elektrode und zwischen dem Drain-Bereich und der Gate-
- 15 Elektrode eine Speicherschicht (9) vorhanden ist, die zum Einfangen von Ladungsträgern vorgesehen ist,
- d a d u r c h g e k e n n z e i c h n e t , d a s s
- mindestens eine elektrisch leitfähige Bitleitungsschicht (3, 4) aufgebracht und in parallel zueinander angeordnete Anteile
- 20 strukturiert wird,
- von einer zwischen diesen Anteilen vorhandenen Oberseite her der Graben (8) in das Halbleitermaterial geätzt wird,
- wobei nach dem Strukturieren der mindestens einen elektrisch leitfähigen Bitleitungsschicht (3, 4) und vor der Ätzung des
- 25 Grabens (8) eine Implantation zur Festlegung einer Position, an der eine Begrenzung zwischen einem Source-/Drain-Bereich (15) und einem an einem unteren Anteil des Grabens vorgesehenen Kanalbereich an den Graben anstößt, eingebracht wird oder
- wobei nach einer Implantation der Source-/Drain-Bereiche (15)
- 30 die Strukturierung der mindestens einen elektrisch leitfähigen Bitleitungsschicht (3, 4) unter Verwendung einer auf dem Halbleitermaterial angeordneten Ätzstoppschicht (2) erfolgt.
2. Verfahren nach Anspruch 1, bei dem
- 35 mindestens eine elektrisch leitende Bitleitungsschicht (3, 4) aus einem Material aus der Gruppe von dotiertem Polysilizium,

Wolfram, Wolframsilizid, Kobalt, Kobaltsilizid, Titan und Titansilizid hergestellt wird.

3. Verfahren nach Anspruch 1, bei dem
5 zunächst eine Ätzstoppschicht (2) ganzflächig aufgebracht wird und die mindestens eine elektrisch leitfähige Bitleitungsschicht (3, 4) auf dieser Ätzstoppschicht (2) aufgebracht wird,
nach dem Strukturieren der Bitleitungsschicht und vor dem Ätzen des Grabens (8) die Ätzstoppschicht (2) soweit entfernt
10 wird, dass zwischen der Bitleitungsschicht (3, 4) und dem darunter vorhandenen Halbleitermaterial ein von dem Material der Ätzstoppschicht (2) freier Bereich vorhanden ist, und dieser Bereich mit einer Kontaktschicht (14) aus einem elektrisch leitfähigen Material gefüllt wird.
15

4. Verfahren nach einem der Ansprüche 1 bis 3, bei dem vor dem Ätzen des Grabens (8) die Anteile der strukturierten Bitleitungsschicht (3, 4) beidseitig mit Spacern (7) bedeckt
20 werden und der Graben (8) im Bereich zwischen diesen Spacern (7) geätzt wird.

5. Verfahren nach einem der Ansprüche 1 bis 4, bei dem nach dem Ätzen des Grabens (8) eine ONO-Speicherschicht (9)
25 aufgebracht wird und in den Graben (8) ein für die Gate-Elektrode (18) vorgesehenes Material eingebracht wird.

FIG 1.1

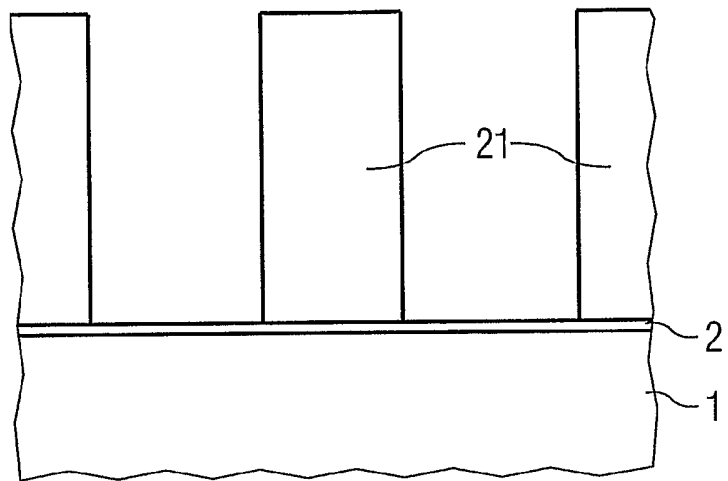


FIG 2.1

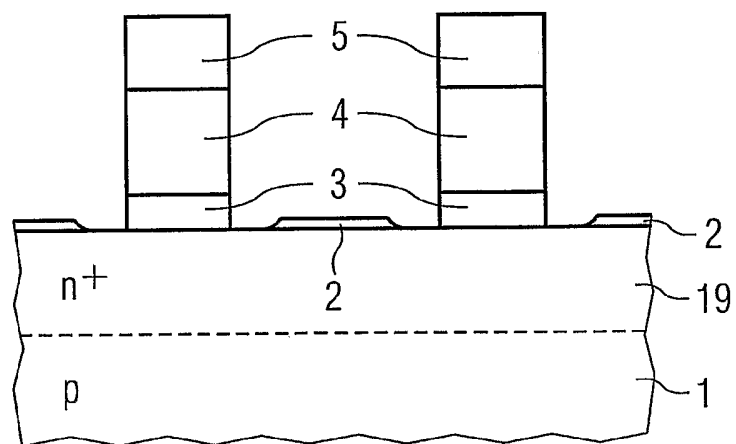


FIG 3.1

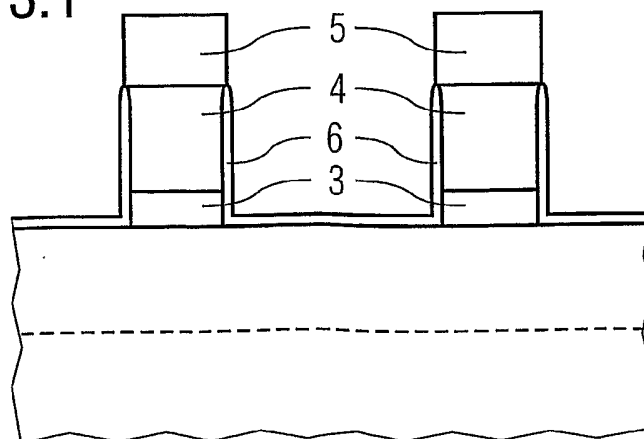


FIG 4.1

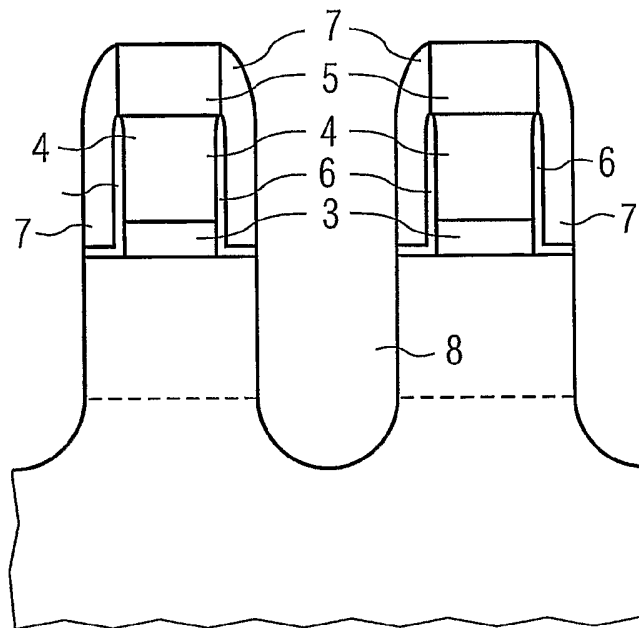
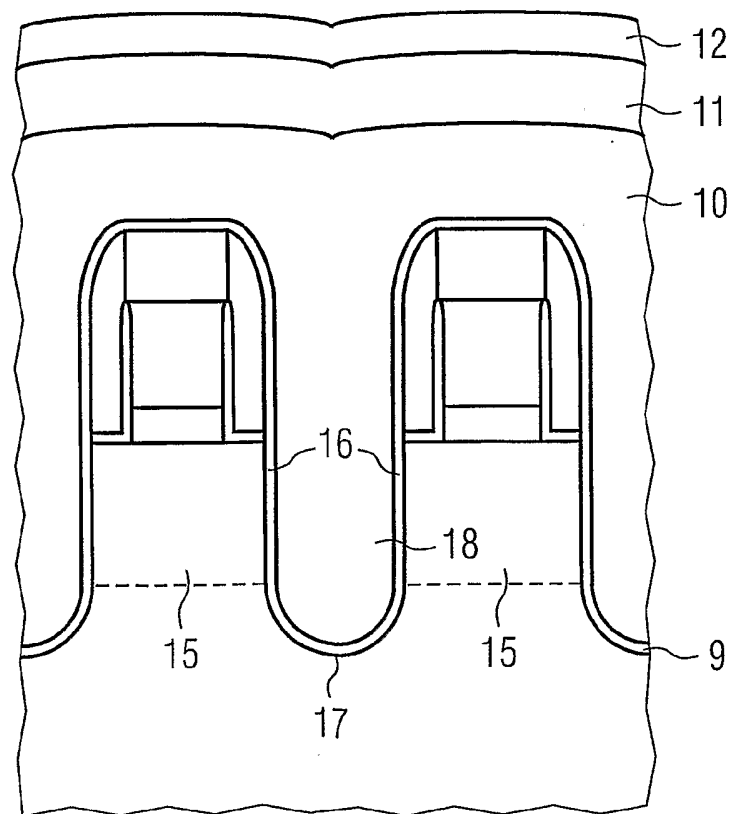


FIG 5.1



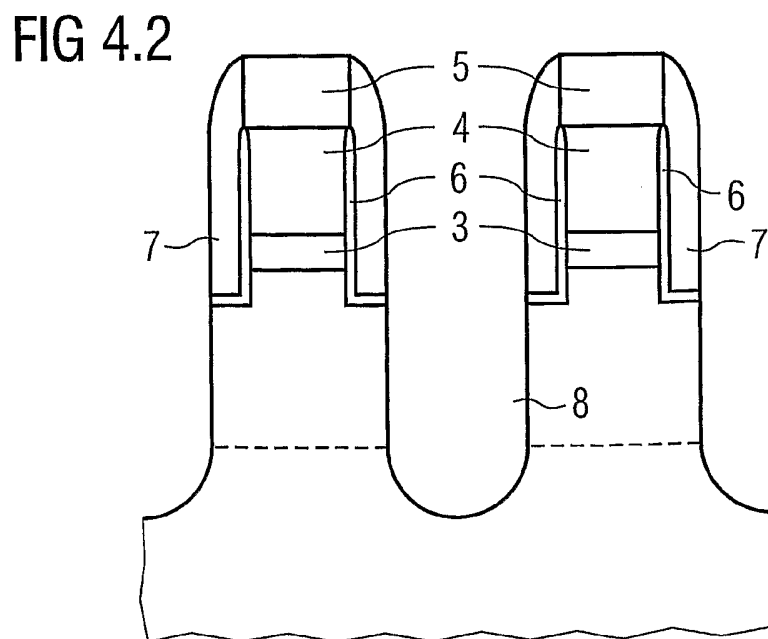
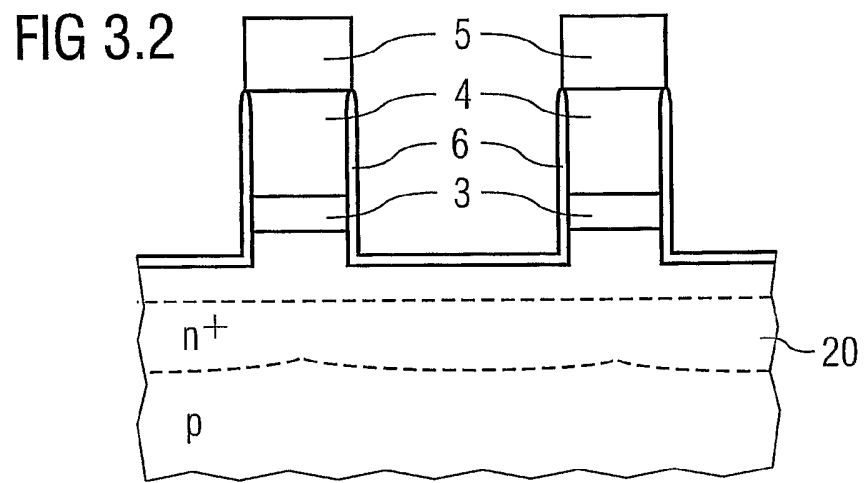
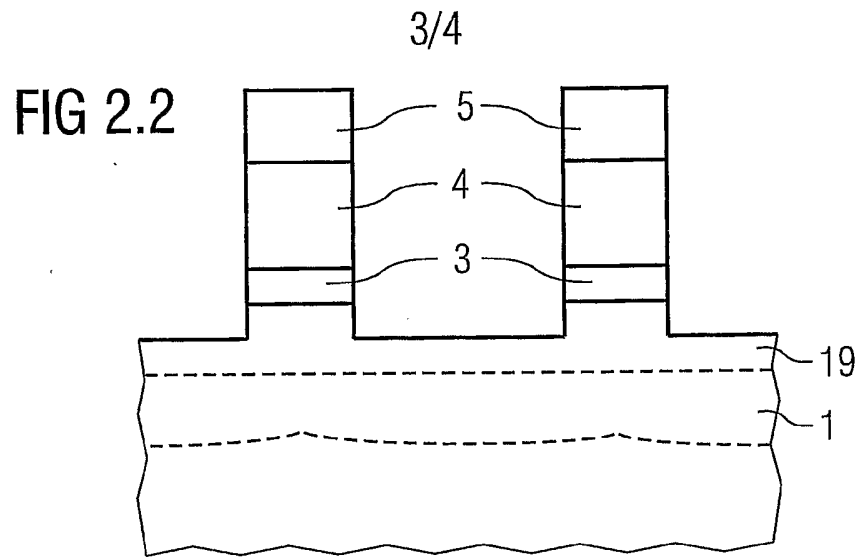


FIG 2.3

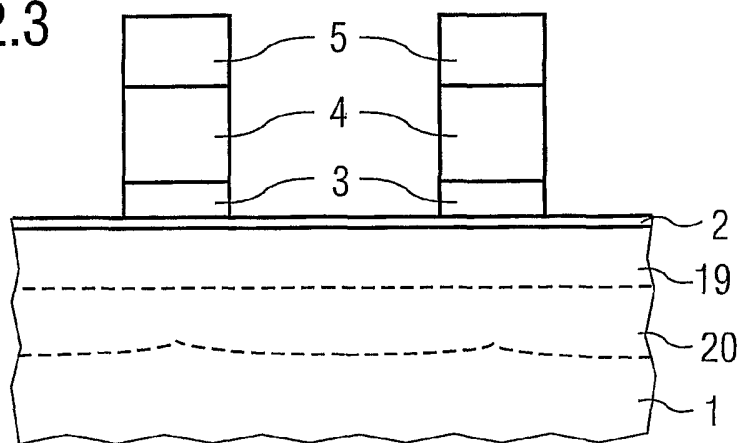


FIG 3.3

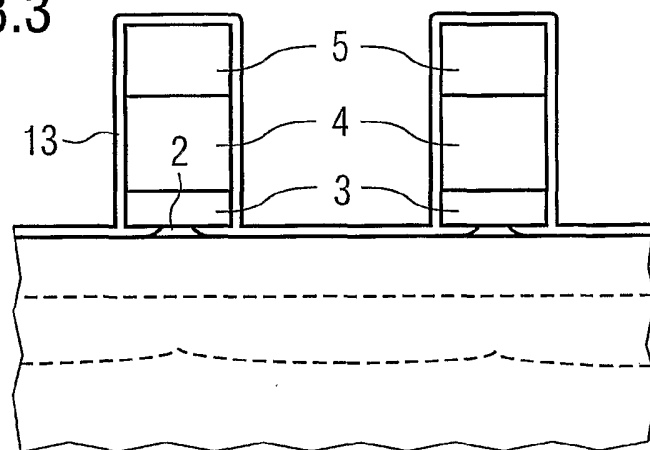
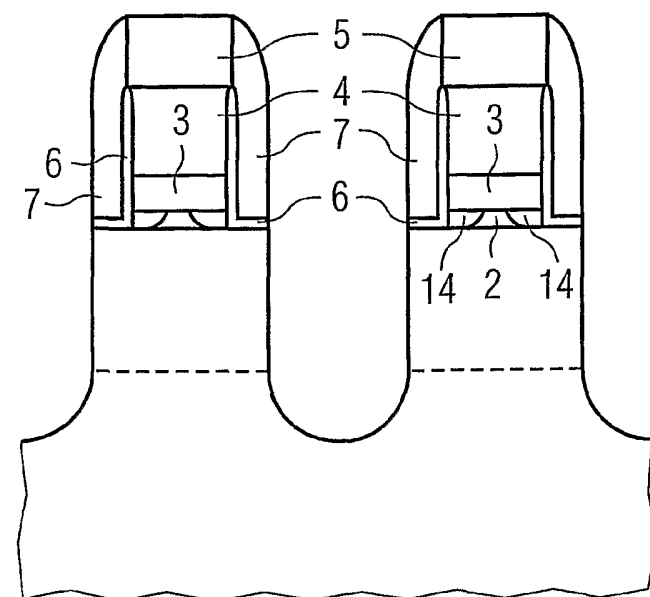


FIG 4.3



INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 03/01573

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L27/115 H01L21/8246

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	WO 03 001600 A (PALM HERBERT ; WILLER JOSEF (DE); INFINEON TECHNOLOGIES AG (DE)) 3 January 2003 (2003-01-03) cited in the application	1, 2
P, A	the whole document	3-5
A	WO 02 15276 A (INFINEON TECHNOLOGIES AG) 21 February 2002 (2002-02-21) cited in the application the whole document	1-5
A	US 5 392 237 A (IIDA KUNIO) 21 February 1995 (1995-02-21) the whole document	1-5

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

° Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

9 October 2003

Date of mailing of the international search report

16/10/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Albrecht, C.

INTERNATIONAL SEARCH REPORT

I. Information on patent family members

International Application No

PCT/DE 03/01573

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 03001600	A	03-01-2003	DE 10129958 A1	09-01-2003
			WO 03001600 A2	03-01-2003
			US 2003151091 A1	14-08-2003
			US 2003006428 A1	09-01-2003
WO 0215276	A	21-02-2002	DE 10039441 A1	28-02-2002
			BR 0113164 A	24-06-2003
			CN 1446378 T	01-10-2003
			WO 0215276 A2	21-02-2002
			EP 1307920 A2	07-05-2003
			US 2002024092 A1	28-02-2002
			US 2003015752 A1	23-01-2003
US 5392237	A	21-02-1995	JP 2889061 B2	10-05-1999
			JP 6112503 A	22-04-1994
			US 5472893 A	05-12-1995

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE 03/01573A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L27/115 H01L21/8246

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchiertes Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)
EPO-Internal, INSPEC

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
P, X	WO 03 001600 A (PALM HERBERT ; WILLER JOSEF (DE); INFINEON TECHNOLOGIES AG (DE)) 3. Januar 2003 (2003-01-03) in der Anmeldung erwähnt	1, 2
P, A	das ganze Dokument	3-5
A	WO 02 15276 A (INFINEON TECHNOLOGIES AG) 21. Februar 2002 (2002-02-21) in der Anmeldung erwähnt	1-5
A	US 5 392 237 A (IIDA KUNIO) 21. Februar 1995 (1995-02-21) das ganze Dokument	1-5

 Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

9. Oktober 2003

Absendedatum des internationalen Recherchenberichts

16/10/2003

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Albrecht, C.

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen

zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 03/01573

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
WO 03001600	A	03-01-2003	DE 10129958 A1	09-01-2003
			WO 03001600 A2	03-01-2003
			US 2003151091 A1	14-08-2003
			US 2003006428 A1	09-01-2003
WO 0215276	A	21-02-2002	DE 10039441 A1	28-02-2002
			BR 0113164 A	24-06-2003
			CN 1446378 T	01-10-2003
			WO 0215276 A2	21-02-2002
			EP 1307920 A2	07-05-2003
			US 2002024092 A1	28-02-2002
			US 2003015752 A1	23-01-2003
US 5392237	A	21-02-1995	JP 2889061 B2	10-05-1999
			JP 6112503 A	22-04-1994
			US 5472893 A	05-12-1995