

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 21 年 2 月 19 日 (2009.2.19)

【公表番号】特表 2008-536336 (P2008-536336A)

【公表日】平成 20 年 9 月 4 日 (2008.9.4)

【年通号数】公開・登録公報 2008-035

【出願番号】特願 2008-506611 (P2008-506611)

【国際特許分類】

H 0 1 L 21/8247 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 27/10 (2006.01)

【F I】

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 3 4

H 0 1 L 27/10 4 6 1

【手続補正書】

【提出日】平成 20 年 12 月 25 日 (2008.12.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

1 μm から 2 μm の深さを有する複数のトレンチ構造を含む少なくとも 1 つのアレイ領域を含む半導体基板であって、前記トレンチ構造の各々は、前記トレンチ構造の垂直側壁上に配置されたチャネルを有するセレクト・トランジスタを含み、前記トレンチ構造がトレンチ分離領域によって分離されている、半導体基板と、

前記トレンチ構造の各々の底壁の下に配置されたソース拡散部と、

前記半導体基板の表面に配置された酸化物 / 窒化物 / 酸化物ゲート誘電体を含み、前記トレンチ構造に隣接する、メモリ・トランジスタと、
を含む不揮発性ランダム・アクセス・メモリ・セル。

【請求項 2】

前記ソース拡散部の各々に接する、前記半導体基板内に配置された共通埋め込みソースをさらに含む、請求項 1 に記載の不揮発性ランダム・アクセス・メモリ・セル。

【請求項 3】

前記共通埋め込みソースは N - バンド領域である、請求項 2 に記載の不揮発性ランダム・アクセス・メモリ・セル。

【請求項 4】

前記セレクト・トランジスタは、前記トレンチ構造の各々の側壁上のセレクト・ゲート誘電体と、導電性充填材料とを含み、前記ソース拡散部が前記セレクト・トランジスタのソースであり、前記メモリ・トランジスタの拡散部が前記セレクト・トランジスタのドレインである、請求項 1 に記載の不揮発性ランダム・アクセス・メモリ・セル。

【請求項 5】

前記導電性充填材料は、ドーパされたポリシリコンを含む、請求項 4 に記載の不揮発性ランダム・アクセス・メモリ・セル。

【請求項 6】

前記セレクト・トランジスタの表面に配置されたセレクト・ゲート・コンタクトをさらに含む、請求項 1 に記載の不揮発性ランダム・アクセス・メモリ・セル。

【請求項 7】

前記セレクト・トランジスタの前記表面はシリサイドを含む、請求項 6 に記載の不揮発性ランダム・アクセス・メモリ・セル。

【請求項 8】

前記セレクト・ゲート・コンタクトは第 1 の金属レベルと接する、請求項 6 に記載の不揮発性ランダム・アクセス・メモリ・セル。

【請求項 9】

前記メモリ・トランジスタは、ビットライン・コンタクトを通してビットラインと接する拡散領域を含む、請求項 1 に記載の不揮発性ランダム・アクセス・メモリ・セル。

【請求項 10】

前記少なくとも 1 つのアレイ領域に隣接したアレイ周辺部領域をさらに含み、前記アレイ周辺部領域は、前記少なくとも 1 つのアレイ領域の前記半導体基板内に形成されたアレイ・ウェル領域とは異なる導電性を有する、前記アレイ領域を囲むウェル領域を前記半導体基板内に含む、請求項 1 に記載の不揮発性ランダム・アクセス・メモリ・セル。

【請求項 11】

1 μm から 2 μm の深さを有する複数のトレンチ構造を含む少なくとも 1 つのアレイ領域を含む半導体基板であって、前記トレンチ構造の各々は、前記トレンチ構造の垂直側壁上に配置されたチャンネルを有するセレクト・トランジスタを含む下部と、酸化物 / 窒化物 / 酸化物ゲート誘電体を含むメモリ・トランジスタを含む上部とを含む、半導体基板と、前記トレンチ構造の間に配置されたトレンチ分離領域と、前記トレンチ構造の各々の底壁の下に配置されたソース拡散部と、を含む不揮発性ランダム・アクセス・メモリ・セル。

【請求項 12】

前記セレクト・トランジスタは、前記下部における前記トレンチ構造の各々の側壁にあるセレクト・ゲート誘電体と導電性充填材料とを含み、前記ソース拡散部が前記セレクト・トランジスタのソースであり、前記メモリ・トランジスタの拡散部が前記セレクト・トランジスタのドレインである、請求項 11 に記載の不揮発性ランダム・アクセス・メモリ・セル。

【請求項 13】

前記メモリ・トランジスタは導電性材料をさらに含み、前記メモリ・トランジスタの前記導電性材料は前記セレクト・トランジスタの導電性材料と同じであり、前記セレクト・トランジスタの前記チャンネルは前記メモリ・トランジスタのチャンネルとして機能する、請求項 11 に記載の不揮発性ランダム・アクセス・メモリ・セル。

【請求項 14】

不揮発性ランダム・アクセス・メモリ・セルを形成する方法であって、複数のトレンチ構造を半導体基板のアレイ領域内に形成するステップであって、前記トレンチ構造の各々は 1 μm から 2 μm の深さを有する、ステップと、前記トレンチ構造の各々の下にソース拡散部を形成し、前記トレンチ構造の各々の側壁に沿って垂直セレクト・チャンネルを形成するステップと、前記トレンチ構造の各々の内部にセレクト・トランジスタを形成するステップと、前記トレンチ構造の間にトレンチ分離領域を設けるステップと、前記半導体基板の表面に酸化物 / 窒化物 / 酸化物ゲート誘電体を含むメモリ・トランジスタを形成するステップであって、前記メモリ・トランジスタは前記トレンチ構造に隣接して配置される、ステップと、を含む方法。

【請求項 15】

前記ソース拡散部はイオン注入によって形成され、前記垂直セレクト・チャンネルは傾斜

イオン注入プロセスを用いて形成される、請求項 14 に記載の方法。

【請求項 16】

前記セレクト・トランジスタを形成する前記ステップは、前記トレンチ構造の各々の側壁にセレクト・ゲート誘電体を形成し、次に前記トレンチ構造の各々を導電性材料で充填するステップを含む、請求項 14 に記載の方法。

【請求項 17】

前記トレンチ構造の各々の前記ソース拡散部の各々に接する共通埋め込みソースを形成するステップをさらに含む、請求項 14 に記載の方法。

【請求項 18】

前記メモリ・トランジスタの拡散部をビットライン・コンタクトを通してビットラインに接触させるステップと、前記セレクト・トランジスタの上面をセレクト・ゲート・コンタクトを通して第 1 の金属レベルに接触させるステップとをさらに含む、請求項 14 に記載の方法。

【請求項 19】

不揮発性ランダム・アクセス・メモリ・セルを形成する方法であって、

複数のトレンチ構造を半導体基板のアレイ領域内に形成するステップであって、前記トレンチ構造の各々は $1\ \mu\text{m}$ から $2\ \mu\text{m}$ の深さを有する、ステップと、

前記トレンチ構造の各々の下にソース拡散部を形成し、前記トレンチ構造の各々の側壁に沿って垂直セレクト・チャネルを形成するステップと、

前記トレンチ構造の各々の下部内にセレクト・トランジスタを形成するステップと、

前記トレンチ構造の各々の上部内に酸化物 / 窒化物 / 酸化物ゲート誘電体を含むメモリ・トランジスタを形成するステップと、

前記トレンチ構造の間にトレンチ分離領域を形成するステップと、を含む方法。

【請求項 20】

前記セレクト・トランジスタを形成する前記ステップは、前記トレンチ構造の各々の側壁にセレクト・ゲート誘電体を形成し、前記トレンチ構造の各々の前記上部から前記セレクト・ゲート誘電体を除去するステップを含む、請求項 19 に記載の方法。

【請求項 21】

前記メモリ・トランジスタの前記酸化物 / 窒化物 / 酸化物ゲート誘電体は、セレクト・ゲート誘電体としても用いられる、請求項 19 に記載の方法。

【請求項 22】

前記メモリ・トランジスタの拡散部をビットライン・コンタクトを通してビットラインに接触させるステップと、前記セレクト・トランジスタの上面をセレクト・ゲート・コンタクトを通して第 1 の金属レベルに接触させるステップとを含む、請求項 19 に記載の方法。