

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/336 (2006.01)

H01L 29/76 (2006.01)



[12] 发明专利说明书

专利号 ZL 200680001430.9

[45] 授权公告日 2009 年 6 月 24 日

[11] 授权公告号 CN 100505187C

[22] 申请日 2006.1.10

[21] 申请号 200680001430.9

[30] 优先权

[32] 2005.1.13 [33] US [31] 10/905,629

[86] 国际申请 PCT/US2006/000838 2006.1.10

[87] 国际公布 WO2006/076373 英 2006.7.20

[85] 进入国家阶段日期 2007.6.12

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 骆志炯 方隼飞 朱慧琰

[56] 参考文献

US2001/0003056A1 2001.6.7

CN1081283A 1994.1.26

CN1222754A 1999.7.14

JP10-65171A 1998.3.6

JP2-54536A 1990.2.23

US2003/0207565A1 2003.11.6

审查员 杨 燕

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 秦 晨

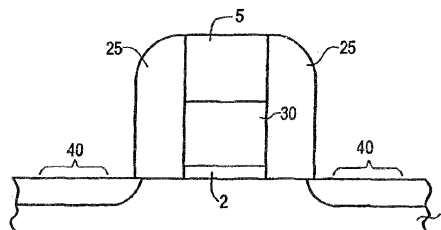
权利要求书 4 页 说明书 6 页 附图 3 页

[54] 发明名称

用于 CMOS 器件的自形成金属硅化物栅极

[57] 摘要

一种用于在 FET 器件中形成金属硅化物栅极的工艺，其中硅化物是自形成的（即，不需要单独的金属/硅反应步骤而形成），且不需要硅材料的 CMP 或回蚀。第一层硅材料（3）（多晶硅或非晶硅）形成于栅极电介质（2）上；然后在上述第一层（3）上形成一层金属（4），并在上述金属层（4）上形成第二层硅（5）。随后，实施高温（大于 700℃）处理步骤，如源/漏激活退火；该步骤有效地通过金属与第一层内的硅反应在栅极电介质（2）上形成硅化物层（30）。可以实施第二高温处理步骤（如源/漏硅化），有效地利用第二层（5）的硅形成第二硅化物层（50）。各层的厚度是这样的：在高温处理中，基本上第一层的全部和至少第二层的一部分被硅化物材料取代。因此，可以产生充分硅化的栅极结构。



1. 一种用于在 FET 器件制作工艺中形成硅化的栅极结构(100)的方法, 该栅极结构(100)具有在基片(1)上的栅极电介质(2), 该制作工艺包括至少一个高温工艺, 该方法包括以下步骤:

形成覆于栅极电介质(2)上的第一层硅材料(3);

在第一层(3)上形成一层金属(4);

在金属层(4)上形成第二层硅材料(5); 以及

在所述形成步骤之后实施高温工艺, 其中高温工艺通过金属与第一层内的硅材料的反应而有效地形成与栅极电介质接触的第一硅化物层, 由此第一层内的硅材料被第一硅化物层内的硅化物材料所取代。

2. 根据权利要求 1 的方法, 其中第一层(3)、金属层(4)和第二层(5)被形成具有这样的厚度: 使得作为高温工艺的结果, 第一层(3)的全部和第二层(5)的至少一部分与金属反应而形成硅化物材料(30)。

3. 根据权利要求 1 的方法, 其中在高于 700°C 的温度下实施高温工艺。

4. 根据权利要求 1 的方法, 其中高温工艺为 FET 器件的源和漏部分(40)的退火工艺。

5. 根据权利要求 1 的方法, 其中第一层内的硅材料为多晶硅和非晶硅之一, 且第二层内的硅材料为多晶硅和非晶硅之一。

6. 根据权利要求 1 的方法, 其中金属是 W、Ti、Pt、Ta、Nb、Hf 和 Mo 其中之一。

7. 根据权利要求 1 的方法, 其中

高温工艺包括第一高温工艺和第二高温工艺，第二高温工艺紧随第一高温处理步骤之后进行，以及

第二高温工艺有效地利用第二层内的硅材料形成第二硅化物层，第二硅化物层覆于第一硅化物层上并与其接触。

8. 根据权利要求 7 的方法，其中第二高温工艺为 FET 器件的源和漏部分(40)的硅化工艺，使得在所述源和漏部分中形成的硅化物与第二硅化物层中的材料相同。

9. 根据权利要求 7 的方法，其中第一高温工艺与第二高温工艺导致第一层(3)和第二层(5)内的所有硅材料被硅化物材料所取代。

10. 根据权利要求 1 的方法，其中高温工艺包括第一高温工艺和第二高温工艺，第二高温工艺紧接着第一高温处理步骤进行，以及

第二高温工艺有效地由第二层内的硅材料形成第二硅化物层，第二硅化物层覆于第二层的剩余部分之上。

11. 根据权利要求 10 的方法，其中第二高温工艺为对 FET 器件的源和漏部分的硅化工艺，使得形成于所述源和漏部分内的硅化物与第二硅化物层的材料相同。

12. 根据权利要求 10 的方法，其中在高于 700°C 的温度下进行第二高温工艺。

13. 一种用于在 FET 器件制作工艺中形成硅化的栅极结构的方法，该栅极结构具有在基片上的栅极电介质，该方法包括以下步骤：

形成覆于栅极电介质(2)上的第一层硅材料(3)；

在第一层(3)上形成一层金属(4)；

在金属层(4)上形成第二层硅材料(5)；

实施第一高温工艺,通过金属与第一层内的硅材料的反应而在栅极电介质(2)之上形成第一硅化物层(30);以及

实施第二高温工艺步骤,以在第一硅化物层(30)之上形成第二硅化物层(50),其中作为第一和第二高温工艺的结果,所有的第一层硅材料(3)和第二层硅材料(5)被反应而形成硅化的栅极。

14. 根据权利要求 13 的方法,其中第一高温工艺和第二高温工艺步骤在高于 700°C 的温度下进行。

15. 根据权利要求 13 的方法,其中第一高温工艺为 FET 器件的源和漏部分(41)的退火工艺。

16. 根据权利要求 13 的方法,其中第二高温工艺为 FET 器件的源和漏部分(41)的硅化工艺。

17. 根据权利要求 13 的方法,其中金属是 W、 Ti、 Pt、 Ta、 Nb、 Hf 和 Mo 其中之一。

18. 根据权利要求 13 的方法,其中第一层内的硅材料为多晶硅和非晶硅之一,第二层内的硅材料为多晶硅和非晶硅之一。

19. 根据权利要求 13 的方法,其中
作为第一高温工艺的结果,第一硅化物层覆于硅材料的剩余层之上,剩余层与栅极电介质接触,以及
作为第二高温工艺的结果,硅材料被反应而生成与栅极电介质接触的硅化物层。

20. 一种 FET 器件的栅极结构,包括:
基片(1)上的栅极电介质(2);

覆于栅极电介质(2)上并与其接触的第一层第一硅化物(30); 以及
覆于第一硅化物层(30)上的第二层第二硅化物(50), 其中
所述第二层(50)为与 FET 的源和漏区(41)中的硅化物相同的材料, 以及
第一硅化物为金属硅化物(31), 所述金属是 W、 Ti、 Pt、 Ta、
Nb、 Hf 和 Mo 其中之一。

用于 CMOS 器件的自形成金属硅化物栅极

技术领域

本发明涉及半导体器件的制造,以及尤其是互补金属氧化物半导体(CMOS) FET 器件的制造。更尤其的是,本发明涉及在上述器件中硅化的金属栅极的形成。

本发明在半导体制造领域具有实用性。

背景技术

正在经历的电子器件元件尺寸的降低引起了必须通过新型材料和制造技术来解决的器件性能上的问题。就高性能 CMOS 器件的栅极结构而言上述问题尤其尖锐。图 1 示意地显示了典型的 CMOS 栅极结构。栅极结构 100(通常被称为栅极叠层)制作于基片 1 的表面,基片通常为半导体晶片(例如, Si、Ge、SiGe 以及隐埋绝缘体上的半导体)。源和漏区 22、23 形成于晶片表面附近。栅极结构 100 包括覆于电介质层 112 上的导电元件 110(通常为多晶硅;分别为 p+掺杂以及 n+掺杂的 PFETs 以及 NFETs)。在当今的器件中,栅极电介质的等效氧化物厚度已经被降低到小于 2 nm。同时,线宽已经被降低使得栅极结构 100 的横向伸展目前处于亚-65 nm 范围内。

以当今栅极电介质厚度,期望使在栅极被导通以及缺乏电荷的区域在多晶硅/电介质界面形成时发生的(图 1 中的界面 112a)多晶硅耗尽效应达到最小。该耗尽区域的出现降低了栅极的电容,因此增加了电学厚度,结果使器件性能降低。如果可以消除多晶硅耗尽区,将会降低电介质厚度,而不会显著增加泄漏电流。这将允许在不进一步降低栅极电介质 112 的厚度下改善器件的性能。

由于可以获得诸多好处,因此,期望从栅极结构去除多晶硅(或至少从与栅极电介质的接触去除多晶硅)。多晶硅耗尽效应的消除将减

小栅极电介质的有效电学厚度。多晶硅与栅极电介质材料之间的交互作用将会被避免，随之又将避免硼渗透问题。这将导致消耗更少的功率而又更快的器件。用其他材料替代多晶硅也可以使与高k栅极电介质兼容的栅极叠层的新设计成为可能。

最近，对用金属硅化物栅极电极替代多晶硅栅极导体已经出现了极大的兴趣。通常，硅化栅极的形成涉及使金属层与位于其下的硅层(多晶硅或非晶硅)反应，随之与栅极电介质接触。与传统的多晶硅栅极制作相比，需要相当大数量的附加工艺步骤。此外，典型的硅化栅极制作方案需要多晶硅层的化学机械抛光(CMP)或回蚀。上述工艺在多晶硅的厚度上通常不能提供充分的均匀性(在整个晶片上)。这随之导致了低质量的硅化栅极以及低器件产出率。

因此，对使附加步骤的数目达到最小，并避免与传统制作技术相关的均匀性问题的金属硅化物栅极制作工艺有着需求。

发明内容

本发明通过提供金属硅化物栅极自形成的工艺(即，不需要单独的金属/硅反应步骤而形成)解决了上述的需求。不需要多晶硅的CMP或回蚀，与传统的多晶硅栅极工艺相比，仅使用了一个附加步骤。根据本发明的第一个方面，这可通过在上述栅极电介质上形成第一层硅材料(可以是多晶硅或非晶硅)，在上述第一层上形成一层金属，然后在上述金属层上形成第二层硅材料而实现。在形成上述层后，实施至少一个高温($> 700^{\circ}\text{C}$)处理步骤；该处理步骤有效地通过金属与第一层的硅的反应在栅极电介质上形成第一硅化物层。各层的厚度使得：在第一高温处理步骤中，第一层的至少一部分和第二层的至少一部分与金属反应生成硅化物材料。可以实施第二高温处理步骤，它有效地从第二层的硅来形成第二硅化物层；第二硅化物层位于第一硅化物层之上并与其接触。由于高温工艺的结果，基本上第一层内所有的硅被硅化物材料所取代。

本发明的一个实施例中，第一高温处理步骤为针对FET器件源

和漏部分的退火步骤；或者，该步骤可以是在后续处理中进行的任何其他高温退火步骤。第二高温处理步骤是针对 FET 器件源和漏部分的硅化工艺。金属可以是 W、Ti、Pt、Ta、Nb、Hf 和 Mo 之一。基本上所有的硅被反应而形成硅化物材料，结果产生充分硅化的栅极。

在本发明的另一个实施例中，紧接着第一高温处理步骤进行的第二高温处理步骤，有效地由第二层的硅材料来形成第二硅化物层；该第二硅化物层覆于第二层内的硅的剩余部分之上。

跟据本发明的第二方面，提供了一种 FET 器件的栅极结构，包括基片上的栅极电介质、覆于栅极电介质之上并与其接触的第一硅化物的第一层，以及覆于第一硅化物层上的第二硅化物的第二层。第二层为与 FET 的源和漏区域内硅化物相同的材料。栅极结构可以被充分地硅化（即，覆于栅极电介质上的材料基本上可以由第一和第二层内的硅化物构成）。或者，栅极结构可以包括第一和第二硅化物层之间的第三层硅。

附图说明

图 1 示意地示出了包括多晶硅栅极导体的传统 CMOS 结构。

图 2 根据本发明实施例示出了基片上电介质、硅和金属层的沉积。

图 3 根据本发明实施例示出了在形成源和漏区之前的栅极结构。

图 4A 根据本发明实施例示出了在与栅极电介质接触的金属硅化物形成之后的栅极结构。

图 4B 根据本发明另一个实施例示出了在两个高温工艺中的第一个中的金属硅化物形成后的栅极结构。

图 5 根据本发明实施例示出了完整的栅极结构以及源和漏区

图 6 根据本发明另一个实施例示出了完整的栅极结构以及源和漏区。

具体实施方式

下面的描述中，假设使用传统的 CMOS 制作技术直至栅极结构

的形成的初始阶段。图 2 示出了用于形成栅极的沉积步骤的顺序。栅极电介质层 2 首先形成于基片 1 上。基片 1 可以是晶片或块状半导体 (Si、Ge、SiGe 以及诸如此类)或是绝缘体上的半导体材料(氧化物、氮化物、氧氮化物以及诸如此类)。栅极电介质 2 可以是氧化物、氧氮化物、高 k 材料、 HfO_2 以及诸如此类。在栅极电介质上沉积硅材料薄层 3, 然后在其上沉积一层金属 4。在本实施例中, 硅材料为多晶硅; 材料可以是非晶硅。挑选具有热稳定硅化物的金属作为金属层 4, 该硅化物通过高温($> 700^\circ\text{C}$)反应形成; 满足上述需要的金属包括 W、Ti、Pt、Ta、Nb、Hf 和 Mo。选择层 3 和 4 的厚度以保证层 3 内硅材料在随后进行的高温工艺中充分地硅化。另外, 可以在沉积金属层 4 之前对层 3 内的硅进行掺杂, 以使随后形成的硅化物具有适合于正在制作的器件类型(例如 PFET 或 NFET)的功函。

硅材料的另一层 5(本实施例中的多晶硅; 或者非晶硅)沉积于金属层 4 的顶部。将会意识到的是, 在本发明的该实施例中, 与传统的栅极制作工艺比较, 实施了一个额外的沉积步骤; 即, 硅层作为两层沉积而不是单一的一层。

然后利用光刻胶 10 对基片进行构图, 并刻蚀层 3-5 以限定栅极结构。图 3 显示了上述刻蚀工艺的结果。然后利用本领域已知的技术, 实施了进一步的工艺步骤, 产生包括分隔件 25 与源和漏区 40 的栅极结构。在此所使用的典型的工艺为源和漏的高温激活退火。在该退火步骤中, 金属层 4 与下方的硅材料层 3 反应生成硅化物层 30(例如 WSi_x 、 TiSi_x 、 PtSi_x 、 TaSi_x 、 NbSi_x 、 HfSi_x 、 MoSi_x)。正如上面所指出的, 在本实施例中, 选择硅层 3 和金属层 4 的厚度使层 3 中的硅材料被充分地硅化 (即, 硅层 3 被硅化物层所取代)。因此, 硅化物 30 与栅极电介质 2、来源于硅化物上方的层 5 的未反应的硅材料接触, 如图 4A 所示。

或者, 如果使用了多于一个的高温工艺, 对于第一个高温工艺(例如激活退火)来说, 没有使层 3 内所有的硅材料与层 4 内的金属反应(使得层 3 没有完全硅化)是可能的。尤其是, 当第一个高温工艺具有有限

的热预算,就可能会是该情况。在此情况下,如图 4B 所示,在第一个高温工艺后硅材料的剩余层 33 处于栅极电介质上,而硅化物层 31 为富金属相的硅化物。在第二高温工艺中(下面详细讨论),层 33 内的硅材料反应而生成硅化物材料(与层 30 内的材料相同),使得在第二高温工艺后,硅材料层 3 被充分硅化。

然后在 FET 结构上沉积金属(例如 Ni、Co、Ti、Pt 以及诸如此类)使得金属与层 5 中的硅材料以及源/漏区 40 接触。然后实施进一步的硅化物形成工艺(为本领域已知)以形成源和漏中的导电硅化物区 41。该相同工艺导致栅极顶端的硅与金属反应而在栅极上部形成硅化物区 50(并且如果有的话,层 33 内的剩余硅材料也转化为硅化物)。所产生的结构如图 5 所示。因此,源/漏区 41 以及栅极区域 50 内的硅化物材料是相同的;栅极下部的硅化物 30 可以是与区 50 中相同的材料或者是不同的材料。(在下硅化物层 30 和上硅化物层 50 之间也可以有过渡层,具有硅化物材料的混合物。)因此,栅极结构中最初沉积的硅被硅化物材料所取代;即,栅极结构被所谓地完全硅化。将会意识到的是,与传统的 CMOS 制作工艺比较,完全硅化的栅极仅通过一个附加的沉积工艺步骤产生,而不需要多对晶硅层的 CMP 或刻蚀工艺。而且,栅极材料的硅化的发生缘于随后的高温工艺;在栅极中形成硅化物层不需要单独的工艺。

在本发明的另一个实例中,选择硅层 5 的厚度以使覆于硅化物 30 上的硅材料在源/漏硅化工艺过程中不完全转化为硅化物。因此,在栅极电介质上将会有三种栅极材料;硅化物 30、硅 55 和硅化物 50(与源/漏区 41 相同的硅化物材料)。图 6 显示了该结构。

如上所述,本发明的栅极制作工艺比传统工艺更简单,并允许自对准硅化物栅极导体的自动形成。

尽管已经结合具体的优选实施例对本发明进行了描述,在不偏离本发明的范畴及精神实质的情况下,可以进行许多替换、修改和变更,这对那些本领域的技术人员来说是显而易见的。因此,本发明意欲包括所有适合本发明的范畴和精神实质以及随附的权利要求书中的上述

替换、修改和变更。

工业可应用性

本发明在半导体制造领域具有效用并可以有利性地应用到所有大规模集成电路芯片，在包括通讯、电子、医疗器械、航空应用以及诸如此类的各种应用中发挥效用。

图 1

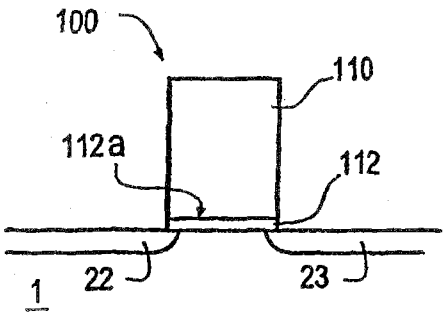


图 2

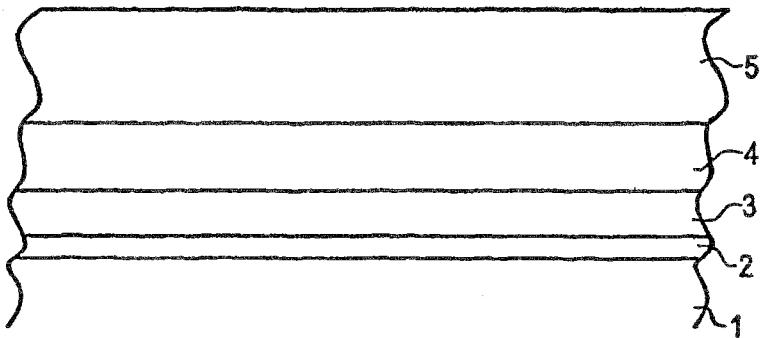


图 3

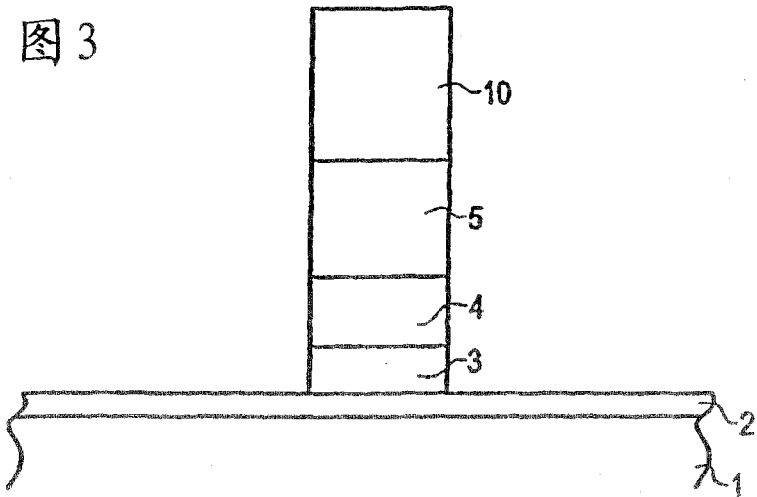


图 4A

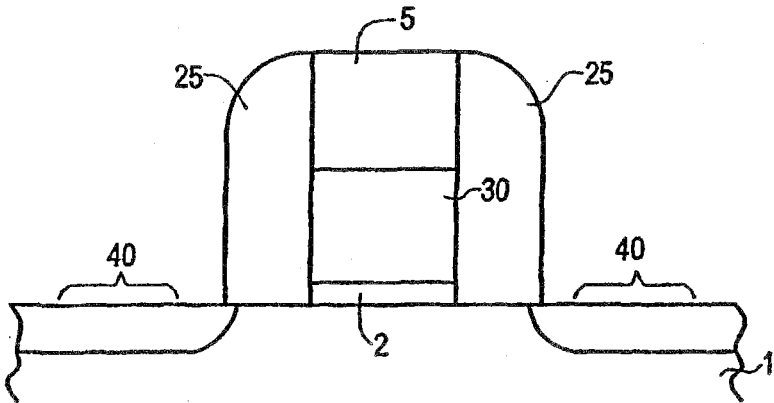


图 4B

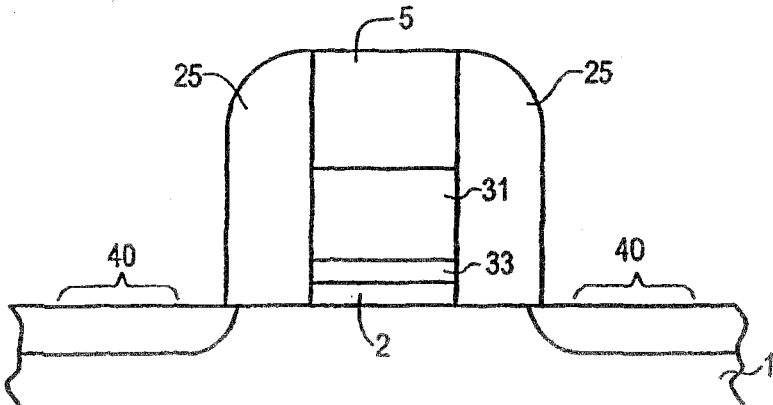


图 5

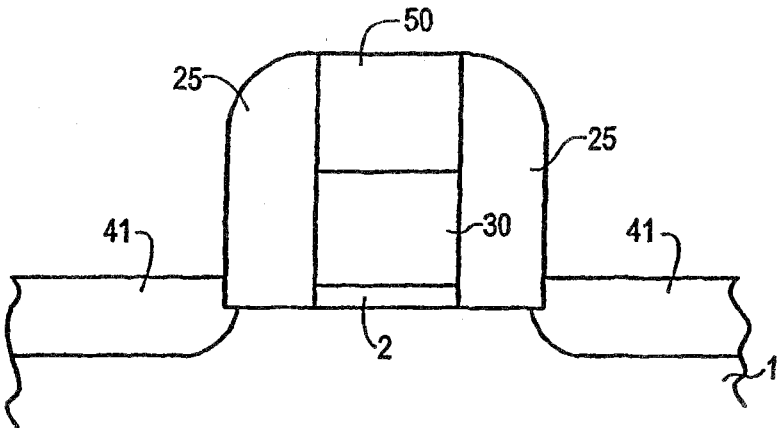


图 6

