

公 告 本

303522

申請日期	84 年 10 月 28 日
案 號	84111414
類 別	H21L 27/08

A4
C4

303522

(以上各欄由本局填註)

Int. Cl⁶

發 明 專 利 說 明 書

一、發明 名稱	中 文	動態隨機存取記憶體
	英 文	
二、發明 人	姓 名	(1) 高瀨覺 (2) 桜井清史 (3) 荻原正毅
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國横浜市鶴見區東寺尾中台三三一一二 クレアーレ東芝中台A一〇五 (2) 日本國横浜市都筑區荏田東二一一〇一一四 (3) 日本國横浜市磯子區洋光台三三八三〇
	創 作	
三、申請人	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代 表 人 姓 名	(1) 佐藤文夫

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本

1994 年 9 月 22 日 P06-227639

☒無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

【產業上之利用領域】

本發明係關於半導體記憶裝置，特別是關於可以非常的高速將資料傳送到資料的輸出輸入路徑之動態隨機存取記憶體（D R A M）。裝

【先前技術】

✓ 一般的動態隨機存取記憶體係將其記憶胞陣列分割成數個記憶胞次陣列，並採用令其中幾個同時作動之「記憶胞次陣列分割作動方式」。這種方式係爲了減低：佔「行系」作動時的消耗電流之大部分的「位元線」的充放電電流。記憶胞次陣列的分割數係與作動速度具有很大關係。一個記憶胞次陣列的規模大的話，字元線的容量就變得太大，導致其電壓的升起速度和降下速度變慢，且位元線的容量亦變得太大，使得位元線對之間的電位差變小，導致感應放大器對於位元線電位的放大動作變慢，結果，造成記憶體晶片之整體的作動速度變慢。因此，隨著元件的微細化，乃有：動態隨機存取記憶體的記憶容量愈大，記憶胞次陣列的分割數愈增加之傾向。訂

另一方面，就大量被使用於電腦系統的記憶體而言，係被要求實現低價格的動態隨機存取記憶體（以下簡稱D R A M）。又，在於電腦領域，除了微處理器（M P U）的作動速度與動態隨機存取記憶體的作動速度差距變大之外，兩者間的資料傳送速度亦到達足以左右系統整體的性能的「瓶頸」階段。爲了解決這些問題，已經線

五、發明說明(2)

著手各種改良，其中較具有代表性者，係採用：爲了要埋補 M P U 的周期時間與主記憶體的存取時間的時間差，而被至於兩者之間之可提高 M P U 的使用效率之高速記憶體（快取記憶體）。

關於快取記憶體，係有：以獨立於 M P U、D R A M 之外的單獨之 S R A M（靜態隨機存取記憶體，以下簡稱 S R A M）所構成者；或者以搭載於 M P U 晶片上之稱爲「ON CHIP CACHE」或「EMBEDDED MEMORY」之 S R A M 所構成者（實際上也有：已經裝有快取記憶體的 M P U 又具有其他的晶片的 S R A M 快取記憶體之情形）；或者以搭載於 D R A M 晶片上的 S R A M 記憶胞來構成者等各種形態。

關於在於 D R A M 晶片上搭載有由 S R A M 記憶胞所成的快取記憶體乙事，係在於“1990 Symposium on VLSI Circuits, Digest of Technical Papers, pp 79-80”之“A Circuits Design of Intelligent CDDRAM with Automatic Write back Capability”之文獻中，已經揭示出：在於使用單一電晶體、單一電容器之記憶胞的 D R A M 的每一個「行」附加 S R A M 記憶胞，並將這種記憶胞當作快取記憶體使用之技術。又，此一文獻當中亦提及：當所欲讀出的位址不在快取記憶體中時（miss hit 時）就將該時點的快取記憶體的內容寫回（write back）到具有該位址的 D R A M 記憶胞，然後才讀出所欲接連的位址之 D R A M 記憶胞之技術。這種「快取記憶體搭載型的

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (3)

D R A M」也可以和搭載有快取記憶體的 M P U 併用。

另外，關於可利用 D R A M 的位元線感應放大器作為快取記憶體之作法，則在於本案申請人所申請專利之日本特願平 3 - 4 1 3 1 6 號（特開平 4 - 2 1 2 7 8 0 號）公報已有述及，其具體的構成例以及控制動作例已經敘述於本案申請人所申請專利之日本特願平 3 - 4 1 3 1 5 號公報。

此外，本案申請人所提出申請之日本特願平 4 - 1 3 1 0 9 5 號係提出：藉由將 D R A M 的記憶區域分割成複數個記憶胞次陣列，令各記憶胞次陣列互相獨立作動，以位元線感應放大器作為快取記憶體來使用，而可以提高快取記憶體的「命中率（hit rate）」之 D R A M 之技術。

在於這種 D R A M 中，每複數個記憶胞次陣列係保持有：從其感應放大器互相不同的位址所對應的「行」抽出的資料，因此可提高對處於選擇狀態的「行」之要求存取資料之「命中率（存取成功率）」，所以可將由：對處於選擇狀態的「行」之要求存取資料之「不命中率（存取失敗率）」以及上述「命中率」之兩者的平均值所決定的「資料存取時間」的平均值變小。

此處，先簡單說明感應快取記憶體方式如下。假設現在 D R A M 正處於等待 M P U 進行存取之待機狀態。此時，先將從某列位址的記憶胞群所讀出的資料鎖存於感應放大器群。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(4)

假如，有存取 (a c c e s s) 到與以上述方式將資料鎖存於感應放大器群之「行位址」相同「行位址」的時候 (亦即，命中時) ，就變成可省略「行系」的動作，而只利用「列系」的動作就可以輸出資料，因此可以減低相當於「行系」的動作時所需的存取時間。

相對地，若是存取到資料並未鎖存於感應放大器群的「行位址」時 (即，非命中時) ，則有必要先將感應放大器群的資料寫回到記憶胞後 (或者，只是進行感應放大器群的均衡化動作後) ，再將從新的行位址的記憶胞群讀出的資料鎖存於感應放大器群。這種「非命中」的情況，較之不使用快取記憶體方式的情況，更耗費存取時間。

如果快取記憶體的命中率小的話，則有「系統的平均存取時間變長」的危險性，所以讓命中率提高，對於縮短系統的平均存取時間而言，很重要。

✓ 爲了提高快取記憶體的命中率，係有：增大快取記憶體容量之方法；以及將快取記憶體分割成幾個庫 (bank) 之方法。

若將上述之增大快取記憶體的容量之方法應用到感應放大器快取記憶體方式的話，係意味著：增大以鎖存著資料的狀態等待存取之感應放大器的數目。一般而言，大容量的記憶體係以前述方式來執行令各記憶胞次陣列中的幾個同時活性化，也就是所謂的「部份活性化」。此時，與不令「行系」進行作動的記憶胞次陣列相關連的感應放大器，一般都不保持資料。但是，藉由令上述之與不令「行

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

系」進行作動的記憶胞次陣列相關連的感應放大器也保持資料的話，則是可增大以等待存取之待機狀態來保持資料的感應放大器的數目，而可增大快取記憶體之容量以資提高其命中率。

此外，若將依前述方式之將快取記憶體分割成幾個庫(bank)的方法應用到感應放大器快取記憶體方式的話，就是意味著將感應放大器群分割成複數個庫(bank)。在於泛用的D R A M，與複數個記憶胞次陣列相關連之感應放大器通常係以相同的時機(timing)執行感應(sense)、鎖存(latch)、等化(equalize)等動作。這個時候，係可使得：與前述不令「行系」作動的記憶胞次陣列相關連的感應放大器，處於保持資料的狀態進行待機。此處，雖然是將同時作動的感應放大器群稱為「庫(bank)」，但若是想要獲得可提高快取記憶體的命中率之「庫」的分割方法的話，必要要有以下所述的幾個條件。(1)每個庫具有其獨立的感應放大器。(2)各個庫的感應放大器係與其他的庫之行位址無關係，可以保持自己的庫的資料。換言之，未進行行系的動作之庫的感應放大器係與其他的庫的行位址無關，可繼續保持自己所屬的庫之資料。(3)各庫係具有：對所有輸出／輸入墊(out/input pad)之資料匯流排。換言之，這是因為：雖然對於快取記憶體之存取係針對某些特定的庫來執行，但是，在於多位元構成方式的D R A M的情況，則有必要從上述被存取的庫以相同的時機將資料供給到所有的輸出／輸入墊的緣故。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (6)

✓另一方面，爲了減小記憶體晶片面積，已知的方式係有：如第4圖所示般之將感應放大器（感應用NMOS放大器、再儲存用PMOS放大器）62配置於由兩個記憶胞次陣列61、61所包夾的區域，利用控制訊號Xfer1、Xfer2控制傳送用電晶體以將兩個記憶胞次陣列61選擇性地連接到一個感應放大器62，以資利用一個感應放大器62用時間分割方式共用兩個記憶胞次陣列61之所謂的「共用感應放大器之構造」。

這種方式實際上也已經被用在16M位元之大容量的記憶體，以謀求減少晶片的面積。此處，關於「共用感應放大器構造中的配置效率，係可就如第5圖和第6圖的示意圖之兩種配置方式來加以考慮。

✓可知：如第5圖所示般之「並列著記憶胞次陣列71與共用感應放大器72的區塊交互地反覆的數目較多」之共用感應放大器的構造之配置效率，優於如第6圖所示般之「並列著記憶胞次陣列71與共用感應放大器72的區塊交互地反覆的數目較少」之共用感應放大器的構造。

如果想要將「感應放大器快取記憶體方式」應用到具有上述的共用感應放大器的構造之記憶胞次陣列，以資增大快取記憶體的容量的話，就變成第7圖所示的構造。換言之，令具有共用感應放大器構造之記憶胞次陣列71中的一半記憶胞次陣列（A、B、C）或（a、b、c）活性化，並且除了位於記憶胞次陣列71的一端側之記憶胞次陣列以外，令其他的記憶胞次陣列72群皆保持資料，

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(7)

就可能增加以鎖存著資料的狀態下等待存取之感應放大器的數目。

✓但是，上述第7圖所示的共用感應放大器的構造並無法將「庫」分割。亦即，無法將記憶胞次陣列A和a分割到別的「庫」。其理由係因為無法符合上述的庫分割之條件(1)，無法在於每一個庫都具有獨立的感應放大器的緣故。此外，也無法將記憶胞次陣列B和b分割到別的「庫」。其理由係因為記憶胞次陣列a和B共用一個感應放大器，也無法符合上述的庫分割之條件(1)。由此歸納可知只要第7圖所示的共用感應放大器的構造延續著的話，就無法施行「庫」分割的方式。

換言之，在於使用「共用感應放大器方式」的情況下，若為了施行「庫分割」，就必須將具有共用感應放大器構造的記憶胞次陣列在於中途切斷，然而這是意味著將會降低「由於共用感應放大器的優點（即，配置效率良好）所衍生的減少晶片面積」之效果。

假若，想要維持僅在於記憶胞次陣列和共用感應放大器構造的排列方向上進行分割陣列之傳統的「橫方向分割方式」的狀態下，來將具有良好配置效率的共用感應放大器構造的記憶胞次陣列從中途切斷以分成兩個「庫」的話，就變成第8圖的構造。

✓第8圖的構成例，係顯示藉由使用：縱型封裝（VSMP），亦即將供輸出輸入與位元構造相對應的位元數之資料的所有輸出／輸入墊（I/O PAD）76集中於晶片的記憶胞

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(8)

次

陣列排列方向的一邊，並以垂直狀態安裝於記憶體安裝用的印刷電路板的表面而得之縱型封裝(VSMP)來縮短封裝(PACKAGE)內部的導線框、電路板上的配線以資謀求資料傳送之高速化。

這種情況，連接於每一個記憶胞次陣列71的資料線73係連結到對應各記憶胞次陣列71而設的資料緩衝器(DQBuffer)74，各「庫」的各一個資料緩衝器74係連接有一個共用的多工器(MPX)75，這種多工器75的數目係設成與上述輸出／輸入墊(I/O PAD)76相同數目。

然而，上述第8圖所示的構成例，愈是延續愈多具有良好配置效率的「共用感應放大器構造」的話，記憶胞次陣列71與共用感應放大器72的反覆數目變得愈大。亦即，若考慮到前述之「隨著DRAM的大容量化，記憶胞次陣列數有增大之傾向」的話，則用來連結與朝橫方向分開的各庫的各記憶胞次陣列71對應的DQ資料緩衝器74與多工器75之資料匯流排會變長，將會成為妨礙晶片內的資料傳送之高速化。

茲由以上說明可知，傳統的DRAM，若是採用「共用感應放大器構造」及「感應放大器快取記憶體方式」的情況下，爲了要在於配置效率較佳的共用感應放大器構造之下，提昇快取記憶體的命中率而增加快取記憶體的容量，並打算將快取記憶體劃分成幾個庫的話，將會衍生出：

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(9)

資料匯流排變長，而妨礙晶片內的資料傳送之高速化之問題。

【發明所欲解決之課題】

上述之傳統的 D R A M，若想要以很小面積來達成「共用感應放大器構造」和「感應放大器快取記憶體方式」的時候，無法獲得「可提昇快取記憶體的命中率」以及「晶片內的資料傳送之高速化」之兩全其美的效果，必須犧牲掉其中一方。

本發明係爲了解決上述問題點而開發完成者，其目的在於提供：當欲以小面積來達成「共用感應放大器構造」和「感應放大器快取記憶體方式」的時候，可以提高快取記憶體的命中率，可縮短晶片內的資料匯流排以資謀求資料傳送之高速化，並且可以發揮「共用感應放大器構造」和「感應放大器快取記憶體方式」的各優點之形態共存之高性能、低價格之動態隨機存取記憶體。

【用以解決課題之手段】

本案的第 1 發明之動態隨機存取記憶體之特徵爲具備有：

複數的記憶胞次陣列，係具有分別被配置成行列狀的動態型的記憶胞陣列，和具有被連接到同一行的記憶胞的複數條字元線及連接到同一列的記憶胞之複數條位元線；
及

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (10)

複數的感應放大器，係被設置於上述各記憶胞次陣列中用以對從經選擇過的行之記憶胞所讀出的電位進行感應放大，且被上述各記憶胞次陣列分別控制成以相同的時機進行作動，而在處於存取待機狀態的記憶胞次陣列中係被控制成保持有感應資料的狀態，且可當作快取記憶體使用；及

複數的共用感應放大器構造之記憶體區塊，係包含有上述複數的記憶胞次陣列及複數的感應放大器，且被配置成沿著記憶體晶片的第 1 邊交替反覆地設置一個記憶胞次陣列和一個感應放大器，而在於該反覆方向的兩端設有感應放大器，被兩個記憶胞次陣列所包夾的感應放大器係被上述兩個記憶胞次陣列以分時方式使用，且該記憶體區塊係以沿著垂直於上述第 1 邊的方向的記憶體晶片的第 2 邊分割成複數個之方式來配置，並利用上述複數個分割而分割成複數個庫，以被控制其動作；及

複數條資料線，係與上述各記憶胞次陣列對應地分別被形成平行於上述記憶胞次陣列和感應放大器之上上述記憶體晶片的第 2 邊，供以傳送從相對應的記憶胞次陣列的上述複數的感應放大器所保持的資料中所選擇出來的列的資料；及

複數的資料輸出／輸入墊，係與上述各庫的記憶胞次陣列相對應地被配置成平行於上述記憶體晶片的第 1 邊，可經由相對應的資料線在於相對應的記憶胞次陣列之間進行資料的輸出／輸入。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(11)

本案的第2發明之動態隨機存取記憶體係就第1發明之動態隨機存取記憶體，再附加入：

複數的資料緩衝電路，係對應於上述各記憶胞次陣列而分別在於其近旁被配置於靠近上述資料輸出／輸入墊之一側，用以對來自對應的記憶胞次陣列的資料線的資料進行放大；及

複數的多工器，係在於較之上述複數的資料緩衝電路更遠離上述記憶體晶片的第1邊處被配置成與上述第1邊平行，且分別共通地連接於與上述複數的庫中的各一個記憶胞次陣列對應的資料緩衝電路，用以選擇地取出來自上述複數的庫之資料。

本案的第3發明之動態隨機存取記憶體係就第1發明之動態隨機存取記憶體，再附加入：

複數的資料緩衝電路·多工器，係在於上述記憶體區塊與資料輸出／輸入墊之間的區域被配置成平行於記憶體晶片的第1邊，且分別共通地連接於與上述複數的庫中的各一個記憶胞次陣列對應的複數條資料線，用以選擇地將來自上述複數的庫之資料予以放大。

【作用】

因為複數個共用感應放大器構造的記憶體區塊係沿著與記憶胞次陣列和感應放大器反覆排列方向成垂直的方向的記憶體晶片的第2邊分割成複數個來配置，以執行庫分割之故，可以採用以各記憶胞次陣列的感應放大器群當作

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (12)

快取記憶體來使用之感應放大器快取記憶體方式。

這種情況下，多工器係共通地連接於與不同的庫的各一個記憶胞次陣列對應的複數條資料線之故，可針對複數個庫的資料以多工方式獨立地讀出每一個庫的資料，各庫係具有對應於所有的輸出／輸入墊群的資料匯流排之故，可以提高快取記憶體的命中率。

又，各記憶胞次陣列的感應放大器係分別以相同時機進行作動（感應・鎖存・等化），處於存取待機狀態的記憶胞次陣列的感應放大器係被控制成保持住感應資料的狀態之故，可增大快取記憶體的容量，而可進一步提昇快取記憶體的命中率。

又，對應於各記憶胞次陣列而設的所有資料線係被形成平行於記憶體晶片的第2邊，多工器群與輸出／輸入墊群係集中於記憶體晶片的同一邊（垂直於第2邊的方向上的一邊）。

因為係將資料線群、多工器群、輸出／輸入墊群刻意以這種方式來配置之故，可縮短晶片內的資料匯流排，而可謀求資料傳輸的高速化。

又，因為係採用：以交替反覆地配置一個記憶胞次陣列和一個感應放大器，且在該反覆方向的兩端配置有感應放大器，並以兩個記憶胞次陣列以分時方式來使用被該兩個記憶胞次陣列所包挾的感應放大器之具有良好的配置效率的「共用感應放大器構造」之故，可使用小面積來達成該動態隨機存取記憶體。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (13)

換言之，可達成：「共用感應放大器構造」和「感應放大器快取記憶體方式」的各優點共存之形態之高性能、低價格的動態隨機存取記憶體。

【實施例】

茲佐以圖面，詳細說明本發明的實施例如下：

✓第 1 圖係本發明第 1 實施例的 D R A M 的晶片中的記憶胞次陣列、感應放大器、資料匯流排、多工器、輸出／輸入墊（以下簡稱為 I / O 墊）之配置例。第 2 圖係顯示取出第 1 圖中的兩個記憶胞次陣列、一個感應放大器、一個資料匯流排之例。第 1 圖和第 2 圖中，分別具有「共用感應放大器構造」之複數個記憶體區塊 1 0 係由一個記憶胞次陣列 1 1 和一個感應放大器 1 2 沿著記憶體晶片 1 的第 1 邊 X（圖中的左右方向）交替地反覆配置，而感應放大器 1 2 係位於該反覆方向的兩端，被兩個記憶胞次陣列 1 1 所包挾的一個感應放大器 1 2 係被這兩個記憶胞次陣列 1 1 以分時方式來使用。用以利用上述兩個記憶胞次陣列 1 1 的各列以分時方式來使用一個感應放大器 1 2 之「共用感應放大器構造」係可參考第 4 圖所示，乃係與前述者相同。

又，上述複數個記憶體區塊 1 0 係沿著與上述第 1 邊 X 成垂直的方向之記憶體晶片的第 2 邊 Y（圖中的上下方向）分割成複數個（本例中係兩個）來配置，利用這種分割配置係可分割成複數個（本例中係兩個）「庫（BANK）」

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (14)

來控制其作動。又，庫的指定（選擇）係被「庫位址被解碼後的輸出訊號」所控制。

上述各記憶胞次陣列 1 1 係分別具有被配置成行列狀的動態型的記憶胞 M C，以及連接到同一行的記憶胞 M C 的複數條字元線 W L i 以及連接到同一列的記憶胞 M C 之複數條位元線 B L i。上述複數條字元線 W L i 係由用以將行位址解碼的行解碼器 2 1 所選擇，上述複數條位元線 B L i 係由用以將列位址解碼之列解碼器（未圖示）所選擇的列選擇電路來加以選擇。又，各記憶胞次陣列上的記憶胞之指定，係利用依序地給予行位址及列位址之方式來控制。

上述感應放大器 1 2 係被設置成：用以對於從上述各記憶胞次陣列 1 1 中所選擇的行之記憶胞讀出的電位進行感應放大，分別被控制成以相同的時機進行動作，而處於存取待機狀態的記憶胞次陣列 1 1 則被控制成繼續保持感應資料的狀態（輸出待機狀態），並作為快取記憶體來使用。

又，為了要控制成上述之保持著感應資料的狀態，只要將電路製作成：可將用來控制如第 4 圖所示的感應放大器的活性化之控制訊號 S A N、S A P 保持於活性狀態即可。

複數條資料線 1 3 係分別對應於上述各記憶胞次陣列 1 1 而形成與上述記憶體晶片的第 2 邊 Y 保持平行，係用來傳送從與上述記憶胞次陣列 1 1 對應的感應放大器 1 2

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (15)

所保持的資料中選擇出來的列資料者。這種情況，不同的庫的各資料線之中，與位於較遠離資料輸出／輸入墊（I／O墊）16之位置處的記憶胞次陣列11對應的資料線13係通過位於較靠近上述I／O墊16之位置處的記憶體區塊之感應放大器12上。

複數個I／O墊16係與上述各庫的記憶胞次陣列11對應地配置成與上述記憶體晶片的第1邊X平行，在與相對應的記憶胞次陣列11之間係經由資料線13進行資料的輸出／輸入。

複數個資料緩衝器（DQ緩衝器）14係分別與上述各記憶胞次陣列11相對應地，將其旁邊配置於較靠近上述I／O墊16之一側，且被插入連接到與之相對應的記憶胞次陣列11的資料線13，用以將來自相對應的記憶胞次陣列11的資料予以放大。

✓ 複數個多工器15係位於較之上述複數個資料緩衝器14更遠離上述記憶體晶片的第1邊X的位置處，被配置成與上述第1邊X保持平行，係分別經由與上述複數個庫中的應的資料緩衝器14，而被控制成可選擇性地取出來自上述複各一個記憶胞次陣列相對應的資料線13而共通地連接到對數個庫之資料。

又，關於上述多工器15與兩個庫的各資料線13之連接方式，如果是將不同的庫的各資料線13彼此相連接的話，資料線13的負荷容量變大，導致資料傳送上的延緩時間變大，所以並不適宜。

五、發明說明(16)

因此，多工器 1 5 係分別對應不同的庫之各資料線 1 3 而將開關元件(例如：MOS電晶體)串連插入連接而成的。藉此，可對於不同的庫選擇性地允許 D Q 緩衝器 1 4 所為之資料的輸出／輸入。

又，如果是採用感應放大器快取記憶體方式的話，係與前述之本案申請人所申請的日本特願平 4 - 1 3 1 0 9 5 號案所詳細揭示的構成同樣地，如第 2 圖中的虛線所示般，在於各記憶胞次陣列設有用以保持行位址的暫存器電路 2 6；及用以比較被保持在此暫存器電路 2 6 中的行位址(與被選擇的行對應之行位址)和新供應的行位址之比較器 2 7。

當「要求存取的訊號」與「位址」被供應到作為存取對象的記憶胞次陣列的話，比較器 2 7 會先比較兩個行位址輸入訊號，當兩個行位址一致的時候，就輸出表示「命中(hit)」的命中訊號，如果是不一致的時候，則輸出表示「非命中(miss)」的非命中訊號。當輸出「命中訊號」時，行系並不作動，只有對應於列位址的列的資料被讀出。當輸出「非命中訊號」時，暫存器電路 2 6、字元線 W L i、感應放大器分別先被重新設定(reset)後，新被供應的行位址就被設定入暫存器電路 2 6，然後行系就因應暫存器電路 2 6 新保持的行位址進行作動。然後，再度被供應「要求存取的訊號」與「位址」，進行判定是否命中，行系並不作動，只有對應於列位址的列的資料被讀出。上述的這種作動係對應於作為存取對象之複數個記憶胞

五、發明說明 (17)

次陣列 1 1 而依序地供應「要求存取訊號」，藉以在複數個記憶胞次陣列 1 1 依序進行。這種情況，在各記憶胞次陣列 1 1 中，係可只重新選擇非命中的行，而不必每次發生非命中就再度選擇所有的行。

上述第 1 實施例的 D R A M 中，複數個共用感應放大器構造的記憶體區塊 1 0 係被分割成兩個沿著與記憶胞次陣列 1 1 和感應放大器 1 2 的反覆方向 X 垂直的方向 Y 上分割配置的「庫」之故，係可採用：將各記憶胞次陣列 1 1 的感應放大器 1 2 群當成快取記憶體來使用的感應放大器快取記憶體方式。

這種情況下，與不同的庫的各記憶胞次陣列 1 1 相對應之兩個資料緩衝器 1 4 係共通地連接有一個多工器 1 5，因此可將複數個庫的資料進行多工處理而獨立地讀出各庫的資料，各庫係具有針對所有的 I / O 墊 1 6 之資料匯流排之故，可提高快取記憶體的命中率。

又，與各記憶胞次陣列 1 1 對應的感應放大器 1 2 係分別以相同的時機進行作動（感應・鎖存・等化），而與處於存取待機狀態的記憶胞次陣列相對之感應放大器 1 2 係被控制成保持著感應資料的狀態之故，可以增加快取記憶體的容量，可進一步提昇快取記憶體的命中率。

又，對應於各記憶胞次陣列 1 1 而設的所有資料線 1 3 係形成與記憶體晶片的第 2 邊 Y 平行，多工器 1 5 群與 I / O 墊 1 6 群係集中在與記憶體晶片的第 1 邊 X 相同方向的一邊。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (18)

因為係將資料線 1 3 群、多工器 1 5 群、I / O 墊 1 6 等刻意以這種方式配置，所以晶片內的資料匯流排的路徑變短，可以謀求資料傳輸的更高速化。

又，係以一個記憶胞次陣列 1 1 和一個感應放大器 1 2 交替地反覆配置，並且在於該反覆方向的兩端係配置有感應放大器 1 2，被兩個記憶胞次陣列 1 1 所包挾的一個感應放大器 1 2 係可採用：被上述兩個記憶胞次陣列 1 1 以分時方式使用的具有良好配置效率之共用感應放大器構造，所以可用較小面積來達成 D R A M。

換言之，根據上述第 1 實施例的 D R A M，係可達成同時發揮「共用感應放大器構造」和「感應放大器快取記憶體方式」的兩種優點之形態的高性能且低價格之 D R A M。

第 3 圖係顯示本發明之第 2 實施例的 D R A M 的晶片中的記憶胞次陣列、感應放大器、資料緩衝器、多工器、I / O 墊的配置例。

本第 2 實施例中，與上述第 1 實施例比較之下，係在於記憶體區塊 10 與 I / O 墊 1 6 之間的區域配置複數個與記憶體晶片的第 1 邊 X 平行的資料緩衝器 (D Q 緩衝器) · 多工器 3 1 來取代第 1 實施例中的複數個資料緩衝器 1 4 和多工器 1 5，並且在於將這些複數個 D Q 緩衝器 · 多工器 3 1 分別共通地連接到與複數個庫中之各一個記憶胞次陣列 1 1 對應的複數條資料線 1 3，以資選擇性地對於來自上述複數個庫之資料予以放大之點係與上述第 1 實

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (19)

施例不同，至於其他各點則為相同，所以均標註與第 1 圖相同的圖號。

又，不同的庫的各資料線 1 3 之中，與位於較遠離 I / O 墊 1 6 側的記憶胞次陣列 1 1 相對應的資料線 1 3 係較之與位於較靠近 I / O 墊 1 6 側的記憶胞次陣列 1 1 相對應的資料線 1 3 更長，因此為了要抑制其配線電阻的增大以令上述兩資料線的配線電阻大致相等，最好是將前者的資料線 1 3 的作成較之後者的資料線 1 3 更粗。

即使在於上述第 2 實施例的 D R A M 亦可執行與上述第 1 實施例的 D R A M 相同的動作，而可獲得與第 1 實施例的 D R A M 幾乎同樣的效果。

此外，本案的申請專利範圍所記載的各構成要件所標註的圖號乃是為了有助於理解本發明而添註者，並不是為了要將本發明的技術範圍限定在圖示的實施例而標註者。

【發明之效果】

根據上述之本發明的 D R A M，係若想以較小面積來達成具有「共用感應放大器構造」與「感應放大器快取記憶體方式」的場合，係可提高快取記憶體的命中率，且可縮短晶片內的資料匯流排以謀求資料傳輸的高速化，可實現同時發揮「共用感應放大器構造」和「感應放大器快取記憶體方式」的兩種優點之 D R A M。

【圖面之簡單說明】

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (20)

✓第 1 圖係顯示本發明的第 1 實施例的 D R A M 的晶片中的記憶胞次陣列、感應放大器、資料緩衝器、多工器、I / O 墊之配置例。

✓第 2 圖係顯示取出第 1 圖中的兩個記憶胞次陣列、一個感應放大器、一個資料緩衝器之電路圖之一例。

✓第 3 圖係顯示本發明的第 2 實施例的 D R A M 的晶片中的記憶胞次陣列、感應放大器、資料緩衝器、多工器、I / O 墊之配置例。

✓第 4 圖係顯示傳統的 D R A M 的「共用感應放大器方式」中的共用感應放大器的示意圖。

✓第 5 圖係顯示傳統的 D R A M 中的共用感應放大器構造之一例的示意圖。

✓第 6 圖係顯示傳統的 D R A M 中的共用感應放大器構造之其他例的示意圖。

✓第 7 圖係顯示對於傳統的 D R A M 中所採用感應放大器快取記憶體方式中之將用來加大該快取記憶體的容量之記憶胞次陣列予以活性化之方式的示意圖。

✓第 8 圖顯示傳統的 D R A M 中維持橫方向陣列分割方式來將具有共用感應放大器構造的記憶體區塊等分成兩個庫的情況的構成例之示意圖。

【圖號說明】

1 : 記憶體晶片

X : 第 1 邊

五、發明說明 (21)

Y : 第 2 邊

1 0 : 記憶體區塊

1 1 : 記憶胞次陣列

MC : 記憶胞

WL i : 字元線

BL i : 位元線

1 2 : 感應放大器

1 3 : 資料線

1 4 : 資料緩衝器 (D Q 緩衝器)

1 5 : 多工器

1 6 : I / O 墊

2 1 : 列解碼器

2 6 : 暫存器電路

2 7 : 比較電路

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱：

動態隨機存取記憶體)

本發明係關於動態隨機存取記憶體(DRAM)，其目的為：欲以較小面積來達成動態隨機存取記憶體之「共用感應放大器構造」和「感應放大器快取記憶體方式」時的，提高快取記憶體的命中率(hit rate)，並縮短晶片內的資料匯流排以謀求資料傳輸的高速化。本發明的動態隨機存取記憶體簡單地說，係具備有：共用感應放大器構造之記憶體區塊(10)，其由：記憶胞次陣列(11)及當成快取記憶體使用之感應放大器(12)，沿著記憶體晶片的第1邊X交替反覆地設置而成的「共用感應放大器構造」係沿著記憶體晶片的第2邊Y分割配置，且藉由分割配置而被分成「庫(BANK)」來控制其動作；及資料線(13)，係與各記憶胞次陣列對應地形成平行於記憶體晶片的第2邊，供以傳送對應於記憶胞次陣列的感應放大器所保持的資料；及資料輸出／輸入墊(16)，係與各庫的記憶胞次陣列相對應地被配置成平行於上述記憶體晶片的第1邊，可經由相對應的資料線在於相對應的記憶胞次陣列之間進行資料的輸出／輸入。

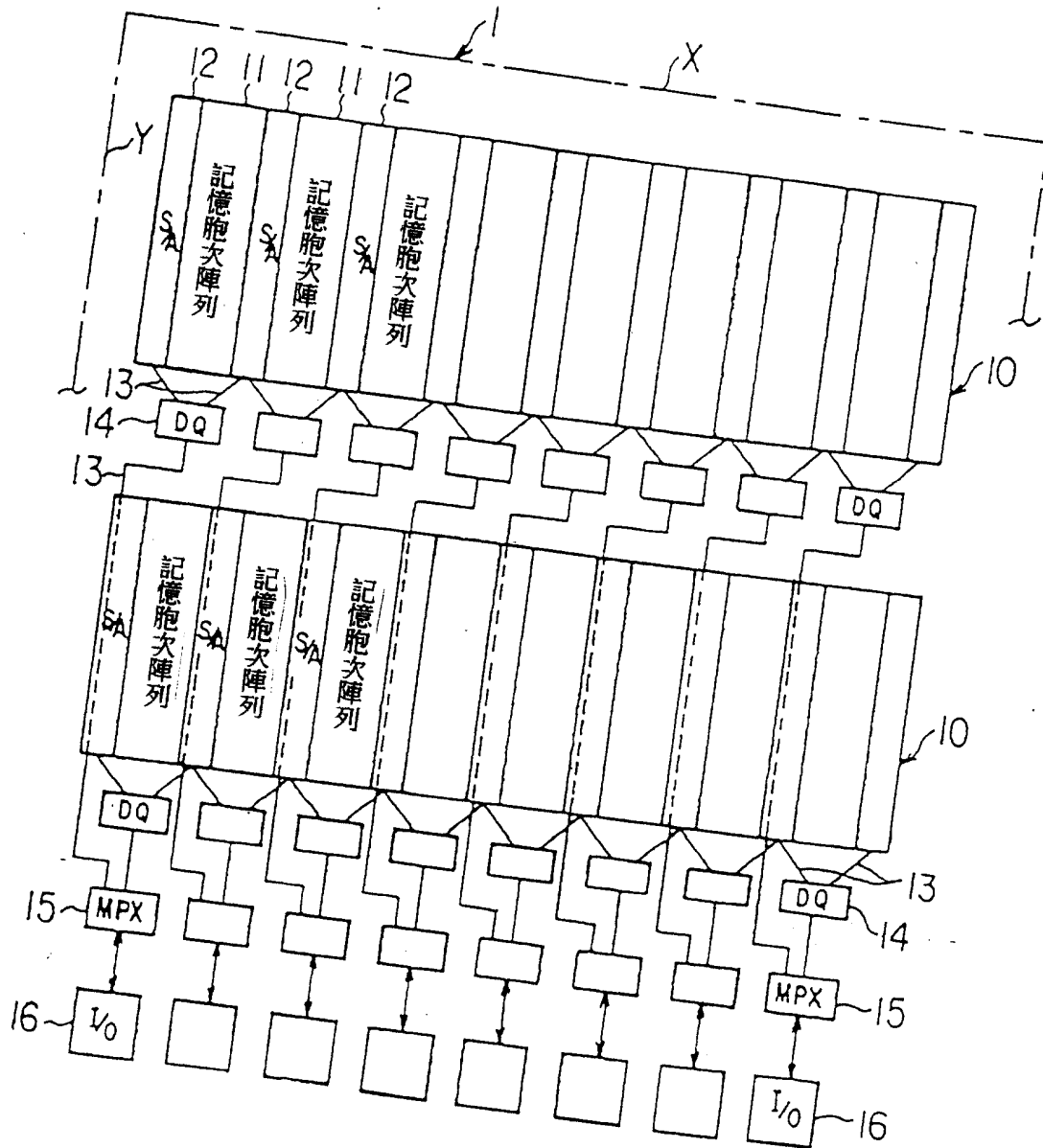
英文發明摘要(發明之名稱：

)

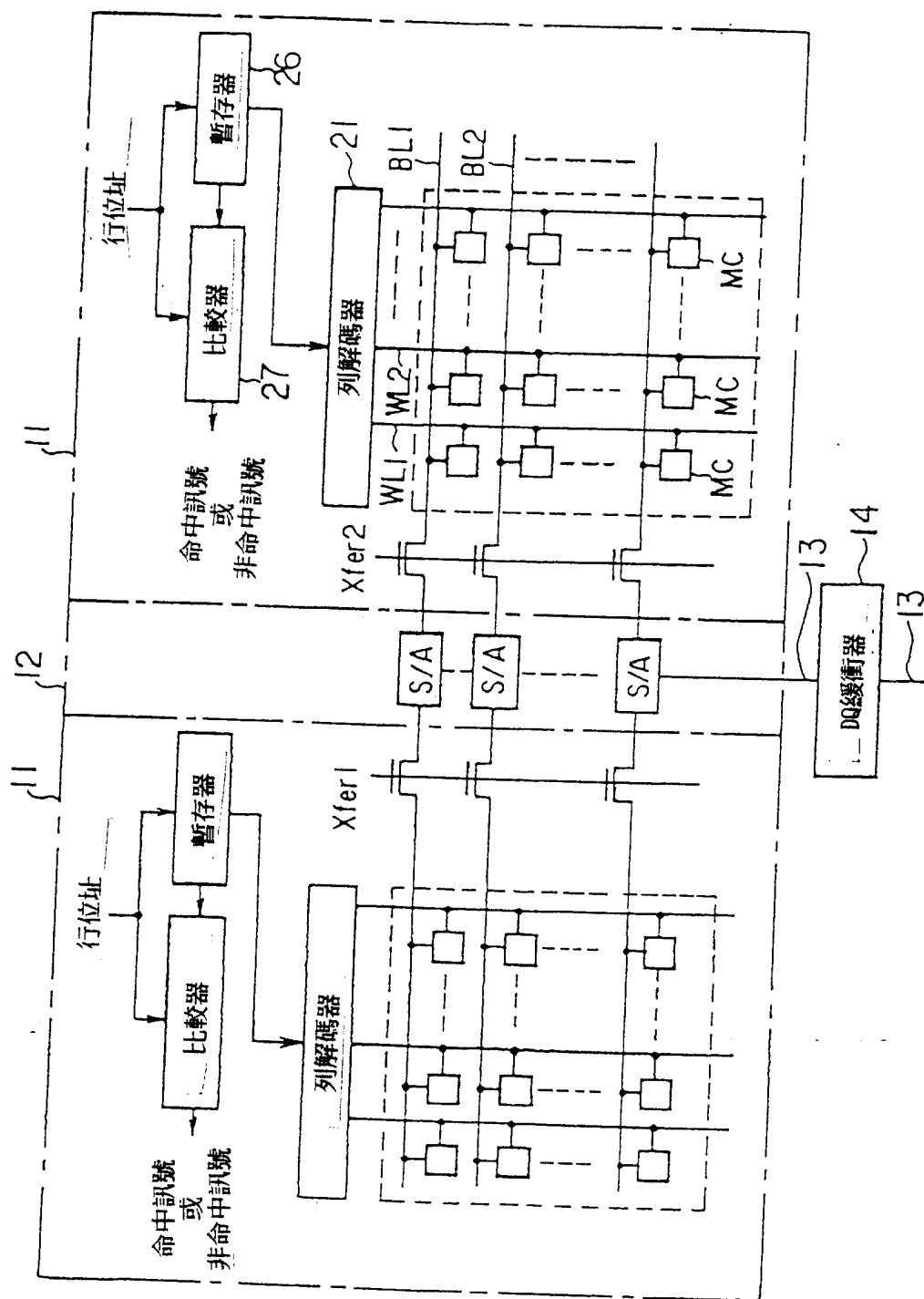
(請先閱讀背面之注意事項再填寫本頁各欄)

裝

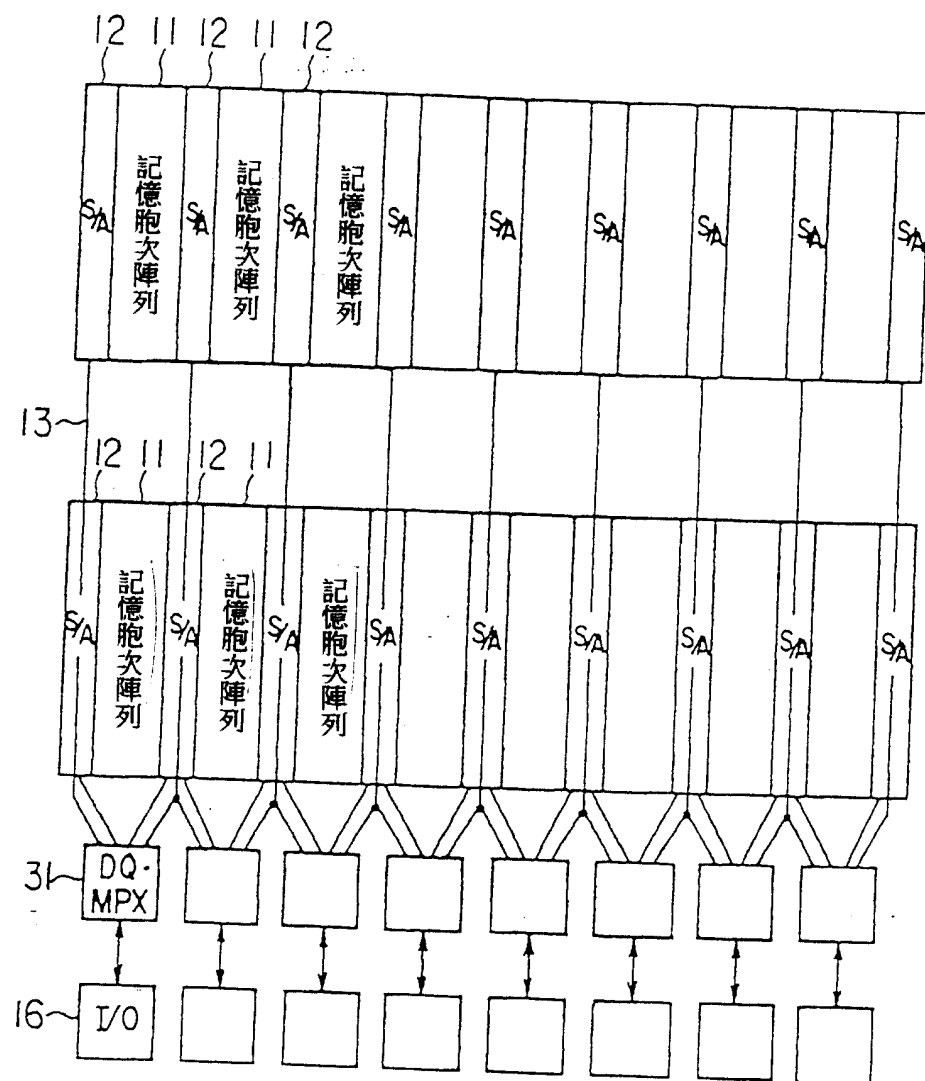
訂



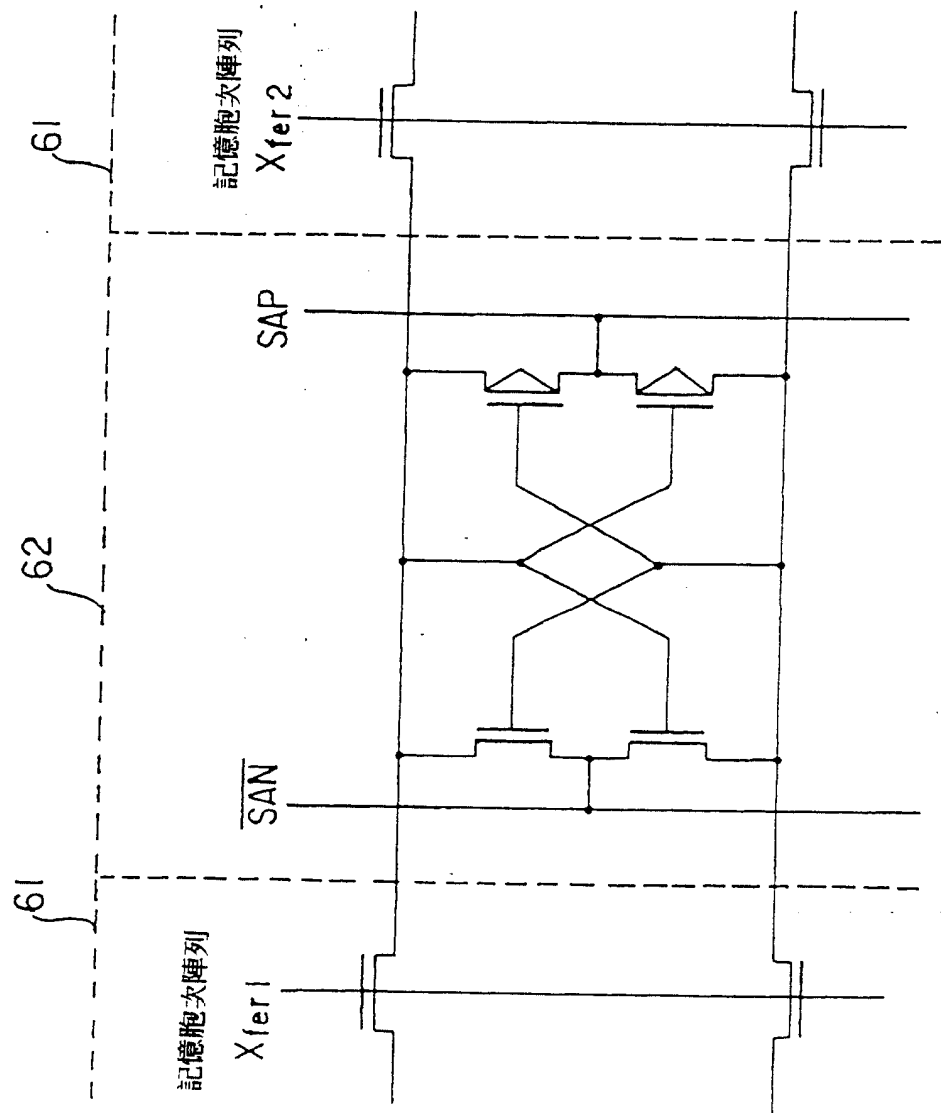
第 1 圖



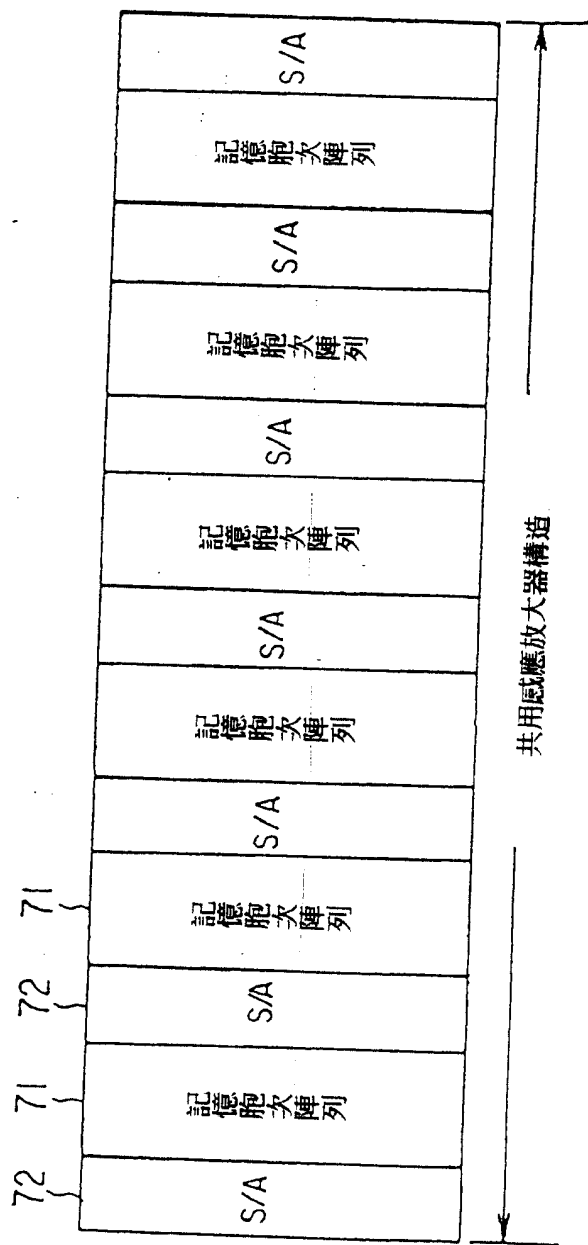
第 2 圖



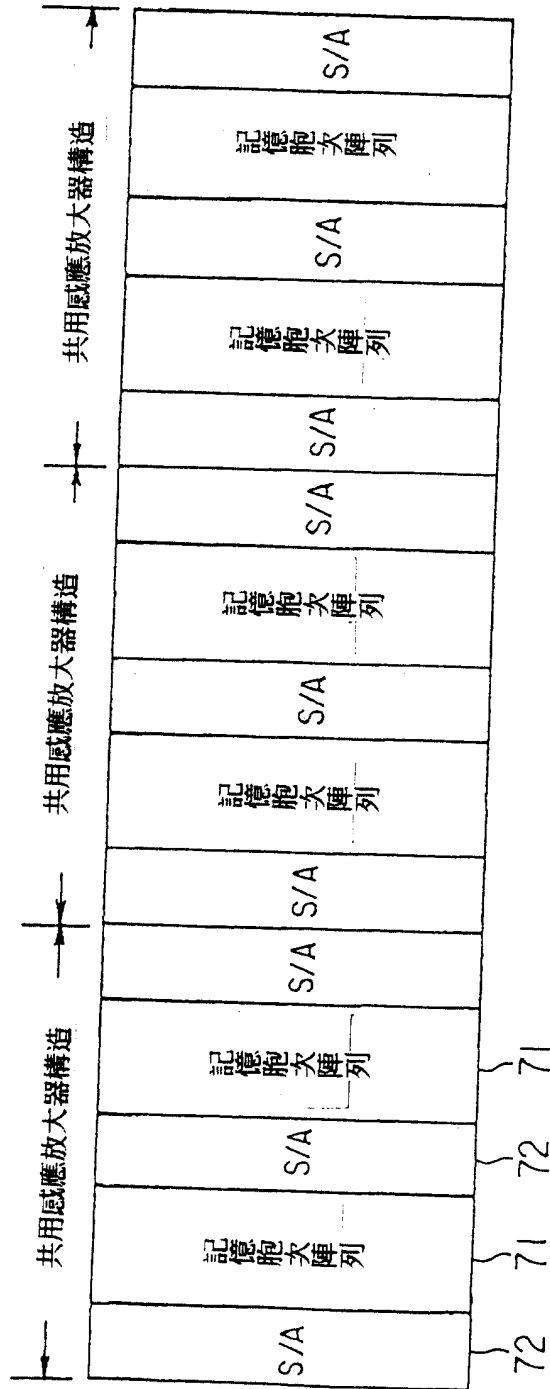
第 3 圖



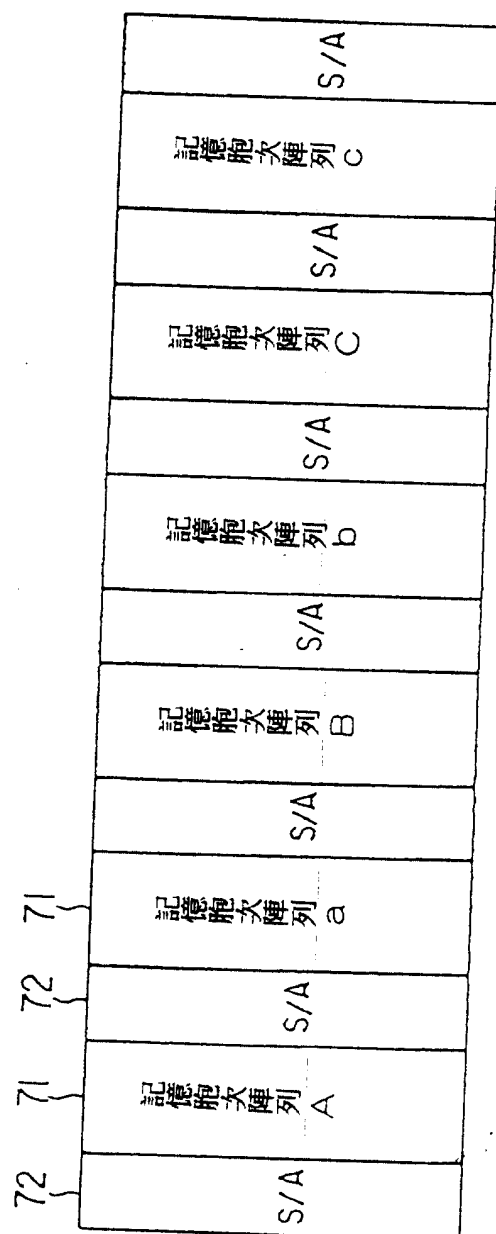
第 4 圖



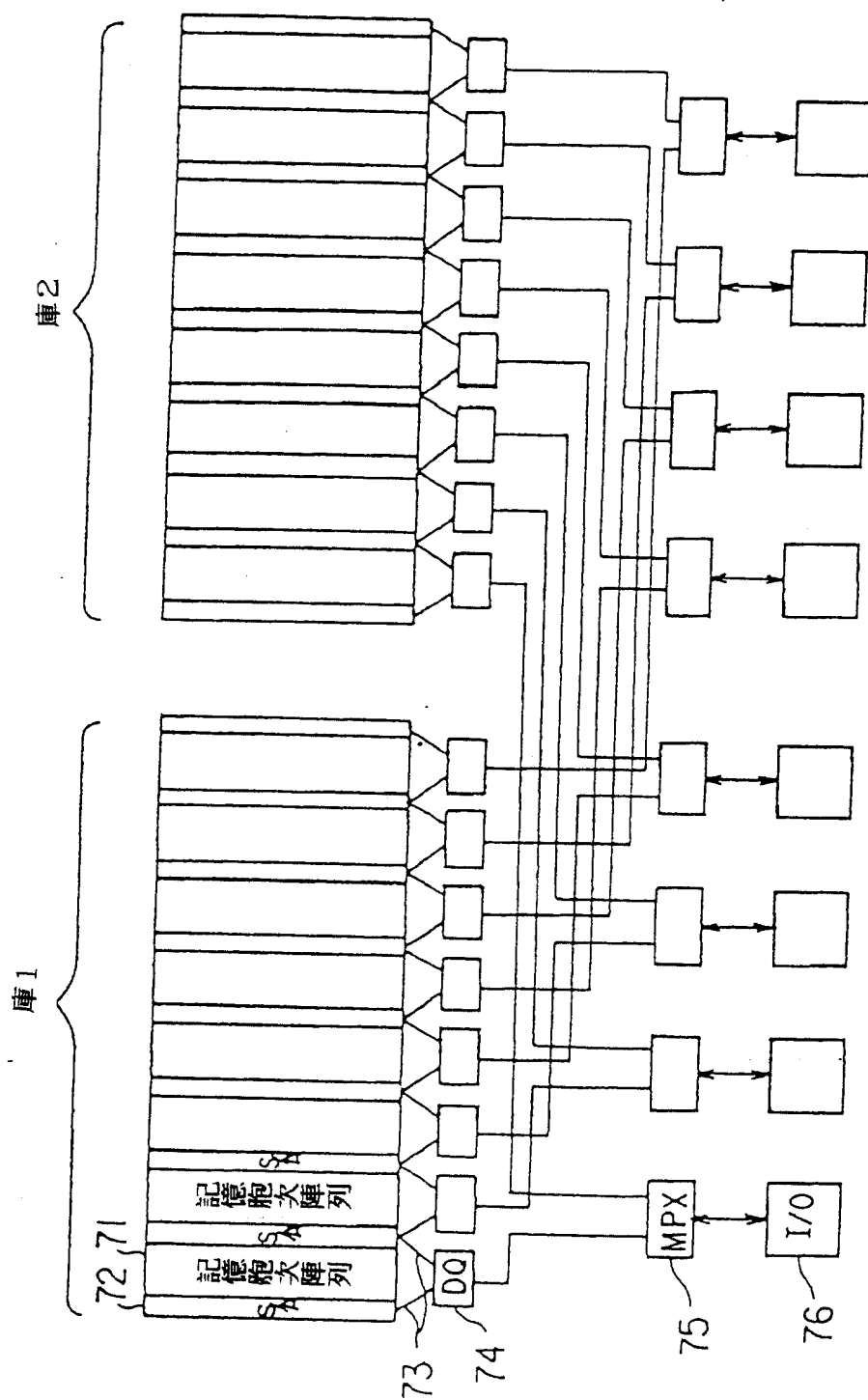
第5圖



第 6 圖



第7圖



第8圖

六、申請專利範圍

第 8 4 1 1 1 4 1 4 號 專 利 申 請 案

中 文 申 請 專 利 範 圍 修 正 本

民 國 8 5 年 7 月 修 正

1. 一種動態隨機存取記憶體，其特徵為具備有：

複數的記憶胞次陣列(11)，係具有分別被配置成行列狀的動態型的記憶胞陣列，和具有被連接到同一行的記憶胞的複數條字元線及連接到同一列的記憶胞之複數條位元線；及

複數的感應放大器(12)，係被設置於上述各記憶胞次陣列中用以對從經選擇過的行之記憶胞所讀出的電位進行感應放大，且被上述各記憶胞次陣列分別控制成以相同的時機進行作動，而在處於存取待機狀態的記憶胞次陣列中係被控制成保持有感應資料的狀態，且可當作快取記憶體使用；及

複數的共用感應放大器構造之記憶體區塊(10)，係包含有上述複數的記憶胞次陣列及複數的感應放大器，且被配置成沿著記憶體晶片的第1邊交替反覆地設置一個記憶胞次陣列和一個感應放大器，而在於該反覆方向的兩端設有感應放大器，被兩個記憶胞次陣列所包挾的感應放大器係被上述兩個記憶胞次陣列以分時方式使用，且該記憶體區塊係以沿著垂直於上述第1邊的方向的記憶體晶片的第2邊分割成複數個之方式來配置，並利用上述複數個分割而分割成複數個庫，以被控制其動作；及

複數條資料線(13)，係與上述各記憶胞次陣列對應地

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

分別被形成平行於上述記憶胞次陣列和感應放大器之上述記憶體晶片的第 2 邊，供以傳送從相對應的記憶胞次陣列的上述複數的感應放大器所保持的資料中所選擇出來的列的資料；及

複數的資料輸出／輸入墊(16)，係與上述各庫的記憶胞次陣列相對應地被配置成平行於上述記憶體晶片的第 1 邊，可經由相對應的資料線在於相對應的記憶胞次陣列之間進行資料的輸出／輸入。

2. 如申請專利範圍第 1 項之動態隨機存取記憶體，其中復具備有：

複數的資料緩衝電路(14)，係對應於上述各記憶胞次陣列而分別在於其近旁被配置於靠近上述資料輸出／輸入墊之一側，用以對來自對應的記憶胞次陣列的資料線的資料進行放大；及

複數的多工器(15)，係在於較之上述複數的資料緩衝電路更遠離上述記憶體晶片的第 1 邊處被配置成與上述第 1 邊平行，且分別共通地連接於與上述複數的庫中的各一個記憶胞次陣列對應的資料緩衝電路，用以選擇地取出來自上述複數的庫之資料。

3. 如申請專利範圍第 1 項之動態隨機存取記憶體，其中復具備：

複數的資料緩衝電路，多工器(31)，係在於上述記憶體區塊與資料輸出／輸入墊之間的區域被配置成平行於記憶體晶片的第 1 邊，且分別共通地連接於與上述複數的庫

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

中的各一個記憶胞次陣列對應的複數條資料線，用以選擇地將來自上述複數的庫之資料予以放大。

4. 如申請專利範圍第1、2或3項之動態隨機存取記憶體，其中前述複數條資料線之中，位於與較遠離上述資料輸出／輸入墊處的記憶胞次陣列相對應的資料線，係通過位於與較靠近上述資料輸出／輸入墊處的記憶體區塊的感應放大器之上。

5. 如申請專利範圍第1、2或3項之動態隨機存取記憶體，其中前述複數條資料線之中，位於與較遠離上述資料輸出／輸入墊處的記憶胞次陣列相對應的資料線，係較之位於與較靠近上述資料輸出／輸入墊處的記憶胞次陣列相對應的資料線更粗。

(請先閱讀背面之注意事項再填寫本頁)

訂

線