

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5572900号
(P5572900)

(45) 発行日 平成26年8月20日(2014. 8. 20)

(24) 登録日 平成26年7月11日(2014. 7. 11)

(51) Int.Cl.

F I

A 6 3 F 7/02 (2006.01)

A 6 3 F 7/02 3 2 6 Z

請求項の数 1 (全 91 頁)

(21) 出願番号	特願2012-28466 (P2012-28466)	(73) 特許権者	000132747
(22) 出願日	平成24年2月13日 (2012. 2. 13)		株式会社ソフィア
(62) 分割の表示	特願2009-261607 (P2009-261607) の分割		群馬県桐生市境野町7丁目201番地
原出願日	平成21年11月17日 (2009. 11. 17)	(74) 代理人	100075513
(65) 公開番号	特開2012-115700 (P2012-115700A)		弁理士 後藤 政喜
(43) 公開日	平成24年6月21日 (2012. 6. 21)	(74) 代理人	100120260
審査請求日	平成24年3月15日 (2012. 3. 15)		弁理士 飯田 雅昭
		(74) 代理人	100142468
			弁理士 高山 裕志
		(72) 発明者	田中 雅也
			群馬県太田市吉沢町990番地 株式会社
			ソフィア内
		(72) 発明者	松橋 光一
			群馬県太田市吉沢町990番地 株式会社
			ソフィア内

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項 1】

遊技を統括的に制御する遊技制御手段と、遊技の演出を行う複数の演出装置と、遊技の演出に関する画像を出力する画像出力装置と、前記遊技制御手段からの指令に対応して、前記複数の演出装置を制御する演出制御手段と、を備え、前記演出装置の系統の各々を複数グループに分割し、該分割されたグループに属する演出装置を制御するためのグループ単位制御手段を各グループ毎に設け、前記演出制御手段を、前記グループ単位制御手段の各々を統括的に制御するグループ統括制御手段として構成するとともに、前記グループ統括制御手段と前記グループ単位制御手段との間でデータを授受するデータ線を備えることにより前記グループ統括制御手段と前記各グループ単位制御手段との間でデータ送信を可能とし、前記グループ統括制御手段は、データ送信の後に、前記グループ単位制御手段から取り込んだ返答信号によりデータ送信の成否の判定を行い、グループ毎に設けられた前記グループ単位制御手段と接続されて、該グループ単位制御手段との間の前記データ線の信号レベルを制御する信号レベル制御手段をグループ毎に備え、

10

20

前記信号レベル制御手段は、前記画像出力装置に出力する画像の更新周期と同期して接続されているグループ単位制御手段へデータ送信し、

前記演出装置は、前記グループ統括制御手段から前記グループ単位制御手段を介して送信されたデータに基づいて、当該演出装置の演出態様が更新され、

前記演出装置の演出態様が更新されるタイミングは、当該演出装置を制御するグループ単位制御手段に接続された信号レベル制御手段毎に設定されていることを特徴とする遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

グループに分割された演出装置を制御する複数のグループ単位制御手段と、複数のグループ単位制御手段を制御するグループ統括制御手段とを備える遊技機に関し、特に、グループ統括制御手段からグループ単位制御手段へのデータ送信方法に関する。

【背景技術】

【0002】

サブ中継基板と電飾基板との間の配線を簡素化することができる遊技機として、トップ電飾領域の中央部に配置されたトップLED中央基板をサブ中継基板とシリアル接続し、トップ電飾領域の右側部に配置されたトップLED右基板及びトップ電飾領域の左側部に配置されたトップLED左基板をトップLED中央基板から分離して配線により接続した構成の遊技機が知られている。これにより、サブ中継基板からトップ電飾領域への配線数を減らして配線を簡素化することができる（例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2008-212271号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献に記載の遊技機は、データ通信のハード構成の自由度が低いという問題もあった。

【0005】

本発明は、ハード構成の自由度が低下させない遊技機を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明は、遊技を統括的に制御する遊技制御手段と、遊技の演出を行う複数の演出装置と、遊技の演出に関する画像を出力する画像出力装置と、前記遊技制御手段からの指令に対応して、前記複数の演出装置を制御する演出制御手段と、を備え、前記演出装置の系統の各々を複数グループに分割し、該分割されたグループに属する演出装置を制御するためのグループ単位制御手段を各グループ毎に設け、前記演出制御手段を、前記グループ単位制御手段の各々を統括的に制御するグループ統括制御手段として構成するとともに、前記グループ統括制御手段と前記グループ単位制御手段との間でデータを授受するデータ線を備えることにより前記グループ統括制御手段と前記各グループ単位制御手段との間でデータ送信を可能とし、前記グループ統括制御手段は、データ送信の後に、前記グループ単位制御手段から取り込んだ返答信号によりデータ送信の成否の判定を行い、グループ毎に設けられた前記グループ単位制御手段と接続されて、該グループ単位制御手段との間の前記データ線の信号レベルを制御する信号レベル制御手段をグループ毎に備え、前記信号レベル制御手段は、前記画像出力装置に出力する画像の更新周期と同期して接続されているグループ単位制御手段へデータ送信し、前記演出装置は、前記グループ統括制御手段から前記グループ単位制御手段を介して送信されたデータに基づいて、当該演出装置の演出態様が更新され、前記演出装置の演出態様が更新されるタイミングは、当該演出装置を制御す

10

20

30

40

50

るグループ単位制御手段に接続された信号レベル制御手段毎に設定されている。

【発明の効果】

【0007】

本発明によれば、ハード構成の自由度が低下させない遊技機を提供することができる。

【図面の簡単な説明】

【0008】

【図1】本発明の第1の実施の形態の遊技機の説明図である。

【図2】本発明の第1の実施の形態の遊技盤の正面図である。

【図3】本発明の第1の実施の形態のセンターケースの分解斜視図である。

【図4】本発明の第1の実施の形態の可動演出装置が動作する前の状態を示す図である。

【図5】本発明の第1の実施の形態の可動演出装置が動作し、第1演出ユニット及び第2演出ユニットが動作した結果、当接部にて当接している状態を示す図である。

【図6】本発明の第1の実施の形態の第1演出部材の分解斜視図である。

【図7】本発明の第1の実施の形態の第2演出部材の分解斜視図である。

【図8】本発明の第1の実施の形態の遊技機の配線を説明する図である。

【図9】本発明の第1の実施の形態の遊技機の構成を示すブロック図である。

【図10】本発明の第1の実施の形態の演出制御装置の構成を示すブロック図である。

【図11】本発明の第1の実施の形態の演出制御装置に備えられた第1マスタICと遊技盤に備えられた演出装置の構成を示すブロック図である。

【図12】本発明の第1の実施の形態の演出制御装置に備えられた第2マスタICと前面枠に備えられた演出装置の構成を示すブロック図である。

【図13】本発明の第1の実施の形態の遊技盤の構成を示す図である。

【図14】本発明の第1の実施の形態の前面枠の構成を示す図である。

【図15】本発明の第1の実施の形態の演出制御装置と遊技盤に含まれる中継基板及び装飾制御装置の接続状態を説明する図である。

【図16】本発明の第1の実施の形態の演出制御装置と前面枠に含まれる簡易中継基板及び装飾制御装置の接続状態を説明する図である。

【図17】本発明の第1の実施の形態の装飾制御装置のブロック図である。

【図18】本発明の第1の実施の形態のI²C I/Oエクスパンダの構成を示すブロック図である。

【図19】本発明の第1の実施の形態の装飾装置を制御する装飾制御装置のI²C I/Oエクスパンダ周辺の回路図である。

【図20】本発明の第1の実施の形態の装飾制御装置のI²C I/Oエクスパンダ周辺の回路図であり、モータやソレノイドを制御する場合を示す図である。

【図21】本発明の第1の実施の形態の装飾制御装置（中継基板、簡易中継基板を含む）の入出力に関する接続線の回路図である。

【図22】本発明の第1の実施の形態の演出制御装置から装飾制御装置に出力されるデータに含まれるスレーブアドレスの説明図である。

【図23】本発明の第1の実施の形態のI²C I/Oエクスパンダアドレステーブルの説明図である。

【図24】本発明の第1の実施の形態のI²C I/Oエクスパンダに備えられる出力設定レジスタに割り当てられたワークレジスタを説明するための図である。

【図25】本発明の第1の実施の形態のマスタICが接続線SDA及び接続線SCLを介してデータを出力するスタート条件及びストップ条件の説明図である。

【図26】本発明の第1の実施の形態のマスタICから出力されたデータが入力された装飾制御装置が返信信号を出力するタイミングチャートである。

【図27】本発明の第1の実施の形態のマスタICが演出制御データを出力する場合の接続線SDA及び接続線SCLの信号レベルのタイミングチャートである。

【図28】本発明の第1の実施の形態のマスタICが、スレーブの個別アドレスを指定して装飾制御装置に演出制御データを設定する場合において、マスタICとI²C I/Oエ

10

20

30

40

50

クスパンダとの間で送受信されるデータのフォーマットを説明する図である。

【図29】本発明の第1の実施の形態のマスターICが、スレーブの個別アドレスを指定して装飾制御装置に演出制御データを設定する場合において、マスターICとI²C I/Oエクスパンダとの間で送受信される演出制御データに具体的な数値を適用した図である。

【図30】本発明の第1の実施の形態のマスターICの演出制御データを送信する順序を説明する図である。

【図31】本発明の第1の実施の形態のマスターICがI²C I/Oエクスパンダを初期化する場合に、マスターICからI²C I/Oエクスパンダに送信される初期化指示データのフォーマットを説明する図である。

【図32】本発明の第1の実施の形態の第1マスターICの異常判定テーブルを説明する図である。

10

【図33】本発明の第1の実施の形態の第2マスターICの異常判定テーブルを説明する図である。

【図34】本発明の第1の実施の形態の各装飾制御装置（スレーブ）を初期化（リセット）時にCPUとマスターIC（第1マスターIC又は第2マスターIC）との間で送受信される情報を説明する図である。

【図35】本発明の第1の実施の形態の各装飾制御装置（スレーブ）に演出制御データを送信する際にCPUとマスターIC（第1マスターIC又は第2マスターIC）との間で送受信される情報を説明する図である。

【図36】本発明の第1の実施の形態の演出制御装置からマスターIC（第1マスターIC又は第2マスターIC）に演出制御データを送信する段階を説明する図である。

20

【図37】本発明の第1の実施の形態の演出制御装置による処理の手順を示すフローチャートである。

【図38】本発明の第1の実施の形態の第1マスターIC側スレーブ初期化開始処理及び第2マスターIC側スレーブ初期化開始処理の手順を示すフローチャートである。

【図39】本発明の第1の実施の形態のスレーブ出力開始処理の手順を示すフローチャートである。

【図40】本発明の第1の実施の形態の第1マスターIC及び第2マスターICによる送信中断割込み発生時の処理の手順を示すフローチャートである。

【図41】本発明の第1の実施の形態の第1マスターIC及び第2マスターICによるタイムアウト割込み発生時の処理の手順を示すフローチャートである。

30

【図42】本発明の第1の実施の形態の初期化指示データの送信再開処理の手順を示すフローチャートである。

【図43】本発明の第1の実施の形態の演出制御データの送信再開処理の手順を示すフローチャートである。

【図44】本発明の第1の実施の形態のマスターICによるデータ送信処理の手順を示すフローチャートである。

【図45】本発明の第1の実施の形態のアドレス認識処理の手順を示すフローチャートである。

【図46】本発明の第1の実施の形態のバイト単位データ送信処理の手順を示すフローチャートである。

40

【図47】本発明の第1の実施の形態における装飾制御装置及び装飾装置の接続例を示す図であり、8セット分のLEDを2つの装飾制御装置によって制御する構成を示す図である。

【図48】本発明の第1の実施の形態における装飾制御装置がデータを受信し、演出装置を制御するタイミングを示す図であり、ストップコンディションを出力した時点で受信したデータを反映させる場合について説明する図である。

【図49】本発明の第1の実施の形態の演出制御装置のVDP割込み時にCPUからの指示によって各マスターICによる処理が並列して実行される状態を示すタイミングチャートである。

50

【図 5 0】本発明の第 2 の実施の形態のスレーブ出力開始処理の手順を示すフローチャートである。

【発明を実施するための形態】

【 0 0 0 9 】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【 0 0 1 0 】

(第 1 の実施の形態)

図 1 は、本発明の第 1 の実施の形態の遊技機 1 の説明図である。

【 0 0 1 1 】

遊技機 1 の前面枠（遊技枠）3 は、本体枠（外枠）2 にヒンジ 4 を介して、遊技機 1 の前面に開閉回動可能に組み付けられる。前面枠 3 の表側には、遊技盤 1 0（図 2 参照）が収装される。また、前面枠 3 には、遊技盤 1 0 の前面を覆うカバーガラス（透明部材）を備えたガラス枠 1 8 が取り付けられている。

10

【 0 0 1 2 】

ガラス枠 1 8 のカバーガラスの周囲には、装飾光が発光される装飾部材 9 a、9 b が備えられている。装飾部材 9 a、9 b の内部にはランプや L E D 等からなる装飾装置が備えられている。装飾装置を所定の発光態様によって発光させることによって、装飾部材 9 a、9 b が所定の発光態様によって発光する。

【 0 0 1 3 】

ガラス枠 1 8 の左右には、音響（例えば、効果音）を発するスピーカ 3 0 が備えられている。また、ガラス枠 1 8 の上方には照明ユニット 1 1 が備えられている。

20

【 0 0 1 4 】

照明ユニット 1 1 には、第 1 可動式照明 1 3 及び第 2 可動式照明 1 4 が左右に配置されている。第 1 可動式照明 1 3 及び第 2 可動式照明 1 4 には、L E D などの照明部材の他に、照明駆動第 1 モータ（M O T）1 3 a 及び照明駆動第 2 モータ（M O T）1 4 a が備えられており、演出内容に応じて動作するように制御される。

【 0 0 1 5 】

照明ユニット 1 1 の右下方には、遊技機 1 において異常が発生したことを報知するための異常報知 L E D 2 9 が備えられている。

【 0 0 1 6 】

前面枠 3 の下部の開閉パネル 2 0 には図示しない打球発射装置に遊技球を供給する上皿が、固定パネル 2 2 には下皿 2 3 及び打球発射装置の操作部 2 4 等が備えられる。下皿 2 3 には、下皿 2 3 に貯まった遊技球を排出するための下皿球抜き機構 1 6 が備えられる。前面枠 3 下部右側には、ガラス枠 1 8 を施錠するための鍵 2 5 が備えられている。

30

【 0 0 1 7 】

また、遊技者が操作部 2 4 を回動操作することによって、打球発射装置は、上皿 2 1 から供給される遊技球を発射する。

【 0 0 1 8 】

また、上皿 2 1 の上縁部には、遊技者からの操作入力を受け付けるための演出ボタン 1 7 が備えられている。遊技者が演出ボタン 1 7 を操作することによって、遊技盤 1 0 に設けられた表示装置 5 3（図 2 参照）における特図変動表示ゲームの演出内容を選択して、表示装置 5 3 における特図変動表示ゲームに、遊技者の操作を介入させた演出を行うことができる。

40

【 0 0 1 9 】

特図変動表示ゲームは、発射された遊技球が遊技盤 1 0 に備わる始動口 3 6（図 2 参照）に入賞した場合に開始される。特図変動表示ゲームでは、表示装置 5 3 において複数の識別情報が変動表示する。そして、変動表示していた識別情報が停止し、停止した識別情報の結果態様が特定の結果態様である場合に、遊技機 1 の状態が遊技者に有利な状態（特典が付与される状態）である特別遊技状態に遷移する。

【 0 0 2 0 】

50

上皿 21 の右上部には、遊技者が遊技球を借りる場合に操作する球貸ボタン 26、及び、図示しないカードユニットからプリペイドカードを排出させるために操作される排出ボタン 27 が設けられている。さらに、これらの球貸ボタン 26 と排出ボタン 27 との間には、プリペイドカードの残高を表示する残高表示部 28 が設けられる。

【0021】

図 2 は、本発明の第 1 の実施の形態の遊技盤 10 の正面図である。

【0022】

図 1 に示す遊技機 1 は、内部の遊技領域 10a 内に遊技球を発射して（弾球して）遊技を行うもので、ガラス枠 18 のカバーガラスの奥側には、遊技領域 10a を構成する遊技盤 10 が設置されている。

【0023】

遊技盤 10 は、各種部材の取付ベースとなる平板状の遊技盤本体 10b（木製又は合成樹脂製）を備え、該遊技盤本体 10b の前面にガイドレール 32 で囲まれた遊技領域 10a を有している。また、遊技盤本体 10b の前面であってガイドレール 32 の外側には、前面構成部材 33 が取り付けられている。そして、このガイドレール 32 で囲まれた遊技領域 10a 内に発射装置から遊技球（打球；遊技媒体）を発射して遊技を行う。

【0024】

遊技領域 10a の略中央には、特図変動表示ゲームの表示領域となる窓部 52 を形成するセンターケース 51 が取り付けられている。センターケース 51 に形成された窓部 52 の後方には、複数の識別情報を変動表示する特図変動表示ゲームの演出を実行可能な演出表示装置としての表示装置 53 が配される。表示装置 53 は、例えば、液晶ディスプレイを備え、表示内容が変化可能な表示部 53a がセンターケース 51 の窓部 52 を介して遊技盤 10 の前面側から視認可能となるように配されている。なお、表示装置 53 は、液晶ディスプレイを備えるものに限らず、EL、CRT 等のディスプレイを備えるものであってもよい。

【0025】

また、センターケース 51 の上部には、大当たりの可能性（信頼度）を報知する信頼度報知装置 15 が備えられる。信頼度報知装置 15 には、複数色の LED（例えば、赤、青、緑の 3 色の LED）が備えられており、信頼度に応じた色及び態様で発光するように制御される。

【0026】

さらに、センターケース 51 の左部には、遊技球が流下可能な球導入路（ワープ流路）50 が設けられ、遊技領域 10a に向けて入口 50a が開放した状態で開設されている。球導入路 50 は、センターケース 51 の内部に連通しており、入口 50a から流入した遊技球は、センターケース 51 の裏側を通過して、ユニット側ステージ部 49b 上に排出される。さらに、ユニット側ステージ部 49b 上で転動した遊技球が当該ユニット側ステージ部 49b の下方に配置されたベース側ステージ部 49a 上に流下できるように構成されている。

【0027】

センターケース 51 の周縁部には、複数の装飾具 47 が配置される。センターケース 51 の左下部には、装飾ランプ 48 が配置される。センターケース 51 の上部には、複数の装飾ピース 46 を上下動可能な状態で配置される。装飾具 47、装飾ランプ 48 及び装飾ピース 46 は、後述する演出制御装置 550 からの命令に従って演出動作を行う。センターケース 51 の構成については、図 3 を参照しながらさらに詳細に説明する。

【0028】

また、遊技領域 10a のうちセンターケース 51 の下方には、遊技球を受入可能（入賞可能）な特図変動表示ゲームを始動させるための始動口 36 が配置される。さらに、センターケース 51 の側方（左側方）には、普図変動表示ゲームを始動させるための普図始動ゲート 34 が配置される。

【0029】

10

20

30

40

50

さらに、遊技領域 10 a には、センターケース 51 の左下方及び右下方に、発光によって各種装飾表示を行うサイドランプ 45 が配置される。また、サイドランプ 45 には、一般入賞口 44 が備えられている。

【0030】

さらに、始動口 36 の下方には大入賞口 42 が配置され、該大入賞口 42 の下方であって遊技領域 10 a の下縁部には、入賞せずに流下した遊技球を回収するアウト口 43 が開設される。大入賞口 42 は、上端側が手前側に倒れる方向に回転して開放可能になっているアタッカ形式の開閉扉 42 a を備える。特図変動表示ゲームの結果によって開閉扉 42 a を閉じた状態（遊技者にとって不利な状態）から開放状態（遊技者にとって有利な状態）に変換する。

10

【0031】

また、センターケース 51、始動口 36 やサイドランプ 45 等の取付部分を除いた遊技領域 10 a 内には、この他、遊技領域 10 a には、打球方向変換部材としての風車（図示略）、及び多数の障害釘（図示略）などが配設されている。そして、センターケース 51 と、該センターケース 51 を挟んで普図始動ゲート 34 とは反対側に位置する前面構成部材 33 との間に縦長な円弧状の遊技球通路 57 が形成されている。

【0032】

さらに、遊技盤 10 には、特図変動表示ゲーム及び普図変動表示ゲームを実行する普図・特図表示器 35 が備えられている。普図・特図表示器 35 には、特図変動表示ゲームの未処理回数（特図始動記憶数）及び普図変動表示ゲームの未処理回数（普図始動記憶数）が表示される。普図・特図表示器 35 は、遊技状態を表す遊技状態表示 LED（図示略）と併せて、セグメント LED として設けられている。

20

【0033】

普図始動ゲート 34 内には、該普図始動ゲート 34 を通過した遊技球を検出するためのゲート SW 34 a（図 9 参照）が設けられている。そして、遊技領域 10 a 内に打ち込まれた遊技球が普図始動ゲート 34 内を通過すると、普図変動表示ゲームが開始される。

【0034】

また、普図変動表示ゲームを開始できない状態で、普図始動ゲート 34 を遊技球が通過すると、普図始動記憶数が上限数未満であるならば、普図始動記憶数が 1 加算されて、当該普図変動表示ゲームが当たりとなるか否かを示す乱数が普図始動記憶として一つ記憶される。

30

【0035】

普図変動表示ゲームを開始できない状態とは、例えば、普図変動表示ゲームが既に行われ、その普図変動表示ゲームが終了していない状態や、普図変動表示ゲームに当選して始動口 36 が開状態に変換されている状態のことをいう。

【0036】

なお、普図変動表示ゲームは、表示装置 53 の表示領域の一部で普図変動表示ゲームを表示するようにしてもよく、この場合は識別図柄として、例えば、数字、記号、キャラクタ図柄などを用い、この識別図柄を所定時間変動表示させた後、停止表示させることによって行うようにする。

40

【0037】

普図変動表示ゲームの停止表示が特別の結果態様となった場合には、普図変動表示ゲームに当選したものとして、始動口 36 の開閉部材 36 a が所定時間（例えば、0.5 秒間）開放される。これにより、始動口 36 に遊技球が入賞しやすくなり、特図変動表示ゲームの始動が容易となる。始動口 36 の開閉部材 36 a は、通常時は遊技球の直径程度の間隔をおいて閉じた状態（遊技者にとって不利な状態）を保持しているが、普図変動表示ゲームの結果が所定の停止表示態様となった場合（普図変動表示ゲームに当選した場合）には、ソレノイド（普電 SOL 36 b、図 9 参照）によって、逆「八」の字状に開いて始動口 36 に遊技球が流入し易い状態（遊技者にとって有利な状態）に変化させられる。

【0038】

50

また、本発明の第１の実施の形態の遊技機１は、特図変動表示ゲームの結果態様に基づいて、遊技状態として、表示装置５３における特図変動表示ゲームの変動表示時間を短縮する時短動作状態（第２動作状態）を発生可能となっている。時短動作状態（第２動作状態）は、通常動作状態（第１動作状態）と比較して始動口３６の開閉部材３６ａが開放状態となりやすい状態である。

【００３９】

時短動作状態においては、普図変動表示ゲームの実行時間が通常動作状態における実行時間よりも短くなるように制御され（例えば、１０秒が１秒）、単位時間当りの始動口３６の開放回数が実質的に多くなるように制御される。また、時短動作状態においては、普図変動表示ゲームに当選したことによって始動口３６が開放される場合に、開放時間が通常動作状態の開放時間よりも長くなるように制御される（例えば、０．３秒が１．８秒）。また、時短動作状態においては、普図変動表示ゲームの１回の当選結果に対して、始動口３６が１回ではなく、複数回（例えば、２回）開放される。さらに、時短動作状態においては普図変動表示ゲームの当選結果となる確率が通常動作状態よりも高くなるように制御される。すなわち、通常動作状態よりも始動口３６の開放回数が増加され、始動口３６に遊技球が入賞しやすくなり、特図変動表示ゲームの始動が容易となる。

【００４０】

また、始動口３６の内部には、始動口３６を通過した遊技球を検出するための、始動口ＳＷ３６ｄ（図９参照）が備えられる。始動口ＳＷ３６ｄによって遊技球を検出すると、補助遊技としての特図変動表示ゲームを開始する始動権利が発生する。このとき、特図変動表示ゲームを開始する始動権利は、所定の上限数（例えば４）の範囲内で特図始動記憶として記憶される。

【００４１】

特図変動表示ゲームを直ちに開始できない状態、例えば、既に特図変動表示ゲームが行われ、その特図変動表示ゲームが終了していない状態や、特別遊技状態となっている場合に、始動口３６に遊技球が入賞すると、特図始動記憶数が上限数未満（例えば、４個未満）ならば、特図始動記憶数が１加算され、始動口３６に遊技球が入賞したタイミングで抽出された乱数が特図始動記憶として一つ記憶される。そして、特図変動表示ゲームが開始可能な状態となると、特図始動記憶に基づき特図変動表示ゲームが開始される。

【００４２】

補助遊技としての特図変動表示ゲームは、遊技盤１０に設けられた普図・特図表示器３５で実行され、複数の識別情報を変動表示したのち、所定の結果態様を停止表示することで行われる。また、表示装置５３にて特図変動表示ゲームに対応して複数種類の識別情報（例えば、数字、記号、キャラクタ図柄など）が変動表示される。そして、特図変動表示ゲームの結果として、普図・特図表示器３５の表示態様が特別結果態様となった場合には、大当たりとなって特別遊技状態（いわゆる、大当たり状態）となる。また、これに対応して表示装置５３の表示態様も特別結果態様（例えば、「７，７，７」等のゾロ目数字の何れか）となる。なお、普図・特図表示器３５ではなく、表示装置５３のみで特図変動表示ゲームを実行するように構成してもよい。

【００４３】

また、本発明の第１の実施の形態の遊技機１は、特図変動表示ゲームの結果態様に基づき、遊技状態として確変状態（第２確率状態）を発生可能となっている。この確変状態（第２確率状態）は、特図変動表示ゲームでの当り結果となる確率が、通常確率状態（第１確率状態）に比べて高い状態である。なお、確変状態と上述した時短動作状態はそれぞれ独立して発生可能であり、両方を同時に発生することも可能であるし、一方のみを発生させることも可能である。

【００４４】

図３は、本発明の第１の実施の形態のセンターケース５１の分解斜視図である。

【００４５】

センターケース５１は、遊技盤本体１０ｂ（遊技盤１０）の表面側に前面構成部として

10

20

30

40

50

配置される枠装飾部 6 5 と、遊技盤本体 1 0 b の裏面側に裏面構成部として配置される枠体基部 6 0 とを前後に重合して構成されている。枠装飾部 6 5 は、遊技盤本体 1 0 b の表面に止着される環状の装飾ベース 6 6 を備える。装飾ベース 6 6 の裏面側には、装飾ベース 6 6 と略同じ大きさで円形状に形成された装飾パネルユニット 6 7 を備え、枠装飾部 6 5 は、装飾ベース 6 6 と装飾パネルユニット 6 7 とを前後に重合して構成されている。

【 0 0 4 6 】

装飾ベース 6 6 の下部には、上面に遊技球を前後方向及び左右方向に転動可能なベース側ステージ部 4 9 a が配置され、該ベース側ステージ部 4 9 a と遊技球通路 5 7 との間には装飾ランプ 4 8 が配置されている（図 2 参照）。そして、ベース側ステージ部 4 9 a を挟んで装飾ランプ 4 8 とは反対側には、遊技球が流下可能な球導入路（ワープ流路）5 0 が設けられ、球導入路 5 0 の入口 5 0 a を装飾ベース 6 6 の外方へ向けて開放した状態で開設し、球導入路 5 0 の出口 5 0 b を後述する装飾パネルユニット 6 7 の裏側へ連通している。

10

【 0 0 4 7 】

装飾パネルユニット 6 7 は、略円形状の透明樹脂板で形成されたカバーパネル部 6 9 を備え、該カバーパネル部 6 9 の前面側の周縁に複数の装飾具 4 7 を配置している。装飾パネルユニット 6 7 と枠装飾部 6 5 とを重合すると、装飾具 4 7 が装飾ベース 6 6 の内周縁に沿って配置されるように設定されている（図 2 参照）。また、カバーパネル部 6 9 の上部には、信頼度報知装置 1 5 が配置されている。

【 0 0 4 8 】

20

また、カバーパネル部 6 9 の裏面側の下部には、上面に遊技球を前後方向及び左右方向に転動可能なユニット側ステージ部 4 9 b が配置される。ユニット側ステージ部 4 9 b は、装飾ベース 6 6 のベース側ステージ部 4 9 a よりも上方に配置される。

【 0 0 4 9 】

さらに、カバーパネル部 6 9 のうち球導入路 5 0 の出口 5 0 b に重合する箇所には球流入口 6 8 を開設し、該球流入口 6 8 を介して球導入路 5 0 とユニット側ステージ部 4 9 b とを連通している。したがって、遊技領域 1 0 a を流下する遊技球が球導入路 5 0 に流入すると、球導入路 5 0 がこの遊技球をユニット側ステージ部 4 9 b 上に導入できるように構成されている。

【 0 0 5 0 】

30

枠体基部 6 0 は、遊技盤 1 0 の裏面側に止着される額縁状の基部ケース 6 1 を前側が開放した状態で備え、該基部ケース 6 1 の内側（言い換えるとセンターケース 5 1 の内部）に、開口部 6 2 a が前面側に設けられた凹室 6 2 を形成している。

【 0 0 5 1 】

また、基部ケース 6 1 のうち凹室 6 2 の後方には矩形状の窓部 5 2 を前後方向へ貫通して開設し、基部ケース 6 1 の後方から表示装置 5 3 を装着して、表示装置 5 3 の表示部 5 3 a を窓部 5 2 及び凹室 6 2 を通してセンターケース 5 1 の前方へ臨ませている。

【 0 0 5 2 】

さらに、窓部 5 2 の上縁部の前側には、役物駆動ソレノイド（図示せず）によって上下動可能な複数の装飾ピース 4 6 が配置され、窓部 5 2 の左右両側の周縁には、表示部 5 3 a の前方へ移動して演出動作を行う可動演出装置 5 8 が備えられる。

40

【 0 0 5 3 】

そして、枠体基部 6 0 の前方に枠装飾部 6 5 を重合すると、凹室 6 2 の開口部 6 2 a 及び窓部 5 2 をカバーパネル部 6 9 で前方から被覆し、表示装置 5 3 の表示部 5 3 a を枠装飾部 6 5 の内側（カバーパネル部 6 9 が露出した箇所）からセンターケース 5 1 の前方へ臨ませるように構成されている。

【 0 0 5 4 】

図 4 及び図 5 は、本発明の第 1 の実施の形態の可動演出装置 5 8 の構成を説明する図である。

【 0 0 5 5 】

50

可動演出装置 5 8 は、第 1 演出ユニット 6 3 と第 2 演出ユニット 6 4 とを互いに離間した位置に備えて構成され、第 1 演出ユニット 6 3 及び第 2 演出ユニット 6 4 が連動して演出動作が実行される。

【 0 0 5 6 】

図 4 は、可動演出装置 5 8 が動作する前の状態を示す図であり、図 5 は、可動演出装置 5 8 が動作し、第 1 演出ユニット 6 3 及び第 2 演出ユニット 6 4 が動作した結果、当接部（第 1 当接部 1 2 1 及び第 2 当接部 1 2 2 ）にて当接している状態を示す図である。

【 0 0 5 7 】

第 1 演出ユニット 6 3 は、センターケース 5 1 の左側、すなわち、基部ケース 6 1 の窓部 5 2 の周縁の左側に配置される。また、第 2 演出ユニット 6 4 は、センターケース 5 1 の右側に配置される。センターケース 5 1 の前方から見て第 1 演出ユニット 6 3 と第 2 演出ユニット 6 4 との間に凹室 6 2 及び窓部 5 2 を臨ませるように配置される。

【 0 0 5 8 】

第 1 演出ユニット 6 3 は、表示部 5 3 a の前方へ移動可能な第 1 演出部材 7 0 と、該第 1 演出部材 7 0 の駆動力を発生する第 1 演出駆動源としての役物駆動第 1 モータ（MOT）7 1 と、役物駆動第 1 MOT 7 1 から発生した駆動力（回動力）を第 1 演出部材 7 0 へ伝達する第 1 演出伝達機構（第 1 主腕部材 7 3 及び第 1 副腕部材 7 4 ）とを備える。

【 0 0 5 9 】

また、役物駆動第 1 MOT 7 1 の出力軸（第 1 出力軸）7 1 a がセンターケース 5 1 の前後方向に延在し、第 1 出力軸 7 1 a には第 1 駆動ギア 7 6 を共回り可能に軸着している。

【 0 0 6 0 】

第 1 主腕部材 7 3 は、第 1 駆動ギア 7 6 と噛合される第 1 主腕ギア 7 7 が形成され、当該第 1 駆動ギア 7 6 の上方に軸着される。第 1 副腕部材 7 4 は、第 1 駆動ギア 7 6 と噛合される第 1 副腕ギア 7 8 が形成され、当該第 1 駆動ギア 7 6 の下方に軸着される。第 1 主腕部材 7 3 及び第 1 副腕部材 7 4 は、基部ケース 6 1 と軸着された端部の反対側の端部が互いに異なる位置で第 1 演出部材 7 0 に軸着し、第 1 演出部材 7 0 を支持している。

【 0 0 6 1 】

第 1 演出ユニット 6 3 は、役物駆動第 1 MOT 7 1 を駆動して第 1 駆動ギア 7 6 をセンターケース 5 1 の正面から見て時計方向へ回動すると、役物駆動第 1 MOT 7 1 の駆動力（回動力）を第 1 駆動ギア 7 6 及び第 1 主腕ギア 7 7 を介して第 1 主腕部材 7 3 へ伝達し、この駆動力により第 1 主腕部材 7 3 がセンターケース 5 1 の正面から見て反時計方向へ回動する。また、役物駆動第 1 MOT 7 1 の駆動力を第 1 駆動ギア 7 6 及び第 1 副腕ギア 7 8 を介して第 1 副腕部材 7 4 へ伝達し、この駆動力により第 1 副腕部材 7 4 が第 1 主腕部材 7 3 と同じ反時計方向へ回動する。この結果、第 1 演出部材 7 0 が第 1 主腕部材 7 3 及び第 1 副腕部材 7 4 に支持された状態で上昇する。

【 0 0 6 2 】

そして、役物駆動第 1 MOT 7 1 の駆動力により第 1 主腕部材 7 3 及び第 1 副腕部材 7 4 を上方へ延出して縦向き姿勢に設定すると、図 4 に示すように、第 1 演出部材 7 0 を表示部 5 3 a の前方から外れて位置させた第 1 演出停止状態となり、第 1 演出部材 7 0 が窓部 5 2 の側方に位置して、枠装飾部 6 5 の後方及び遊技盤本体 1 0 b の後方に隠れる（図 2 参照）。

【 0 0 6 3 】

一方、第 1 演出停止状態から役物駆動第 1 MOT 7 1 を駆動して第 1 駆動ギア 7 6 をセンターケース 5 1 の正面から見て反時計方向へ回動すると、役物駆動第 1 MOT 7 1 の駆動力（回動力）を第 1 駆動ギア 7 6 及び第 1 主腕ギア 7 7 を介して第 1 主腕部材 7 3 へ伝達し、この駆動力により第 1 主腕部材 7 3 がセンターケース 5 1 の正面から見て時計方向へ回動する。

【 0 0 6 4 】

また、役物駆動第 1 MOT 7 1 の駆動力を第 1 駆動ギア 7 6 及び第 1 副腕ギア 7 8 を介

して第1副腕部材74へ伝達し、この駆動力により第1副腕部材74が第1主腕部材73と同じ時計方向へ回転する。この結果、第1演出部材70が第1主腕部材73及び第1副腕部材74に支持された状態で下降する。

【0065】

そして、役物駆動第1MOT71の駆動力により第1主腕部材73及び第1副腕部材74を表示部53aの前方へ延出して横向き姿勢に設定すると、図5に示すように、第1演出部材70を表示部53aの前方へ位置させた第1演出実行状態となり、第1演出部材70が表示部53aとカバーパネル部69との間の空間部のうち表示部53aの中央部分の前方に位置する。

【0066】

第2演出ユニット64は、表示部53aの前方へ移動可能な第2演出部材80と、該第2演出部材80の駆動力を発生する第2演出駆動源としての役物駆動第2モータ(MOT)81と、役物駆動第2MOT81から発生した駆動力(回動力)を第2演出部材80へ伝達する第2演出伝達機構(第2主腕部材83及び第2副腕部材84)とを備える。

【0067】

また、役物駆動第2MOT81を出力軸(第2出力軸)81aがセンターケース51の前後方向に延在し、第2出力軸81aには第2駆動ギア86を共回り可能に軸着している。

【0068】

第2主腕部材83は、第2駆動ギア86と噛合される第2主腕ギア87が形成され、当該第2駆動ギア86よりも第1演出ユニット63寄りの位置に軸着される。第2副腕部材84は、第2駆動ギア86と噛合される第2副腕ギア88が形成され、当該第2駆動ギア86の下方に軸着される。第2主腕部材83及び第2副腕部材84は、基部ケース61と軸着された端部の反対側の端部が互いに異なる位置で第2演出部材80に軸着し、第2演出部材80を支持している。

【0069】

第2演出ユニット64は、役物駆動第2MOT81を駆動して第2駆動ギア86をセンターケース51の正面から見て時計方向へ回転すると、役物駆動第2MOT81の駆動力(回動力)を第2駆動ギア86及び第2主腕ギア87を介して第2主腕部材83へ伝達し、この駆動力により第2主腕部材83がセンターケース51の正面から見て反時計方向へ回転する。また、役物駆動第2MOT81の駆動力を第2駆動ギア86及び第2副腕ギア88を介して第2副腕部材84へ伝達し、この駆動力により第2副腕部材84が第2主腕部材83と同じ反時計方向へ回転する。この結果、第2演出部材80が第2主腕部材83及び第2副腕部材84に支持された状態で下降する。

【0070】

そして、役物駆動第2MOT81の駆動力により第2主腕部材83及び第2副腕部材84を回転して第2演出部材80を下死点へ到達させ、引き続き第2主腕部材83及び第2副腕部材84を回転して斜め下方へ延出して縦向き姿勢に設定し、第2演出部材80を下死点から僅かに上昇させると、図4に示すように、第2演出部材80を表示部53aの前方から外れて位置させた第2演出停止状態となり、第2演出部材80が枠装飾部65の後方及び遊技盤本体10bの後方に隠れる(図2参照)。

【0071】

一方、第2演出停止状態から役物駆動第2MOT81を駆動して第2駆動ギア86をセンターケース51の正面から見て反時計方向へ回転すると、役物駆動第2MOT81の駆動力(回動力)を第2駆動ギア86及び第2主腕ギア87を介して第2主腕部材83へ伝達し、この駆動力により第2主腕部材83がセンターケース51の正面から見て時計方向へ回転する。

【0072】

また、役物駆動第2MOT81の駆動力を第2駆動ギア86及び第2副腕ギア88を介して第2副腕部材84へ伝達し、この駆動力により第2副腕部材84が第2主腕部材83

10

20

30

40

50

と同じ時計方向へ回転する。この結果、第2演出部材80が第2主腕部材83及び第2副腕部材84に支持された状態で上昇する。

【0073】

そして、役物駆動第2MOT81の駆動力により第2主腕部材83及び第2副腕部材84を表示部53aの前方へ延出して横向き姿勢に設定すると、図5に示すように、第2演出部材80を表示部53aの前方へ位置させた第2演出実行状態となり、第2演出部材80が表示部53aとカバーパネル部69との間の空間部のうち表示部53aの中央部分の前方に位置する。

【0074】

図6は、本発明の第1の実施の形態の第1演出部材70の分解斜視図である。

10

【0075】

第1演出部材70は、センターケース51の正面から見て略半円形状の部材であり、第1演出ユニット63側に円弧面を配置した姿勢に設定されている。

【0076】

第1演出部材70には、基部となる第1演出ベース100が備えられる。第1演出ベース100は、透明な樹脂によって形成される。第1演出ベース100の上部には、第1主腕部材73を第1演出ベース100の前方から軸着する第1主腕軸着部101を形成し、第1演出ベース100の下部には、第1副腕部材74を第1演出ベース100の後方から軸着する第1副腕軸着部102を形成している。

【0077】

20

第1演出ベース100の前面には、光を拡散しながら透過可能な第1光拡散シート103が重合される。さらに、第1光拡散シート103の前面に透明な第1保護パネル104を重合することによって、第1光拡散シート103が第1演出部材70から脱落することを阻止している。

【0078】

また、第1演出ベース100の後部を前方へ窪ませて第1基板収納空間部105を形成し、該第1基板収納空間部105にLEDなどの発光装置（装飾装置620、図17参照）が実装された第1発光基板106を収納する。さらに、この状態で第1基板収納空間部105を第1ベース蓋部107で閉塞し、第1発光基板106が第1演出部材70から脱落することを阻止している。

30

【0079】

そして、第1発光基板106の発光装置から光を発生すると、この光が第1演出ベース100、第1光拡散シート103、第1保護パネル104を透過してセンターケース51の前方へ照射されるように構成されている。

【0080】

さらに、第1当接部121の第1基板収納空間部105側には、後部が開放された第1演出磁石ホルダ124を窪ませて形成されている。第1演出磁石ホルダ124には、ボタン形状の永久磁石からなる第1磁石125を磁極が第2演出部材80側へ向いた姿勢で、第1磁石125が第1当接部121（第1演出磁石ホルダ124）から脱落しないように収納されている。

40

【0081】

第1発光基板106には、装飾装置620の発光を制御するためのI²C I/Oエキスパンダ615（図17参照）が搭載され、演出制御装置550から出力された制御信号（電気信号）など送信するためのデータ線及びクロック線（信号線）が接続される。さらに、装飾装置620を発光させるために必要な電力を供給するための電源線などが接続される。これらの接続線は、ケーブル108としてまとめられて接続されている。

【0082】

図7は、本発明の第1の実施の形態の第2演出部材80の分解斜視図である。

【0083】

第2演出部材80は、センターケース51の正面から見て上部に切欠部分がある略平行

50

四辺形状となっている。第2演出停止状態においては第2演出部材80の上下両側面を第2演出ユニット64側から第1演出ユニット63側へ向けて下り傾斜させ(図4参照)、第2演出実行状態においては当該第2演出部材80の左右両側面を第2演出ユニット64側から第1演出ユニット63側へ向けて下り傾斜させる姿勢に設定されている(図5参照)。

【0084】

第2演出部材80には、基部となる第2演出ベース110が備えられる。第2演出ベース110は、透明な樹脂によって形成される。第2演出ベース110の上部には、第2主腕部材83を第2演出ベース110の前方から軸着する第2主腕軸着部111を形成し、第2演出ベース110の下部には、第2副腕部材84を第2演出ベース110の後方から軸着する第2副腕軸着部112を形成している。

10

【0085】

さらに、第2演出ベース110の前面には、光を拡散しながら透過可能な第2光拡散シート113を重合される。第2光拡散シート113の前面に透明な第2保護パネル114を重合することによって、第2光拡散シート113が第2演出部材80から脱落することを阻止している。

【0086】

また、第2演出ベース110の後部を前方へ窪ませて第2基板収納空間部115を形成し、該第2基板収納空間部115にLEDなどの発光装置(装飾装置620)が実装された第2発光基板116を収納し、この状態で第2基板収納空間部115を第2ベース蓋部117で閉塞して、第2発光基板116が第2演出部材80から脱落することを阻止している。

20

【0087】

そして、第2発光基板116の発光装置から光を発生すると、この光が第2演出ベース110、第2光拡散シート113、第2保護パネル114を透過してセンターケース51の前方へ照射されるように構成されている。

【0088】

さらに、第2当接部122の第2基板収納空間部115側には、後部が開放された第2演出磁石ホルダ128を窪ませて形成されている。第2演出磁石ホルダ128には、ボタン形状の永久磁石からなる第2磁石129が、第1当接部121及び第2当接部122を挟んで第1磁石125とは対称となる位置に収納されている。

30

【0089】

第2発光基板116には、第1発光基板106と同様に、装飾装置620の発光を制御するためのI²C I/Oエキスパンダ615(図17参照)が搭載され、演出制御装置550から出力された制御信号などを送信するためのデータ線及びクロック線(信号線)が接続される。さらに、装飾装置620を発光させるために必要な電力を供給するための電源線などが接続される。これらの接続線は、ケーブル118としてまとめられて接続されている。

【0090】

可動演出装置58は、第1演出部材70に第1当接部121を備えるとともに、第2演出部材80に第2当接部122を備える。そして、第1演出ユニット63を第1演出実行状態へ変換するとともに、第2演出ユニット64を第2演出実行状態へ変換すると、第1当接部121と第2当接部122とが当接し、第1演出部材70と第2演出部材80とで1つの装飾体を形成する。このとき、第1磁石125と第2磁石129との間で吸引力を発生するように第1磁石125及び第2磁石129が配置されている。さらに、この形成された装飾体を表示部53aの中央部の前方に位置させるように構成している。

40

【0091】

図8は、本発明の第1の実施の形態の遊技機1の配線を説明する図である。

【0092】

図8では、遊技盤本体10bにセンターケース51が取り付けられ、表示装置53がセ

50

ンターケース 5 1 に取り付けられる前の状態を示している。また、表示装置 5 3 の背面には、演出制御装置 5 5 0 が取り付けられている。演出制御装置 5 5 0 には、接続端子 9 0 が備えられており、接続端子 9 0 を介して制御対象の演出装置に対し、制御信号の送信や電力の供給を行う。具体的には、後述する中継基板 6 0 0 にケーブル 9 1 を介して接続する。

【 0 0 9 3 】

また、遊技盤本体 1 0 b の背面下部には、遊技制御装置 5 0 0 や各種制御基板を含む制御ユニット 7 0 0 が配置される。制御ユニット 7 0 0 に搭載される制御基板には、演出制御装置 5 5 0 から送信された制御信号を、装飾制御装置 6 1 0 (図 1 1 参照) に中継する中継基板 6 0 0 が含まれる。装飾制御装置 6 1 0 は、詳細については後述するが、遊技を演出するための発光装置 (例えば、LED) や可動物 (例えば、モータ) などの演出装置の制御を行う。また、中継基板 6 0 0 は、装飾制御装置 6 1 0 と同様に、発光装置や可動物を接続可能である。

10

【 0 0 9 4 】

中継基板 6 0 0 には、演出制御装置 5 5 0 にケーブル 9 1 を介して接続される上流コネクタ 6 0 1 が備えられる。ケーブル 9 1 の一方のコネクタ 9 1 a は、前述のように、演出制御装置 5 5 0 の接続端子 9 0 に接続される。ケーブル 9 1 の他方のコネクタ 9 1 b は、中継基板 6 0 0 の上流コネクタ 6 0 1 に接続される。さらに、遊技機 1 に備えられた各演出装置の制御を行う装飾制御装置 6 1 0 に接続するためのコネクタ 6 0 2 a ~ 6 0 2 e を備える。

20

【 0 0 9 5 】

さらに、中継基板 6 0 0 には、接続されたケーブルの接続状態を示す空き端子モニタ 6 0 3 が備えられている。空き端子モニタ 6 0 3 の詳細については、図 1 5 にて説明する。

【 0 0 9 6 】

また、図示は略するが、遊技制御装置 5 0 0 を構成するユニットが、中継基板 6 0 0 のコネクタ装着面を覆うようにして設けられている。そのため、遊技制御装置 5 0 0 は、中継基板 6 0 0 の各コネクタに必要なケーブルを装着した後に取り付けられる配置構成となっている。

【 0 0 9 7 】

前面枠 3 には、当該前面枠 3 に配置されたスピーカ 3 0 及び装飾部材 9 a、9 b などを制御するための信号を送信するケーブル 3 b が接続されている。このケーブル 3 b のコネクタは、演出制御装置 5 5 0 の接続端子 9 2 に接続される。

30

【 0 0 9 8 】

遊技盤本体 1 0 b には、サイドランプ 4 5 を取り付けための開口部 4 5 b が形成されている。サイドランプ 4 5 には、電力及び信号を送信するケーブル 4 5 a が接続され、開口部 4 5 b から遊技盤 1 0 の裏面側へ導入される。遊技盤 1 0 の裏面側へ導入されたケーブル 4 5 a は、中継基板 6 0 0 に接続され、例えば、コネクタ 6 0 2 d に接続される。

【 0 0 9 9 】

また、遊技盤 1 0 の下部には、図 2 に示したように、始動口 3 6 及び大入賞口 4 2 が配置される。始動口 3 6 が配置されている遊技盤 1 0 の裏側には、普図変動表示ゲームに当選した場合に開放される開閉部材 3 6 a を開閉するための普電ソレノイド (SOL) 3 6 b が配置される。また、特図変動表示ゲームに当選した場合に、大入賞口 4 2 を開閉するための大入賞口 SOL 4 2 b も遊技盤 1 0 の裏側に配置されている。普電 SOL 3 6 b 及び大入賞口 SOL 4 2 b には、制御信号の入力を受け付けるためのケーブル (図示略) が接続され、このケーブルは遊技制御装置 5 0 0 に接続されている。また、ケーブル 4 2 c は、大入賞口 4 2 の内部に備えられる演出用の LED を点灯させるための電力及び信号を伝達するケーブルとして中継基板 6 0 0 に接続され、例えば、コネクタ 6 0 2 f に接続される。

40

【 0 1 0 0 】

前述のように、遊技盤 1 0 の中央部には、センターケース 5 1 が取り付けられている。

50

センターケース 51 の内部には、第 1 演出部材 70 及び第 2 演出部材 80 によって構成される可動演出装置 58 が備えられる。図 8 では、第 1 演出部材 70 及び第 2 演出部材 80 が当接面 (121, 122) で当接している状態となっている。

【0101】

また、可動演出装置 58 の第 1 演出ユニット 63 及び第 2 演出ユニット 64 には、前述のように、第 1 演出部材 70 及び第 2 演出部材 80 を稼動させるためのモータ (役物駆動第 1 モータ 71、役物駆動第 2 モータ 81) が備えられている。そして、これらのモータを制御するための信号及びモータを駆動させるための電力を供給するためのケーブル 652 が可動演出装置 58 に接続されている。また、可動演出装置 58 には、これらのモータの動作状態を検知するためのモータ位置検出センサ (図示せず) が備えられており、センシング結果を受信するためのケーブル 651 が接続されている。ケーブル 652 及びケーブル 651 は、センターケース 51 の開口部 51b から遊技盤 10 の裏面側に延びており、中継基板 600 に接続される。例えば、ケーブル 652 はコネクタ 602c に接続され、ケーブル 651 はコネクタ 602e に接続される。

10

【0102】

さらに、演出制御装置 550 から出力された制御信号を、センターケース 51 の内部に配置された LED などの演出装置を制御するための装飾制御装置 610 (図 11 参照) へ伝達するケーブル 653 が接続される。ケーブル 653 は、センターケース 51 に設けられた開口部 51a から遊技盤 10 の裏面側の中継基板 600 に接続され、例えば、コネクタ 602a に接続される。

20

【0103】

図 9 は、本発明の第 1 の実施の形態の遊技機 1 の構成を示すブロック図である。

【0104】

遊技機 1 は、遊技を統括的に制御する遊技制御装置 500、各種演出を行うために表示装置 53 及びスピーカ 30 等を制御する演出制御装置 550、遊技球を払い出すために図示しない払出モータを制御する払出制御装置 580 を備える。

【0105】

まず、遊技制御装置 500 の構成について説明する。なお、演出制御装置 550 については、図 10 にて説明する。

【0106】

遊技制御装置 500 は、遊技用マイコン 501、入力 I/F (Interface) 505、出力 I/F (Interface) 506、及び外部通信端子 507 を備える。

30

【0107】

遊技用マイコン 501 は、CPU 502、ROM (Read Only Memory) 503 及び RAM (Random Access Memory) 504 を備える。

【0108】

CPU 502 は、遊技を統括的に制御する主制御装置であって、遊技制御を司る。ROM 503 は、遊技制御のための不変の情報 (プログラム、データ等) を記憶している。RAM 504 は、遊技制御時にワークエリアとして利用される。

【0109】

外部通信端子 507 は、遊技制御装置 500 の設定情報等を検査する検査装置等の外部機器に遊技制御装置 500 を接続する。

40

【0110】

CPU 502 は、入力 I/F 505 を介して各種入力装置 (始動口 SW 36d、一般入賞口 SW 44a ~ 44n、ゲート SW 34a、カウント SW 42d、ガラス枠開放 SW 18a、前面枠開放 SW 3a、球切れ SW 54、振動センサ 55、及び磁気センサ 56) からの検出信号を受けて、大当り抽選等、種々の処理を行う。

【0111】

始動口 SW 36d は、始動口 36 に遊技球が入賞したことを検出するスイッチである。一般入賞口 SW 44a ~ 44n は、一般入賞口 44 に遊技球が入賞したことを検出するス

50

イッチである。

【 0 1 1 2 】

ゲート S W 3 4 a は、普図始動ゲート 3 4 を遊技球が通過したことを検出するスイッチである。カウント S W 4 2 d は、大入賞口 4 2 に遊技球が入賞したことを検出するスイッチである。

【 0 1 1 3 】

ガラス枠開放 S W 1 8 a は、ガラス枠 1 8 が開放されたことを検出するスイッチである。前面枠開放 S W 3 a は、前面枠 3 が開放されたことを検出するスイッチである。

【 0 1 1 4 】

球切れ S W 5 4 は、遊技機 1 の内部に貯留され、払い出しに用いられる遊技球の数が所定数以下になったことを検出するスイッチである。

10

【 0 1 1 5 】

振動センサ 5 5 は、遊技機 1 に与えられた振動を検出するセンサであり、遊技機 1 を振動させるなどの不正行為を検出する。磁気センサ 5 6 は、始動口 3 6 の第 2 始動入賞口、一般入賞口 4 4、大入賞口 4 2、及び普図始動ゲート 3 4 付近に設けられ、磁力を検出するセンサである。磁気センサ 5 6 は、各入賞口付近に磁石を近づけて、遊技領域 1 0 a に発射された遊技球を各入賞口に導く不正を検出する。

【 0 1 1 6 】

また、C P U 5 0 2 は、出力 I / F 5 0 6 を介して、普図・特図表示器 3 5、普電 S O L 3 6 b、大入賞口 S O L 4 2 b、払出制御装置 5 8 0、及び演出制御装置 5 5 0 に指令

20

【 0 1 1 7 】

普図・特図表示器 3 5 には、前述のように、特図変動表示ゲーム及び普図変動表示ゲームが実行される。さらに、特図変動表示ゲームの未処理回数（特図始動記憶数）及び普図変動表示ゲームの未処理回数（普図始動記憶数）が表示される。普図変動表示ゲームが当たりとなるか否かを示す乱数を含む普図始動記憶、及び特図変動表示ゲームが当たりとなるか否かを示す乱数を含む特図始動記憶が記憶されている。

【 0 1 1 8 】

普電 S O L 3 6 b は、普図変動表示ゲームの停止表示が特別の結果態様となった場合に、開閉部材 3 6 a を開放することによって、始動口 3 6 に遊技球が入賞しやすい状態にする。

30

【 0 1 1 9 】

大入賞口 S O L 4 2 b は、特図変動表示ゲームの結果が特別の結果態様となって、特別遊技状態（大当たり状態）となった場合に、大入賞口 4 2 の開閉扉 4 2 a を開放して、遊技球が入賞しやすい状態に変換する。

【 0 1 2 0 】

遊技制御装置 5 0 0 は、外部情報端子 5 0 8 から図示しない情報収集端末装置を介して、遊技機データを図示しない遊技場管理装置に出力する。遊技場管理装置は、遊技場に設置された遊技機 1 の遊技データを収集管理する計算機である。

【 0 1 2 1 】

40

払出制御装置 5 8 0 は、遊技球が一般入賞口 4 4 又は大入賞口 4 2 に入賞した場合に、入賞した入賞口に対応する数の遊技球の払出指令を遊技制御装置 5 0 0 から受信する。また、球貸ボタン 2 6 が操作された場合にも所定数の遊技球の払い出しを行う払出指令を遊技制御装置 5 0 0 から受信する。払出制御装置 5 8 0 は、受信した払出指令に基づいて、図示しない払出モータを制御し、払出指令に指定された数の遊技球を払い出す。

【 0 1 2 2 】

遊技制御装置 5 0 0 は、変動開始コマンド、客待ちデモコマンド、ファンファーレコマンド、確率情報コマンド、及びエラー指定コマンド等を、遊技の状況を示す遊技データとして、出力 I / F 5 0 6 を介して、演出制御装置 5 5 0 へ送信する。

【 0 1 2 3 】

50

図10は、本発明の第1の実施の形態の演出制御装置550の構成を示すブロック図である。

【0124】

演出制御装置550は、遊技制御装置500から入力される遊技データに基づいて、演出内容を決定し、表示装置53を制御するとともに、遊技盤10及び前面枠3に備えられた各種演出装置を制御する。演出装置には、LEDなどの発光装置やモータ又はソレノイドなどの可動物が含まれる。

【0125】

演出制御装置550は、CPU551、制御ROM552、RAM553、画像ROM554、音ROM555、VDP556、音LSI557、入力I/F558b、出力I/F558a、電源投入検出回路559、第1マスタIC570a、第2マスタIC570b、NORゲート回路561及び監視タイマ回路562を備える。さらに、演出制御装置550は、遊技盤10に接続される接続端子90と、前面枠3に接続される接続端子92を備える。なお、第1マスタIC570a及び第2マスタIC570bに共通の機能については、単に「マスタIC」として説明する。

10

【0126】

CPU551は、遊技制御装置500から送信された指令信号が通信割込としての割込信号(INT)として入力され、入力された指令信号に基づいて、各種演出を制御する。また、CPU551には、第1マスタIC570a及び第2マスタIC570bからマスタ割込としての割込信号(INT)が入力されるとともに、VDP556からも画像更新割込としての割込信号(INT)が入力される。

20

【0127】

さらに、CPU551は、監視タイマ回路562からもタイムアウト割込としての割込信号(INT)が入力される。監視タイマ回路562は、複数種類の監視タイマが内蔵されており、CPU551によって設定された監視タイマ値がタイムアップすると、CPU551に割込信号を出力する。CPU551は、割込信号の入力を受け付けると、実行中の処理を中断し、入力された割込信号に対応する処理を実行する。

【0128】

制御ROM552には、演出制御のための不変の情報(プログラム、データ等)が格納されている。RAM553は、演出制御時にワークエリアとして利用される。

30

【0129】

画像ROM554は、VDP556に接続され、表示装置53に表示される画像データを格納する。VDP556は、表示装置53への画像出力を制御するプロセッサである。

【0130】

また、VDP556は、表示装置53に表示される画像を更新する周期(33ms周期)と同期する同期信号を発生させる同期信号発生手段を備える。同期信号発生手段は、同期信号を発生させるごとに、発生させた同期信号をCPU551に割込信号として入力する。

【0131】

音ROM555は、音LSI557に接続され、前面枠3に備えられたスピーカ30から出力される音データを格納する。音LSI557は、スピーカ30からの音声出力を制御する回路である。

40

【0132】

入力I/F558bは、フィルタ565a及び565bを介して外部から入力された情報を受け付けるインタフェースである。具体的には、前面枠3に備えられた演出ボタン17が操作されたことを示す信号の入力を受け付けたり、遊技盤10に備えられたモータ位置検出センサによって検出された各モータの位置情報などの入力を受け付けたりする。

【0133】

電源投入検出回路559は、演出制御装置550に電源が投入された場合に、第1マスタIC570a及び第2マスタIC570bのレジスタをデフォルト状態(すべて0)に

50

初期化するリセット信号を発生させ、NORゲート回路561に出力する。

【0134】

また、CPU551は、所定の条件が成立した場合に、バス563を介してリセット信号を出力I/F558aに出力する。そして、出力I/F558aは、入力されたリセット信号をNORゲート回路561に出力し、さらに、NORゲート回路561から、第1マスタIC570a及び第2マスタIC570bに当該リセット信号を出力する。所定の条件とは、例えば、すべての装飾制御装置610において、エラーフラグが「ON」になった場合などである(図32及び図33参照)。

【0135】

また、出力I/F558aは、ドライバ564a及びドライバ564bを介して、遊技盤10や前面枠3に備えられた演出装置(モータ又はソレノイドなどの可動物で駆動する演出装置)へ制御信号を出力する。

【0136】

なお、電源投入検出回路559からNORゲート回路561に入力されるリセット信号と、CPU551から出力I/F558aを介してNORゲート回路561に入力されるリセット信号は、いずれの場合にもLOWレベルの状態のときにリセットを指令する信号として機能する。そのため、電源投入検出回路559及びCPU551の少なくとも一方からNORゲート回路561にリセット信号が出力されていれば、NORゲート回路561を介してリセット信号が第1マスタIC570a及び第2マスタIC570bに入力される。

【0137】

図11は、本発明の第1の実施の形態の演出制御装置550に備えられた第1マスタIC570aと遊技盤10に備えられた演出装置の構成を示すブロック図である。

【0138】

遊技盤10は、第1マスタIC570aに接続される中継基板600、当該中継基板600に接続される装飾装置基板625及び補助遊技装置ユニット12を備える。

【0139】

中継基板600は、第1マスタIC570aから送信された電気信号を、遊技盤10に備えられた装飾制御装置610に送信(中継)する。また、中継基板600には、装飾制御装置610と同様に、演出装置を制御する機能を有し、当該中継基板600に直接接続された装飾装置基板625を制御する。

【0140】

装飾装置620は、装飾制御装置610に備えられるI²C I/Oエクスパンダ615(図17参照)によって制御され、電流を流すことによって光が点滅して演出を行う発光装置であり、例えばLEDなどである。装飾装置基板625は、サイドランプ45(図8参照)に設けられる基板であり、サイドランプ45の発光装置(LED)が搭載されている。このサイドランプ45の発光装置は、中継基板600に備えられるI²C I/Oエクスパンダ615によって、直接制御される。

【0141】

補助遊技装置ユニット12には、LEDなどの発光装置である装飾装置620、可動物である役物駆動第1モータ(MOT)71及び役物駆動第2MOT81が含まれている。補助遊技装置ユニット12内の装飾装置620は、当該補助遊技装置ユニット12に含まれる装飾制御装置610によって制御される。本発明の第1の実施の形態では、役物駆動第1MOT71及び役物駆動第2MOT81は、中継基板600によって制御されるように構成されているが、装飾装置620と同様に当該補助遊技装置ユニット12に含まれる装飾制御装置610によって制御されるように構成してもよい。

【0142】

役物駆動第1MOT71及び役物駆動第2MOT81は、電流が流れると回転動作することによって演出動作を行う駆動装置である。役物駆動第1MOT71及び役物駆動第2MOT81は、演出制御装置550のドライバ564により中継基板600を経由して直

10

20

30

40

50

接制御されるので、 I^2C I/Oエクスパンダ 615 を介在させる処理は行われない。

【0143】

本発明の第1の実施の形態では、役物駆動第1MOT71及び役物駆動第2MOT81は、可動演出装置58に含まれ、具体的には、役物駆動第1MOT71は第1演出ユニット63、役物駆動第2MOT81は第2演出ユニット64に含まれている。

【0144】

演出制御装置550は、役物駆動第1MOT71及び役物駆動第2MOT81を制御することによって、第1演出ユニット63及び第2演出ユニット64が連動した演出動作を実行させる。

【0145】

第1マスタIC570aは、制御対象となる装飾装置620を制御する装飾制御装置610に個別に割り当てられたアドレスを指定して、指定した個別アドレスの装飾制御装置610に装飾装置620の制御内容を出力する。なお、装飾制御装置610の個別アドレスは、正確には、装飾制御装置610に含まれる I^2C I/Oエクスパンダ615（図17参照）の個別アドレスである。

【0146】

第1マスタIC570aは、接続線SDA、接続線SCL、接続線GND、接続線Vcc、接続線Vled、接続線Vms、及び接続線Vseの7種類の接続線を介して、中継基板（装飾制御装置）600に接続される。これらの接続線は、第1マスタIC570aと中継基板600とを接続するケーブル91（図8参照）により構成される。

【0147】

接続線SDAは、演出制御装置550と装飾制御装置610との間でデータを通信するための接続線であり、本発明の第1の実施の形態におけるデータ線として機能する。接続線SCLは、接続線SDAでのデータ通信に用いられるクロック信号を入出力するための接続線であり、本発明の第1の実施の形態におけるタイミング信号線として機能する。接続線GNDは、接続線Vcc、接続線Vled、接続線Vms、及び接続線Vseで供給される電源のグラウンドである。

【0148】

接続線Vccは、中継基板600及び装飾制御装置610にロジック用の電源を供給するための接続線である。接続線Vledは、LED（装飾装置620）を発光させるための電源を供給するための接続線である。接続線Vmsは、補助遊技装置ユニット12に含まれるモータやソレノイド（具体的には、役物駆動第1MOT71、役物駆動第2MOT81）に電源を供給するための接続線である。接続線Vseは、各種センサ（演出装置に含まれるモータの状態を検出する状態検出センサであって、具体的には、モータ位置検出センサ560aが相当する）に電源を供給するための接続線である。

【0149】

中継基板600と補助遊技装置ユニット12との間は、演出制御装置550と中継基板600との間を接続する7種類の接続線が接続される。本発明の第1の実施の形態では、モータ位置検出センサ560a、役物駆動第1MOT71及び役物駆動第2MOT81は、中継基板600によって直接制御されるため、前述した7種類の接続線のうち、接続線Vms及び接続線Vse以外の5種類の接続線が、補助遊技装置ユニット12の最上流に配置された装飾制御装置610に接続される。具体的には、中継基板600と装飾制御装置610との間は、接続線Vcc、接続線Vled、接続線SDA、接続線SCL及び接続線GNDが接続される。

【0150】

なお、図8に示した配線（ケーブル）と各接続線を対応させると、演出制御装置550から中継基板600に引き渡される各種接続線（接続線Vcc、接続線Vled、接続線SDA、接続線SCL、接続線Vms、接続線Vse、及び接続線GND）は、ケーブル91に含まれている。

【0151】

また、これらの各種接続線は、中継基板 600 からさらに分岐して別の基板に引き渡され、中継基板 600 から分岐する接続線 Vcc、接続線 Vled、接続線 SDA、及び接続線 SCL はケーブル 653 に、接続線 Vms はケーブル 652 に、接続線 Vse はケーブル 651 に含まれている。また、中継基板 600 から分岐する接続線 GND が、ケーブル 651 ~ 653 の全てに含まれている。

【0152】

第 1 マスタ IC 570a と装飾制御装置 610 とは、接続線 SDA 及び接続 SCL によって 2 ライン双方向通信を行う。第 1 マスタ IC 570a は、CPU 551 からの指令に基づいて、装飾制御装置 610 との間に接続された接続線 SDA 及び接続線 SCL の各信号レベルを制御する（第 1 の）信号レベル制御手段として機能する。

10

【0153】

第 1 マスタ IC 570a は、中継基板 600 及び装飾制御装置 610 にデータを送信する場合には、まず、接続線 SCL の信号レベルを HIGH に維持したまま、接続線 SDA の信号レベルを HIGH から LOW に変化させることにより、装飾制御装置 610 へのデータ出力を開始するためのスタート条件を成立させる（装飾制御装置 610 に対してスタートコンディションを発行（出力）する）。

【0154】

この後、第 1 マスタ IC 570a は、接続線 SCL の信号レベルを LOW に変更し、接続線 SCL の信号レベルが LOW である間に接続線 SDA の信号レベルを送信データの最初のビットのレベルに設定し、所定時間後に接続線 SCL の信号レベルを LOW から HIGH に変化させる。接続線 SCL の信号レベルが HIGH に変化すると、装飾制御装置 610 は接続線 SDA の信号レベルを取得し、送信データの最初のビットとして認識する。次いで、第 1 マスタ IC 570a は、接続線 SCL の信号レベルを HIGH から LOW に戻す。

20

【0155】

この手順を 1 回実行すると、第 1 マスタ IC 570a から装飾制御装置 610 へ 1 ビットのデータが送信され、最終的にはこの手順が 8 回繰り返されることで、送信データの 8 ビットすべてが第 1 マスタ IC 570a から装飾制御装置 610 へ送信される（1 バイト分のデータが送信される）。

【0156】

30

そして、第 1 マスタ IC 570a は、最後の 8 ビット目のデータ送信が終了すると、接続線 SCL の信号レベルを HIGH から LOW に戻した際に、接続線 SDA を解放して装飾制御装置 610 からの返答信号を受信することを待機する受信待機状態にする。

【0157】

受信待機状態になると、装飾制御装置 610 は、接続線 SDA を介して 1 ビットの返答信号（後述する ACK 又は NACK）を第 1 マスタ IC 570a に返す。次いで、第 1 マスタ IC 570a は、接続線 SCL の信号レベルを LOW から HIGH に変化させて返答信号のレベルを取り込み、所定時間後に接続線 SCL の信号レベルを HIGH から LOW に変化させると、装飾制御装置 610 は接続線 SDA を解放する。

【0158】

40

第 1 マスタ IC 570a は、このような 1 バイト分のデータ送信と 1 ビット分の返答信号の受信とを交互に繰り返し、装飾制御装置 610 へ出力すべきデータがすべて出力されるまで継続する。第 1 マスタ IC 570a は、出力すべきデータの出力が終了した場合には、接続線 SCL の信号レベルを HIGH に維持したまま、接続線 SDA の信号レベルを LOW から HIGH に変更させることにより、装飾制御装置 610 へのデータ出力を終了するためのストップ条件を成立させる（装飾制御装置 610 に対してストップコンディションを発行する）。

【0159】

入力用バッファ 571 は、装飾制御装置 610 から接続線 SDA を介して入力されたデータが一時的に記憶される記憶装置である。

50

【0160】

具体的には、第1マスタIC570aが入力モードに設定された場合において、装飾制御装置610から第1マスタIC570aに送信されたデータが、フィルタ575aによりノイズが除去されて入力用バッファ571に一時的に記憶される。

【0161】

出力用バッファ572は、装飾制御装置610に接続線SDAを介して出力するデータが一時的に記憶される。

【0162】

リセットレジスタ(REG)573は、バス563に接続され、演出制御装置550のCPU551からの指令を受け付けてリセット信号をコントローラ574に出力する。コントローラ574は、第1マスタIC570aを統括的に制御し、各種処理を実行する。

10

【0163】

フィルタ575aは、接続線SDAから入力されたデータのノイズを除去する。ドライバ576aは、接続線SDAからデータを出力する場合に、トランジスタ578aが動作可能な電圧をトランジスタ578aに印加する。

【0164】

接続線SDAは、プルアップ抵抗Rによって所定の電圧が印加され(図21参照)、フィルタ575a及びトランジスタ578aに接続されている。

【0165】

トランジスタ578aは、電力消費を抑えるために電界効果トランジスタ(FET)が用いられている。トランジスタ578aのゲートはドライバ576aに接続され、ドレインはプルアップ抵抗Rにより所定の電圧が印加された接続線SDAに接続され、ソースは接地されている。

20

【0166】

トランジスタ578aのゲートに印加される電圧がトランジスタ578aを動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れないので、接続線SDAに印加された電圧は降下せず、その結果、接続線SDAはHIGHレベルとなる。一方、トランジスタ578aのゲートに印加される電圧がトランジスタ578aを動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線SDAの電圧が低下し、その結果、接続線SDAはLOWレベルとなる。

30

【0167】

なお、トランジスタ578aは、10ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のもを用いている。このため、接続線SDAには、通常のI²Cバス使用で用いられる電流値よりもはるかに大きい10ミリアンペア程度の電流を流すことが可能であり、演出制御装置550と装飾制御装置610との間のデータ送信が、ノイズによる障害に耐えうる構成となっている。

【0168】

ドライバ576aは、データを接続線SDAから出力する場合に、トランジスタ578aにドレインとソースとの間に電流を流すためにトランジスタ578aのゲートにトランジスタ578aが動作可能な値の電圧を印加する。そして、ドライバ576aは、接続線SDAの電圧を、HIGHレベル又はLOWレベルに設定することによって、データを接続線SDAから出力する。

40

【0169】

また、フィルタ575bは、接続線SCLから入力されたデータのノイズを除去する。ドライバ576bは、接続線SCLからデータを出力する場合に、トランジスタ578bが動作可能な電圧をトランジスタ578bに印加する。

【0170】

接続線SCLは、プルアップ抵抗Rによって所定の電圧が印加され(図21参照)、フィルタ575b及びトランジスタ578bに接続されている。

50

【0171】

トランジスタ578bは、電力消費を抑えるために電界効果トランジスタ(FET)が用いられている。トランジスタ578bのゲートはドライバ576bに接続され、ドレインはプルアップ抵抗Rにより所定の電圧が印加された接続線SCLに接続され、ソースは接地されている。

【0172】

トランジスタ578bのゲートに印加される電圧がトランジスタ578bを動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れないので、接続線SCLに印加された電圧は降下せず、その結果、接続線SCLはHIGHレベルとなる。一方、トランジスタ578bのゲートに印加される電圧がトランジスタ578bを動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線SCLの電圧が低下し、その結果、接続線SCLはLOWレベルとなる。

10

【0173】

なお、トランジスタ578bは、10ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のもを用いている。そのため、接続線SCLには、通常のI²Cバス使用で用いられる電流値よりもはるかに大きい10ミリアンペア程度の電流を流すことが可能であり、演出制御装置550と装飾制御装置610との間のデータ送信が、ノイズによる障害に耐えうる構成となっている。

20

【0174】

ドライバ576bは、クロック信号を接続線SCLから出力する場合に、トランジスタ578bにドレインとソースとの間に電流を流すためにトランジスタ578bのゲートにトランジスタ578bが動作可能な値の電圧を印加する。そして、ドライバ576bは、接続線SCLの電圧を、HIGHレベルとLOWレベルとに繰り返し変化させることによって、クロック信号を接続線SCLから出力する。

【0175】

電源投入リセット回路577は、第1マスタIC570aに電源が投入されて、電源投入リセット回路577内の電圧が所定値に達した場合に、入力用バッファ571及び出力用バッファ572などの記憶領域をデフォルト状態にするためのリセット信号をコントローラ574に出力する。なお、電源投入リセット回路577については、第1マスタIC570aの外部に設け、後述する第2マスタIC570bの共通としてもよい。

30

【0176】

コマンドレジスタ(REG)581は、演出制御装置550のCPU551からコマンドを受け付けるためのレジスタである。本発明の第1の実施の形態では、コマンドレジスタ581には、STA、STO、SI、及びMODEの各ビットが予め割り当てられており、CPU551によって、各ビット毎個別に“0”又は“1”が設定可能となっている。

【0177】

STAは、第1マスタIC570aが制御対象の装飾制御装置610に対し、スタート条件(スタートコンディション)の出力を指示するためのビットである。STAに“1”が設定されると、第1マスタIC570aは、制御対象の装飾制御装置610に対し、スタートコンディションを発行(出力)し、スタート条件を成立させる。

40

【0178】

STOは、第1マスタIC570aが制御対象の装飾制御装置610に対し、ストップ条件(ストップコンディション)の出力を指示するためのビットである。STOに“1”が設定されると、第1マスタIC570aは、制御対象の装飾制御装置610に対し、ストップコンディションを発行(出力)し、ストップ条件を成立させる。

【0179】

SIは、第1マスタIC570aから、演出制御装置550において割込みを発生させるときに設定されるビットである。第1マスタIC570aからCPU551に割込みを

50

発生させるときには、コントローラ 574 によって S I に “ 1 ” が設定され、割込信号 (I N T) が C P U 551 に入力される。その後、S I に “ 1 ” が設定されている間は、第 1 マスタ I C 570 a は処理を中断しているが、C P U 551 によって S I に “ 0 ” が設定されると、第 1 マスタ I C 570 a は、割込を中断して処理を再開する。

【 0180 】

M O D E は、データを送信するモードを指定するビットであり、“ 1 ” が設定されている場合には「バッファモード」、 “ 0 ” が設定されている場合には「バイトモード」が指定される。バッファモードは、連続する複数バイトのデータを 1 度にまとめて送信するモードであり、最大 68 バイトのデータの送信が可能である。また、バイトモードは、1 回の送信で 1 バイトのデータだけが送信可能なモードであり、バイト単位でのデータの送受信に利用される。

10

【 0181 】

ステータスレジスタ (R E G) 582 は、第 1 マスタ I C 570 a のステータスを示す情報が格納される。下位 2 ビットには常に “ 0 ” が設定され、上位 5 ビットにステータスコードが設定される。

【 0182 】

自身アドレス設定レジスタ (R E G) 583 は、第 1 マスタ I C 570 a がスレーブ (装飾制御装置) として機能する場合に設定されるレジスタである。市販されているマスタ I C は、通常、マスタとしての機能とスレーブとしての機能を備えており、用途に応じて使用される。自身アドレス設定 R E G 583 には、第 1 マスタ I C 570 a がスレーブとして機能する場合に、自身を特定するためのアドレスが設定される。

20

【 0183 】

図 12 は、本発明の第 1 の実施の形態の演出制御装置 550 に備えられた第 2 マスタ I C 570 b と前面枠 3 に備えられた演出装置の構成を示すブロック図である。

【 0184 】

前面枠 3 には、第 2 マスタ I C 570 b に接続される簡易中継基板 1600、当該簡易中継基板 1600 に接続される装飾制御装置 610、スピーカ 30、モータ位置検出センサ 560 b、照明駆動第 1 M O T 13 a 及び照明駆動第 2 M O T 14 a などが含まれる。

【 0185 】

簡易中継基板 1600 は、第 2 マスタ I C 570 b から送信された電気信号を、前面枠 3 に備えられた装飾制御装置 610 に送信 (中継) する。なお、簡易中継基板 1600 は、中継基板 600 とは異なり、 I ² C I / O エクスパンダ 615 を備えていないので、簡易中継基板 1600 に備えた電子部品には、演出装置を制御するための演算処理を実行する機能を有していない。したがって、簡易中継基板 1600 に直接接続された照明駆動第 1 M O T 13 a 及び照明駆動第 2 M O T 14 a を、自己の判断によって制御することができないため、簡易中継基板 1600 は、第 2 マスタ I C 570 b から受信した電気信号を入力して、照明駆動第 1 M O T 13 a 及び照明駆動第 2 M O T 14 a へ中継する役目を果たしている。

30

【 0186 】

照明駆動第 1 M O T 13 a 及び照明駆動第 2 M O T 14 a は、演出制御装置 550 から送信された信号に基づいて内部に備えられた発光部材を駆動させ、各種演出を実行する。

40

【 0187 】

また、演出制御装置 550 は、演出ボタン 17 から当該演出ボタン 17 が操作されたことを示す信号が簡易中継基板 1600 を介して入力される。さらに、モータ位置検出センサ 560 b によって検出された照明駆動第 1 M O T 13 a 及び照明駆動第 2 M O T 14 a の位置情報が、簡易中継基板 1600 を介して入力される。

【 0188 】

さらに、簡易中継基板 1600 は、演出制御装置 550 の音 L S I 557 からの信号を受信し、スピーカ 30 から出力する。

【 0189 】

50

なお、第2マスタIC570bの構成は、第1マスタIC570aと同じ構成であるため、第2マスタIC570bの各構成には同じ符号を割り当てて説明を省略する。また、第2マスタIC570bは、第1マスタIC570aと同様に、CPU551からの指令に基づいて、装飾制御装置610との間に接続された接続線SDA及び接続線SCLの各信号レベルを制御する(第2の)信号レベル制御手段として機能する。

【0190】

なお、演出制御装置550と中継基板600との接続方法、及び中継基板600と中継基板600以外の装飾制御装置610との接続方法については、図13～図16にて詳細を後述する。また、中継基板600及び装飾制御装置610の構成などについては、図17～図21にて詳細を後述する。

10

【0191】

装飾制御装置610は、主として、遊技盤10及び前面枠3に取り付けられている。前面枠3に取り付けられた装飾制御装置610が制御する装飾装置(LED)620は、装飾部材9a、9b、照明ユニット11、及び異常報知LED29を照射するものである。一方、遊技盤10に取り付けられる装飾制御装置610は、センターケース51、表示装置53、及び演出制御装置550を一体化して構成される補助遊技装置ユニット12に含まれている。

【0192】

図13では、遊技盤10に備えられる中継基板600及び補助遊技装置ユニット12に含まれる装飾制御装置610の構成及び接続形態について説明する。図14では、前面枠3に備えられる簡易中継基板1600及び装飾制御装置610の構成及び接続形態について説明する。

20

【0193】

図13は、本発明の第1の実施の形態の遊技盤10の構成を示す図である。

【0194】

補助遊技装置ユニット12を構成するセンターケース51は、前述したように、枠装飾部65と枠体基部60とを組み合わせる構成される。

【0195】

枠装飾部65には、変動表示ゲームなどの補助遊技の演出を行うための演出装置や当該演出装置を制御するための装飾制御装置610などが複数個備えられる。これらの装飾制御装置610同士を所定の信号ケーブルにより相互に接続し、さらに、この装飾制御装置610に制御される演出装置もケーブルで接続することにより、当該枠装飾部65が一体構成される。

30

【0196】

また、枠体基部60にも、変動表示ゲームなどの補助遊技の演出を行うための演出装置や当該演出装置を制御するための装飾制御装置610が複数個備えられる。これらの装飾制御装置610同士を所定の信号ケーブルにより相互に接続し、さらに、この装飾制御装置610に制御される演出装置もケーブルで接続することにより、当該枠体基部60が一体構成される。

40

【0197】

ゆえに、枠装飾部65や枠体基部60は、本実施形態における一体型演出ユニットを構成している。これに対し、サイドランプ45などは、一体型演出ユニットに含まれない単体の演出装置であるので、分離型演出装置を構成することになる。

【0198】

なお、補助遊技装置ユニット12に含まれる演出装置のすべてが補助遊技装置ユニット12内部の装飾制御装置610によって制御される必要はない。例えば、本発明の第1の実施の形態では、センターケース51内に配置される可動物は、中継基板600を介して、演出制御装置550により直接制御される。

【0199】

装飾制御装置610には、前述のように、装飾装置620を制御するためのIC/I/O

50

Ｏエキスパンダ６１５が搭載され、Ｉ^２ＣＩ／Ｏエキスパンダ６１５には、個々のＩ^２ＣＩ／Ｏエキスパンダ６１５を識別するための個別アドレスが割り当てられている。本発明の第１の実施の形態では、前述のように、Ｉ^２ＣＩ／Ｏエキスパンダ６１５の個別アドレスが、装飾制御装置６１０の個別アドレスとして利用される。

【０２００】

演出制御装置５５０は、Ｉ^２ＣＩ／Ｏエキスパンダ６１５の個別アドレスを指定して制御信号を送信することによって、装飾装置６２０を個別に制御して演出動作を実行することが可能となる。各装飾制御装置６１０には、原則的に、それぞれ異なる個別アドレス（図中に「ａｄ＝」で示す）が割り当てられる。

【０２０１】

また、装飾制御装置６１０は、接続形態によって、分岐型（分岐基板）、連結型（連結基板）及び終端型（終端基板）の三種類に分類される。分岐型、連結型及び終端型いずれの装飾制御装置６１０にも装飾装置６２０を接続可能であり、接続された装飾装置６２０を制御することが可能である。

【０２０２】

分岐型の装飾制御装置６１０は、下流側に複数の装飾制御装置６１０が直接接続され、これらの複数の装飾制御装置６１０に受信した制御信号を送信する。連結型の装飾制御装置６１０は、下流側に一つの装飾制御装置６１０が接続され、接続された装飾制御装置６１０に受信した制御信号を送信する。終端型の装飾制御装置６１０は、下流側に装飾制御装置６１０が接続されず、装飾装置６２０の制御のみを行う。分岐型、連結型、終端型の装飾制御装置６１０の詳細に関しては、図１７を用いて後述する。

【０２０３】

なお、上流側とは、演出制御装置５５０から途中の装飾制御装置６１０を経て末端の装飾制御装置６１０までへ電気信号を送信する構成において、この電気信号を送信する側のことである。反対に、下流側とは、この電気信号を受信する側のことである。

【０２０４】

要するに、演出制御装置５５０から末端の装飾制御装置６１０への信号ケーブルを順に辿っていったときに、より演出制御装置５５０に近い側へ接続されている装飾制御装置６１０が上流側となり、より末端の装飾制御装置６１０に近い側へ接続されている装飾制御装置６１０が下流側となる。例えば、装飾制御装置６１０Ａ、６１０Ｃは、装飾制御装置６１０Ｈの上流側に配置されており、装飾制御装置６１０Ｉ、６１０Ｊは、装飾制御装置６１０Ｈの下流側に配置されていることになる。

【０２０５】

ここで、本発明の第１の実施の形態では、前述のように、可動演出装置５８を構成する第１演出部材７０及び第２演出部材８０の可動部分に装飾制御装置６１０が配置されている。言い換えれば、図６において、第１演出部材７０の可動部（第１演出ベース１００）に装飾制御装置６１０（第１発光基板１０６）が配置され、図７において、第２演出部材８０の可動部（第２演出ベース１１０）に装飾制御装置６１０（第２発光基板１１６）が配置されている。

【０２０６】

このとき、従来のシフトレジスタのように、各装飾制御装置６１０をデイジーチェーンで配線すると、デイジーチェーンの末端となる何れか一方の装飾制御装置６１０だけは、入力用のケーブルのみを接続するだけで済む。しかし、デイジーチェーンの途中に接続される構成となる他方の装飾制御装置６１０には、入力用のケーブルと出力用のケーブルを接続する必要がある。可動部に複数のケーブルが接続されると、可動部とともに装飾制御装置６１０（第１発光基板１０６、第２発光基板１１６）自体が可動する構造となってケーブルも移動するため、配線の引き回しが困難になってしまうおそれがある。さらに、ケーブルの移動により、ケーブルを構成する接続線が断線する可能性が生じ、演出に影響を与えるおそれがある。

【０２０７】

本発明の第１の実施の形態では、第１演出部材７０及び第２演出部材８０に配置された装飾制御装置６１０を終端型とし、これらの装飾制御装置６１０の上流に分岐型の装飾制御装置６１０を配置している。そのため、終端型の装飾制御装置６１０（第１発光基板１０６、第２発光基板１１６）には、第１演出部材７０及び第２演出部材８０の外部に備えた他の装飾制御装置６１０へ信号を伝達するケーブルが、接続されない構造となる。このように装飾制御装置６１０を配置すれば、可動部に配置された装飾制御装置６１０には入力ケーブルのみを接続すればよいことになる。したがって、デージーチェーンで配線する場合と比較して、配線の引き回しが容易になり、断線する可能性を少なくすることができる。

【０２０８】

10

装飾制御装置６１０は、受信した制御信号の宛先アドレスが自宛でない場合、下流側にさらに装飾制御装置６１０が接続されていれば受信した制御信号を送信する。また、送信先がなければ受信した制御信号を破棄する。

【０２０９】

装飾制御装置６１０は、１６個のポートに対応するＬＥＤを制御することが可能であり、装飾制御装置６１０に搭載されたＬＥＤと、当該装飾制御装置６１０に接続された外部の装飾装置基板６２５に搭載されたＬＥＤとの合計数が１６以下であれば、両方のＬＥＤを制御することが可能である。すなわち、一体型の装飾制御装置６１０（Ｉ^２ＣＩ／Ｏエクスパンダ６１５と装飾装置６２０がともに配置される主動型基板に相当）では、装飾装置基板６２５（Ｉ^２ＣＩ／Ｏエクスパンダ６１５が配置されず、装飾装置６２０が配置される従動型基板に相当）をさらに接続することによって、内部に備えられた装飾装置６２０と外部に接続した装飾装置６２０の両方を制御することが可能である。

20

【０２１０】

こうすることによって、離れて配置された装飾装置６２０を１つの装飾制御装置６１０で制御することが可能となり、装飾制御装置６１０の数を最小限にすることができる。

【０２１１】

中継基板６００は、上流側では演出制御装置５５０に搭載された第１マスタＩＣ５７０ａに接続し、第１マスタＩＣ５７０ａから送信された制御信号を受信する。また、下流側では補助遊技装置ユニット１２に含まれる装飾制御装置６１０Ａ（正確には一体型演出ユニットである枠体基部６０に含まれる装飾制御装置６１０Ａ）に接続する。さらに、中継基板６００は、遊技盤１０に備えられた分離型演出装置である装飾装置基板６２５（サイドランプ４５（図８参照）に設けられた基板）に接続し、当該中継基板６００に備えられたＩ^２ＣＩ／Ｏエクスパンダ６１５によって、当該装飾装置基板６２５に搭載された装飾装置６２０を制御する。

30

【０２１２】

補助遊技装置ユニット１２には、装飾制御装置６１０Ａ～６１０Ｊが含まれる。装飾制御装置６１０Ａは、分岐型の装飾制御装置であり、装飾制御装置６１０Ｂ及び装飾制御装置６１０Ｃに第１マスタＩＣ５７０ａから受信した制御信号を送信する。また、装飾制御装置６１０Ｂには、装飾装置基板６２５Ｂが接続されており、装飾装置基板６２５Ｂに配置されたＬＥＤなどの演出装置（装飾装置６２０）が装飾制御装置６１０Ｂによって制御される。

40

【０２１３】

装飾制御装置６１０Ｃは、分岐型の装飾制御装置６１０であり、下流側の装飾制御装置６１０Ｄ及び装飾制御装置６１０Ｈに受信した制御信号を送信する。装飾制御装置６１０Ｄは、分岐型の装飾制御装置６１０Ｅが接続され、さらに、装飾装置基板６２５Ｄに含まれる装飾装置６２０Ｄを制御する。

【０２１４】

装飾制御装置６１０Ｅには、第１演出部材７０を制御する装飾制御装置６１０Ｆと、第２演出部材８０を制御する装飾制御装置６１０Ｇとが接続される。第１演出部材７０及び第２演出部材８０は、連動して演出動作が実行される。装飾制御装置６１０Ｆは、第１演

50

出部材 70 に含まれる第 1 発光基板 106 に配置され (図 6)、また、装飾制御装置 610G は、第 2 演出部材 80 に含まれる第 2 発光基板 116 に配置されている (図 7)。

【0215】

なお、第 1 発光基板 106 自体が装飾制御装置 610F として機能し、第 2 発光基板 116 自体が装飾制御装置 610G として機能していてもよい。

【0216】

本発明の第 1 の実施の形態では、装飾制御装置 610F は第 1 演出部材 70 に含まれる LED などを制御し、装飾制御装置 610G は第 2 演出部材 80 に含まれる LED などを制御する。なお、第 1 演出部材 70 及び第 2 演出部材 80 をそれぞれ表示部 53a の前方に移動させるための駆動力を出力するための役物駆動第 1 MOT 71 及び役物駆動第 2 MOT 81 は、中継基板 600 によって制御される。

10

【0217】

演出制御装置 550 は、変動表示ゲーム実行時など、所定の条件を満たすと、第 1 演出ユニット 63 (第 1 演出部材 70) 及び第 2 演出ユニット 64 (第 2 演出部材 80) を制御して演出動作を実行する。具体的には、第 1 演出ユニット 63 に含まれる役物駆動第 1 MOT 71 及び第 2 演出ユニット 64 に含まれる役物駆動第 2 MOT 81 を制御するために、中継基板 600 の個別アドレス (「0000」) を指定して、これらのモータを動作させるための制御信号を送信する。さらに、第 1 演出部材 70 に含まれる LED などの発光装置を制御する制御信号を、第 1 演出部材 70 を制御する装飾制御装置 610F の個別アドレス (「0110」) を指定して送信する。同様に、第 2 演出部材 80 に含まれる LED などの発光装置を制御する制御信号を、第 2 演出部材 80 を制御する装飾制御装置 610G の個別アドレス (「0111」) を指定して送信する。その後、ストップコンディションを発行する。

20

【0218】

装飾制御装置 610H は、連結型の装飾制御装置 610 であり、さらに、連結型の装飾制御装置 610I 及び終端型の装飾制御装置 610J が接続される。終端型の装飾制御装置 610J は、装飾装置基板 625J に含まれる装飾装置 620J を制御する。

【0219】

本発明の第 1 の実施の形態では、装飾制御装置 610H 及び装飾制御装置 610I は、信頼度報知装置 15 に含まれる演出装置 (LED) を制御する。所定の条件を満たした場合には、演出制御装置 550 の第 1 マスタ IC 570a から所定の態様を示すようにするための制御信号が送信され、指定された態様で演出を行う。

30

【0220】

図 14 は、本発明の第 1 の実施の形態の前面枠 3 の構成を示す図である。

【0221】

本発明の第 1 の実施の形態の遊技機 1 には複数の仕様があり、通常版遊技機 1 と廉価版遊技機 1 とがある。通常版遊技機 1 は、標準仕様の装飾部材を備えている前面枠 3 (以下、通常版前面枠 3 とする) を備えている。廉価版遊技機 1 は、標準仕様の装飾部材よりも廉価なコストで構成された装飾部材を備えている前面枠 3 (以下、廉価版前面枠 3' とする) を備えている。図 14 の上側には、通常版前面枠 3 の構成を示し、下側には、廉価版前面枠 3' の構成を示しており、遊技機 1 では、何れか一方の仕様の前面枠 3 のみを取り付けられて演出制御装置 550 と接続されるので、第 2 マスタ IC 570b には、通常版前面枠 3 か廉価版前面枠 3' の何れか一方のみが接続される。

40

【0222】

通常版前面枠 3 と廉価版前面枠 3' とは、装飾部材 9a、9b に含まれる装飾装置 620 の数が相違し、さらに、装飾装置 620 を制御する装飾制御装置 610 の数も相違する。具体的には、通常版前面枠 3 の装飾部材 9a、9b は 7 つの装飾制御装置 610 によって制御され、廉価版前面枠 3' の装飾部材 9a'、9b' は 5 つの装飾制御装置 610 によって制御される。装飾部材 9a、9b は、装飾部材 9a'、9b' よりも多くの LED によって照射するので、通常版前面枠 3 のほうが廉価版前面枠 3' よりも明るくなり、実

50

行可能な演出のバリエーションを増やすことも可能である。このため、通常版前面枠 3 が取り付けられた場合の装飾装置 6 2 0 の制御と、廉価版前面枠 3 ' が取り付けられた場合の装飾装置 6 2 0 の制御が相違する。

【 0 2 2 3 】

このため、通常版前面枠 3 に取り付けられる装飾制御装置 6 1 0 の個別アドレスと廉価版前面枠 3 ' に取り付けられる装飾制御装置 6 1 0 の個別アドレスに同じアドレスを割り当てた場合には、演出制御装置 5 5 0 から装飾制御装置 6 1 0 へ送信する演出制御データを、通常版前面枠 3 の場合と廉価版前面枠 3 ' の場合とで異ならせる必要がある。遊技機 1 に取り付けられる前面枠 3 に応じて通常版用の演出制御装置 5 5 0 と廉価版用の演出制御装置 5 5 0 をそれぞれ用意しなければならない。したがって、製造メーカーが遊技機 1 を出荷する場合には、通常版用の演出制御装置 5 5 0 と廉価版用の演出制御装置 5 5 0 とを用意しなければならず、製造コストが上昇してしまう。

10

【 0 2 2 4 】

そこで、本発明の第 1 の実施の形態では、通常版前面枠 3 と廉価版前面枠 3 ' とで制御が異なる装飾制御装置 6 1 0 の個別アドレスには、異なるアドレスを割り当て、演出制御装置 5 5 0 から装飾制御装置 6 1 0 へ送信する演出制御データが、通常版前面枠 3 の場合と廉価版前面枠 3 ' の場合とで共通となるように構成することで、一つの演出制御装置 5 5 0 で通常版用の制御と廉価版用の制御とを実行できるように構成した。こうすることによって、通常版用の演出制御装置 5 5 0 と廉価版用の演出制御装置 5 5 0 とをそれぞれ用意する必要がなくなり、製造コストを抑えることができる。なお、本発明の第 1 の実施の形態では、遊技盤 1 0 の構成については、通常版であっても廉価版であっても同じ構成となっている。

20

【 0 2 2 5 】

以下、通常版前面枠 3 及び廉価版前面枠 3 ' の構成について具体的に説明する。

【 0 2 2 6 】

通常版前面枠 3 には、第 2 マスタ I C 5 7 0 b に接続される簡易中継基板 1 6 0 0 を備える。簡易中継基板 1 6 0 0 には、分岐型の装飾制御装置 6 1 0 K 及び照明駆動モータ (1 3 a 、 1 4 a) が接続される。

【 0 2 2 7 】

装飾制御装置 6 1 0 K は、照明ユニット 1 1 内に配置され、装飾装置基板 6 2 5 K に備えられた装飾装置 6 2 0 を制御する。具体的には、照明ユニット 1 1 に含まれる L E D や異常報知 L E D 2 9 などが制御される。

30

【 0 2 2 8 】

また、装飾制御装置 6 1 0 K は、分岐型の装飾制御装置であり、装飾制御装置 6 1 0 L 及び装飾制御装置 6 1 0 P に受信した制御信号を送信する。装飾制御装置 6 1 0 L ~ 6 1 0 N は、通常版前面枠 3 の左側部分の装飾部材 9 a を制御する。また、装飾制御装置 6 1 0 P ~ 6 1 0 R は、通常版前面枠 3 の右側部分の装飾部材 9 b を制御する。

【 0 2 2 9 】

通常版前面枠 3 の左側部分の装飾部材 9 a は、連結型の装飾制御装置 6 1 0 L 、 6 1 0 M 及び終端型の装飾制御装置 6 1 0 N を含む。装飾制御装置 6 1 0 L は、演出制御装置 5 5 0 の第 2 マスタ I C 5 7 0 b から送信された制御信号を、装飾制御装置 6 1 0 K から受信し、装飾制御装置 6 1 0 M 及び 6 1 0 N に送信する。

40

【 0 2 3 0 】

通常版前面枠 3 の右側部分の装飾部材 9 b は、前述のように、連結型の装飾制御装置 6 1 0 P 、 6 1 0 Q 及び終端型の装飾制御装置 6 1 0 R を含む。装飾制御装置 6 1 0 P は、演出制御装置 5 5 0 の第 2 マスタ I C 5 7 0 b から送信された制御信号を、装飾制御装置 6 1 0 K から受信し、装飾制御装置 6 1 0 Q 及び 6 1 0 R に送信する。

【 0 2 3 1 】

また、装飾部材 9 a 及び装飾部材 9 b に含まれる装飾制御装置 6 1 0 L ~ 6 1 0 R にも、それぞれ異なる個別アドレスが割り当てられており、第 2 マスタ I C 5 7 0 b から送信

50

された制御信号に基づいて、それぞれ別々の演出動作を実行させることができる。具体的には、照明ユニット11に含まれる装飾制御装置610Kの個別アドレスには「0000」、装飾部材9aに含まれる装飾制御装置610L、610M及び610Nの個別アドレスには「0001」「0010」及び「0011」、装飾部材9bに含まれる装飾制御装置610P、610Q及び610Rの個別アドレスには「0100」「0101」及び「0110」が割り当てられている。

【0232】

一方、廉価版前面枠3'は、通常版前面枠3と同様に、第2マスタIC570bに接続される簡易中継基板1600と、ほぼ同様の機能を有する基板(以下、廉価版の簡易中継基板1600'とする)を備える。但し、廉価版前面枠3'では、簡易中継基板1600'に分岐型の装飾制御装置610Sのみが接続されており、照明駆動モータ(13a、14a)を備えずにコストダウンが図られている。

【0233】

装飾制御装置610Sは、照明ユニット11内に配置されており、装飾装置基板625Sに備えられた装飾装置620を制御する。具体的には、照明ユニット11に含まれるLEDや異常報知LED29などが制御され、通常版前面枠3と同様である。また、装飾制御装置610Sは、通常版前面枠3の照明ユニット11を制御する装飾制御装置610Kと同一の基板であり、同じ個別アドレス(「0000」)が割り当てられている。そのため、通常版前面枠3の装飾制御装置610Kと、廉価版前面枠3'の装飾制御装置610Sでは、同じ制御が実行される。

【0234】

また、装飾制御装置610Sは、分岐型の装飾制御装置であり、装飾制御装置610T及び装飾制御装置610Vに受信した制御信号を送信する。装飾制御装置610T及び610Uは、通常版前面枠3の左側部分の装飾部材9a'を制御する。また、装飾制御装置610V及び610Wは、通常版前面枠3の右側部分の装飾部材9b'を制御する。

【0235】

また、廉価版前面枠3'では、左側の装飾部材9a'を制御する装飾制御装置610T及び610U、及び右側の装飾部材9b'を制御する装飾制御装置610V及び610Wが取り付けられている。装飾制御装置610Tは、通常版前面枠3の装飾制御装置610Lと同一の基板であり、同じ個別アドレス(「0001」)が割り当てられている。同様に、装飾制御装置610Vは、通常版前面枠3の装飾制御装置610Pと同一の基板であり、同じ個別アドレス(「0001」)が割り当てられている。そのため、通常版前面枠3の装飾制御装置610Lと、廉価版前面枠3'の装飾制御装置610Tでは、同じ制御が実行され、通常版前面枠3の装飾制御装置610Pと、廉価版前面枠3'の装飾制御装置610Vでは、同じ制御が実行される。

【0236】

装飾制御装置610U及び610Wには、同じ個別アドレス(「0111」)が割り当てられている。したがって、廉価版前面枠3'では、左右の装飾部材で装飾制御装置610U及び610Wで同じ制御が実行され、すなわち、制御対象のLEDによる照射が同じタイミングで実行される。また、装飾制御装置610U及び610Wには、通常版前面枠3の装飾制御装置610に割り当てられていない個別アドレスが割り当てられている。

【0237】

そして、通常版前面枠3と廉価版前面枠3'の何れに使用される場合であっても、演出制御装置550からは、装飾部材9a、9b、9a'、9b'に含まれる装飾制御装置610のI²C I/Oエクスパンダ615に割り当てられたすべての個別アドレスに対して演出制御データが送信される。

【0238】

以上のように、廉価版前面枠3'には、備えられている装飾制御装置のうち、装飾制御装置610M、610N、610Q及び610R(第1の仕様依存型グループ単位制御手段)に相当するものが存在せず、代わりに、装飾制御装置610U及び610W(第2の

10

20

30

40

50

仕様依存型グループ単位制御手段)が取り付けられている。通常版前面枠3には、装飾制御装置610M、610N、610Q及び610R(第1の仕様依存型グループ単位制御手段)が取り付けられているのに対し、廉価版前面枠3'には、より少ない数の装飾制御装置610U及び610W(第2の仕様依存型グループ単位制御手段)が取り付けられている。

【0239】

また、装飾制御装置610Kと装飾制御装置610S、装飾制御装置610Lと装飾制御装置610T、装飾制御装置610Vと装飾制御装置610Pは、互いに、通常版前面枠3と廉価版前面枠3'とに共通利用可能な基板として構成されている。

【0240】

したがって、本発明の第1の実施の形態の演出制御装置550は、通常版用の制御と廉価版用の制御とを共通化することが可能となり、前面枠ごとに制御を変更する必要が無く、演出制御装置550の製造コストを削減することができる。

【0241】

なお、以降の説明では、特に断らない限り、本発明の第1の実施の形態の遊技機1では通常版前面枠が取り付けられているものとする。

【0242】

なお、廉価版前面枠3'では、個別アドレスが「0010」、「0011」、「0101」及び「0110」となるI²C I/Oエクスパンド615は使用されず、通常版前面枠3では、個別アドレスが「0111」となるI²C I/Oエクスパンド615は使用されない。そのため、いずれの前面枠3であっても、異常判定テーブル3300(図33参照)において、接続されないI²C I/Oエクスパンド615が存在することになる。しかしながら、後述するように、異常判定テーブル3300に登録されている少なくとも1つのI²C I/Oエクスパンド615と、第2マスタIC570bとの間で正常にデータ送信が行われていれば、正常に動作していると判定されるため、これが原因で処理が中断することはない。

【0243】

図15は、本発明の第1の実施の形態の演出制御装置550と遊技盤10に含まれる中継基板600及び装飾制御装置610の接続状態を説明する図である。

【0244】

図15では、演出制御装置550、中継基板600、装飾制御装置610A、610B及び610Cの接続について説明する。また、説明の都合上、装飾制御装置610として、1個の中継基板600と、装飾制御装置610Cよりも下流に接続されている各装飾制御装置(610D~610J)については記載を省略する。なお、各装飾制御装置610間の接続はそれぞれ同じである。

【0245】

演出制御装置550は、接続線Vcc、接続線Vled、接続線SDA、接続線SCL、接続線GND、接続線M11~M14、接続線M21~M24、接続線M31~M34、接続線SL1、接続線SL2、接続線SE1~3、接続線Vms、及び接続線Vseによって中継基板600と接続される。

【0246】

接続線Vcc、接続線Vled、接続線SDA、接続線SCL、接続線GND、接続線Vms、及び接続線Vseについては、図11にて説明した通りである。

【0247】

接続線M11~M14は、第1演出ユニット63に含まれる役物駆動第1MOT71の第1~4相を制御するための信号が送信される。接続線M21~M24は、第2演出ユニット64に含まれる役物駆動第2MOT81の第1~4相を制御するための信号が送信される。役物駆動第1MOT71、役物駆動第2MOT81は4相駆動のステッピングモータを用いている。

【0248】

接続線 M 3 1 ~ M 3 4 は、モータを制御するための接続線であるが、本発明の第 1 の実施の形態では、中継基板 6 0 0 に対応するモータが接続されないため、接続状態を表示する空き端子モニタ 6 0 3 が接続される。空き端子モニタ 6 0 3 は、接続線 M 3 1 ~ M 3 4 に対応した、4 個の L E D によって構成されており、各接続線が断線しているか否かを確認することができる。したがって、一部又は全部の接続線が断線している場合には、空き端子モニタ 6 0 3 の一部が点灯しないことになるので、ケーブルの品質を悪いと判断することができる。

【 0 2 4 9 】

特に、本発明の第 1 の実施の形態の遊技機 1 のように、第 1 マスタ I C 5 7 0 a と中継基板 6 0 0 とを接続するケーブル 9 1 には、電源を供給するための接続線 G N D、接続線 V c c、接続線 V l e d、接続線 V m s、及び接続線 V s e が含まれている（図 1 1 若しくは図 1 5 参照）。これらの電力を供給する線は、安定した動作を実現するために、十分な電流量が確保できる断面積の大きい（太い）ケーブルが本来であれば用いられる。

【 0 2 5 0 】

しかしながら、ケーブル 9 1 の様なフラット形状のケーブルを用いる場合には、コネクタを接続する関係から、各ケーブルの断面積の大きさを同一（共通化）する必要がある。そこで、断面積の大きいケーブルを代わりに、複数の接続線を用いて電源供給を行うことが考えられ、例えば、接続線 G N D として 6 本のケーブルを使用し、接続線 V m s として 3 本のケーブルを使用するといった構成を実現することができる。

【 0 2 5 1 】

このとき、電力を供給する接続線の一部が断線していても、すべての接続線が断線していなければ、見た目上は問題なく動作していることになるので、L E D を点灯させたり、モータを駆動させたりすることが可能であるが、十分な電流量が確保できていない状態であるため、ケーブル上で異常な発熱が発生したりする恐れがある。このような場合に、空き端子モニタ 6 0 3 に電力を供給する線を接続することによって、一見正常に動作していても、一部の接続線が断線しているような品質の劣るケーブルを発見することができ、障害が発生する前に交換したり必要なメンテナンスを行ったりすることが可能となる。

【 0 2 5 2 】

また、中継基板 6 0 0 は、役物駆動モータ（役物駆動第 1 M O T 7 1、役物駆動第 2 M O T 8 1）を駆動するために、接続線 V m s から供給された電力を各モータに供給する。なお、装飾ピース 4 6 を上下動させるための役物駆動ソレノイドに供給される電力についても接続線 V m s から供給される。

【 0 2 5 3 】

また、中継基板 6 0 0 には、役物駆動モータの回転位置を検出するためのモータ位置検出センサ 5 6 0 a が接続される。接続線 S E 1 ~ 3 は、モータ位置検出センサ 5 6 0 による検出結果を受信するための接続線であり、中継基板 6 0 0 は、モータ位置検出センサ 5 6 0 a によって検出された役物駆動モータの回転位置を、接続線 S E 1 ~ 3 を介して演出制御装置 5 5 0 に送信する。

【 0 2 5 4 】

接続線 S L 1 及び接続線 S L 2 は、役物駆動ソレノイドを制御するための接続線である。接続線 S L 1 及び接続線 S L 2 も、役物駆動ソレノイドを使用しないときは、前述の接続線 M 3 1 ~ M 3 4 と同様に、接続状態を表示する空き端子モニタ 6 0 3 が接続される。

【 0 2 5 5 】

中継基板 6 0 0 を含む装飾制御装置 6 1 0 は、接続線 V c c、接続線 V l e d、接続線 S D A、接続線 S C L、及び接続線 G N D（以下、この 5 種類の接続線を束ねたものを一つのハーネスという）を介して互いに接続される。

【 0 2 5 6 】

また、装飾制御装置 6 1 0 A にはハーネスを介して装飾制御装置 6 1 0 B 及び装飾制御装置 6 1 0 C が接続され、装飾制御装置 6 1 0 C にはハーネスを介して図示しない装飾制御装置 6 1 0 D が接続される。

【0257】

各装飾制御装置610は、ハーネスを自身に接続するための取付口となるコネクタを備える。このコネクタは各装飾制御装置610で共通であるため、各接続線の接続順が共通となっており、誤配線を防止することができる。

【0258】

図16は、本発明の第1の実施の形態の演出制御装置550と、通常版前面枠3に含まれる簡易中継基板1600及び装飾制御装置610の接続状態を説明する図である。

【0259】

図16では、演出制御装置550、簡易中継基板1600、装飾制御装置610K、610L及び610Pの接続について説明する。また、説明の都合上、装飾制御装置610として、装飾制御装置610L及び装飾制御装置610Pよりも下流に接続されている各装飾制御装置については記載を省略する。

10

【0260】

演出制御装置550は、接続線Vcc、接続線Vled、接続線SDA、接続線SC L、接続線GND、接続線M11~M14、接続線M21~M24、接続線M31~M34、接続線SL1、接続線SL2、接続線SE1~3、接続線Vms、及び接続線Vseに加え、演出ボタン17からのボタン信号を受信する接続線及び音信号をスピーカ30に送信する接続線によって簡易中継基板1600と接続される。

【0261】

接続線Vcc、接続線Vled、接続線SDA、接続線SC L、接続線GND、接続線Vms、及び接続線Vseについては、図15にて説明したように、演出制御装置550と遊技盤10とを接続する場合と同様に、下流側に配置されている各装飾制御装置610に各種信号を送受信する。

20

【0262】

接続線M11~M14は、照明ユニット11に含まれる第1可動式照明13の照明駆動第1MOT13aを制御するための信号が送信される。接続線M21~M24は、照明ユニット11に含まれる第2可動式照明14の照明駆動第2MOT14aを制御するための信号が送信される。

【0263】

接続線M31~M34は、モータを制御するための接続線であるが、本発明の実施の形態では、対応するモータが簡易中継基板1600に接続されないため、中継基板600と同様に、接続状態を表示する空き端子モタ603が接続される。

30

【0264】

さらに、照明駆動モータ(照明駆動第1MOT13a、照明駆動第2MOT14a)を駆動するために、接続線Vmsから供給された電力を各モータに供給する。

【0265】

また、簡易中継基板1600には、照明駆動モータの回転位置を検出するためのモータ位置検出センサ560bが接続される。簡易中継基板1600は、モータ位置検出センサ560bによって検出された照明駆動モータの回転位置を、接続線SE1~3を介して演出制御装置550に送信する。

40

【0266】

ここで、装飾制御装置610に設けられたI²C I/Oエクспанダ615(図18で後述)が装飾装置620を制御する方法について説明する。

【0267】

演出制御装置550は、遊技制御装置500から入力された遊技データに基づいて、演出装置(装飾装置620)の出力態様を決定する。そして、演出制御装置550は、決定された出力態様となるように、制御対象となる装飾制御装置610の個別アドレス(I²C I/Oエクспанダ615の個別アドレス)を含む演出制御データ(演出制御情報)を中継基板600に出力する。このとき、演出制御データは、中継基板600から接続線SDAを介してすべての制御対象の装飾制御装置610に出力される。

50

【0268】

なお、本発明の第1の実施の形態では装飾制御装置610によって制御される演出装置は主としてLED等の発光装置であるため、LEDの発光態様が演出装置の出力態様に相当する。この場合、演出制御データによって、LEDの点灯/点滅/消灯が指示され、さらに、LEDの点滅周期や点灯輝度も指示される。

【0269】

各装飾制御装置610には、前述のようにあらかじめ一意な個別アドレスが設定されており、演出制御データが入力されると、入力された演出制御データに含まれるアドレスと設定されている個別アドレスとが一致するか否かを判定する。そして、入力された演出制御データに含まれるアドレスと設定されている個別アドレスとが一致すると判定された場合には、装飾制御装置610のI²C I/Oエクスパンダ615は、演出制御データを取り込んで、対応する装飾装置620の出力態様を制御するとともに、8ビット目のデータが入力された直後に返答信号をマスタIC(第1マスタIC570a、第2マスタIC570b)に出力する。

10

【0270】

以上のように、マスタICは、当該マスタICに接続されるすべての装飾制御装置610に演出制御データを送信し、当該演出制御データに含まれる個別アドレスに対応する装飾制御装置610において、要求した出力態様となるように演出装置を制御することができる。

【0271】

20

なお、各装飾制御装置610には、個別アドレス以外にも、装飾制御装置610のI²C I/Oエクスパンダ615を初期化するためのリセット用アドレスが設定されている。このリセットアドレスは、すべてのI²C I/Oエクスパンダ615に対して共通に設けられたアドレスであり、個別アドレスとして使用することはできない。また、このリセットアドレスの値を変更することもできないように構成されている(詳細は後述する)。

【0272】

演出制御装置550は、装飾制御装置610(正確には、装飾制御装置610のI²C I/Oエクスパンダ615)を初期化する場合に、このリセット用の共通アドレスを含んだ初期化指示データを、中継基板600又は簡易中継基板1600に出力する。このとき、初期化指示データ演出制御データは、中継基板600又は簡易中継基板1600を介して、演出制御装置550に接続されるすべての装飾制御装置610に対して接続線SDAから出力される。

30

【0273】

各装飾制御装置610には、リセット用の共通アドレスがあらかじめ設定されているので、入力されたデータに含まれるアドレスと、リセット用の共通アドレスとが一致するか否かを判定する。一致すると判定された場合には、装飾制御装置610のI²C I/Oエクスパンダ615は、返答信号をマスタICに出力するとともに、入力データを初期化指示データとして取り込み、I²C I/Oエクスパンダ615自身を初期化する。

【0274】

なお、I²C I/Oエクスパンダ615が初期化されると、当該初期化されたI²C I/Oエクスパンダ615によって制御される演出装置はオフ状態となる。

40

【0275】

このように、装飾制御装置610は、演出制御装置550からの指令に基づく制御を行うので、演出制御装置550と装飾制御装置610との関係は、演出制御装置550の第1マスタIC570a及び第2マスタIC570bがマスタであり、各装飾制御装置610のI²C I/Oエクスパンダ615がスレーブとなる。

【0276】

図15及び図16では、中継基板600以外の装飾制御装置610の制御対象は、LEDなどの発光装置である装飾装置620となっているが、モータやソレノイドなどの可動物を制御することも可能である。この場合には、演出装置がモータやソレノイドなどの駆

50

動源となることから、これらの駆動源の動作態様が演出装置の出力態様に相当する。演出制御データには、駆動源の作動/停止指示が含まれ、さらに動作速度を指定することも可能である。

【0277】

なお、遊技機1の構成として、通常版前面枠3の代わりに廉価版前面枠3'を設けた場合でも、廉価版前面枠3'に含まれる各種基板の接続状態は、図16とほぼ同等の構成となる。

【0278】

但し、廉価版前面枠3'には、照明駆動モータ(照明駆動第1MOT13a、照明駆動第2MOT14a)が設けられていないため、廉価版の簡易中継基板1600'には、照明駆動モータが接続されるコネクタが存在せず、接続線M11~M14、及び接続線M21~M24も使用されない。そのため、廉価版の簡易中継基板1600'では、接続線M11~M14、及び接続線M21~M24にも、空き端子モニタ603が接続される。

10

【0279】

また、廉価版前面枠3'には、モータ位置検出センサ560bが設けられていないため、廉価版の簡易中継基板1600'では、接続線SE1~3をグランドに接続して、一定のレベルの信号が、常時、演出制御装置550に入力されるように構成している。

【0280】

図17は、本発明の第1の実施の形態の装飾制御装置610のブロック図である。

【0281】

20

本発明の第1の実施の形態の装飾制御装置610は、前述のように、接続形態に基づいて、分岐型、連結型、及び終端型の3種類に分類される。図17には、分岐型の装飾制御装置610Xに終端型の装飾制御装置610Yが接続されている例を示している。さらに、装飾制御装置610Yには、装飾装置基板625が接続されている。

【0282】

分岐型の装飾制御装置とは、I²C I/Oエクスパンダ615と、I²C I/Oエクスパンダ615が受信する信号を受け入れるためのコネクタ(上流コネクタ)と、上流コネクタから受け入れた信号を、複数の装飾制御装置610に伝達するコネクタ(下流コネクタ)を備えたものである。例えば、図中の装飾制御装置610Xのように、内部にI²C I/Oエクスパンダ615及びLED(装飾装置620)を備え、さらに、一つの上流コネクタ611と二つの下流コネクタ612A、612Bを備える。

30

【0283】

接続線SDA及び接続線SCLは、装飾制御装置610内で二つに分岐し、一方は、そのまま次の装飾制御装置610Yに出力するための下流コネクタ612Bに接続される。他方は、さらに分岐し、一方はI²C I/Oエクスパンダ615に接続され、他方は別の下流コネクタ612Aに接続される。

【0284】

また、装飾制御装置610XのI²C I/Oエクスパンダ615の出力側には、制御対象となる装飾装置620が接続される。I²C I/Oエクスパンダ615の出力側は、図20で説明するポート0~15によって構成される。さらに、装飾制御装置610のすべてのポートが、図19で後述する電流制限抵抗R0~R15を介して、内部のLEDに接続されている。なお、この電流制限抵抗R0~R15も、装飾制御装置610に備えられている。

40

【0285】

前述したように、I²C I/Oエクスパンダ615は、演出制御装置550から入力された演出制御データに含まれるアドレスと、当該I²C I/Oエクスパンダ615に設定されている個別アドレスとが一致する場合にのみ、演出制御データに含まれる装飾データに基づいて、I²C I/Oエクスパンダ615に接続されている装飾装置620を制御する。

【0286】

50

なお、下流コネクタが1個しか備えないために、上流コネクタから受け入れた信号が、1つの装飾制御装置610にのみ伝達可能となっている装飾制御装置は、連結型の装飾制御装置となる。例えば、前述した装飾制御装置610Xにて、下流コネクタ612Bのみが備えられ、下流コネクタ612Aが存在しないようなものが該当する。

【0287】

また、終端型の装飾制御装置とは、 I^2C I/Oエクスパンダ615と、 I^2C I/Oエクスパンダ615が受信する信号を受け入れるためのコネクタ（上流コネクタ）を有するが、上流コネクタから受け入れた信号を、他の装飾制御装置610に伝達しないものである。例えば、図中の装飾制御装置610Yは、 I^2C I/Oエクスパンダ615及びLED（装飾装置620）を備え、装飾制御装置610Yの外部に接続される装飾装置基板625に備わるLEDに電流を流すための接続線、装飾装置基板625のLEDに電源電圧を供給する接続線、及び、グランドに接地する接続線を介して、装飾制御装置610と装飾装置基板625とが接続される。

10

【0288】

装飾装置基板625は、 I^2C I/Oエクスパンダ615を備えておらず、LEDなどの発光装置のみを備えた基板である。この場合、装飾装置基板625に備えたLEDに接続される電流制限抵抗を、装飾装置基板625に設けることになるが、 I^2C I/Oエクスパンダ615が備えられた装飾制御装置610に設けてもよい。

【0289】

なお、装飾装置基板625に設けたLEDの数に対応して、装飾制御装置610から装飾装置基板625へ渡されることになる、これらのLEDに電流を流すための接続線の数決定される。例えば、装飾装置基板625に二つのLEDを備えた場合には、 I^2C I/Oエクスパンダ615のポートと対応するLEDとを接続するための2本の制御線と、Vledから供給された電力を供給する電源線1本とが、少なくとも必要となる。

20

【0290】

そして、装飾制御装置610Yに設けられた I^2C I/Oエクスパンダ615も、演出制御装置550から入力された演出制御データに含まれるアドレスと、当該 I^2C I/Oエクスパンダ615に設定されているアドレスとが一致する場合にのみ、演出制御データに含まれる装飾データに基づいて、 I^2C I/Oエクスパンダ615に接続されている装飾装置620を制御する。この場合、中央の装飾制御装置610に設けられた装飾装置620と、装飾装置基板625に設けられた装飾装置620の両方が、 I^2C I/Oエクスパンダ615によって制御される。

30

【0291】

このように、装飾装置基板625を設けて、装飾制御装置610から一部の装飾装置(LED)を分離させることで、離れた箇所に配置されたLEDであっても、共通の I^2C I/Oエクスパンダ615により制御することができる。

【0292】

なお、装飾制御装置610は、前述したように、LEDなどの発光装置の代わりに、ソレノイドやモータなどの可動物を制御することが可能であり、具体的には、図20にて後述する。

40

【0293】

図18は、本発明の第1の実施の形態の I^2C I/Oエクスパンダ615の構成を示すブロック図である。

【0294】

I^2C I/Oエクスパンダ615は、接続線SDAに接続されるトランジスタ630、接続線SDAに接続されるフィルタ631、接続線SDAに接続されるドライバ632、接続線SCLに接続されるフィルタ633、バスコントローラ634、出力設定レジスタ635、出力コントローラ636、 I^2C I/Oエクスパンダ615の出力側の各ポート0~15に接続されるドライバ637、各ポート0~15に接続されるトランジスタ638A~638P、及びリセット信号発生回路639を備える。

50

【 0 2 9 5 】

フィルタ 6 3 1 は、接続線 S D A に接続され、接続線 S D A から入力されたデータのノイズを除去し、ノイズが除去されたデータをバスコントローラ 6 3 4 に出力する。ドライバ 6 3 2 は、返答信号を接続線 S D A から出力する場合に、トランジスタ 6 3 0 が動作可能な電圧をトランジスタ 6 3 0 に印加する。

【 0 2 9 6 】

ドライバ 6 3 2 は、接続線 S D A からデータ（返答信号）を出力する場合に、トランジスタ 6 3 0 が動作可能な電圧をトランジスタ 6 3 0 に印加する。

【 0 2 9 7 】

トランジスタ 6 3 0 は、電力消費を抑えるために電界効果トランジスタ（F E T）が用いられており、トランジスタ 6 3 0 のゲートはドライバ 6 3 2 に接続され、ドレインはプルアップ抵抗 R により所定の電圧が印加された接続線 S D A に接続され、ソースは接地されている。

【 0 2 9 8 】

トランジスタ 6 3 0 のゲートに印加される電圧がトランジスタ 6 3 0 を動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れない。一方、トランジスタ 6 3 0 のゲートに印加される電圧がトランジスタ 6 3 0 を動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線 S D A の電圧が低下する。なお、トランジスタ 6 3 0 は、10 ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のもを用いている。

【 0 2 9 9 】

ドライバ 6 3 2 は、データ（返答信号）を接続線 S D A から出力する場合に、トランジスタ 6 3 0 にドレインとソースとの間に電流を流すためにトランジスタ 6 3 0 のゲートにトランジスタ 6 3 0 が動作可能な値の電圧を印加する。そして、ドライバ 6 3 2 は、接続線 S D A の電圧を H I G H から L O W へ繰り返し変化させることによって、データを接続線 S D A から出力する。

【 0 3 0 0 】

フィルタ 6 3 3 は、接続線 S C L に接続され、接続線 S C L から入力されたデータのノイズを除去し、ノイズが除去されたデータをバスコントローラ 6 3 4 に出力する。

【 0 3 0 1 】

また、 I^2C I / O エクスパンダ 6 1 5 には、当該 I^2C I / O エクスパンダ 6 1 5 に備わるアドレス設定用端子 A 0 ~ A 3 によって固有のアドレスが設定されており、バスコントローラ 6 3 4 に入力されている。さらに、 I^2C I / O エクスパンダ 6 1 5 をリセットするためのアドレスも、あらかじめ設定されている。

【 0 3 0 2 】

バスコントローラ 6 3 4 は、接続線 S D A から入力されたデータのアドレスが I^2C I / O エクスパンダ 6 1 5 に設定された固有のアドレスと一致するか否かを判定し、一致している場合に当該データを演出制御データとして取り込む。

【 0 3 0 3 】

また、バスコントローラ 6 3 4 は、接続線 S D A から入力されたデータのアドレスが I^2C I / O エクスパンダ 6 1 5 に設定されたリセット用のアドレスと一致するか否かを判定し、一致している場合に当該データを初期化指示データとして取り込み、当該 I^2C I / O エクスパンダ 6 1 5 を初期化する。

【 0 3 0 4 】

また、バスコントローラ 6 3 4 は、接続線 S C L の信号レベルの L O W から H I G H への変化回数が 8 回に達し、8 ビット目のデータを取り込んだ後、接続線 S C L の信号レベルが H I G H から L O W へ変化すると、返答信号を接続線 S D A から第 1 マスタ I C 5 7 0 a に出力する。さらに、接続線 S C L の信号レベルが L O W から H I G H へ変化することが確認され、再度接続線 S C L の信号レベルが H I G H から L O W へ変化すると、接続線 S D A を開放する。つまり、接続線 S C L の信号レベルの L O W から H I G H への変化

10

20

30

40

50

回数が 9 回になるタイミングで返答信号を出力する。

【 0 3 0 5 】

出力設定レジスタ 6 3 5 には、当該 I^2C I / O エクスパンダ 6 1 5 の動作モードやポート 0 ~ 1 5 の出力状態が設定される。バスコントローラ 6 3 4 が接続線 S D A から初期化指示データを取り込んで、当該 I^2C I / O エクスパンダ 6 1 5 が初期化された場合には、出力設定レジスタ 6 3 5 は、すべてのポート 0 ~ 1 5 に電流が流れないように初期状態に設定される。

【 0 3 0 6 】

出力コントローラ 6 3 6 は、出力設定レジスタ 6 3 5 に設定されたデータに基づいて、ポートドライバ 6 3 7 を介して、各ポート 0 ~ 1 5 に接続された演出装置に電流を流すことによって、演出装置の出力状態を実際に制御する。この出力状態は、バスコントローラ 6 3 4 が接続線 S D A から演出制御データを取り込むと、演出制御データに指定されている内容に更新される。

10

【 0 3 0 7 】

すなわち、第 1 マスタ I C 5 7 0 a から受信した演出制御データに基づいて、出力設定レジスタ 6 3 5 に設定し、ストップコンディションを受信した時点で、各ポート 0 ~ 1 5 の出力状態を更新して演出装置に反映させる。したがって、シフトレジスタのように、L A T 信号を受信する必要もなく、すなわち、L A T 信号を受信するための配線を必要とすることなく、演出制御を行うことができる。特に、ポート出力状態を、複数の I^2C I / O エクスパンダ 6 1 5 で同時に更新する必要がある場合に有効であり、異なる I^2C I / O エクスパンダ 6 1 5 に制御される演出装置であっても、同時に演出動作を実行するように制御できるため、より演出効果を高めることが可能となる。

20

【 0 3 0 8 】

ドライバ 6 3 7 は、ポートに電流を流す場合に、電流を流すポートに接続されるトランジスタ 6 3 8 A ~ 6 3 8 P が動作可能な電圧を当該トランジスタに印加する。

【 0 3 0 9 】

トランジスタ 6 3 8 A ~ 6 3 8 P のゲートはドライバ 6 3 7 に接続され、ドレインは図 1 9 及び図 2 0 に示すように演出装置を動作させるための電圧が印加された接続線に接続するポート端子に接続され、ソースは接地されている。

【 0 3 1 0 】

トランジスタ 6 3 8 A ~ 6 3 8 P のゲートに印加される電圧がトランジスタ 6 3 8 A ~ 6 3 8 P を動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れない。一方、6 3 8 A ~ 6 3 8 P のゲートに印加される電圧がトランジスタ 6 3 8 を動作させる所定値以上であれば、図 1 9 に示す電源 V l e d、又は図 2 0 に示す電源 V m o t や電源 V s o l からゲートに印加されている所定の電圧が、トランジスタ 6 3 8 のドレインを介して接地されているソースへ電流が流れることによって、ポート端子に接続された演出装置の出力状態を制御できる。

30

【 0 3 1 1 】

また、装飾制御装置 6 1 0 の I^2C I / O エクスパンダ 6 1 5 は、 I^2C I / O エクスパンダ 6 1 5 のポート端子に接続されたすべての演出装置 (L E D などの装飾装置 6 2 0) を同時に制御することが可能であるので、 I^2C I / O エクスパンダ 6 1 5 のポート端子に接続された一つの演出装置を一つのグループとして制御することができる。

40

【 0 3 1 2 】

そして、各装飾制御装置 6 1 0 に備わる I^2C I / O エクスパンダ 6 1 5 同士は、互いに異なる個別アドレスが割り当てられているので、演出装置が複数のグループに分割された形態となっている。すなわち、各装飾制御装置 6 1 0 に備わる I^2C I / O エクスパンダ 6 1 5 は、演出装置をグループ単位で制御可能なグループ単位制御手段として構成されているものである。

【 0 3 1 3 】

したがって、各装飾制御装置 6 1 0 を統括する演出制御装置 5 5 0 は、グループ単位制

50

御手段を統括して制御するグループ統括制御手段として機能している。

【0314】

リセット信号発生回路639には、 I^2C I/Oエクスパンダ615に電源を供給する接続線Vccに接続されるVcc端子、及び外部からのリセット信号を受け付けるRESET端子が接続されている。

【0315】

リセット信号発生回路639は、 I^2C I/Oエクスパンダ615に電源が投入され、電圧が所定値まで立ち上がると、リセット信号を発生させ、発生させたリセット信号をバスコントローラ634、出力設定レジスタ635、及び出力コントローラ636に入力することによって初期化する。

10

【0316】

なお、外部からLOWレベルのリセット信号が入力された場合には、リセット信号発生回路639はリセット信号を出力するので、演出制御装置550のCPU551から、NORゲート回路561を経由して、RESET端子からリセット信号を入力するようにしてもよい。RESET端子を使用しない場合には、図19及び図20に示すようにRESET端子はHIGHにプルアップされていてもよい。

【0317】

図19は、本発明の第1の実施の形態の装飾装置620を制御する装飾制御装置610の I^2C I/Oエクスパンダ615周辺の回路図である。

【0318】

20

I^2C I/Oエクスパンダ615は、入力端子としてNC端子、RESET端子、SCL端子、SDA端子、Vcc端子、A0～A3端子、及びGND端子を備え、出力端子として、PORT0～PORT15を備える。

【0319】

RESET端子には、プルアップ抵抗Rを介して I^2C I/Oエクスパンダ615に供給される電源が接続されている。このため、リセット端子に印加される電圧は常にHIGHに維持されている。

【0320】

SCL端子は接続線SCLに接続され、SDA端子は接続線SDAに接続される。

【0321】

30

Vcc端子には、 I^2C I/Oエクスパンダ615に供給される電源が接続される。さらに、Vcc端子には、電源ノイズを除去するコンデンサCPが接続される。

【0322】

A0端子～A3端子は、 I^2C I/Oエクスパンダ615に個別アドレスを設定するための端子である。なお、 I^2C I/Oエクスパンダ615の個別アドレスは、通常、4ビットで表現され、この端子に I^2C I/Oエクスパンダ615の電源が印加されている場合にはバスコントローラ634に「1」が設定され、この端子がグランドに接続されている場合にはバスコントローラ634に「0」が設定される。

【0323】

したがって、図19に示す I^2C I/Oエクスパンダ615の個別アドレスは「0100」となる。GND端子は、電圧をグランドするための端子である。

40

【0324】

PORT0端子～PORT15端子は、電流制限抵抗R0～R15を介してLED0～LED15からなる装飾装置620に接続される。なお、PORT0のように、ポート1個に対して1個のLEDを接続してもよいが、PORT1～15のように、ポート1個に対して複数個のLEDを接続してもよい。

【0325】

すべてのポートにLEDを1個ずつ設ける場合は、1個の I^2C I/Oエクスパンダ615によって、最大で16個のLEDを制御できることになる。また、各ポートに接続されるLEDの個数が異なる場合は、1個のポートに直列に接続されたすべてのLEDを1

50

種類のLEDということにすれば、1個のI²C I/Oエクスパンダ615によって、最大で16種類のLEDを制御できることになる。

【0326】

PORT0端子～PORT15端子に接続されるトランジスタ638A～638P(図18参照)のゲートに対してドライバ637から電圧が印加されると、電圧が印加されたトランジスタ638A～638Pのドレインからソースへ電流が流れることが可能になり、PORT0端子～PORT15端子に接続されるLED0～LED15に電流が流れ、各LED0～LED15は点灯する。

【0327】

一方、ドライバ637がトランジスタ638A～638Pのゲートに電圧を印加しなければ、各LED0～LED15に電流が流れない状態になり、各LED0～LED15は点灯しない。

【0328】

なお、I²C I/Oエクスパンダ615のPORT0端子～PORT15端子には、LEDの代わりに、モータやソレノイドを接続して、このモータやソレノイドを遊技に用いる演出装置として構成することも可能である。以下、図20を参照しながらI²C I/Oエクスパンダ615を用いてモータやソレノイドを制御する場合について説明する。

【0329】

図20は、本発明の第1の実施の形態の装飾制御装置610のI²C I/Oエクスパンダ615周辺の回路図であり、モータやソレノイドを制御する場合を示す図である。

【0330】

ここで使用されるモータはステッピングモータにより構成され、ステッピングモータを駆動する各相の信号端子に、所定の電圧を順次印加することで回動する。本発明の第1の実施の形態では、モータの各相の信号端子がPORT0端子～PORT3端子に接続される。

【0331】

モータに接続されているPORT0端子～PORT3端子に接続されるトランジスタ638A～638Dのいずれかのゲートに対してドライバ637から電圧が印加されると、電圧が印加されたトランジスタ638A～638Dのドレインからソースへ電流が流れることが可能になり、PORT0端子～PORT3端子に接続されるモータに電流が流れ、役物駆動用のモータが駆動する。

【0332】

なお、各PORT0端子～PORT3端子とモータとを接続する接続線は分岐し、分岐した一方の接続線は、モータに供給される電源にダイオードD及びツェナダイオードZDを介して接続される。

【0333】

また、PORT端子15は、使用されるソレノイドに接続される。ソレノイドに接続されているPORT15端子に接続されるトランジスタ638Pのゲートに対してドライバ637から電圧が印加されると、電圧が印加されたトランジスタ638Pのドレインからソースへ電流が流れることが可能になり、PORT15端子に接続されるソレノイドに電流が流れ、ソレノイドによって駆動される図示しない演出装置が駆動する。

【0334】

なお、図20では、I²C I/Oエクスパンダ615にモータ及びソレノイドの双方が接続されているが、一つのI²C I/Oエクスパンダ615に対して、モータ及びソレノイドの少なくとも一方だけを接続した構成でもよい。

【0335】

例えば、ステッピングモータだけを制御するグループとしてのI²C I/Oエクスパンダ615を専用に設けたり、ソレノイドだけを制御するグループとしてのI²C I/Oエクスパンダ615を専用に設けたりするようにしてもよい。このような構成により、同一グループに属する演出装置を同じタイミングで制御することが可能となるので、高速処理

10

20

30

40

50

が必要な演出装置だけをグループ化して効率よく制御することも可能となる。

【0336】

図21は、本発明の第1の実施の形態の装飾制御装置610、中継基板600及び簡易中継基板1600の回路構成を説明するための図であり、特に、信号線や電源線の入出力に関する接続状態を説明するための図である。

【0337】

本図においては、装飾制御装置610、中継基板600及び簡易中継基板1600のうち、分岐型の装飾制御装置610（例えば、装飾制御装置610Aなど）について説明を行うこととし、最後に、連結型の装飾制御装置610、終端型の装飾制御装置610、中継基板600、簡易中継基板1600との相違点の説明を行うことにする。

10

【0338】

なお、本図においては、前述した分岐型の装飾制御装置610Xに備えられる部品と、同一の付番を付けて説明を行う。

【0339】

分岐型の装飾制御装置610は、上流コネクタ611、下流コネクタ612（612A、612B）、及びI²C I/Oエクスパンダ615を備える。

【0340】

上流コネクタ611は、当該装飾制御装置610よりも上流の装飾制御装置610に接続されるコネクタである。下流コネクタ612A及び612Bは、当該装飾制御装置610よりも下流側の装飾制御装置610に接続される。

20

【0341】

二つの下流コネクタ612A、612Bに接続線SDAを接続するために、上流コネクタ611から延びる内部接続線SDA211は分岐2101で第1接続線SDA212と第2接続線SDA213とに分岐する。第1接続線SDA212は下流コネクタ612Aに接続され、第2接続線SDA213は下流コネクタ612Bに接続される。

【0342】

同じく、上流コネクタ611から延びる内部接続線SCL2112は分岐2102で第1接続線SCL2122と第2接続線SCL2132とに分岐する。第1接続線SCL2122は下流コネクタ612Aに接続され、第2接続線SCL2132は下流コネクタ612Bに接続される。

30

【0343】

さらに、接続線SDAをI²C I/Oエクスパンダ615に接続するために、第2接続線SDA2131は分岐2103で分岐し、分岐した第2接続線SDA2131はI²C I/Oエクスパンダ615の図19及び図20に示すSDA端子に接続される。また、接続線SCLをI²C I/Oエクスパンダ615に接続するために、第2接続線SCL2132は分岐2104で分岐し、分岐した第2接続線SCL2132はI²C I/Oエクスパンダ615の図19及び図20に示すSCL端子に接続される。以下、I²C I/Oエクスパンダ615、分岐2103からI²C I/Oエクスパンダ615に接続される接続線SDA、及び分岐2104からI²C I/Oエクスパンダ615に接続される接続線SCLを含む構成をI²C I/Oエクスパンダ部2181とする。

40

【0344】

なお、I²C I/Oエクスパンダ615には、I²C I/Oエクスパンダ615の電源電圧となる電圧Vccが供給されている。また、図21では図示されていないが、I²C I/Oエクスパンダ615からは、装飾制御装置610に設けられたLED（装飾装置620）を駆動する各ポート0～15の信号線（図19参照）が出力されている。

【0345】

さらに、当該装飾制御装置610のI²C I/Oエクスパンダ615が上流の装飾制御装置610に接続線SDAを介して出力する信号、及び上流の装飾制御装置610から、当該装飾制御装置610のI²C I/Oエクスパンダ615に接続線SDAを介して入力される信号のノイズを除去するために、内部接続線SDA2111にはツェナダイオード

50

Z D 2 1 4 1 が接続されている。

【 0 3 4 6 】

具体的には、内部接続線 S D A 2 1 1 1 は分岐 2 1 0 5 で分岐し、分岐した内部接続線 S D A 2 1 1 1 はツェナダイオード Z D 2 1 4 1 のカソード側に接続され、ツェナダイオード Z D 2 1 4 1 のアノード側は接地されている。

【 0 3 4 7 】

このため、内部接続線 S D A 2 1 1 1 に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオード Z D 2 1 4 1 によって逃がされる。

【 0 3 4 8 】

また、上流の装飾制御装置 6 1 0 から、当該装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 へ接続線 S C L を介して入力される信号のノイズを除去するために、内部接続線 S C L 2 1 1 2 にはツェナダイオード Z D 2 1 4 2 が接続されている。

【 0 3 4 9 】

具体的には、内部接続線 S C L 2 1 1 2 は分岐 2 1 0 6 で分岐し、分岐した内部接続線 S C L 2 1 1 2 はツェナダイオード Z D 2 1 4 2 のカソード側に接続され、ツェナダイオード Z D 2 1 4 2 のアノード側は接地されている。

【 0 3 5 0 】

このため、内部接続線 S C L 2 1 1 2 に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオード Z D 2 1 4 2 によって逃がされる。

【 0 3 5 1 】

また、当該装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 が、下流コネクタ 6 1 2 A に接続された装飾制御装置 6 1 0 に接続線 S D A を介して出力する信号、及び下流コネクタ 6 1 2 A に接続された装飾制御装置 6 1 0 から装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 へ接続線 S D A を介して入力される信号のノイズを除去するために、第 1 接続線 S D A 2 1 2 1 にはツェナダイオード Z D 2 1 4 3 が接続されている。

【 0 3 5 2 】

具体的には、第 1 接続線 S D A 2 1 2 1 は分岐 2 1 0 7 で分岐し、分岐した第 1 接続線 S D A 2 1 2 1 はツェナダイオード Z D 2 1 4 3 のカソード側に接続され、ツェナダイオード Z D 2 1 4 3 のアノード側は接地されている。

【 0 3 5 3 】

このため、第 1 接続線 S D A 2 1 2 1 に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオード Z D 2 1 4 3 によって逃がされる。

【 0 3 5 4 】

また、第 1 接続線 S D A 2 1 2 1 に接続されるツェナダイオード Z D 2 1 4 3 と同じく、第 2 接続線 S D A 2 1 3 1 にもツェナダイオード Z D 2 1 4 5 が接続される。

【 0 3 5 5 】

また、装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 から下流コネクタ 6 1 2 A に接続された装飾制御装置 6 1 0 へ接続線 S C L を介して入力される信号のノイズを除去するために、第 1 接続線 S C L 2 1 2 2 にはツェナダイオード Z D 2 1 4 4 が接続されている。

【 0 3 5 6 】

具体的には、第 1 接続線 S C L 2 1 2 2 は分岐 2 1 0 8 で分岐し、分岐した第 1 接続線 S C L 2 1 2 2 はツェナダイオード Z D 2 1 4 4 のカソード側に接続され、ツェナダイオード Z D 2 1 4 4 のアノード側は接地されている。

【 0 3 5 7 】

このため、第 1 接続線 S C L 2 1 2 2 に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオード Z D 2 1 4 4 によって逃がされる。

【 0 3 5 8 】

また、第 1 接続線 S C L 2 1 2 2 に接続されるツェナダイオード Z D 2 1 4 4 と同じく、第 2 接続線 S C L 2 1 3 2 にもツェナダイオード Z D 2 1 4 6 が接続される。

10

20

30

40

50

【 0 3 5 9 】

さらに、当該装飾制御装置 6 1 0 の $I^2C I / O$ エクスパンダ 6 1 5 に電源電圧を供給する接続線 V_{cc} に接続される上流コネクタ 6 0 1 の V_{cc} 端子から延びる内部接続線 $V_{cc} 2 1 7 1$ と、上流コネクタ 6 0 1 の GND 端子から延び、接地されている内部接続線 $GND 2 1 7 2$ とは、平滑コンデンサ $C 2 1 6 1$ 及びバイパスコンデンサ $C P 2 1 6 2$ を介して接続されている。

【 0 3 6 0 】

平滑コンデンサ $C 2 1 6 1$ は、電源の電圧波形を滑らかにするためのコンデンサであり、バイパスコンデンサ $C P 2 1 6 2$ は、電源の電圧のノイズを除去するためのコンデンサである。

10

【 0 3 6 1 】

このため、装飾制御装置 6 1 0 の $I^2C I / O$ エクスパンダ 6 1 5 に供給される電源電圧は、平滑コンデンサ $C 2 1 6 1$ により電圧が平滑化され、バイパスコンデンサ $C P 2 1 6 2$ によりノイズが除去されて、 $I^2C I / O$ エクスパンダ 6 1 5 に供給される。

【 0 3 6 2 】

同じく、下流コネクタ 6 1 2 A、6 1 2 B の V_{cc} 端子から延びる内部接続線 $V_{cc} 2 1 7 3$ と、 GND 端子から延びる内部接続線 $GND 2 1 7 4$ とは、平滑コンデンサ $C 2 1 6 1$ 及びバイパスコンデンサ $C P 2 1 6 2$ を介して接続されている。これによって、平滑化され、ノイズが除去された電圧が下流の装飾制御装置 6 1 0 に接続される接続線 V_{cc} に印加される。

20

【 0 3 6 3 】

以上、分岐型の装飾制御装置 6 1 0 について説明を行ったが、次に、連結型の装飾制御装置 6 1 0 について説明する。

【 0 3 6 4 】

なお、下流コネクタ 6 1 2 A に加え、接続線 $S D A$ に接続されるツェナダイオード $Z D 2 1 4 3$ 、及び接続線 $S C L$ に接続されるツェナダイオード $Z D 2 1 4 4$ 、内部接続線 $V_{cc} 2 1 7 3$ 、内部接続線 $GND 2 1 7 4$ 、平滑コンデンサ $C 2 1 6 1$ 及びバイパスコンデンサ $C P 2 1 6 2$ を備える構成を第 1 の下流コネクタ部 2 1 8 2 とする。

【 0 3 6 5 】

また、下流コネクタ 6 1 2 B に加え、接続線 $S D A$ に接続されるツェナダイオード $Z D 2 1 4 5$ 、及び接続線 $S C L$ に接続されるツェナダイオード $Z D 2 1 4 6$ 、内部接続線 $V_{cc} 2 1 7 3$ 、内部接続線 $GND 2 1 7 4$ 、平滑コンデンサ $C 2 1 6 1$ 及びバイパスコンデンサ $C P 2 1 6 2$ を備える構成を第 2 の下流コネクタ部 2 1 8 3 とする。

30

【 0 3 6 6 】

装飾制御装置 6 1 0 が連結型の場合には、基板内に一つの下流コネクタのみを備える構成となるので、下流コネクタ 6 1 2 A は存在するが下流コネクタ 6 1 2 B が存在しない。

【 0 3 6 7 】

そのため、内部接続線 $S D A 2 1 1 1$ 及び内部接続線 $S C L 2 1 1 2$ は、分岐点 2 1 0 3、2 1 0 4 では分岐しない構成となり、第 2 接続線 $S D A 2 1 3 1$ 及び第 2 接続線 $S C L 2 1 3 2$ は存在しない点が、分岐型の装飾制御装置 6 1 0 とは異なる構成となる。

40

【 0 3 6 8 】

また、連結型の装飾制御装置 6 1 0 は、第 2 の下流コネクタ部 2 1 8 3 を構成する電子部品が存在しない点も、分岐型の装飾制御装置 6 1 0 と異なる構成となる。他の構成は分岐型の装飾制御装置 6 1 0 と同様の構成となる。

【 0 3 6 9 】

次に、終端型の装飾制御装置 6 1 0 について説明する。

【 0 3 7 0 】

装飾制御装置 6 1 0 が終端型の場合には、基板内に下流コネクタを備えない構成となるので、下流コネクタ 6 1 2 A、6 1 2 B がともに存在しない。

【 0 3 7 1 】

50

そのため、内部接続線 S D A 2 1 1 1 及び内部接続線 S C L 2 1 1 2 は、分岐点 2 1 0 1、2 1 0 2、2 1 0 3、2 1 0 4 で分岐することなく、I²C I / O エクスパンダ 6 1 5 へ接続される点が、分岐型の装飾制御装置 6 1 0 とは異なる構成となる。

【0372】

また、終端型の装飾制御装置 6 1 0 は、第 1 の下流コネクタ部 2 1 8 2 及び第 2 の下流コネクタ部 2 1 8 3 を構成する電子部品が存在しない点も、分岐型の装飾制御装置 6 1 0 と異なる構成となる。他の構成は分岐型の装飾制御装置 6 1 0 と同様の構成となる。

【0373】

次に、中継基板 6 0 0 について説明する。

【0374】

中継基板 6 0 0 は、連結型の装飾制御装置 6 1 0 と同様に、基板内に一つの下流コネクタのみを備える構成となるので、下流コネクタ 6 1 2 A は存在するが下流コネクタ 6 1 2 B が存在しない。

【0375】

そのため、内部接続線 S D A 2 1 1 1 及び内部接続線 S C L 2 1 1 2 は、分岐点 2 1 0 3、2 1 0 4 では分岐しない構成となり、第 2 接続線 S D A 2 1 3 1 及び第 2 接続線 S C L 2 1 3 2 が存在しないので、連結型の装飾制御装置 6 1 0 と同様の構成となる。

【0376】

但し、中継基板 6 0 0 は、接続線 S D A 及び接続線 S C L の電圧をプルアップするためのプルアップ抵抗を備えている点で、連結型の装飾制御装置 6 1 0 と異なる。

【0377】

具体的には、図 2 1 に示すように、中継基板 6 0 0 では、第 1 マスタ I C 5 7 0 a に接続される上流側の接続線 S D A、及び装飾制御装置 6 1 0 に接続される下流側の接続線 S D A の電圧をプルアップするためのプルアップ抵抗 R 2 1 5 1 が、第 1 接続線 S D A 2 1 2 1 に接続される。同じく、第 1 マスタ I C 5 7 0 a に接続される上流側の接続線 S C L、及び装飾制御装置 6 1 0 に接続される下流側の接続線 S C L の電圧をプルアップするためのプルアップ抵抗 R 2 1 5 2 が、第 1 接続線 S C L 2 1 2 2 に接続される。

【0378】

より詳しく説明すると、第 1 接続線 S D A 2 1 2 1 は分岐 2 1 0 9 で分岐し、分岐した第 1 接続線 S D A 2 1 2 1 はプルアップ抵抗 R 2 1 5 1 に接続される。同じく第 1 接続線 S C L 2 1 2 2 は分岐 2 1 1 0 で分岐し、分岐した第 1 接続線 S C L 2 1 2 2 はプルアップ抵抗 R 2 1 5 2 に接続される。以下、接続線 S D A の電圧をプルアップするためのプルアップ抵抗 R 2 1 5 1、及び接続線 S C L の電圧をプルアップするためのプルアップ抵抗 R 2 1 5 2 をあわせてプルアップ抵抗部 2 1 8 0 とする。

【0379】

次に、簡易中継基板 1 6 0 0 について説明する。

【0380】

簡易中継基板 1 6 0 0 は、分岐型の装飾制御装置 6 1 0 と同様に、基板内に複数の下流コネクタ（下流コネクタ 6 1 2 A、6 1 2 B）を備える。但し、簡易中継基板 1 6 0 0 は、I²C I / O エクスパンダ部 2 1 8 1 に相当する回路を備えておらず、代わりに、中継基板 6 0 0 に備えている前述のプルアップ抵抗部 2 1 8 0 に相当する回路が設けられている点が、分岐型の装飾制御装置 6 1 0 と異なる構成である。他の構成は分岐型の装飾制御装置 6 1 0 と同様の構成となる。

【0381】

なお、前述のプルアップ抵抗部 2 1 8 0 の構成は、本実施形態では、中継基板 6 0 0 と簡易中継基板 1 6 0 0 だけに設けられており、装飾制御装置 6 1 0 や演出制御装置 5 5 0 には設けていない構成となっているが、接続線 S D A 及び接続線 S C L のレベルが正しく生成できるのであれば、装飾制御装置 6 1 0 や演出制御装置 5 5 0 に設けられていてもよい。要するに、プルアップ抵抗 R 2 1 5 1 及び R 2 1 5 2 は、接続線 S D A 及び接続線 S C L を駆動するトランジスタのドレインの端子に電圧 V c c を供給可能な箇所に備えられて

10

20

30

40

50

いればよい。

【0382】

例えば、プルアップ抵抗 R2151 及び 2152 が第 1 マスタ IC570a に備えられていれば、中継基板 600、簡易中継基板 1600 若しくは装飾制御装置 610 内にプルアップ抵抗部 2180 が備えられている必要はない。

【0383】

図 22 は、本発明の第 1 の実施の形態の演出制御装置 550 から装飾制御装置 610 に出力されるデータに含まれるスレーブアドレス 2200 の説明図である。

【0384】

スレーブアドレス 2200 は、上位 3 ビットからなる固定アドレス部 2201 及び下位 5 ビットからなる可変アドレス部 2202 によって構成される。

10

【0385】

固定アドレス部 2201 は、「110」の値があらかじめ設定され、I²C I/O エクспанダ 615 によって変更することができない。

【0386】

可変アドレス部 2202 は、I²C I/O エクспанダ 615 によって設定可能である。可変アドレス部 2202 は、制御対象となる I²C I/O エクспанダ 615 の A0 ~ A3 の端子に設定されているパターンに対応した 4 ビットの I²C I/O エクспанダアドレス 2203 と、当該データが読み出し要求であるのか書き込み要求であるのかを示す 1 ビットの R/W 識別データ 2204 とによって構成される。

20

【0387】

演出制御装置 550 から装飾制御装置 610 に出力される演出制御データは、書き込み要求であるので、R/W 識別データ 2204 には、通常「0」が登録される。

【0388】

図 23 は、本発明の第 1 の実施の形態の I²C I/O エクспанダアドレステーブル 2300 の説明図である。

【0389】

I²C I/O エクспанダアドレステーブル 2300 は、第 1 マスタ IC570a によって管理されるテーブルである。I²C I/O エクспанダアドレステーブル 2300 は、スレーブアドレス 2301 と I²C I/O エクспанダアドレス 2302 との対応関係を示している。

30

【0390】

スレーブアドレス 2301 には、演出制御装置 550 により送受信の対象として指定される装飾制御装置 610 のスレーブアドレスが格納されている。スレーブアドレスは、図 20 で前述したように、上位 3 ビットからなる固定アドレス部と、4 ビットの I²C I/O エクспанダアドレスと、1 ビットの R/W 識別データとを組み合わせる構成される。

【0391】

I²C I/O エクспанダアドレス 2302 には、図 19 や図 20 で前述したように、各スレーブアドレスに対応する 4 ビットの I²C I/O エクспанダアドレスが登録される。

40

【0392】

ただし、I²C I/O エクспанダアドレスのうち、アドレス「1000」及びアドレス「1011」（図 23 の網掛けされたエントリ）は、各 I²C I/O エクспанダ 615 を相互に識別するための固有のアドレスとしては使用できない。

【0393】

アドレス「1000」は、すべての装飾制御装置 610 に対して共通の指令を出力する場合に指定されるアドレス（オールコールアドレス）の電源投入時のデフォルト値として用いられる。アドレス「1011」は、ソフトウェアによって、第 1 マスタ IC570a に接続されているすべての装飾制御装置 610 を無条件にリセットする場合に用いられる共通アドレスである。

50

【0394】

以上のように、装飾制御装置610のI²C I/Oエクスパンダ615に設定可能なアドレスは14個であるため、演出制御装置550は、14個のI²C I/Oエクスパンダ615を制御することができる。また、各装飾制御装置610には、PORT0~PORT15が備えられているので、16個（言い換えれば16種類）のLEDを制御することが可能である。よって、演出制御装置550は、224個（言い換えれば224種類）のLEDを制御することが可能である。

【0395】

図24は、本発明の第1の実施の形態のI²C I/Oエクスパンダ615に備えられる出力設定レジスタ635に割り当てられたワークレジスタを説明するための図である。

10

【0396】

I²C I/Oエクスパンダ615の出力設定レジスタ635には、ワークレジスタ（デバイスレジスタ）と、コントロールレジスタ（制御レジスタ）とが割り当てられている。

【0397】

ワークレジスタは、I²C I/Oエクスパンダ615に対してあらかじめ定義されている設定を行うための情報や、I²C I/Oエクスパンダ615に接続されている演出装置（装飾装置620、例えば、LED）の出力態様を特定するための情報を記憶するものである。

【0398】

また、コントロールレジスタは、ワークレジスタへのデータ書き込み手順を規定する情報を記憶する。なお、ワークレジスタは、複数の情報を異なる記憶領域に分散して記憶する構成となっており、記憶領域毎に異なるレジスタ番号が付与されている。

20

【0399】

レジスタ番号「00h」及びレジスタ番号「01h」は、I²C I/Oエクスパンダ615の初期設定を行うためのモードレジスタに対応する。レジスタ番号「00h」の記憶領域にはレジスタ名「MODE1」が付与されている。また、レジスタ番号「01h」の記憶領域にはレジスタ名「MODE2」が付与されている。レジスタ番号「00h」及び「01h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、I²C I/Oエクスパンダ615の初期設定が行われる。

【0400】

30

なお、「MODE2」のレジスタのビット3（OCH）は、I²C I/Oエクスパンダ615の出力設定レジスタ635に格納された演出制御データを演出装置に実際に反映させるタイミングを規定するパラメータである。本発明の第1の実施の形態では、図18にて説明したように、「0」が設定されており、ストップコンディションを受信した時点で出力設定レジスタ635に格納された演出制御データを出力し、演出装置の出力状態を実際に制御するように設定されている。

【0401】

レジスタ番号「02h」~「11h」（レジスタ名「PWM0」~「PWM15」）には、装飾装置620に含まれるLEDなどの制御対象のパラメータが設定される。レジスタ番号「02h」~「11h」の記憶領域のいずれかに値が書き込まれると、I²C I/Oエクスパンダ615に接続される発光装置（装飾装置620）を構成する16個のLEDのうち、値が書き込まれたレジスタ番号に対応するLEDの輝度が、書き込まれた値に基づいて調整される。例えば、レジスタ番号「02h」の記憶領域に値が書き込まれた場合には、図19に示すポート0に接続されたLED0の輝度が調整される。

40

【0402】

なお、I²C I/Oエクスパンダ615は、前述のように、モータやソレノイドといった可動物を制御することも可能である。I²C I/Oエクスパンダ615にソレノイドが接続される場合には、ソレノイドが接続されるポートに対応するレジスタ番号には、ソレノイドを通電させて作動させるか、通電せずに未作動の状態にするかを示す値が書き込まれる。また、I²C I/Oエクスパンダ615にモータが接続される場合には、モータが

50

接続されるポートに対応するレジスタ番号には、モータの目標回転位置を示す値が書き込まれる。

【0403】

レジスタ番号「12h」（レジスタ名「GRPPWM」）及びレジスタ番号「13h」（レジスタ名「GRPFREQ」）には、制御対象全体の動作パターンなどを指定するパラメータが設定される。レジスタ番号「12h」及び「13h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、LED（16個のLED）全体の点滅パターンが設定される。具体的には、レジスタ番号「12h」には、LED全体のオン・オフ比率であるデューティサイクルが設定され、レジスタ番号「13h」には、LED全体の点滅周期が設定される。

10

【0404】

レジスタ番号「14h」（レジスタ名「LEDOUT0」）～「17h」（レジスタ名「LEDOUT3」）には、各ポートで制御されるLEDの出力状態が設定される。各レジスタには、それぞれ4つずつLEDの出力状態を設定することが可能となっている。

【0405】

レジスタ番号「14h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、LED0～LED3の出力状態が設定される。同様に、レジスタ番号「15h」の記憶領域にはLED4～LED7の出力状態、レジスタ番号「16h」の記憶領域にはLED8～LED11の出力状態、レジスタ番号「17h」の記憶領域にはLED12～LED15の出力状態が設定される。

20

【0406】

レジスタ番号「18h」～「1Ah」（レジスタ名「SUBADR1」～「SUBADR3」）にはサブアドレスが設定される。レジスタ番号「18h」～「1Ah」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、第1サブアドレス～第3サブアドレスが設定される。

【0407】

レジスタ番号「1Bh」（レジスタ名「ALLCALLADR」）にはすべての装飾制御装置610に対する指令を出力するためのオールコールアドレスが設定される。オールコールアドレスは、例えば、電源投入時などにすべての装飾制御装置610で初期化処理を実行する場合などに使用される。

30

【0408】

図25は、本発明の第1の実施の形態のマスタICが接続線SDA及び接続線SCLを介してデータを出力するスタート条件及びストップ条件の説明図である。

【0409】

接続線SCLは、データの非送信時には信号レベルがHIGHになっている。マスタICは、装飾制御装置610にデータを出力する際に、接続線SCLの信号レベルをLOWからHIGHに変化させ、装飾制御装置610が接続線SDAのデータを取り込むためのストロブ信号として作用させる。

【0410】

接続線SDAは、データの非送信時には信号レベルがHIGHになっており、接続線SCLのクロック信号に合わせて接続線SDAからデータが出力される。

40

【0411】

マスタICは、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをHIGHからLOWに変化させることで、データの出力が開始することを示すスタート条件となる信号を出力する。

【0412】

装飾制御装置610のI²C I/Oエクスパンダ615は、接続線SDA及び接続線SCLからスタート条件となる信号が入力されると、データの出力が開始されることを認識する。

【0413】

50

マスタＩＣは、接続線ＳＣＬの信号レベルをＨＩＧＨに維持したまま、接続線ＳＤＡの信号レベルをＬＯＷからＨＩＧＨに変化させることで、データの出力が終了することを示すストップ条件となる信号を出力する。

【０４１４】

装飾制御装置６１０のＩ^２ＣＩ／Ｏエクスパンダ６１５は、ストップ条件となる信号が入力されると、データの出力が終了することを認識する。本発明の第１の実施の形態では、前述のように、装飾制御装置６１０がストップ条件となる信号を受信すると、当該装飾制御装置６１０が制御する演出装置（装飾装置６２０）の制御を開始する。

【０４１５】

図２６は、本発明の第１の実施の形態のマスタＩＣから出力されたデータが入力された装飾制御装置６１０が返答信号を出力するタイミングチャートである。

10

【０４１６】

装飾制御装置６１０は、スタート条件が成立してから接続線ＳＣＬの信号レベルの変化回数を計数し、接続線ＳＣＬのクロック信号に合わせて接続線ＳＤＡから入力されるデータを取り込む。

【０４１７】

そして、装飾制御装置６１０は、スタート条件が成立してから接続線ＳＣＬの信号レベルの変化回数が９回に達する直前に、返答信号をマスタＩＣに接続線ＳＤＡを介して出力する。換言すると、装飾制御装置６１０は、接続線ＳＤＡから８ビット目のデータを取り込んだ後に、接続線ＳＣＬの信号レベルがＨＩＧＨからＬＯＷに変化する契機に、当該接続線ＳＤＡを介して返答信号を出力する。

20

【０４１８】

なお、図２６に示すように、データの受信に成功したことを示す返答信号（ＡＣＫの返答信号）はＬＯＷレベルによって示され、データの受信に失敗したことを示す返答信号（ＮＡＣＫの返答信号、図ではＡＣＫ出力なしに相当）はＨＩＧＨレベルによって示される。

【０４１９】

また、マスタＩＣは、スタート条件が成立してから接続線ＳＣＬの信号レベルが８回変化すると、接続線ＳＤＡを解放することによって、装飾制御装置６１０から返答信号の入力を待機する。そして、マスタＩＣは、接続線ＳＤＡを解放したまま、接続線ＳＣＬの信号レベルを変化させて、装飾制御装置６１０からの返答信号を取り込む。

30

【０４２０】

図２７は、本発明の第１の実施の形態のマスタＩＣが演出制御データを出力する場合の接続線ＳＤＡ及び接続線ＳＣＬの信号レベルのタイミングチャートである。

【０４２１】

まず、マスタＩＣは、データの出力を開始する場合には、接続線ＳＣＬの信号レベルをＨＩＧＨに維持したまま、接続線ＳＤＡの信号レベルをＨＩＧＨからＬＯＷに変化させることによって、スタート条件を示す信号を出力し、データの出力を開始することを装飾制御装置６１０に通知する。

【０４２２】

40

次に、マスタＩＣは、合計７ビットからなる制御対象となる装飾制御装置６１０のスレーブアドレスを出力する。さらに、マスタＩＣは、読み出し要求である書き込み要求であるかを示す情報を８ビット目に出力する。

【０４２３】

そして、マスタＩＣは、接続線ＳＣＬの信号レベルが９回目にＨＩＧＨになるときに、装飾制御装置６１０から返答信号が入力されるので、ＡＣＫの返答信号であれば接続線ＳＤＡの信号レベルがＬＯＷに変化し、ＮＡＣＫの返答信号であれば接続線ＳＤＡの信号レベルがＨＩＧＨに変化する。

【０４２４】

次に、マスタＩＣは、アドレスデータの出力後、８の倍数となるビット数でデータを出

50

力する。さらに、データの8ビット目を出力した後、ACKの返答信号が入力されるのを待ってデータの9ビット目を出力する。以降、8の倍数番目に相当するビットのデータを出力すると、ACKの返答信号が入力されるのを確認してから、(8の倍数+1)番目のビットを出力し、全データが出力されるまで繰り返す。

【0425】

なお、マスタICは、データの8の倍数番目となるビットを出力した後、所定時間経過してもACKの返答信号が入力されない場合には、データの送信に失敗したものとみなして、再度スタート条件を送信する。次いで、接続線SDAを介して、再度アドレスデータを出力し、ACKの返答信号を確認しながら、もう一度、データを1ビット目から出力する。

10

【0426】

また、マスタICは、データの最後のビットのデータを出力した後、ACKの返答信号が入力されるのを待って、ストップ条件を示す信号を出力する。

【0427】

なお、図27では、スタート条件を示す信号を出力してからストップ条件を示す信号を出力するまでの間に、合計24ビット(スレーブアドレス8ビット、データ16ビット)のデータを出力しているが、送信するデータのサイズに応じて、24ビット以上であってもよいし、24ビット以下であってもよい。

【0428】

図28は、本発明の第1の実施の形態のマスタICが、スレーブの個別アドレスを指定して装飾制御装置610に演出制御データを設定する場合において、マスタICとI²C I/Oエクスパンダ615との間で送受信されるデータのフォーマットを説明する図である。

20

【0429】

最初に出力される8ビットのデータ2801には、データ送信の対象となる装飾制御装置610のアドレス「A0～A6」と、当該データが読み出し要求であるのか書き込み要求であるのかを示す1ビットのR/W識別データとが含まれる。アドレス「A0～A6」のうち、「A4～A6」は値「110」となる固定アドレス部であり、「A0～A3」はI²C I/Oエクスパンダ615のA0～A3の端子に設定されている個別アドレスに相当する(図19参照)。なお、データ2801は、図27における「ADDRESS」及び「R/W」に対応するデータである。

30

【0430】

次に出力される8ビットのデータ2802には、I²C I/Oエクスパンダ615の出力設定レジスタ635(図18参照)に割り当てられているコントロールレジスタへの設定データが含まれる。データ2802は、図27において1番目に送信される「DATA」に対応するデータである。

【0431】

ここで、コントロールレジスタについて説明する。コントロールレジスタは8ビットからなり、上位3ビット「AI0～AI2」が出力設定レジスタ635のワークレジスタへの書き込み又は読み出し方法を指定する自動書込パラメータであり、下位5ビット「D0～D4」がワークレジスタにおけるアクセス開始位置(書き込みを開始する先頭位置、又は読み出しを開始する先頭位置)を指定するレジスタアドレスである。

40

【0432】

自動書込パラメータは、マスタICによって、レジスタアドレスが指定するアクセス開始位置の領域のみをアクセス(オートインクリメントを禁止)するのか、指定するアクセス開始位置の領域に隣接する領域も含んでアクセス(オートインクリメントを許可)するのかを指定するパラメータであり、具体的には「000」、「100」、「101」、「110」、「111」の何れかの値を設定することができる。

【0433】

自動書込パラメータに「000」の値を設定すると、オートインクリメントが禁止され

50

、レジスタアドレスが指定するアクセス開始位置の領域のみをアクセスし、開始位置以外の領域はアクセスしない。例えば、レジスタアドレスが「10100」であれば、レジスタ番号が「14h」となる記憶領域のみがアクセスされ、他の記憶領域にはアクセスされない。すなわち、特定のレジスタアドレスの記憶領域の値のみを変更する場合に使用される。複数のレジスタアドレスの記憶領域の値を連続して変更する場合には、以下に示すように、オートインクリメントを許可することによって、アドレスの指定を省略することができる。

【0434】

自動書込パラメータに「100」の値を設定すると、オートインクリメントが許可され、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。そして、レジスタ番号が最終の「1Bh」となる記憶領域をアクセスした後は、レジスタ番号が「00h」となる記憶領域をアクセスし、再度、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。例えば、レジスタアドレスが「10100」であれば、レジスタ番号が「14h」となる記憶領域にアクセスした後は、レジスタ番号が「15h」「16h」・・・「1Bh」「00h」「01h」・・・となる領域（すなわち、すべての領域）を、繰り返しアクセスする。

【0435】

自動書込パラメータに「101」の値を設定すると、自動書込パラメータに「100」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。ただし、一旦、レジスタ番号が「11h」となる記憶領域をアクセスした後は、レジスタ番号が「02h」となる記憶領域をアクセスし、以降、レジスタ番号が「02h」～「11h」となる区間の記録領域（LEDの輝度調整に関する領域）を繰り返しアクセスする。例えば、レジスタアドレスが「10100」であれば、レジスタ番号が「14h」となる記憶領域をアクセスした後は、レジスタ番号が「15h」「16h」・・・「1Bh」「00h」「01h」・・・となる領域を、順にアクセスする。そして、レジスタ番号が「11h」となる記憶領域をアクセスした後は、レジスタ番号が「02h」「03h」・・・「11h」「02h」「03h」・・・となる領域を、繰り返しアクセスする。

【0436】

自動書込パラメータに「110」の値を設定すると、自動書込パラメータに「100」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。ただし、一旦、レジスタ番号が「13h」となる記憶領域をアクセスした後は、レジスタ番号が「12h」となる記憶領域をアクセスし、以降、レジスタ番号が「12h」～「13h」となる区間の記録領域（LEDの点滅周期に関する領域）を繰り返しアクセスする。例えば、レジスタアドレスが「10100」であれば、レジスタ番号が「14h」となる記憶領域をアクセスした後は、レジスタ番号が「15h」「16h」・・・「1Bh」「00h」「01h」・・・となる領域を、順にアクセスする。そして、レジスタ番号が「13h」となる記憶領域をアクセスした後は、レジスタ番号が「12h」「13h」「12h」「13h」・・・となる領域を、繰り返しアクセスする。

【0437】

自動書込パラメータに「111」の値を設定すると、自動書込パラメータに「100」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。ただし、一旦、レジスタ番号が「13h」となる記憶領域をアクセスした後は、レジスタ番号が「02h」となる記憶領域をアクセスし、以降、レジスタ番号が「02h」～「13h」となる区間の記録領域（LEDの輝度及び点滅周期に関する領域）を繰り返しアクセスする。例えば、レジスタアドレスが「10100」であれば、レジスタ番号が

10

20

30

40

50

「14h」となる記憶領域をアクセスした後は、レジスタ番号が「15h」「16h」
・ ・ 「1Bh」「00h」「01h」 ・ ・ となる領域を、順にアクセスする。
そして、レジスタ番号が「13h」となる記憶領域をアクセスした後は、レジスタ番号が
「02h」「03h」 ・ ・ 「13h」「02h」「03h」 ・ ・ となる領域
を、繰り返しアクセスする。

【0438】

ここで、図28の説明に戻ると、コントロールレジスタの設定データ2802に続いて、ワークレジスタの設定データ2803が出力される。設定データ2803は、図27において2番目以降に送信される「DATA」に対応するデータである。

【0439】

自動書込パラメータを「000」とした場合には、設定データ2803は、レジスタアドレスが指定する1箇所の記憶領域を更新するための8ビットのデータとなる。自動書込パラメータを「000」以外の値とした場合には、この設定データ2803は、レジスタアドレスが指定する記憶領域を先頭に、複数の領域を繰り返し更新するために必要な8の倍数となるビットのデータとなる。

【0440】

図29は、本発明の第1の実施の形態のマスタICが、スレーブの個別アドレスを指定して装飾制御装置610に演出制御データを設定する場合において、マスタICとI²C I/Oエクスパンダ615との間で送受信される演出制御データに具体的な数値を適用した図である。図29では、オートインクリメントを禁止して、ワークレジスタの特定の記憶領域を1箇所だけを更新する演出制御データを示しており、具体的には、I²C I/Oエクスパンダ615のPORT0端子～PORT3端子に接続されるLEDの発光状態を更新する場合について説明する。

【0441】

まず、最初に出力される8ビットのデータ2901には、送信先の装飾制御装置610のI²C I/Oエクスパンダ615のスレーブアドレスを示す「1101100」が割り当てられている。

【0442】

次に出力される8ビットのデータ2902には、自動書込パラメータ、及びLEDの出力データを設定するために割り当てられているI²C I/Oエクスパンダ615の出力設定レジスタ635のコントロールレジスタに設定される値が含まれる。

【0443】

ここでは、I²C I/Oエクスパンダ615のPORT0端子～PORT3端子に接続されるLEDの発光状態を設定するので、レジスタアドレスにはLEDOUT0（アドレス＝10100）を指定することにする。

【0444】

なお、自動書込パラメータには、オートインクリメントを禁止するために「000」が指定されている。

【0445】

次に、出力される8ビットのデータ2903には、送信先の装飾制御装置610によって制御される装飾装置620の発光態様を設定するデータが含まれる。具体的には、LEDOUT0レジスタに設定されるデータが割り当てられている。これにより、I²C I/Oエクスパンダ615のPORT0端子～PORT3端子に接続されるLEDの発光状態（点灯、消灯、点滅など）が指定され、指定された状態でLEDが発光する。

【0446】

このようにして、I²C I/Oエクスパンダ615のPORT0端子～PORT3端子のLEDの発光状態が制御されるが、I²C I/Oエクスパンダ615の他のPORT端子（PORT4～PORT15）も、コントロールレジスタデータ2902の値を指定して、出力データ2903を設定することで個別に制御可能である。PORT端子に、モータやソレノイドが接続されていても、同様に制御される。

10

20

30

40

50

【 0 4 4 7 】

図 3 0 は、本発明の第 1 の実施の形態のマスチ IC の演出制御データを送信する順序を説明する図である。図 3 0 では、オートインクリメントを許可して、ワークレジスタのすべての記憶領域を更新する場合に、演出制御データに含まれる各データを送信する順序を規定している。

【 0 4 4 8 】

まず、マスチ IC は、制御対象となる装飾制御装置 6 1 0 の個別アドレスを特定可能な 8 ビットのデータ (図 2 8 のデータ 2 8 0 1 と同一フォーマットのデータ) を送信する。

【 0 4 4 9 】

次に、マスチ IC は、制御対象の I²C I / O エクスパンダ 6 1 5 の出力設定レジスタ 6 3 5 のコントロールレジスタに設定されるデータ (図 2 8 のデータ 2 8 0 2 と同一フォーマットのデータ) を送信する。図 3 0 においては、オートインクリメントを許可してワークレジスタのすべての記憶領域を更新するため、自動書込パラメータには「 1 0 0 」が指定され、書き込み又は読み出しの開始位置を指定するレジスタアドレスには、ワークレジスタの先頭領域となる「 0 0 h 」が指定される。

【 0 4 5 0 】

このため、コントロールレジスタ設定値を受信した後の制御対象となる装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 においては、レジスタ番号「 0 0 h 」の記憶領域 (MODE 1 レジスタ) が最初に更新されることになる。

【 0 4 5 1 】

次に、マスチ IC は、コントロールレジスタ設定値の送信後、MODE 1 レジスタに書き込む値 (合計 8 ビット) を送信する。I²C I / O エクスパンダ 6 1 5 は、当該書き込み値を受信すると MODE 1 レジスタの値を更新し、レジスタ番号をインクリメントして次の「 0 1 h 」の記憶領域 (MODE 2 レジスタ) を更新するための準備をする。

【 0 4 5 2 】

さらに、マスチ IC は、MODE 2 レジスタに書き込む値 (合計 8 ビット) を送信し、以降、レジスタ番号が「 0 2 h 」 ~ 「 1 B h 」となる残りの記憶領域のレジスタに対して、順に設定値を送信する。I²C I / O エクスパンダ 6 1 5 は、当該書き込み値を受信する毎に対応するレジスタの値を更新し、レジスタ番号をインクリメントして次の記憶領域を更新するための準備を繰り返すことで、ワークレジスタに割り当てられた「 0 0 h 」 ~ 「 1 B h 」のすべてのレジスタの値が更新される。

【 0 4 5 3 】

なお、I²C I / O エクスパンダ 6 1 5 は、ワークレジスタの最終となる「 1 B h 」の記憶領域を更新すると、レジスタ番号を「 0 0 h 」に変更して、MODE 1 レジスタの更新を待つ状態となる。

【 0 4 5 4 】

図 3 1 は、本発明の第 1 の実施の形態のマスチ IC が I²C I / O エクスパンダ 6 1 5 を初期化する場合に、マスチ IC から I²C I / O エクスパンダ 6 1 5 に送信される初期化指示データのフォーマットを説明する図である。

【 0 4 5 5 】

演出制御装置 5 5 0 の CPU 5 5 1 がマスチ IC に対して装飾制御装置 6 1 0 の初期化を行うように指示すると、マスチ IC は、配下に接続されているすべての装飾制御装置 6 1 0 に初期化指示データを送信する。

【 0 4 5 6 】

最初に出力される 8 ビットのデータ 3 1 0 1 には、図 2 9 に示す固定アドレス「 1 1 0 」と、共通アドレスであるリセットアドレス「 1 0 1 1 」 (図 2 3 参照) とが含まれる。なお、このデータ 3 1 0 1 は、図 2 7 における「 ADDRESS 」に対応するものであり、「 R / W 」のビットには、書き込みを示す「 0 」が設定される。

【 0 4 5 7 】

次に出力される 8 ビットのデータ 3 1 0 2 には、第 1 所定値「 1 0 1 0 0 1 0 1 」が設

10

20

30

40

50

定され、次に出力される８ビットのデータ３１０３には、第２所定値「０１０１１０１０」が設定される。なお、データ３１０２は、図２７において１番目に送信される「DATA」に対応し、データ３１０３は、図２７において２番目に送信される「DATA」に対応する。

【０４５８】

マスタＩＣに接続されるすべてのＩ^２ＣＩ／Ｏエクスパンダ６１５は、リセットアドレス、第１所定値、及び第２所定値から構成される初期化指示データを受信すると、自身の初期化を行う。

【０４５９】

リセットアドレスの出力後に、さらに第１所定値及び第２所定値の両方を出力するようにした理由は、マスタＩＣがリセットアドレス「１０１１」を送信していないにもかかわらず、ノイズなどの影響によってＩ^２ＣＩ／Ｏエクスパンダ６１５が誤ってリセットアドレス「１０１１」を取り込むことによって、誤ったタイミングで初期化が実行されることを防止するためである。

【０４６０】

また、リセットアドレスは、個別アドレスとは異なって、すべて（換言すれば複数）のＩ^２ＣＩ／Ｏエクスパンダ６１５に共通なアドレスである。そのため、リセットアドレスを含んだ初期化指示データを１回送信するだけで、すべて（複数）のＩ^２ＣＩ／Ｏエクスパンダ６１５を選択して初期化することになるので、Ｉ^２ＣＩ／Ｏエクスパンダ６１５を個別に選択して初期化を指示する方法と比較すると、高速に初期化を指示することが可能となる。

【０４６１】

なお、図３１では、第１所定値と第２所定値とを異なる値としたが、同じ値であってもよい。また、第１所定値及び第２所定値のいずれかが１回送信されるようにしてもよい。

【０４６２】

図３２は、本発明の第１の実施の形態の第１マスタＩＣ５７０ａの異常判定テーブル３２００を説明する図である。

【０４６３】

異常判定テーブル３２００は、演出制御装置５５０のＲＡＭ５５３に格納される。異常判定テーブル３２００は、演出制御装置５５０の第１マスタＩＣ５７０ａと、当該第１マスタＩＣ５７０ａに接続されるＩ^２ＣＩ／Ｏエクスパンダ６１５との接続状態を監視するために設けられている。異常判定テーブル３２００は、接続状態に応じて、各Ｉ^２ＣＩ／Ｏエクスパンダ６１５に対応した情報が格納される。

【０４６４】

異常判定テーブル３２００は、Ｉ／Ｏエクスパンダアドレス３２０１、スレーブアドレス３２０２、エラーカウンタ３２０３、比較値３２０４、及びエラーフラグ３２０５を含む。

【０４６５】

Ｉ／Ｏエクスパンダアドレス３２０１には、第１マスタＩＣ５７０ａに接続されるＩ^２ＣＩ／Ｏエクスパンダ６１５のＡ０～Ａ３の端子に設定されているアドレス（図１９参照）に対応している。

【０４６６】

スレーブアドレス３２０２には、図２３に示したＩ^２ＣＩ／Ｏエクスパンダアドレステーブル２３００に登録されているスレーブアドレスが登録される。

【０４６７】

エラーカウンタ３２０３は、第１マスタＩＣ５７０ａからＩ^２ＣＩ／Ｏエクスパンダ６１５に演出制御データを送信し、当該Ｉ^２ＣＩ／Ｏエクスパンダ６１５からＡＣＫを２回連続して受信できなかった場合にインクリメントされる。

【０４６８】

比較値３２０４には、Ｉ^２ＣＩ／Ｏエクスパンダ６１５に障害が発生しているか否かを

10

20

30

40

50

判定するために、エラーカウンタ3203の値と比較するための値が登録される。なお、比較値3204の値は、制御対象の演出装置の種類に応じて設定してもよい。

【0469】

エラーフラグ3205には、当該エントリのI²C I/Oエクスパンダ615との接続状態に異常が発生したか否かを示すエラーフラグが登録される。

【0470】

I²C I/Oエクスパンダ615に障害が発生しているか否かを判定する方法について具体的に説明すると、エラーカウンタ3203の値が、比較値3204に設定された所定値に達した場合、エラーフラグ3205に「ON」が設定され、当該エントリに対応するI²C I/Oエクスパンダ615に障害が発生したことが登録される。

10

【0471】

本発明の第1の実施の形態では、後述するように、演出制御データの出力処理（図37参照）は、VDP割込（約33.3ms周期）に同期して実行されるようにしている。

【0472】

前述したように、第1マスタIC570aからI²C I/Oエクスパンダ615への2回目の演出制御データの送信に対して、I²C I/Oエクスパンダ615からのACKが受信できなければ、エラーカウンタ3003がインクリメントされる。

【0473】

したがって、異常が発生している場合には、データ出力処理の実行周期が33.3msで、比較値3004が「300」であるので、33.3ms×300=10sでI²C I/Oエクスパンダ615に関する異常が発生したことを検出する。

20

【0474】

図33は、本発明の第1の実施の形態の第2マスタIC570bの異常判定テーブル3300を説明する図である。

【0475】

第2マスタIC570bの異常判定テーブル3300は、第1マスタIC570aの異常判定テーブル3200と同様に、演出制御装置550のRAM553に格納される。異常判定テーブル3300は、演出制御装置550の第2マスタIC570bと、当該第2マスタIC570bに接続されるI²C I/Oエクスパンダ615との接続状態を監視するために設けられている。異常判定テーブル3300は、接続状態に応じて、各I²C I/Oエクスパンダ615に対応した情報が格納される。また、異常判定テーブル3300の構成は、第1マスタIC570aの異常判定テーブル3200と同じ構成である。

30

【0476】

本発明の第1の実施の形態では、第1マスタIC570aと第2マスタIC570bの両方に接続される装飾制御装置610が存在しないため、制御対象の各装飾制御装置610のI/OエクスパンダアドレスがマスタICごとに設定される。したがって、図32及び図33には、同じ値のI/Oエクスパンダアドレスが設定されている。なお、I/Oエクスパンダアドレスには一つのアドレスのみ設定可能であるため、一つの装飾制御装置610を複数のマスタICが制御する場合には共通のアドレスを設定する必要がある。

【0477】

本発明の第1の実施の形態のマスタICには、デバイスの動作を構成し、シリアルデータを送受信するために使用される複数のレジスタが備えられている。図11及び図12に示したコマンドレジスタ(REG)581は、このようなレジスタの一つであり、接続された装飾制御装置610にスタートコンディションやストップコンディションを出力することなどを指示する。

40

【0478】

演出制御装置550は、マスタICを介して装飾制御装置（スレーブ）610に演出指示を送信し、各種演出処理を実行する。図34には各スレーブを初期化する手順、図35には各スレーブに演出制御データを送信する手順の概要を示す。

【0479】

50

図34は、本発明の第1の実施の形態の各装飾制御装置（スレーブ）を初期化（リセット）時にCPU551とマスタIC（第1マスタIC570a又は第2マスタIC570b）との間で送受信される情報を説明する図である。

【0480】

演出制御装置550のCPU551は、スレーブ初期化開始処理が開始されると、コマンドREG581のスタートコンディション（STA）及びストップコンディション（STO）の実行を指示するビットに“1”を設定する（3401）。

【0481】

マスタICは、コマンドREG581に設定された情報（STO、STA）に従って、制御対象の各装飾制御装置（スレーブ）610に対し、まず先にストップコンディションを出力し、次いでスタートコンディションを出力する（3411）。ストップコンディションを出力することによってデータの送信が完了した旨を各スレーブに通知し、その後、スタートコンディションを出力することによって、各スレーブにおいてコマンドの入力を受け付ける準備を完了させる。

10

【0482】

マスタICは、スタートコンディションを出力すると、CPU551に割込信号（INT）を入力して割込みを発生させる。割込みが発生したCPU551は、送信指示データの送信再開処理（1）を開始する（3402）。送信指示データの送信再開処理（1）では、出力用バッファ572にリセット用アドレスを設定する。リセット用アドレスは、各スレーブをリセットするためにあらかじめ定められている固定アドレスである。このとき、コマンドREG581のSTA及びSTOには“0”が設定される。

20

【0483】

マスタICは、出力用バッファ572に設定されたリセット用アドレスに対し、所定のデータ（リセット指令）を出力する（3412）。リセット指令は、図31にて説明した第1所定値（データ3102）及び第2所定値（データ3103）に対応する。

【0484】

マスタICは、リセット用アドレスを出力すると、CPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、送信指示データの送信再開処理（2）を開始する（3403）。送信指示データの送信再開処理（2）では、出力用バッファ572にリセット指令の前半の値を設定する。リセット指令の前半の値は、図31にて説明した第1所定値（データ3102）に対応する。このとき、コマンドREG581のSTA及びSTOには“0”が設定される。マスタICは、出力用バッファ572に設定されたリセット指令の前半の値を出力する（3413）。

30

【0485】

その後、マスタICは、リセット指令の前半の値を出力すると、CPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、送信指示データの送信再開処理（3）を開始し（3404）、出力用バッファ572にリセット指令の後半の値を設定する。このとき、コマンドREG581のSTA及びSTOには“0”が設定される。マスタICは、出力用バッファ572に設定されたリセット指令の後半の値を出力する（3414）。リセット指令の後半の値は、図31にて説明した第2所定値（データ3103）に対応する。

40

【0486】

さらに、マスタICは、リセット指令の後半の値を出力すると、CPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、送信指示データの送信再開処理（4）を開始し（3405）、コマンドREG581のSTAに“0”、STOに“1”が設定し、マスタICにストップコンディションの出力を指示する。

【0487】

マスタICは、コマンドREG581に設定された情報に従って、各スレーブにストップコンディションを出力する（3415）。

【0488】

50

以上の処理によって、各スレーブが初期化される。なお、初期化に失敗した場合には（３４０６）、ステップ３４０２から処理を再開する。

【０４８９】

図３５は、本発明の第１の実施の形態の各装飾制御装置（スレーブ）に演出制御データを送信する際にＣＰＵ５５１とマスタＩＣ（第１マスタＩＣ５７０ａ又は第２マスタＩＣ５７０ｂ）との間で送受信される情報を説明する図である。

【０４９０】

演出制御装置５５０のＣＰＵ５５１は、演出制御を行う場合に、まず、コマンドＲＥＧ５８１のスタートコンディション（ＳＴＡ）及びストップコンディション（ＳＴＯ）の実行を指示するビットに“１”を設定する（３５０１）。 10

【０４９１】

マスタＩＣは、コマンドＲＥＧ５８１のＳＴＡ及びＳＴＯに設定された値（“１”）に基づいて、各スレーブにストップコンディションを出力し、その後、スタートコンディションを出力する（３５１１）。

【０４９２】

そして、マスタＩＣは、スタートコンディションを各スレーブに出力すると、各スレーブで演出制御データを受信する準備が整うため、ＣＰＵ５５１に割込信号を入力して割込みを発生させる。割込みが発生したＣＰＵ５５１は、出力用バッファ５７２に制御対象のスレーブのアドレス及び制御内容を示す演出制御データを設定する（３５０２）。このとき、コマンドＲＥＧ５８１のＳＴＡ及びＳＴＯには“０”を設定する。 20

【０４９３】

マスタＩＣは、出力用バッファ５７２に設定されたアドレス及び演出制御データを各スレーブに出力する（３５１２）。このとき、出力されたアドレスに対応するスレーブは、受信した演出制御データに基づいて演出処理を実行する。

【０４９４】

そして、マスタＩＣは、アドレス及び演出制御データを各スレーブに出力すると、ＣＰＵ５５１に割込信号を入力して割込みを発生させる。割込みが発生したＣＰＵ５５１は、コマンドＲＥＧ５８１のＳＴＡに“１”、ＳＴＯに“０”を設定する（３５０３）。その後、マスタＩＣは、再度スタートコンディションを出力する、いわゆるリスタートコンディションを出力する（３５１３）。 30

【０４９５】

続いて、ＣＰＵ５５１及びマスタＩＣは、別のアドレスを指定して同様の処理を行う（３５０４、３５１４、３５０５、３５１５）。ＣＰＵ５５１によって最後のｎ個めのスレーブに対する演出制御データの出力が完了し（３５０６）、さらに、マスタＩＣが演出制御データに対応するスレーブに出力すると（３５１６）、全データの出力が完了したため、ストップコンディションを出力する。具体的には、マスタＩＣが最終のスレーブに演出制御データを出力完了したときに、割込信号を入力してＣＰＵ５５１に割込みを発生させ、割込みが発生したＣＰＵ５５１は、コマンドＲＥＧ５８１のＳＴＡに“０”、ＳＴＯに“１”を設定し（３５０７）、その後、マスタＩＣがストップコンディションを出力する（３５１７）。 40

【０４９６】

図３６は、本発明の第１の実施の形態の演出制御装置５５０からマスタＩＣ（第１マスタＩＣ５７０ａ又は第２マスタＩＣ５７０ｂ）に演出制御データを送信する段階を説明する図である。

【０４９７】

演出制御装置５５０のＣＰＵ５５１は、後述するスレーブ出力データ編集処理が実行されると、ＲＡＭ５５３に出力データ準備領域を確保し、出力データ準備領域に各スレーブに対する演出制御データを格納する。

【０４９８】

また、出力データ準備領域は、スレーブ毎にさらに領域が分割され、各スレーブに対応 50

するアドレス及び演出内容に対応する演出制御データが格納される。具体的には、アドレスは図30に示した送信順序1のデータに対応し、演出制御データは図30に示した送信順序2から30までのデータに対応する。

【0499】

さらに、CPU551は、未送信の演出制御データが上書きされないように、出力データ退避領域をさらにRAM553に確保し、スレーブ出力データ退避処理によって出力データ準備領域に記憶されたデータを出力データ退避領域に退避させる。その後、退避されたデータは所定のタイミングでマスターICの出力用バッファ572に設定される。

【0500】

なお、出力データ準備領域及び出力データ退避領域はマスターICごとにRAM553に確保され、本発明の第1の実施の形態では、第1マスターIC570a及び第2マスターIC570bに対応した領域がそれぞれ確保される。

10

【0501】

図37は、本発明の第1の実施の形態の演出制御装置550による処理の手順を示すフローチャートである。

【0502】

図37に示す処理は、演出制御装置550のCPU551によって実行される。

【0503】

演出制御装置550は、演出制御装置550に電源が投入されると、まずステップ3701～3706の処理を実行し、ステップ3707の処理でVDP556から画像更新周期と同期する同期信号（例えば、33.3ms秒周期の同期信号）が割込信号としてCPU551に入力されるまで待機する。そして、以降、VDP556から画像更新周期と同期する同期信号が割込信号としてCPU551に入力される毎に、ステップ3705～3721の処理を繰り返し実行する。

20

【0504】

まず、演出制御装置550は、演出制御装置550のRAM553の初期化などを含む初期化処理を実行する（3701）。このとき、後述する第1マスターIC570aに関する初期化段階番号と、第2マスターIC570bに関する初期化段階番号とを、ともに“0”に設定しておく。

【0505】

30

そして、演出制御装置550は、出力I/F558aとNORゲート回路561を介してリセットパルスを実行する第1マスターIC570a及び第2マスターIC570bに入力し、第1マスターIC570a及び第2マスターIC570bをハード的に初期化する（3702）。

【0506】

続いて、演出制御装置550は、第1マスターIC570aに接続されたすべての装飾制御装置610のI²C I/Oエクスパンド615を初期化するために、第1マスターIC570aから初期化指示データを出力する第1マスターIC570a側スレーブ初期化開始処理を実行する（3703）。同様に、第2マスターIC570bに接続されたすべての装飾制御装置610のI²C I/Oエクスパンド615を初期化するために、第2マスターIC570bから初期化指示データを出力する第2マスターIC570b側スレーブ初期化開始処理を実行する（3704）。スレーブ初期化開始処理の詳細については、図38にて説明する。

40

【0507】

さらに、演出制御装置550は、第1マスターIC570aに関する初期化段階番号と、第2マスターIC570bに関する初期化段階番号とが、ともに“0”になるまで待機する（3705）。初期化段階番号とは、第1マスターIC570a及び第2マスターIC570bの各々に関して初期化処理の進捗を示す番号であり、電源投入直後に演出制御装置550が起動した直後では“0”となっているが、初期化処理が開始されると、段階を追って“1”から“4”まで1つずつインクリメントされ、初期化処理が完了すると、再度、“0”に戻されるものである。なお、図42にて説明する初期化指示データの送信再開処理

50

において、設定されている初期化段階番号の値に対応する処理が順次実行される。

【 0 5 0 8 】

すべてのマスタ及びスレーブの初期化が完了すると、演出制御装置 5 5 0 は、V D P 5 5 6 から画像更新周期と同期する同期信号（V D P 割込）の受け入れ、及びタイマ割り込みの受け入れを許可する（3 7 0 6）。

【 0 5 0 9 】

演出制御装置 5 5 0 は、図 3 6 にて説明したように、R A M 5 5 3 上に格納された演出制御データを上書きされないように退避するスレーブ出力データ退避処理を実行する（3 7 0 7）。退避領域に退避された出力データは、前述したように、所定のタイミングでマスタ I C に設定される。

10

【 0 5 1 0 】

そして、演出制御装置 5 5 0 は、表示装置 5 3 に画像を表示するために、V D P 5 5 6 に画像を表示させる指令となるデータを出力する（3 7 0 8）。さらに、スピーカ 3 0 から音を遊技状態に応じて出力させるために、音制御データを音 L S I 5 5 7 に出力する。音 L S I 5 5 7 は、入力された音制御データに基づいてスピーカ 3 0 から音を出力させる（3 7 0 9）。

【 0 5 1 1 】

次に、演出制御装置 5 5 0 は、第 1 マスタ I C 5 7 0 a 及び第 2 マスタ I C 5 7 0 b から装飾制御装置 6 1 0 に演出制御データを出力するスレーブ出力開始処理を実行する（3 7 1 0）。ここで制御される装飾制御装置 6 1 0 は、主として L E D などの発光体を制御するものであり、発光制御装置又は発光制御スレーブとされる。スレーブ出力開始処理の詳細については、図 3 9 にて後述する。

20

【 0 5 1 2 】

演出制御装置 5 5 0 は、スレーブ出力開始処理が終了すると、V D P 5 5 6 に次に出力されるデータを編集し（3 7 1 1）、さらに、音 L S I 5 5 7 に出力される音制御データを編集する（3 7 1 2）。

【 0 5 1 3 】

さらに、演出制御装置 5 5 0 は、発光体を制御する装飾制御装置 6 1 0 に送信するための演出制御データを編集するスレーブ出力データ編集処理を実行する（3 7 1 3）。スレーブ出力データ編集処理では、図 3 6 で説明したように、各スレーブの演出制御データを生成し、R A M 5 5 3 上に確保された出力データ準備領域に格納する。

30

【 0 5 1 4 】

次に、演出制御装置 5 5 0 は、図 3 2 に示した異常判定テーブル 3 2 0 0 を参照し、第 1 マスタ I C 5 7 0 a に接続された発光制御スレーブに関するエラー判定処理を実行する（3 7 1 4）。

【 0 5 1 5 】

エラー判定処理では、演出制御装置 5 5 0 が、異常判定テーブル 3 2 0 0 の発光制御スレーブに対応するエントリのエラーフラグ 3 2 0 5 がすべて「O N」となっているか否か、つまりすべての発光制御スレーブでエラーが発生しているか否かを判定する。言い換えれば、エラーフラグ 3 2 0 5 が「O F F」となっている発光制御スレーブが少なくとも 1 つ以上あるか否かを判定する。このエラー判定処理によって、すべての発光制御スレーブでエラーが発生していると判定された場合には、第 1 マスタ I C 5 7 0 a 及び第 1 マスタ I C 5 7 0 a に接続されたすべての発光制御スレーブのリセットする条件が成立したものとされる。

40

【 0 5 1 6 】

演出制御装置 5 5 0 は、ステップ 3 7 1 4 のエラー判定処理の結果に基づいてリセット条件が成立しているか否かを判定する（3 7 1 5）。前述のように、ステップ 3 7 1 4 のエラー判定処理の時点ですべての発光制御スレーブのエラーフラグ 3 2 0 5 が「O N」になっている場合には、リセット条件が成立したと判定される。

【 0 5 1 7 】

50

演出制御装置 550 は、リセット条件が成立したと判定された場合には (3715 の結果が「Y」)、第 1 マスタ IC 570 a を初期化し (3716)、第 1 マスタ IC 570 a に接続されるすべての I²C I/O エクスパンダ 615 (装飾制御装置 610) に対して同時に初期化指示データを出力する第 1 マスタ IC 570 a 側スレーブ初期化開始処理を実行する (3717)。

【0518】

このように、リセット条件が成立したと判定された場合には、ステップ 3717 の処理で、第 1 マスタ IC 570 a に接続されるすべての I²C I/O エクスパンダ 615 に対して、同時に初期化を指示する。すなわち、すべての I²C I/O エクスパンダ 615 を同時に選択して初期化することになるので、I²C I/O エクスパンダ 615 を個別に選択して初期化を指示する方法と比較すると、高速に初期化を行うことが可能となり、I²C I/O エクスパンダ 615 を正常な状態へ迅速に復帰させることができる。このとき、CPU 551 がバス 563 を介してリセット REG 573 に初期化指示情報を書き込むことにより、第 1 マスタ IC 570 a をソフト的にリセットする。

【0519】

なお、ステップ 3715 の処理でリセット条件成立と見なされた場合は、第 1 マスタ IC 570 a において異常が発生している可能性があるので、ステップ 3716 の処理で第 1 マスタ IC 570 a も初期化するようにしている。

【0520】

第 1 マスタ IC 570 a は、CPU 551 からの指令によって、接続線 SDA と SCL の信号レベルを制御する信号レベル制御手段として機能しているので、すべての発光制御装置にてデータ送信に関する異常が発生している場合には、第 1 マスタ IC 570 a 自身に異常が発生していることも考えられる。

【0521】

そのため、すべての装飾制御装置 610 にてデータ送信に関する異常が発生している場合には、念のために、CPU 551 (演算処理手段) により第 1 マスタ IC 570 a が初期化される。これにより、第 1 マスタ IC 570 a で異常が発生している場合であっても確実に第 1 マスタ IC 570 a を制御可能にすることができる。

【0522】

さらに、演出制御装置 550 は、第 2 マスタ IC 570 b についても同様に、エラー判定処理を実行し (3718)、リセット条件が成立しているか否かを判定する (3719)。そして、リセット条件が成立している場合には、第 2 マスタ IC 570 b をリセットし (3720)、第 2 マスタ IC 570 b に接続されたスレーブを初期化する第 2 マスタ IC 570 b 側スレーブ初期化開始処理を実行する (3721)。その後、VDP 556 から同期信号が CPU 551 に入力されるまで待機する。

【0523】

このように、図 37 に示した処理では、表示装置 53 の画像を更新する周期と同期して、演出制御装置 550 の第 1 マスタ IC 570 a 及び第 2 マスタ IC 570 b から装飾制御装置 610 の I²C I/O エクスパンダ 615 に演出制御データを送信する。そして、I²C I/O エクスパンダ 615 は、受信した演出制御データに基づいて装飾装置 620 を制御するため、表示装置 53 における演出と装飾装置 620 における演出とが調和し、遊技者に違和感を与えないので、興趣を高めることができる。

【0524】

また、表示装置 53 の画像を更新する周期と同期して第 1 マスタ IC 570 a 及び第 2 マスタ IC 570 b から送信された演出制御データが装飾制御装置 610 で受信されると、その都度、I²C I/O エクスパンダ 615 によってワークレジスタ (図 24 参照) の値が更新される。そのため、毎回ワークレジスタの値が最新の状態に更新されるので、ノイズ等でワークレジスタの値が破壊されても、正常な値に復帰することが可能である。

【0525】

また、表示装置 53 の画像を更新する周期と同期して、ステップ 3714 及び 3718

10

20

30

40

50

でエラー判定処理を実行するので、エラーを判定する頻度を適切に設定することができる。すなわち、エラー判定処理の実行頻度が多すぎると、演出制御装置 550 の CPU 551 の処理負荷が増大し、逆に、エラー判定処理の実行頻度が少なすぎると、異常の発生を適切なタイミングで検出できなくなる。表示装置 53 の画像を更新する周期と同期させてエラー判定を行うことによって、適切なタイミングでエラーを検出することが可能となり、各処理における不具合の発生に対して適切に対応することができる。

【0526】

図 38 は、本発明の第 1 の実施の形態の第 1 マスタ IC 570 a 側のスレーブ初期化開始処理及び第 2 マスタ IC 570 b 側のスレーブ初期化開始処理の手順を示すフローチャートである。

10

【0527】

第 1 マスタ IC 570 a 側のスレーブ初期化開始処理は、図 37 のステップ 3703 及び 3717 で実行され、第 2 マスタ IC 570 b 側のスレーブ初期化開始処理は、同じくステップ 3704 又はステップ 3721 で実行される処理である。

【0528】

第 1 マスタ IC 570 a 側の初期化開始処理では、まず、演出制御装置 550 の CPU 551 は、マスタ割込み及びタイム割込みを禁止する (3801)。そして、初期化対象のマスタに第 1 マスタ IC 570 a を選択する (3802)。

【0529】

また、第 2 マスタ IC 570 b 側のスレーブ初期化開始処理では、第 1 マスタ IC 570 a 側スレーブ初期化開始処理と同様に、CPU 551 は、マスタ割込み及びタイム割込みを禁止する (3811)。そして、初期化対象のマスタに第 2 マスタ IC 570 b を選択する (3812)。

20

【0530】

以降の処理では、第 1 マスタ IC 570 a 側スレーブ初期化開始処理及び第 2 マスタ IC 570 b 側スレーブ初期化開始処理について、選択されたマスタに対して共通の処理が実行される。

【0531】

CPU 551 は、選択されたマスタの初期化段階番号に“1”を設定する (3803)。さらに、選択したマスタに関する監視タイマを設定し (3804)、タイムアウトの監視を開始する (3805)。

30

【0532】

CPU 551 は、選択されたマスタのコマンド REG 581 に対し、STA に“1”、STO に“1”、SI に“0”、及び MODE に“0”を設定する (3806)。

【0533】

STA は、前述したように、スタートコンディションの出力を指示するためのビットであり、STO は、ストップコンディションの出力を指示するためのビットである。各ビットに“1”が設定されると、マスタ IC によって対応する信号が出力される。ステップ 3806 の処理では、スタートコンディション及びストップコンディションの両方の信号が出力される。

40

【0534】

SI は、前述のマスタ割込みの発生を報知するためのビットであり、“1”が設定されている場合にはマスタ IC から CPU 551 に割込みの発生が要求された状態となり、このビットが“0”に変更されるまで、割込みを発生させたマスタ IC は、処理を待機する状態となる。そして、CPU 551 によって、このビットに“0”を設定すると、CPU 551 に発生している割込みが解除され、処理を待機していたマスタ IC は、次に行われるべき処理を再開する。ステップ 3806 の処理では、“0”が設定されているため、割込みの発生が解除されて、処理を待機していたマスタ IC が動作を再開する。

【0535】

MODE は、データを送信するモードを指定するためのビットであり、“1”が設定さ

50

れている場合には「バッファモード」、「0」が設定されている場合には「バイトモード」が指定される。ステップ3806の処理では、「0」が設定されているため、バイトモードでデータがやり取りされる。

【0536】

その後、CPU551は、マスタ割込み及びタイムアウト割込みを許可し(3807)、呼び出し元に復帰する。

【0537】

図39は、本発明の第1の実施の形態のスレーブ出力開始処理の手順を示すフローチャートである。

【0538】

スレーブ出力開始処理は、図37に示すステップ3710で実行される処理であり、各マスタから発光制御スレーブに演出制御データを送信するために必要な処理である。

【0539】

CPU551は、まず、マスタ割込み及びタイム割込みを禁止する(3901)。次に、第1マスタIC570aに対応するスタートフラグを“オン”に設定する(3902)。さらに、第1マスタIC570aの監視タイマを設定し(3903)、タイムアウトの監視処理を開始する(3904)。スタートフラグとは、スタートコンディションが出力され、演出制御データの送信が開始されたか否かを示すフラグであり、マスタIC毎に設定される。スタートフラグは、演出制御装置550のRAM553に記憶される。

【0540】

さらに、CPU551は、第1マスタIC570aのコマンドREG581に対し、STAに“1”、STOに“1”、SIに“0”、及びMODEに“1”を設定する(3905)。ステップ3905の処理では、MODEに“1”が設定されるため、バッファモードでデータが送受信される。

【0541】

また、第2マスタIC570bについても同様に、CPU551は、第2マスタIC570bのスタートフラグをオンに設定する(3906)。さらに、監視タイマを設定し(3907)、タイムアウトの監視処理を開始する(3908)。さらに、第2マスタIC570bのコマンドREG581に対し、STAに“1”、STOに“1”、SIに“0”、及びMODEに“1”を設定する(3909)。

【0542】

CPU551は、各マスタの先頭のスレーブ(装飾制御装置610)を選択する(3910)。各マスタICには、演出制御データを送信するスレーブの順序があらかじめ設定されている。ステップ3910の処理で当該順序の先頭のスレーブを設定し、後述する演出制御データの送信再開処理において、第1マスタIC570aに接続される各スレーブに演出制御データを順次送信する。

【0543】

さらに、CPU551は、リトライカウンタを0に設定する(3911)。リトライカウンタとは、各マスタに演出制御データを送信する場合において、送信失敗時にインクリメントされるカウンタである。リトライカウンタが所定の数値よりも大きくなった場合には何らかの障害が発生したものと判断することができる。

【0544】

その後、CPU551は、マスタ割込み及びタイムアウト割込みを許可し(3912)、呼び出し元に復帰する。

【0545】

図40は、本発明の第1の実施の形態の第1マスタIC570a側及び第2マスタIC570b側の送信中断割込み発生時の処理の手順を示すフローチャートである。

【0546】

送信中断割込みは、いわゆるマスタ割込みであり、中断時の状態に応じて処理が実行される。

10

20

30

40

50

【0547】

CPU551は、まず、第1マスタIC570aからのマスタ割込みが発生した場合には、第1マスタIC570aに関するタイムアウトの監視を終了する(4001)。さらに、第1マスタIC570aの初期化段階番号及びスタートフラグを取得する(4002)。

【0548】

同じく、CPU551は、第2マスタIC570bからのマスタ割込みが発生した場合には、第2マスタIC570bに関するタイムアウトの監視を終了し(4011)、第2マスタIC570bの初期化段階番号及びスタートフラグを取得する(4012)。

【0549】

CPU551は、初期化対象のマスタICの初期化段階番号が“0”であるか否かを判定する(4003)。初期化段階番号が“0”の場合とは、初期化処理が実行中でない状態であることを示している。すなわち、初期化段階番号が“0”以外の場合には初期化処理が実行中であることを示している。

【0550】

CPU551は、初期化対象のマスタICの初期化段階番号が“0”でない場合には(4003の結果が「N」)、前述のように、初期化処理中であるため、初期化指示データの送信再開処理を実行する(4004)。初期化指示データの送信再開処理の詳細については、図42にて後述する。

【0551】

一方、CPU551は、初期化対象のマスタICの初期化段階番号が“0”でない場合には(4003の結果が「Y」)、初期化処理を既に終えており、演出制御データを送信している途中であるため、演出制御データの送信再開処理を実行する(4005)。演出制御データの送信再開処理の詳細については、図43にて後述する。

【0552】

図41は、本発明の第1の実施の形態の第1マスタIC570a及び第2マスタIC570bによるタイムアウト割込み発生時の処理の手順を示すフローチャートである。

【0553】

本処理は、第1マスタIC570a又は第2マスタIC570bにおいて所定の時間が経過しても復帰しない場合に発生するタイム割込みが発生した場合に各マスタICを初期化するために実行される処理である。

【0554】

CPU551は、第1マスタIC570aにおいてタイムアウト割込みが発生した場合には、第1マスタIC570aをソフトリセットする(4101)。さらに、第1マスタIC570aに接続されたスレーブを初期化する第1マスタIC570a側スレーブ初期化開始処理(図38)を実行する(4102)。

【0555】

CPU551は、第2マスタIC570bにおいてタイムアウト割込みが発生した場合には、第2マスタIC570bをソフトリセットする(4111)。さらに、第2マスタIC570bに接続されたスレーブを初期化する第2マスタIC570b側スレーブ初期化開始処理(図38)を実行する(4112)。

【0556】

図42は、本発明の第1の実施の形態の初期化指示データの送信再開処理の手順を示すフローチャートである。

【0557】

CPU551は、まず、初期化段階番号とステータスコードの整合判断を行い(4201)、初期化段階番号とステータスコードとが整合するか否かを判定する(4202)。初期化段階番号とは、前述のように、初期化処理の進捗を示す番号である。ステータスコードは、マスタICの状態を示す値であり、ステータスレジスタ(REG)582に設定されている。ステップ4201の処理における整合判断では、初期化段階番号に対応する

10

20

30

40

50

状態が、ステータス R E G 5 8 2 に設定されたステータスコードと一致するか否かを判定する。以下、初期化段階番号及びステータスコードの詳細について説明する。

【 0 5 5 8 】

初期化段階番号は、マスタ I C の初期化を行っているときに、その処理段階に応じて “ 1 ” ~ “ 4 ” の何れかの値が設定されるものであり、マスタ I C の初期化が完了すると “ 0 ” に設定されるものである。但し、マスタ I C の初期化が完了して、初期化段階番号が “ 0 ” になると、当該初期化指示データの送信再開処理が呼び出されない（図 4 0 の呼び出し元の処理にてステップ S 4 0 0 3 の分岐がある）ので、ここでは、初期化段階番号が “ 1 ” ~ “ 4 ” となっていることを前提に説明を行う。

【 0 5 5 9 】

初期化段階番号に “ 1 ” が設定されている場合は、マスタ I C からスタートコンディションが出力されたことを意味する。この場合には、ステータスコードは、スタートコンディション又はリスタートコンディションが送信されたことを示す “ 0 8 h ” 又は “ 1 0 h ” が設定されることになる。したがって、初期化段階番号に “ 1 ” が設定されており、かつ、ステータスコードに “ 0 8 h ” 又は “ 1 0 h ” が設定されている場合には、整合していると判断される。

【 0 5 6 0 】

初期化段階番号に “ 2 ” が設定されている場合は、マスタ I C の出力用バッファ 5 7 2 にリセット用アドレスが設定された状態であることを意味する。この場合には、ステータスコードは、スレーブのアドレス（ここでは、リセット用アドレス）が送信済みであり、かつ、各スレーブから信号を正常に受信したことを示す A C K が応答されたことを示す “ 1 8 h ” が設定されることになる。但し、ステータスコードは、各スレーブから信号を正常に受信できなかったことを示す N A C K が応答された場合には “ 2 0 h ” が設定される。したがって、初期化段階番号に “ 2 ” が設定されており、かつ、ステータスコードに “ 1 8 h ” が設定されている場合には、整合している（データ送信に成功している）と判断される。

【 0 5 6 1 】

初期化段階番号に “ 3 ” が設定されている場合は、マスタ I C の出力用バッファ 5 7 2 にリセット指令の前半の値が設定された状態であることを意味する。この場合には、ステータスコードは、出力用バッファ 5 7 2 に設定されたデータが送信済みであり、かつ、各スレーブから信号を正常に受信したことを示す A C K が応答されたことを示す “ 2 8 h ” が設定されることになる。但し、ステータスコードは、各スレーブから信号を正常に受信できなかったことを示す N A C K が応答された場合には “ 3 0 h ” が設定される。したがって、初期化段階番号に “ 3 ” が設定されており、かつ、ステータスコードに “ 2 8 h ” が設定されている場合には、整合している（データ送信に成功している）と判断される。

【 0 5 6 2 】

初期化段階番号に “ 4 ” が設定されている場合は、マスタ I C の出力用バッファ 5 7 2 にリセット指令の後半の値が設定された状態であることを意味する。この場合には、初期化段階番号が “ 3 ” の場合と同様に、ステータスコードに “ 2 8 h ” 又は “ 3 0 h ” が設定される。

【 0 5 6 3 】

C P U 5 5 1 は、初期化段階番号とステータスコードが整合しないとき（ 4 2 0 2 の結果が「 N 」）には、正常な状態ではない（データ送信に失敗した状態）なので、初期化の開始を示す値 “ 1 ” を初期化段階番号に設定する（ 4 2 0 3 ）。さらに、監視タイマを設定し、タイムアウトの監視を開始する（ 4 2 0 4 ）。

【 0 5 6 4 】

最後に、C P U 5 5 1 は、ストップコンディション及びスタートコンディションを出力するように、処理対象のマスタ I C のコマンド R E G 5 8 1 の S T A に “ 1 ”、S T O に “ 1 ”、S I に “ 0 ”、M O D E に “ 0 ” を設定し（ 4 2 0 5 ）、呼び出し元の処理に復帰する。

10

20

30

40

50

【0565】

一方、CPU551は、初期化段階番号とステータスコードが整合する場合には(4202の結果が「Y」)、初期化処理が実行中であるため、初期化段階番号に基づいて処理を分岐する(4206)。初期化段階番号が“1”の場合には、処理対象のマスタICの出力用バッファ572にリセット用アドレスを設定する(4207)。

【0566】

そして、CPU551は、初期化段階番号をインクリメントし(4208)、監視タイマを設定し、タイムアウトの監視を開始する(4209)。最後に、処理を継続するために、処理対象のマスタICのコマンドREG581のSTA、STO、SI及びMODEにそれぞれ“0”を設定し(4210)、呼び出し元の処理に復帰する。

10

【0567】

また、初期化段階番号が“2”の場合には、CPU551は、処理対象のマスタICの出力用バッファ572にリセット指令を示す値の前半の値を設定する(4211)。初期化段階番号が“3”の場合には、処理対象のマスタICの出力用バッファ572にリセット指令を示す値の後半の値を設定する(4212)。出力用バッファ572に値が設定されると、初期化段階番号が“1”の場合と同様に、ステップ4208から4210までの処理を実行する。

【0568】

また、初期化段階番号が“4”の場合には、CPU551は、初期化処理に必要な処理が終了したため、処理対象のマスタICに接続されたすべての装飾制御装置610のエラーフラグをオフに設定し(4213)、さらに、エラーカウンタを0に設定して初期化する(4214)。そして、初期化段階番号を初期化処理中でないことを示す“0”に設定する。最後に、初期化処理を完了させ、処理対象のマスタICから、当該マスタICに接続されたすべての装飾制御装置610にストップコンディションを出力するために、処理対象のマスタICのコマンドREG581のSTOに“1”、STA、SI及びMODEにそれぞれ“0”を設定し(4216)、呼び出し元の処理に復帰する。

20

【0569】

図43は、本発明の第1の実施の形態の演出制御データの送信再開処理の手順を示すフローチャートである。

【0570】

30

CPU551は、まず、スタートフラグとステータスコードの整合判断を行い(4301)、整合するか否かを判定する(4302)。スタートフラグは、第1マスタIC570a及び第2マスタIC570bの各々に関して、演出制御データを送信するタイミングを制御するためのフラグである。具体的には、図37のステップ3710のスレーブ出力開始処理(図39)が実行されると、スタートフラグが“オン”に設定される。また、後述するように、出力用バッファ572に演出制御データを設定すると、スタートフラグは“オフ”に設定される。ステータスコードについては、図42にて説明したとおりである。

【0571】

以下、スタートフラグとステータスコードとの対応について説明する。スタートフラグが“オン”の場合には、前述のように、スタートコンディションが出力された後であるため、対応するステータスコードは、“08h”又は“10h”となる。一方、スタートフラグが“オフ”の場合、正常に処理が行われていれば、ステータスコードには正常にデータの送信が完了したことを示す“28h”が設定されている。

40

【0572】

CPU551は、スタートフラグとステータスコードとが整合する場合には(4302の結果が「Y」)、さらに、スタートフラグが“オン”であるか否かを判定する(4303)。

【0573】

CPU551は、スタートフラグが“オン”である場合には(4303の結果が「Y」

50

)、RAM 553上に準備されていたデータを出力用バッファ572に設定する(4304)。そして、スタートフラグを“オフ”に設定し(4305)、監視タイマを設定し、タイムアウトの監視を開始する(4306)。最後に、処理対象のマスタICのコマンドREG 581のSTA、STO及びSIをそれぞれ“0”を設定し、出力用バッファ572に設定されたデータをバッファモードで送信するために、MODEを“1”に設定し(4307)、呼び出し元の処理に復帰する。

【0574】

一方、CPU 551は、スタートフラグが“オフ”である場合には(4303の結果が「N」)、選択されたスレーブ(装飾制御装置610)に対応するエラーフラグを“オフ”に設定し(4308)、さらに、エラーカウンタを初期化する(4309)。

10

【0575】

その後、CPU 551は、すべてのスレーブに対して送信再開処理が完了したか否かを判定する(4310)。そして、すべてのスレーブに対して処理が完了した場合には(4310の結果が「Y」)、ストップコンディションを出力し、データを送信するモードを「バッファモード」に指定するようにコマンドREG 581のSTO及びMODEに“1”、STA及びSIに“0”を設定し(4311)、呼び出し元の処理に復帰する。

【0576】

CPU 551は、すべてのスレーブに対して処理が完了していない場合には(4310の結果が「N」)、リトライカウンタを0に設定し(4312)、次の処理対象のスレーブを選択する(4313)。そして、選択されたスレーブへの出力データを準備し(4314)、スタートフラグを“オン”に設定し(4315)、監視タイマを設定し、タイムアウトの監視を開始する(4316)。

20

【0577】

最後に、CPU 551は、スタートコンディションを出力し、データを送信するモードを「バッファモード」に指定するようにコマンドREG 581のSTA及びMODEに“1”、STO及びSIに“0”を設定し(4317)、呼び出し元の処理に復帰する。

【0578】

CPU 551は、スタートフラグとステータスコードとが整合しない場合には(4302の結果が「N」)、リトライカウンタの値をインクリメントする(4318)。そして、リトライカウンタの値が、指定された値に到達したか否かを判定する(4319)。このときの指定された値は、図32又は図33に示した異常判定テーブル3200又は異常判定テーブル3300に設定されており、現在選択されているスレーブに対応する比較値3204に対応する。

30

【0579】

CPU 551は、リトライカウンタの値が指定値に到達していない場合には(4322の結果が「N」)、現在選択中にスレーブを再度選択し(4320)、選択スレーブに出力するデータを準備し(4314)、ステップ4315以降の処理を実行する。

【0580】

一方、CPU 551は、リトライカウンタの値が指定値に到達した場合には(4322の結果が「Y」)、選択されているスレーブのエラーフラグ3205に“ON”を設定し、ステップ4310以降の処理を実行する。

40

【0581】

図44は、本発明の第1の実施の形態のマスタICによるデータ送信処理の手順を示すフローチャートである。本処理は、第1マスタIC 570a及び第2マスタIC 570bにおいて共通の処理であり、CPU 551によって、コマンドレジスタ581(図11及び図12参照)のSIのビットに“0”が設定されると、割込み処理の発生によって待機していたマスタICが、当該処理を開始する。

【0582】

まず、マスタICのコントローラ574は、ストップコンディションの出力が要求されているか否か、すなわち、コマンドREG 581のSTOに“1”が設定されているか否

50

かを判定する (4 4 0 1)。

【 0 5 8 3 】

コントローラ 5 7 4 は、ストップコンディションの出力が要求されている場合には (4 4 0 1 の結果が「 Y 」)、送信可能状態を確認する (4 4 0 2)。

【 0 5 8 4 】

送信可能状態の確認とは、マスタ I C から装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 にデータを送信可能であるか否かを確認することであり、具体的には、接続線 S D A の信号レベルが H I G H に設定されている (接続線 S D A が開放されている) かを確認することである。接続線 S D A の信号レベルが H I G H に設定されていなかった場合には、接続線 S D A の信号レベルが H I G H に設定されるか、若しくは、タイムアウトするまで待機する。

10

【 0 5 8 5 】

接続線 S D A の信号レベルが H I G H でないと判定された場合、接続線 S D A からデータが出力できないので、ドライバ 5 7 6 A によってトランジスタ 5 7 8 A に動作可能な電圧を印加しないことによってトランジスタ 5 7 8 A をオンにさせずに (接続線 S D A を解放した状態で)、接続 S C L の信号レベルを少なくとも 9 回変化させる。

【 0 5 8 6 】

このような処理を行うことによって、読み出しモードとなった I²C I / O エクスパンダ 6 1 5 は、接続 S C L の信号レベルの変化に合わせて接続線 S D A にデータを出力するが、接続 S C L の信号レベルの変化が少なくとも 9 回行われる途中において、マスタ I C からのアクノリッジ信号を確認するタイミングが発生する。このとき、接続線 S D A は解放されているので H I G H レベルとなり、読み出しモードとなった I²C I / O エクスパンダ 6 1 5 は、アクノリッジ信号を受信しなかったと判断するので、データ伝送をやめて接続線 S D A を解放することになる。

20

【 0 5 8 7 】

このようにして、読み出しモードとなった装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 から強制的に接続線 S D A を解放させるので、接続線 S D A の信号レベルは H I G H に維持されるようになる。

【 0 5 8 8 】

続いて、コントローラ 5 7 4 は、ストップコンディションを、接続されているスレーブに出力する (4 4 0 3)。さらに、当該マスタ I C の送信中フラグを “ オフ ” に設定する (4 4 0 4)。

30

【 0 5 8 9 】

コントローラ 5 7 4 は、さらに、スタートコンディションの出力が要求されているか否か、すなわち、コマンド R E G 5 8 1 の S T A に “ 1 ” が設定されているか否かを判定する (4 4 0 5)。スタートコンディションの出力が要求されている場合には (4 4 0 5 の結果が「 Y 」)、後述するステップ 4 4 0 8 以降の処理を実行する。

【 0 5 9 0 】

コントローラ 5 7 4 は、さらに、スタートコンディションの出力が要求されていない場合には (4 4 0 5 の結果が「 N 」)、ステータスコードに “ F 8 H ” を設定し (4 4 0 6)、本処理を終了する。

40

【 0 5 9 1 】

コントローラ 5 7 4 は、ストップコンディションの出力が要求されていない場合には (4 4 0 1 の結果が「 N 」)、さらに、スタートコンディションの出力が要求されているか否か、すなわち、コマンド R E G 5 8 1 の S T A に “ 1 ” が設定されているか否かを判定する (4 4 0 7)。スタートコンディションの出力が要求されている場合には (4 4 0 7 の結果が「 Y 」)、ステップ 4 4 0 2 の処理と同様に、送信可能状態を確認する (4 4 0 8)。

【 0 5 9 2 】

コントローラ 5 7 4 は、送信可能であれば、スタートコンディションを接続されている

50

スレーブに出力する(4409)。さらに、当該マスタICの先頭バイト識別フラグを“オン”に設定する(4410)。

【0593】

続いて、コントローラ574は、送信フラグがオフであるか否かを判定する(4411)。送信フラグがオフでない場合、すなわち、オンの場合には(4411の結果が「N」)、ステータスコードに“10h”を設定する(4414)。この場合は、ストップコンディションが出力されずに、再度スタートコンディションが出力されており、いわゆるリスタートコンディションが出力されたことを示している。さらに、送信中断割込みを発生させるように、コマンドREG581のSIに“1”を設定し(4419)、本処理を中断する。

10

【0594】

一方、コントローラ574は、当該マスタICの送信フラグがオフの場合には(4411の結果が「Y」)、ステータスコードに“08H”を設定する(4412)。この場合は、ストップコンディションが出力された後にスタートコンディションが出力されたことを示している。さらに、送信中フラグを“オン”に設定し(4413)、送信中断割込みを発生させるために、コマンドREG581のSIに“1”を設定し(4419)、本処理を中断する。

【0595】

コントローラ574は、スタートコンディションの出力が要求されていない場合には(4407の結果が「N」)、当該マスタICの先頭バイト識別フラグがオンであるか否かを判定する(4415)。当該マスタICの先頭バイト識別フラグが“オン”の場合、すなわち、スタートコンディションが出力された直後の場合には(4415の結果が「Y」)、最初に送信されるデータがアドレスであるため、アドレスを認識するためのアドレス認識処理を実行する(4416)。なお、アドレス認識処理の「詳細については、図44にて後述する。アドレス認識処理が終了すると、先頭バイト識別フラグを“オフ”に設定し(4417)、送信中断割込みを発生させるために、コマンドREG581のSIに“1”を設定し(4419)、本処理を中断する。

20

【0596】

コントローラ574は、当該マスタICの先頭バイト識別フラグが“オン”でない場合、すなわち、アドレスの認識が終了し、データ本体を送信する場合には(4415の結果が「N」)、バイト単位データ送信処理を実行する(4418)。バイト単位データ送信処理の詳細については、図46にて後述する。最後に、送信中断割込みを発生させるために、コマンドREG581のSIに“1”を設定し(4419)、本処理を中断する。

30

【0597】

図45は、本発明の第1の実施の形態のアドレス認識処理の手順を示すフローチャートである。

【0598】

コントローラ574は、まず、接続線SDAの信号レベルがHIGHに設定されているかを確認することによって送信可能状態を確認する(4501)。接続線SDAの信号レベルがHIGHに設定されていない場合にはHIGHに設定されるまで待機する。

40

【0599】

次に、コントローラ574は、接続線SCLを作動させながら1ビット目のデータを出力する(4502)。そして、8ビットのデータの送信が完了したか否かを判定し(4503)、8ビットのデータの送信が完了するまで、接続線SCLを作動させながらビット毎に順次データを出力する(4504)。

【0600】

コントローラ574は、8ビット分のデータの出力が完了すると(4503の結果が「Y」)、スレーブから送信された返答信号を取り込む(4505)。さらに、取り込まれた返答信号の内容が“ACK”であるか否かを判定する(4506)。返答信号の内容が“ACK”でない場合、すなわち、データを受信できなかったことを示す“NACK”で

50

あった場合には(4506の結果が「N」)、アドレスを認識できなかったことを示す“20h”をステータスコードとしてステータスREG582に設定する(4507)。

【0601】

一方、コントローラ574は、取り込まれた返答信号の内容が“ACK”であった場合には(4506の結果が「Y」)、アドレスを認識できたことを示す“18h”をステータスコードとしてステータスREG582に設定する(4508)。さらに、コマンドREG581のMODEの値が“0”であるか否かを判定することによって、データ送信モードがバイトモードか否かを判定する(4509)。バイトモードの場合には(4509の結果が「Y」)、1バイト(8ビット)分のデータの送信が完了したため、本処理を終了し、呼び出し元の処理に復帰する。

10

【0602】

コントローラ574は、データ送信モードがバイトモードでない場合には(4509の結果が「N」)、残りのデータをすべて送信するまで(4510)、バイト単位データ送信処理を実行する(4511)。バイト単位データ送信処理の詳細については、図46にて後述する。

【0603】

図46は、本発明の第1の実施の形態のバイト単位データ送信処理の手順を示すフローチャートである。

【0604】

コントローラ574は、まず、接続線SDAの信号レベルがHIGHに設定されているかを確認することによって送信可能状態を確認する(4601)。接続線SDAの信号レベルがHIGHに設定されていない場合にはHIGHに設定されるまで待機する。続いて、1バイト分のデータを出力する(4602)。

20

【0605】

データ出力後、コントローラ574は、スレーブから出力された返答信号を取り込む(4603)。さらに、取り込まれた返答信号の内容が“ACK”であるか否かを判定する(4604)。返答信号の内容が“ACK”でない場合、すなわち、データを受信できなかったことを示す“NACK”であった場合には(4604の結果が「N」)、データを送信できなかったことを示す“30h”をステータスコードに設定する(4605)。

【0606】

一方、コントローラ574は、取り込まれた返答信号の内容が“ACK”であった場合には(4604の結果が「Y」)、データを送信できたことを示す“28h”をステータスコードに設定する(4606)。さらに、コマンドREG581のMODEの値が“0”であるか否かを判定することによって、データ送信モードがバイトモードか否かを判定する(4607)。バイトモードの場合には(4607の結果が「Y」)、1バイト(8ビット)分のデータの送信が完了したため、本処理を終了し、呼び出し元の処理に復帰する。

30

【0607】

また、コントローラ574は、データ送信モードがバイトモードでない場合には(4607の結果が「N」)、残りのデータをすべて送信するまでデータの送信を行う(4608)。具体的には、次に送信するデータを準備し(4609)、ステップ4601以降の処理を再度実行する(4610)。

40

【0608】

次に、本発明の第1の実施の形態において、演出制御装置550のCPU551と、第1マスタIC570a及び第2マスタIC570bとの間で、データが授受されるタイミングについて説明する。

【0609】

図47は、本発明の第1の実施の形態のVDP割込み時に演出制御装置550のCPU551からの指示によって、第1マスタIC570a及び第2マスタIC570bによる処理が並列して実行される状態を示すタイミングチャートである。

50

【0610】

本発明の第1の実施の形態では、表示装置53に表示された画像を更新するタイミングにおいてVDP割込みが発生すると、演出制御装置550のCPU551は、各マスタICに対して演出制御データの出力を開始する。各マスタICは、CPU551から演出制御データを受信すると、他のマスタICとは独立して、受信した演出制御データを各スレーブに送信するなどの処理を実行する。そして、すべてのスレーブに対して演出制御データの出力が完了すると、各マスタICはストップコンディションを出力し、各スレーブによって制御される演出装置（装飾装置620）の演出態様を更新する。

【0611】

このように、第1マスタIC570a及び第2マスタIC570bによる処理が並行して実行され、さらに、VDP割込みと各演出装置の演出態様の更新タイミングを同期させることによって、画像表示と調和のとれた演出を行うことが可能となる。

10

【0612】

さらに、詳細に説明すると、演出制御装置550のCPU551は、VDP割込みが発生すると、スレーブ出力開始処理（図37のステップ3710、図39）を実行し、各マスタICに対してスタートコンディションを出力する。

【0613】

そして、CPU551は、演出制御装置550により制御される各装置への出力データを編集する。具体的には、表示装置53で演出を行うためのVDP出力データ編集（図37のステップ3711）、スピーカ30から音声を出力するためのスピーカ関連データ編集（図37のステップ3712）、演出装置としてのLEDを制御する装飾制御装置610へ出力する演出制御データの編集（図37のステップ3713）、及びモータなどの駆動体を制御するためのデータ編集を行う。これらの編集処理の実行中に、各マスタICによってCPU551に対するマスタ割込みが発生すると、演出制御データの送信再開処理（図43）によって、編集された演出制御データが各マスタICの出力用バッファ572に書き込まれる。そして、図44に示したマスタによるデータ送信処理によって、各スレーブに演出制御データが出力される。

20

【0614】

最後に、送信対象のスレーブの全てに演出制御データが送信されると、演出制御データの送信再開処理によって、マスタICからスレーブにストップコンディションが出力され（図43のステップS4311）、このストップコンディションによって、各スレーブが受信した演出制御データが各演出装置の演出態様に反映される。

30

【0615】

その後、CPU551は、次のVDP割込みが発生するまで待機する。そして、次のVDP割込みが発生すると、前述のスレーブ出力開始処理（図37のステップ3710、図39）を実行して、各マスタICに対してスタートコンディションを出力し、以降、同じ処理を繰り返す。

【0616】

次に、グループ化された演出装置（装飾装置620）の構成例について説明する。

【0617】

図48は、本発明の第1の実施の形態における装飾制御装置610のI²C I/Oエクスパンダ615と、装飾装置620との接続例を示す図であり、8セット分のLEDを2つのI²C I/Oエクスパンダ615によって制御する構成を示す図である。

40

【0618】

装飾装置620は一例としてLEDによって構成されているとし、赤（R）、緑（G）、青（B）の3色のLEDを1セットとして制御することによって、さまざまな色で発光することを可能とする。例えば、赤、緑、青のすべてのLEDを発色させると、白色に発光させることができる。

【0619】

そして、本発明の第1の実施の形態では、1つのI²C I/Oエクスパンダ615は、

50

16個のポート(PORT0~15)に対応するLEDを制御することが可能であるため、3色のLEDのセットを5セットまで接続することが可能である。

【0620】

しかし、より興味を高める演出を行うために、16個を超えるポートにLED(演出装置)を接続する場合が考えられる。図48では、5セット以上(8セット)のLEDを、2つのI²C I/Oエクスパンダ615にまたがって接続して制御する構成について説明する。

【0621】

前述のように、I²C I/Oエクスパンダ615には16のポート(PORT0~15)が備えられているため、3色のLEDのセットを5セットまで接続することが可能である。しかしながら、8セットのLEDを1つのグループとして演出が行われる場合には、少なくとも2つのI²C I/Oエクスパンダ615を必要とする。

10

【0622】

そこで、図48に示す構成では、一方のI²C I/Oエクスパンダ615は、各セットの赤及び緑のLEDを制御し、他方のI²C I/Oエクスパンダ615(615b)は、各セットの青のLEDを制御するように構成している。そして、これらの2つのI²C I/Oエクスパンダ615を同じグループとして制御し、図49にて後述するように、演出制御装置550から出力されたストップコンディションを受け付けてから演出制御を同時に実行することによって、複数のI²C I/Oエクスパンダ615によって制御されるLEDによる演出を違和感なく行うことが可能となるのである。

20

【0623】

図49は、本発明の第1の実施の形態における装飾制御装置610がデータを受信し、演出装置を制御するタイミングを示す図であり、ストップコンディションを出力した時点で受信したデータを反映させる場合について説明する図である。

【0624】

本図において、まず最初に、演出制御装置550からスタートコンディションを出力し、次に、演出制御装置550から複数のI²C I/Oエクスパンダ615に演出制御データを順次出力し、最後に、演出制御装置550からストップコンディションを出力する状態を示している。説明の都合上、装飾制御装置610のI²C I/Oエクスパンダ615は5個設けられているものとし、それぞれを第1I²C I/Oエクスパンダ~第5I²C I/Oエクスパンダとする。

30

【0625】

ここで、図中で「data1」となっているものは、演出制御装置550から第1I²C I/Oエクスパンダに送信される演出制御データを示し、以下、「data2」~「data5」は、演出制御装置550から、第2I²C I/Oエクスパンダ~第5I²C I/Oエクスパンダの各々へ送信される演出制御データを示す。

【0626】

また、図中で「演出装置(1)」となっているものは、第1I²C I/OエクスパンダのI/Oポートに接続されているLED等を示し、以下、「演出装置(2)」~「演出装置(5)」は、第2I²C I/Oエクスパンダ~第5I²C I/OエクスパンダのI/Oポートに接続されているLED等に、それぞれが対応する。

40

【0627】

なお、演出制御装置550から、第1I²C I/Oエクスパンダ~第5I²C I/Oエクスパンダの各々へ演出制御データを送信する際には、I²C I/Oエクスパンダの選択を切り替えるタイミングで、演出制御装置550からI²C I/Oエクスパンダにスタートコンディション(リスタートコンディションとして機能する)を出力している。但し、最初に演出制御装置550がスタートコンディションを出力してから、第1I²C I/Oエクスパンダ~第5I²C I/Oエクスパンダの全てに演出制御データを送信するまでの間(図中にTで示した期間)はストップコンディションを出力せず、この期間Tの経過後にストップコンディションを出力している。

50

【 0 6 2 8 】

本発明の第 1 の実施の形態では、接続線 S D A からシリアルに演出制御データが送信されるため、各 I²C I / O エクスパンダ毎に、演出制御データが到達するタイミングに時間差が生じる。各 I²C I / O エクスパンダは、演出制御装置 5 5 0 から演出制御データを受け入れた時点では、バスコントローラ 6 3 4 (図 1 8) に内蔵された図示しないバッファに受信した演出制御データを一次的に確保しているに過ぎない。

【 0 6 2 9 】

ここで、各 I²C I / O エクスパンダが、単独で演出制御データの受信と同時に L E D の発光態様を変更してしまうような処理を行った場合を想定する。L E D の発光態様の变化に時間差を生じるため、違和感のある演出が行われる恐れがある。

10

【 0 6 3 0 】

例えば、前述の図 4 8 のように、赤 (R)、緑 (G)、青 (B) の L E D が、複数の I²C I / O エクスパンダにまたがって接続されているような場合には、遊技者に誤解をあたえるような色彩で L E D が発光する可能性がある。(特定の発光体が赤く光れば大当たりが確定する仕様の遊技機にて、大当たりが発生しないときに、発光体内の赤色 L E D と青色 L E D とを同時に点灯して発光体を紫色で発光させるような制御を行うような場合を想定する。この場合、赤色 L E D が青色 L E D よりも先に光ってしまうことで、遊技者が大当たりするものと誤解し、遊技店と遊技者の間でトラブルになる。)

【 0 6 3 1 】

そこで、本発明の第 1 の実施の形態では、演出制御装置 5 5 0 からストップコンディションを受信した時点で、バッファ内の演出制御データを出力設定レジスタ 6 3 5 に上書きし、この出力設定レジスタ 6 3 5 の記憶内容を出力コントローラ 6 3 6 によってドライバ 6 3 7 に反映させ、当該 I²C I / O エクスパンダに接続されている L E D の発光態様を変化させる処理を行っている。

20

【 0 6 3 2 】

そのため、図 4 9 に示すように、ストップコンディション出力時に、各 I²C I / O エクスパンダが受信した演出制御データを各演出装置の出力態様に同時に反映させることが可能となり、違和感のない演出を行うことが可能となる。

【 0 6 3 3 】

なお、本実施の形態では、I²C I / O エクスパンダが受信した演出制御データを各演出装置の出力態様に反映させるタイミングを、更新指令信号として例示したストップコンディションの受信時としているが、他の更新指令信号を用いても構わない。ストップコンディションのように演出制御データの最後に送信されるものに限られず、演出制御データの送信の途中で送信されるものであっても、接続線 S D A 及び S C L の信号変化によって表現できる更新指令信号であれば、適用可能である。

30

【 0 6 3 4 】

本発明の第 1 の実施の形態によれば、演出制御装置 5 5 0 (グループ統括制御手段) に含まれる各マスタ I C (信号レベル制御手段) が装飾制御装置 6 1 0 (グループ単位制御手段) にデータを送信すると、装飾制御装置 6 1 0 から演出制御装置 5 5 0 に返答信号が送信されるため、データ送信が行われたか否かを確認することが可能となり、誤作動を防止できる。

40

【 0 6 3 5 】

また、本発明の第 1 の実施の形態によれば、演出制御装置 5 5 0 は装飾制御装置 6 1 0 へ一本のデータ線 (接続線 S D A) を介してデータを送信し、装飾制御装置 6 1 0 から演出制御装置 5 5 0 へも同じデータ線を介して返答信号が送信されるので、基板間の配線を少なくすることができる。

【 0 6 3 6 】

さらに、本発明の第 1 の実施の形態によれば、1つのマスタ I C に接続可能な装飾制御装置 6 1 0 の数に上限があったとしても、演出制御装置 5 5 0 に複数のマスタ I C を備えることによって、より多くの装飾制御装置 6 1 0 を利用することができる。

50

【0637】

また、本発明の第1の実施の形態では、第1マスタIC570a(第1の信号レベル制御手段)が遊技盤10に備えられた演出装置を制御し、第2マスタIC570b(第2の信号レベル制御手段)が前面枠3に備えられた演出装置を制御するように構成されている。このように、遊技盤10に備えられた演出装置と前面枠3に備えられた演出装置とを別のグループとすることによって、前面枠3や遊技盤10を開発する際には、装飾制御装置610の上限数を開発対象の各グループに限定して考慮すればよいので、構成毎に並行して機器の開発を行うなど開発の効率化を図ることができる。

【0638】

さらに、本発明の第1の実施の形態によれば、CPU551によってマスタICが選択され、選択されたマスタICに接続される複数の装飾制御装置610(I²C I/Oエクスパンダ615)が、まとめて初期化されるので、装飾制御装置610を1つ1つ選択して初期化するような方法と比較すると、高速な初期化処理を行うことができる。

10

【0639】

このとき、選択されたマスタICに接続される装飾制御装置610だけを初期化して、選択されない他のマスタICに接続される装飾制御装置610を初期化しないような制御が可能となる。

【0640】

そのため、遊技機に備えた全ての装飾制御装置610のうち、必要最小限の範囲に属する装飾制御装置610だけを初期化することができるので、装飾制御装置610の初期化が行われて演出装置200の動作が中断する頻度を、低下させることができる。

20

【0641】

また、本発明の第1の実施の形態によれば、すべてのマスタICをリセットしようとする場合にはハードリセットを行う構成となっているため、各マスタICを1個ずつソフトリセットする場合と比較して、高速に初期化を行うことが可能となる。

【0642】

一方、一部のマスタICをリセットしようとする場合には、データバスを経由するソフトリセットによって初期化を実行するため、すべてのマスタICの初期化信号入力端子に個別に信号入力するような複雑な回路を必要とせず、1つのポートを備えていればよい。すなわち、起動時に毎回必ず実行されるすべてのマスタICのリセットは高速で行うことが可能となり、非常時にのみ実行される一部のみのマスタICのリセットは、簡素化された回路で実行可能となるため、特に、マスタICの数が多い構成の場合に有効となる。

30

【0643】

また、本発明の第1の実施の形態によれば、マスタICによる処理がそれぞれ並列して動作するため、高速な処理が可能となる。さらに、画面更新のタイミングと同期させて演出装置の演出態様が更新するように制御されるため、画面表示と調和のとれた発光の演出が可能となる。

【0644】

さらに、本発明の第1の実施の形態によれば、取り込まれたデータを演出装置の出力態様として反映させるタイミングが、タイミング信号線とデータ線の信号レベル変化(ストップコンディションの受信)によって決定されるので、従来のLAT信号のような信号が不要となる。そのため、LAT信号を送信するための配線が不要になり、配線をより簡素化することが可能となる。

40

【0645】

また、本発明の第1の実施の形態によれば、複数の装飾制御装置610に対して、個別の演出制御データを同一の信号線を用いて送信することが可能となり、さらに、制御対象の各演出装置の演出態様を同時に更新することが可能となる。

【0646】

(第2の実施の形態)

本発明の第1の実施の形態では、すべての演出装置を均等に制御していたが、第2の実

50

施の形態では、一方のマスタＩＣによって制御される演出装置の演出態様を、一方のマスタＩＣによって制御される演出装置よりも頻繁に更新するように構成する。例えば、遊技盤１０に備えられた演出装置の演出態様の更新頻度を、前面枠３に備えられた演出装置の演出態様の更新頻度よりも多くする。

【０６４７】

なお、以降の実施の形態の説明では、第１の実施の形態と共通する構成及び処理については、同一の符号を付与して説明を省略する。

【０６４８】

図５０は、本発明の第２の実施の形態のスレーブ出力開始処理の手順を示すフローチャートである。

10

【０６４９】

スレーブ出力開始処理は、第１の実施の形態における図３７に示すステップ３７１０で実行される処理であり、図３９に示した第１の実施の形態のスレーブ出力開始処理の代わりに実行される。

【０６５０】

本発明の第２の実施の形態では、“０”から“３”までの整数値が設定される「時分割カウンタ」を導入し、この時分割カウンタの値に基づいて、演出態様を更新するマスタＩＣを選択する。以下、具体的な手順について説明する。

【０６５１】

演出制御装置５５０のＣＰＵ５５１は、まず、時分割カウンタを更新する（５００１）。時分割カウンタに“２”以下の値が設定されている場合には時分割カウンタの値をインクリメント（１を加算）し、“３”の場合には“０”に更新する。次に、マスタ割込み及びタイム割込みを禁止する（５００２）。

20

【０６５２】

続いて、ＣＰＵ５５１は、第１マスタＩＣ５７０ａの演出態様を更新する時期を判断し（５００３）、更新時期か否かを判定する（５００４）。前述のように、第１マスタＩＣ５７０ａは、遊技盤１０に備えられた装飾装置６２０を制御するため、第２の実施の形態では、演出装置の更新頻度が多くなるように設定される。

【０６５３】

具体的には、時分割カウンタの値が“２”でない場合に装飾装置６２０の演出態様を更新するように設定してもよいし、時分割カウンタの値にかかわらず常に演出態様を更新するように制御してもよい。

30

【０６５４】

ＣＰＵ５５１は、演出態様の更新時期と判断した場合には（５００４の結果が「Ｙ」）、ステップ５００５から５００９までの処理を実行する。ステップ５００５から５００８までの処理は、図３９のステップ３９０２から３９０５の処理と同じである。

【０６５５】

ＣＰＵ５５１は、第１マスタＩＣ５７０ａによって制御されるスレーブ（装飾制御装置６１０）の先頭のスレーブを選択する（５００９）。すべてのスレーブに対応する装飾装置６２０の演出態様を更新する場合には、第１の実施の形態で説明したように、あらかじめ設定された演出制御データの送信順序の先頭のスレーブを選択すればよい。

40

【０６５６】

また、送信順序の途中のスレーブを先頭のスレーブとして設定することによって、第１マスタＩＣ５７０ａに接続されるスレーブ間で更新頻度を調整することができる。例えば、演出制御データの送信順序の最後に信頼度報知装置１５に関わるスレーブを設定し、信頼度報知装置１５に関わるスレーブを先頭スレーブに設定すれば、信頼度報知装置１５に備えられる演出装置の演出態様の更新頻度をより多く設定することができる。

【０６５７】

さらに、ＣＰＵ５５１は、第２マスタＩＣ５７０ｂの演出態様を更新する時期を判断し（５０１０）、更新時期か否かを判定する（５０１１）。前述のように、第２マスタＩＣ

50

５７０ｂは、前面枠３に備えられた装飾装置６２０を制御するため、第２の実施の形態では、演出態様の更新頻度が小さくなるように設定される。

【０６５８】

例えば、時分割カウンタの値が“０”の場合にのみ、装飾装置６２０の演出態様を更新するように設定してもよいし、“０”及び“２”の場合に演出態様を更新するように制御してもよい。

【０６５９】

ＣＰＵ５５１は、演出態様の更新時期と判断した場合には（５０１１の結果が「Ｙ」）、ステップ５０１２から５０１６までの処理を実行する。ステップ５０１２から５０１６までの処理は、図３９のステップ３９０６から３９０９の処理と同じである。さらに、Ｃ
ＰＵ５５１は、第２マスタＩＣ５７０ｂに最初に演出制御データが送信されるスレーブを選択する（５０１６）。スレーブの選択は、第１マスタＩＣ５７０ａの場合（５００９）と同様に、あらかじめ設定されている送信順序の先頭のスレーブを選択してもよいし、途中から選択するようにしてもよい。例えば、時分割カウンタが“０”及び“２”の場合に演出態様を更新するように制御する場合に、“０”の場合はすべてのスレーブに演出制御データを送信し、“２”の場合には、送信順序の途中のスレーブを先頭として一部のスレーブにのみ演出制御データを送信するようにしてもよい。

10

【０６６０】

その後、ＣＰＵ５５１は、リトライカウンタを０に設定し（５０１７）、マスタ割込み及びタイムアウト割込みを許可し（５０１８）、呼び出し元に復帰する。

20

【０６６１】

以上のように、時分割カウンタの値に基づいて、マスタＩＣ毎に装飾装置６２０の演出態様の更新周期を制御することが可能となる。前述のように、遊技機１が営業時間中に通常稼動している間は、遊技盤１０に備えられた装飾装置６２０の演出態様の更新間隔を短くすることによって、興趣を高めることができる。また、遊技機１に障害が発生した場合には、逆に、前面枠３に備えられた装飾装置６２０（特に、異常報知ＬＥＤ２９など）の演出態様の更新頻度を多くすることによって、遊技店の店員に遊技機１の異常を迅速に報知できるようにすることも可能である。さらに、遊技が実行されていない場合には、これから遊技を開始する者の目を引くように、前面枠３に備えられた装飾装置６２０の更新頻度を多くするようにしてもよい。

30

【０６６２】

本発明の第２の実施の形態によれば、第１の実施の形態の効果に加え、所定の条件に応じてマスタＩＣごとに演出態様の更新タイミングを設定することが可能となり、演出内容に対応して処理時間を配分することが可能となる。

【０６６３】

また、本発明の実施の形態では、２つのマスタＩＣを含む構成となっているが、３以上のマスタＩＣを含む構成としてもよい。複数のマスタＩＣを含むように構成することによって、各マスタＩＣが並列して処理を実行することが可能となり、処理を高速化することができる。また、マスタＩＣごとに各構成を並行して開発することが可能となるため、開発効率を向上させることが可能となる。

40

【０６６４】

なお、今回開示した実施の形態は、すべての点で例示であって制限的なものではない。また、本発明の範囲は前述した発明の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味及び内容の範囲でのすべての変更が含まれることが意図される。

【０６６５】

また、特許請求の範囲に記載した以外の本発明の観点の代表的なものとして、次のものがあげられる。

【０６６６】

（１）遊技を統括的に制御する遊技制御手段と、該遊技制御手段からの指令に対応して

50

、遊技の演出を行う複数の演出装置を制御する演出制御手段と、を備える遊技機において、前記複数の演出装置を複数グループに分割し、該分割されたグループに属する演出装置を制御するためのグループ単位制御手段をグループ毎に設け、前記演出制御手段を、複数の前記グループ単位制御手段を統括的に制御するグループ統括制御手段として構成し、前記グループ統括制御手段から前記グループ単位制御手段へタイミング信号を伝達するタイミング信号線、及び前記グループ統括制御手段と前記グループ単位制御手段との間でデータを通信するデータ線によって前記グループ統括制御手段と前記グループ単位制御手段とが接続されて、前記グループ統括制御手段と前記各グループ単位制御手段との間で相互にデータ通信を可能とし、前記グループ統括制御手段は、前記データ線の信号レベルを送信データに対応する信号レベルに設定しながら、前記タイミング信号線の信号レベルを繰り返し変換させることによって、前記グループ単位制御手段にデータを順次送信する送信手段と、前記送信手段によるデータ送信の途中又はデータ送信の最後のタイミングにて、当該データの送信時とは異なる態様で前記データ線及びタイミング信号線の信号レベルを制御することにより、所定の更新指令信号を前記グループ単位制御手段に出力する更新指令信号出力手段と、を備え、前記グループ単位制御手段は、前記送信手段が送信したデータを取り込む取込手段と、前記取込手段によって取りこまれたデータに対応させて、前記演出装置の出力態様を更新する出力態様更新手段と、を備えるとともに、前記出力態様更新手段は、前記更新指令信号を受信したタイミングで、前記演出装置の出力態様を更新することを特徴とする遊技機。

10

【0667】

20

(2) 前記更新指令信号は、前記送信手段によるデータ送信の最後に送信されるストップコンディションであることを特徴とする(1)に記載の遊技機。

【0668】

(1)に記載の発明では、グループ単位制御手段の取込手段によって取り込まれたデータを、演出装置の出力態様として反映させるタイミングが、タイミング信号線とデータ線の信号レベル変化によって決定されるので、従来のLAT信号のような信号が不要となる。そのため、LAT信号を送信するための配線が不要になり、配線をより簡素化することが可能となる。

【0669】

また、複数のグループ単位制御手段に対して、個別の演出制御情報を同一の信号線を用いて送信できる上に、同時に更新することができる。

30

【0670】

(2)に記載の発明では、グループ単位制御手段は、ストップコンディションの受信によって、演出装置の出力態様として反映させるタイミングだけでなく、送信手段によるデータ送信の終了タイミングも同時に認識することができる。

【0671】

ここで、上記(1)の発明との対比を行うため、LAT信号を送信するための配線が必要な技術との対比を行う。

【0672】

まず、特開2007-050148号の公開特許公報には、階調制御ICを用いて、定時間タイマ割込処理内に、複数のLEDの階調点灯及びステッピングモータの励磁駆動を行うことが可能な遊技機として、階調制御ICがシリアル送信部からシリアル出力された駆動データを取り込んだのち、出力ポートからラッチ信号を受けると、駆動データに基づいて階調ランプを階調点灯する階調信号を出力するとともにステッピングモータを励磁駆動する励磁信号を出力する遊技機が開示されている。

40

【0673】

この遊技機は、サブ統合基板からランプ駆動基板に、DATとCLKの2本の信号線によりシリアル通信でデータを送信する構成なので、両基板間の配線を簡素化することができるようになっている。

【0674】

50

さらに、特開 2 0 0 5 - 2 4 5 7 7 4 号の公開特許公報には、サブ制御基板を様々な機種仕様を共通化して使用することによって、製造コスト及び開発コストを削減可能な遊技機として、メイン制御基板からの指示に応じて装飾用制御負荷に対する制御信号の出力を行うサブ制御基板と、サブ制御基板とは別基板であって、サブ制御基板にコネクタ接続される負荷駆動基板とからなる遊技機が開示されている。

【 0 6 7 5 】

この遊技機では、サブ制御基板は、装飾用制御負荷に対する制御信号をシリアルに出力し、負荷駆動基板は、サブ制御基板からシリアルに出力された制御信号に基づいて、装飾用制御負荷の数に対応したビット数のパラレル駆動信号を生成する駆動信号生成手段を搭載しており、特許文献 1 の遊技機と同様にシリアル通信でデータを送信する構成なので、基板間の配線を簡素化することが可能となっている。

10

【 0 6 7 6 】

これらの遊技機では、複数のシフトレジスタをデジチェーン接続することによって、D A T と C L K の 2 本の信号線を用いるだけで、複数のシフトレジスタを制御することが可能である。

【 0 6 7 7 】

しかし、特開 2 0 0 7 - 0 5 0 1 4 8 号の公開特許公報の遊技機では、シフトレジスタが取り込んだデータを点灯信号として出力させるためには、その出力のタイミングを伝達するために、L A T 信号（段落 [0 0 7 2] [0 0 7 3] [図 6] 等）が必要となるので、L A T 信号のための配線がさらに必要となってしまう。この問題点は、特開 2 0 0 5 - 2 4 5 7 7 4 号の公開特許公報の遊技機においても解決されていない。

20

【 0 6 7 8 】

そこで、配線を削減するために、L A T 信号がなくても、取り込んだデータを点灯信号として出力させることが可能な遊技機を提供することが必要となる。上記（ 1 ）の発明の遊技機によって、その問題点が解決される。

【 0 6 7 9 】

また、特許文献 1 に記載の遊技機は、C P U 8 3 からトップ L E D 基板への通信はシリアル通信で行っているが、C P U 8 3 からトップ L E D 基板への一方向へのデータ送信を行うことしか記載されていない。

【 0 6 8 0 】

30

このため、特許文献 1 に記載の遊技機では、C P U 8 3 からトップ L E D 基板へ正確にデータが送信されている保証ができない。特に、遊技機はノイズに晒される環境下に配置されることが多いので、装飾用の L E D がノイズの影響で遊技進行どおりに発光せず、興趣を低下させてしまう場合がある。

【 0 6 8 1 】

また、特開 2 0 0 6 - 1 5 0 3 6 号の公開特許公報には、信号線の本数を削減することができると共に不正行為の発見を容易に行うことができる遊技機として、主基板と副基板との間での信号送信を I²C バス方式により行い、主基板及び副基板にそれぞれ双方向バスバッファを設けた遊技機が開示されている。この双方向バスバッファは、I²C バスを構成する二つの双方向シリアルライン（S D A、S C L）をそれぞれ二つの片方向シリアルラインに分岐させるためのものであり、主基板に設けられた双方向バスバッファと副基板に設けられた双方向バスバッファとの間を、それらによって分岐された片方向シリアルラインの信号伝送方向が互いに一致するようにして、四つのシリアル線で接続した構成としている。

40

【 0 6 8 2 】

特開 2 0 0 6 - 1 5 0 3 6 号の公開特許公報の遊技機は、主基板と副基板との間で双方向通信を行う構成としているが、正確にデータが送信されたかを確認することは記載されていないため、遊技機が正しく動作する保証が無い。また、データ線及びクロック線は、上り（主基板から副基板へ）、及び下り（副基板から主基板へ）の各 2 本が必要となるので、配線を十分に削減できない。

50

【 0 6 8 3 】

これらの課題を解決するために、さらに以下のような遊技機があげられる。

【 0 6 8 4 】

(3) 遊技領域を形成した遊技盤が前面枠に対して着脱可能に構成され、該遊技領域に設けた所定の始動入賞領域を遊技球が通過すると、複数の識別情報を変動表示する変動表示ゲームが実行され、該変動表示ゲームの結果に対応して遊技者に特典を付与する特別遊技状態を発生可能な遊技機において、前記遊技領域における遊技を統括的に制御する遊技制御手段と、前記遊技盤及び前面枠に設けられて、遊技の演出を行う複数の演出装置と、前記遊技制御手段からの指令に対応して、前記複数の演出装置を制御する演出制御手段と、を備え、前記演出装置の系統の各々を複数グループに分割し、該分割されたグループに属する演出装置を制御するためのグループ単位制御手段を各グループ毎に設け、前記演出制御手段を、前記グループ単位制御手段の各々を統括的に制御するグループ統括制御手段として構成するとともに、前記グループ統括制御手段から前記グループ単位制御手段へタイミング信号を伝達するタイミング信号線と、前記グループ統括制御手段と前記グループ単位制御手段との間でデータを授受するデータ線と、を備えることにより前記グループ統括制御手段と前記各グループ単位制御手段との間で相互にデータ送信を可能とし、前記グループ統括制御手段は、前記データ線の信号レベルを送信データに対応する信号レベルに設定しながら前記タイミング信号線の信号レベルを繰り返し変化させることで、順次前記グループ単位制御手段にデータ送信を行う送信手段と、前記送信手段によるデータ送信の後に、前記グループ単位制御手段からの返答信号を取り込む返答信号取込手段と、取り込んだ前記返答信号によりデータ送信の成否を判定する判定手段と、を備え、前記グループ単位制御手段は、前記送信手段がデータ送信を行った前記データ線を介して、前記返答信号を前記グループ統括制御手段へ出力する返答信号出力手段を備え、前記送信手段は、前記演出装置の制御に関わる演算処理を行う演算処理手段と、前記グループ単位制御手段と接続されて、前記演算処理手段からの指令に基づいて、該グループ単位制御手段との間の前記データ線及びタイミング信号線の各信号レベルを制御する複数の信号レベル制御手段と、を含んで構成され、前記複数の信号レベル制御手段には、前記遊技盤に設けたグループ単位制御手段と接続される第 1 の信号レベル制御手段と、前記前面枠に設けたグループ単位制御手段と接続される第 2 の信号レベル制御手段と、が含まれることを特徴とする遊技機。

【 0 6 8 5 】

(4) 前記信号レベル制御手段は、前記演算処理手段によって初期化指示データが当該信号レベル制御手段に備わる所定の記憶領域に書き込まれることによって、当該信号レベル制御手段に接続されたグループ単位制御手段を初期化する個別初期化手段、を備え、前記演算処理手段は、前記複数の信号レベル制御手段から一以上の信号レベル制御手段を選択し、選択された信号レベル制御手段に備わる所定の記憶領域に前記初期化指示データを書き込むことを特徴とする (3) に記載の遊技機。

【 0 6 8 6 】

(5) の発明は、前記グループ統括制御手段は、前記演算処理手段と、前記各信号レベル制御手段との間で、相互にデータを授受するデータバスを備え、前記信号レベル制御手段は、当該信号レベル制御手段の初期化を指示する初期化信号が、前記演算処理手段によって前記データバスを介さずに入力される初期化信号入力指示端子と、当該信号レベル制御手段の初期化を指示する初期化指示情報が、前記演算処理手段によって前記データバスを介して書き込まれる初期化指示情報記憶領域と、を備え、前記演算処理手段は、すべての前記複数の信号レベル制御手段を初期化する場合には、前記各信号レベル制御手段に備わる初期化信号入力指示端子に初期化信号を入力することによって、前記各信号レベル制御手段を初期化し、特定の前記信号レベル制御手段を選択して初期化する場合には、当該特定の信号レベル制御手段に備わる前記初期化指示情報記憶領域に、前記初期化指示情報を書き込むことを特徴とする (4) に記載の遊技機。

【 0 6 8 7 】

(6) 前記複数の信号レベル制御手段は、各々が並行して動作可能であることを特徴とする(3) から(5) のいずれかに記載の遊技機。

【 0 6 8 8 】

(7) 前記遊技盤は、遊技の演出を行う画像出力装置を備え、前記複数の信号レベル制御手段は、前記画像出力装置に出力される画像を更新するタイミングと同期して、前記各信号レベルを制御することを特徴とする(3) から(6) のいずれかに記載の遊技機。

【 0 6 8 9 】

(8) 前記演出装置は、前記グループ統括制御手段から前記グループ単位制御手段を介して送信されたデータに基づいて、当該演出装置の演出態様が更新され、前記演出装置の演出態様が更新されるタイミングは、当該演出装置を制御するグループ単位制御手段に接

10

続された信号レベル制御手段毎に設定されていることを特徴とする(3) から(7) のいずれかに記載の遊技機。

【 0 6 9 0 】

(3) の発明によれば、グループ統括制御手段に含まれる各信号レベル制御手段がグループ単位制御手段にデータを送信すると、グループ単位制御手段からグループ統括制御手段に返答信号が送信されるため、データ送信が行われたか否かを確認することが可能となり、誤作動を防止できる。

【 0 6 9 1 】

また、(3) の発明によれば、グループ統括制御手段はグループ単位制御手段へ一本のデータ線を介してデータを送信し、グループ単位制御手段からグループ統括制御手段へも

20

同じデータ線を介して返答信号が送信されるので、基板間の配線を少なくすることができる。

【 0 6 9 2 】

さらに、(3) の発明によれば、1つの信号レベル制御手段に接続可能なグループ単位制御手段の数に上限があったとしても、グループ統括制御手段に複数の信号レベル制御手段を備えることによって、より多くのグループ単位制御手段を利用することができる。具体的には、第1の信号レベル制御手段が遊技盤に備えられた演出装置を制御し、第2の信号レベル制御手段が前面枠に備えられた演出装置を制御するように構成されており、遊技盤に備えられた演出装置と前面枠に備えられた演出装置とを別のグループとすることによって、前面枠や遊技盤を開発する際には、グループ単位制御手段の上限数を開発対象の各

30

グループに限定して考慮すればよいので、構成毎に並行して機器の開発を行うなど開発の効率化を図ることができる。

【 0 6 9 3 】

(4) の発明によれば、演算処理手段により信号レベル制御手段が選択され、選択された信号レベル制御手段に接続されるグループ統括制御手段をまとめて初期化することができるので、グループ統括制御手段を1つ1つ選択して初期化するような方法と比較すると、高速な初期化処理を行うことができる。

【 0 6 9 4 】

このとき、選択された信号レベル制御手段に接続されるグループ統括制御手段だけを初期化して、選択されない他の信号レベル制御手段に接続されるグループ統括制御手段を初

40

期化しないような制御が可能となる。

【 0 6 9 5 】

そのため、遊技機に備えた全てのグループ統括制御手段のうち、必要最小限の範囲に属するグループ統括制御手段だけを初期化することができるので、グループ統括制御手段の初期化が行われて演出装置の動作が中断する頻度を、低下させることができる。

【 0 6 9 6 】

(5) の発明によれば、すべての信号レベル制御手段をリセットしようとする場合にはハードリセットを行う構成となっているため、各信号レベル制御手段を1個ずつソフトリセットする場合と比較して、高速に初期化を行うことが可能となる。

【 0 6 9 7 】

50

一方、一部の信号レベル制御手段をリセットしようとする場合には、データバスを経由するソフトリセットによって初期化を実行するため、すべての信号レベル制御手段の初期化信号入力端子に個別に信号入力するような複雑な回路を必要とせず、1つのポートを備えていればよい。すなわち、起動時に毎回必ず実行されるすべての信号レベル制御手段のリセットは高速で行うことが可能となり、非常時にのみ実行される一部のみの信号レベル制御手段のリセットは、簡素化された回路で実行可能となるため、特に、信号レベル制御手段の数が多い構成の場合に有効となる。

【0698】

(6)の発明によれば、信号レベル制御手段による処理がそれぞれ並列して動作するため、高速な処理が可能となる。

10

【0699】

(7)の発明によれば、画面更新のタイミングと同期させて演出装置の演出態様が更新するように制御されるため、画面表示と調和のとれた発光の演出が可能となる。

【0700】

(8)信号レベル制御手段毎の更新周期を設定することが可能となり、演出内容に対応して処理時間を配分することが可能となる。

【産業上の利用可能性】

【0701】

以上のように、本発明は、演出制御装置が複数の装飾制御装置を介して演出装置を制御する遊技機に適用可能である。

20

【符号の説明】

【0702】

- 1 遊技機
- 2 本体枠(外枠)
- 3 前面枠(遊技枠)
- 9 a、9 b 装飾部材
- 10 遊技盤
- 12 補助遊技装置ユニット
- 13 第1可動式照明
- 13 a 照明駆動第1モータ(MOT)
- 14 第2可動式照明
- 14 a 照明駆動第2モータ(MOT)
- 15 信頼度報知装置
- 29 異常報知LED
- 30 スピーカ
- 45 サイドランプ
- 51 センターケース
- 53 表示装置
- 58 可動演出装置
- 63 第1演出ユニット
- 64 第2演出ユニット
- 70 第1演出部材
- 71 役物駆動第1モータ(MOT)
- 80 第2演出部材
- 81 役物駆動第2モータ(MOT)
- 500 遊技制御装置
- 550 演出制御装置
- 570 a 第1マスタIC
- 570 b 第2マスタIC
- 581 コマンドレジスタ(REG)

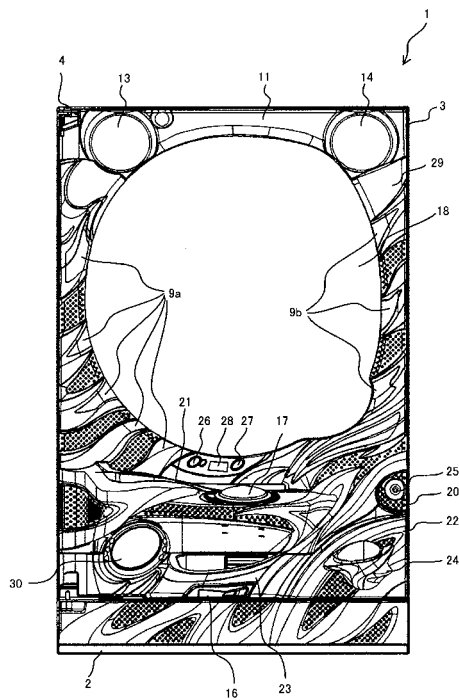
30

40

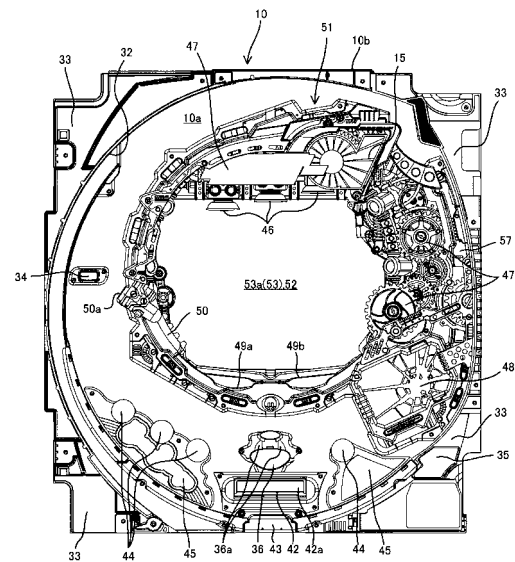
50

- 5 8 2 ステータスレジスタ (R E G)
- 5 8 3 自身アドレス設定レジスタ (R E G)
- 6 0 0 中継基板
- 6 0 3 空き端子モニタ
- 6 1 0 装飾制御装置
- 6 1 5 I²C I / O エクспанダ
- 6 2 0 装飾装置
- 6 2 5 装飾装置基板
- 1 6 0 0 簡易中継基板
- 3 2 0 0、3 3 0 0 異常判定テーブル

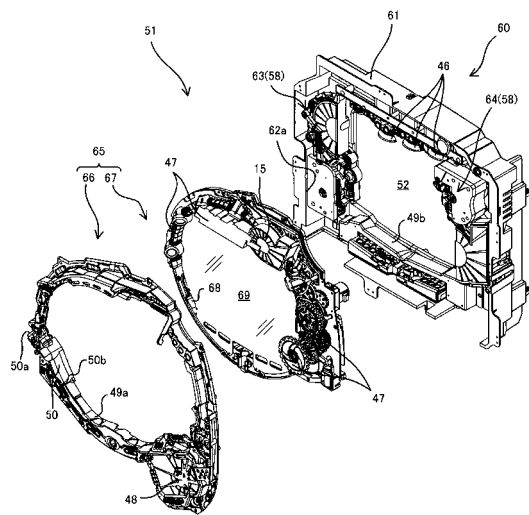
【図 1】



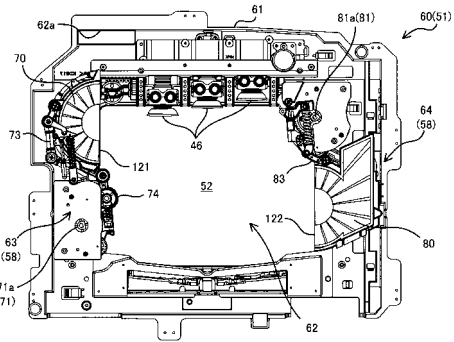
【図 2】



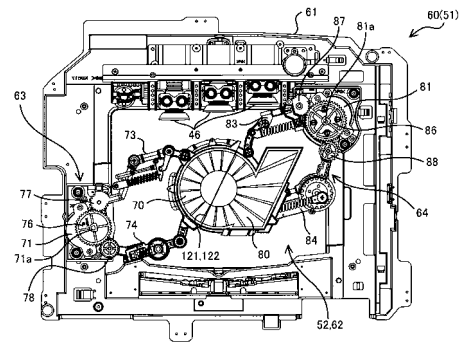
【図 3】



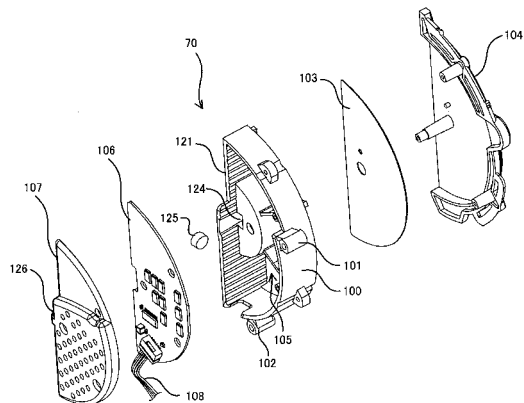
【図 4】



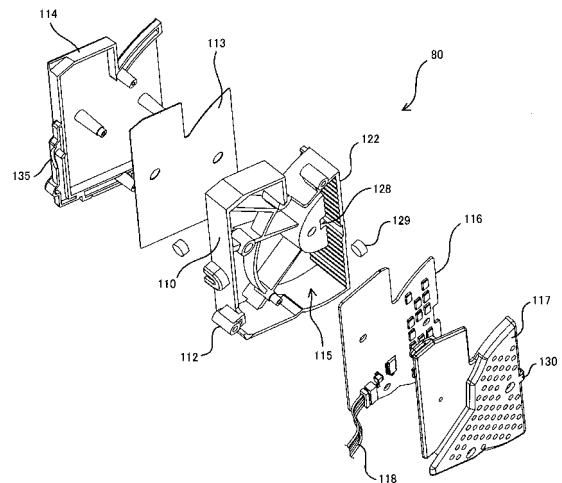
【図 5】



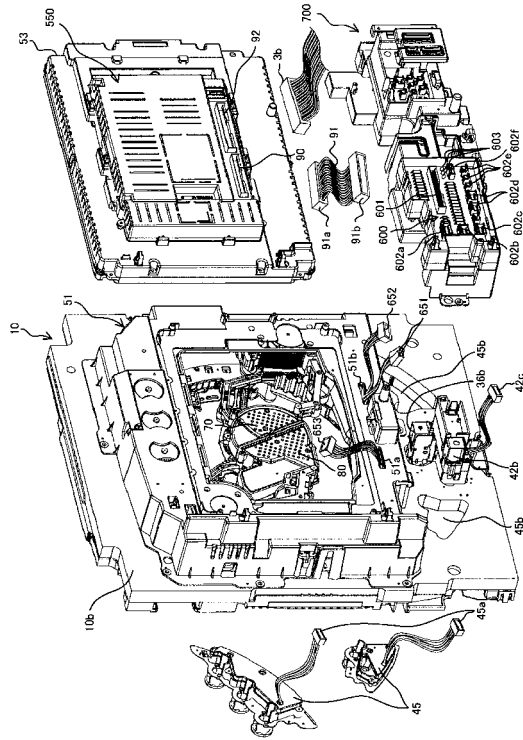
【図 6】



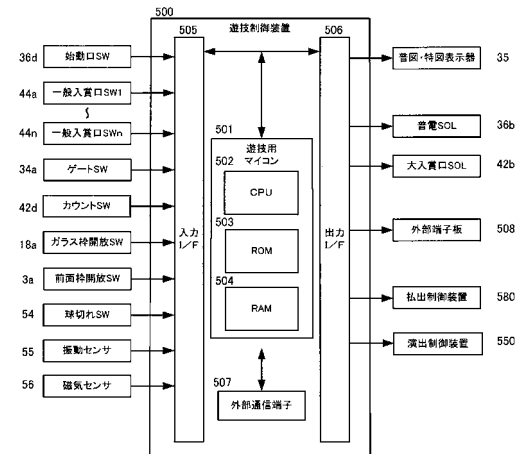
【図 7】



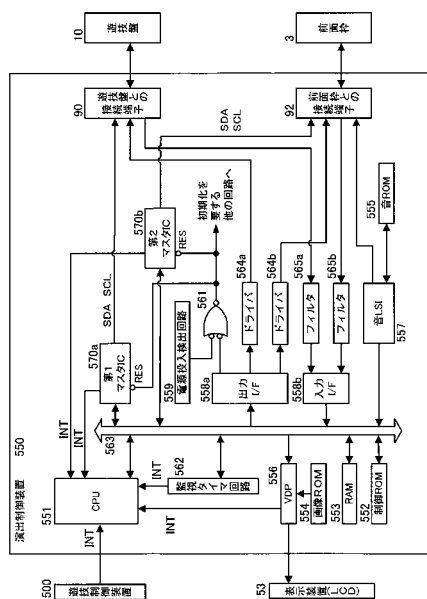
【図 8】



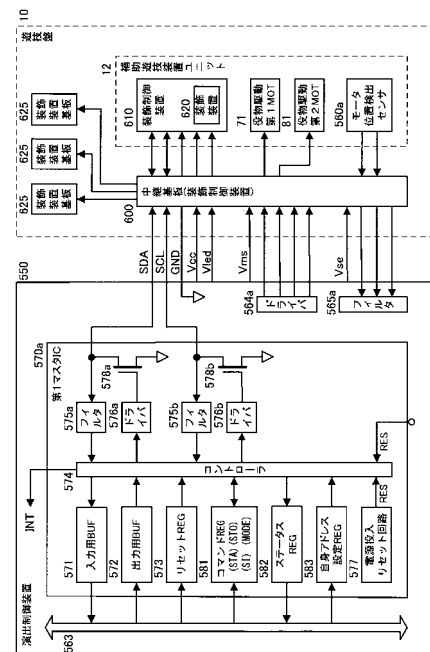
【図 9】



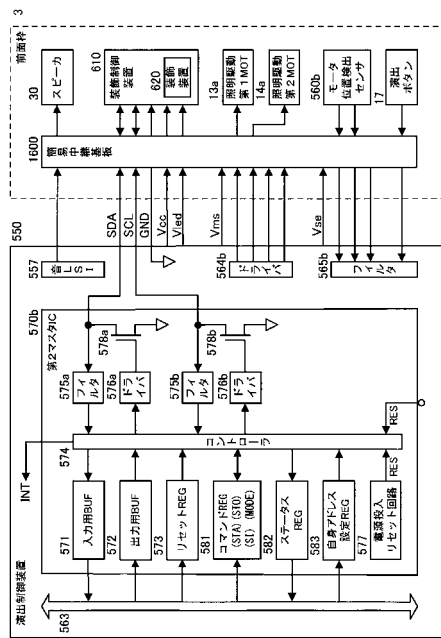
【図 10】



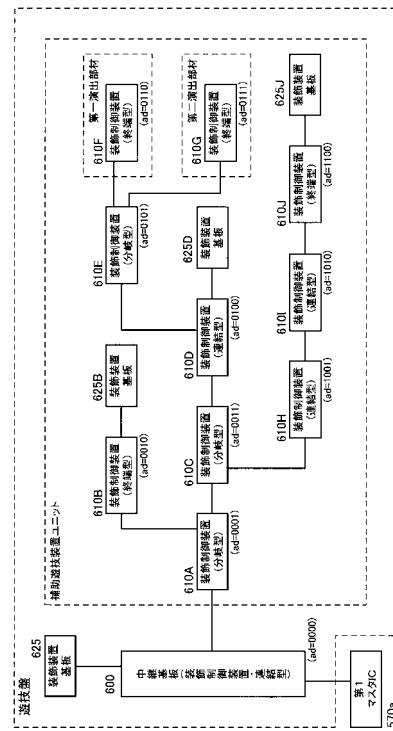
【図 11】



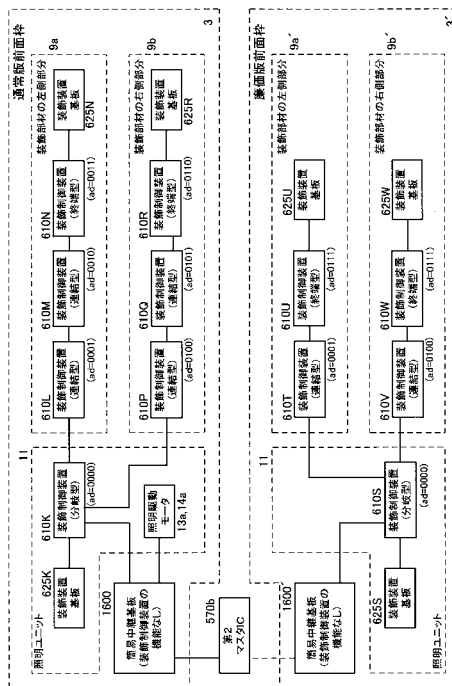
【圖 12】



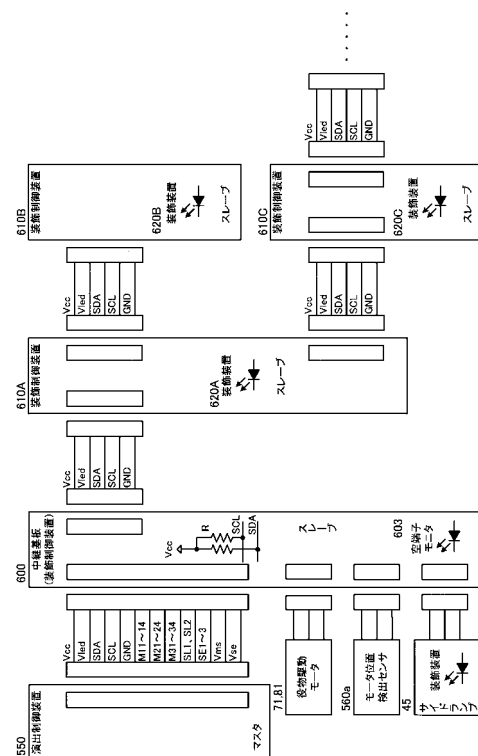
【 図 1 3 】



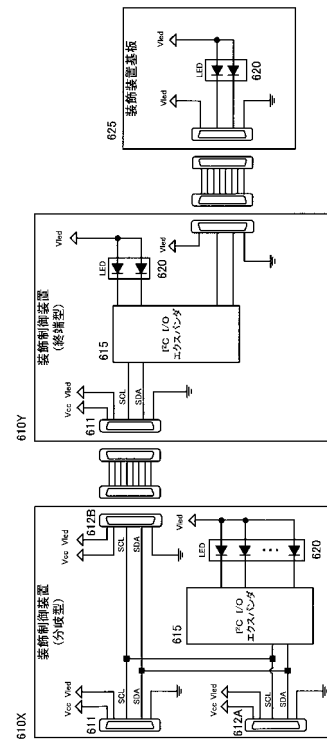
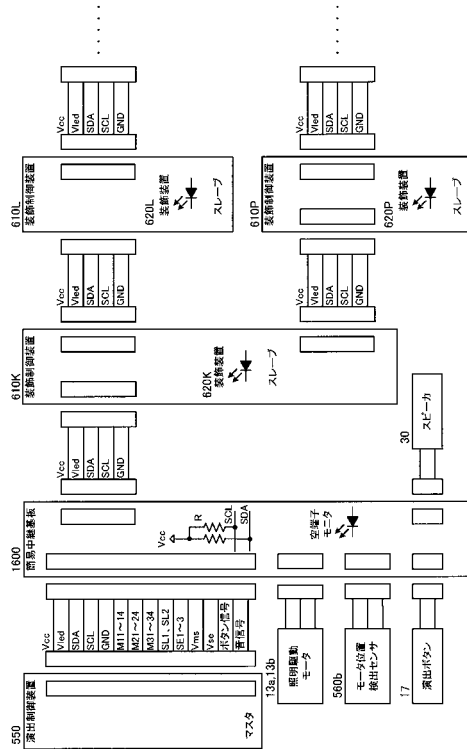
【 図 1 4 】



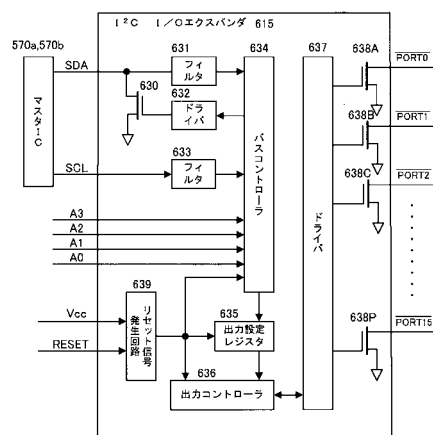
【 図 1 5 】



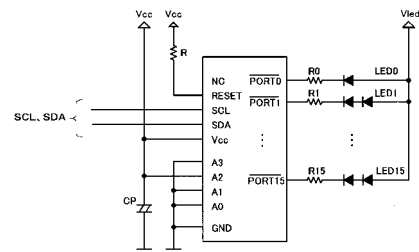
【 図 1 7 】



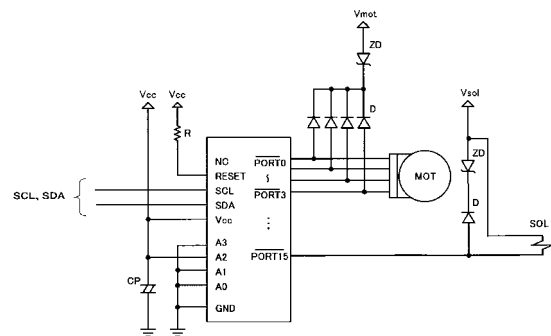
【 圖 1 8 】



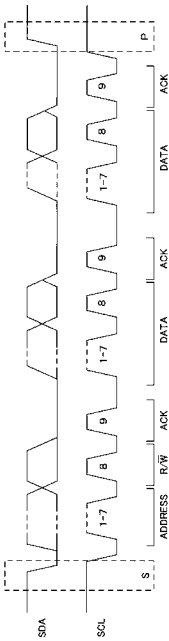
【 図 1 9 】



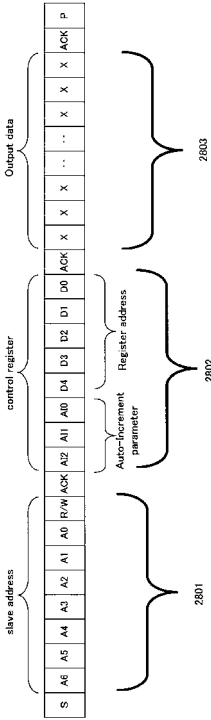
【 図 2 0 】



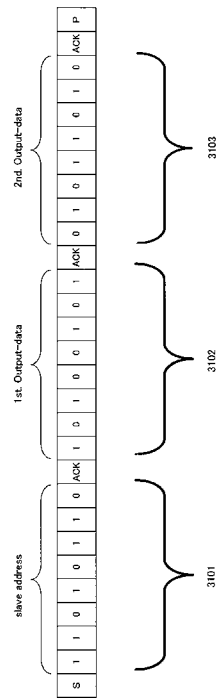
【図 27】



【図 28】



【図 3 1】



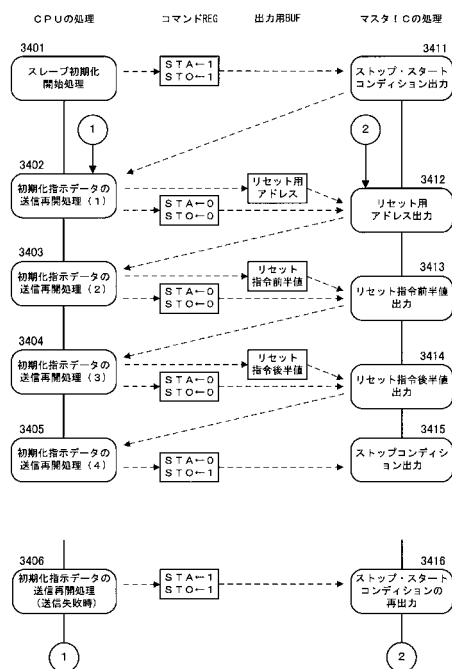
【図 3 2】

3201	3202	3203	3204	3205	3200
I/O エキスパンダ アドレス	スレープ アドレス	エラー カウンタ	比較値	エラー フラグ	
0000	C0h	0~N	300	ON/OFF	
0001	C2h	0~N	300	ON/OFF	
0010	C4h	0~N	300	ON/OFF	
0011	C6h	0~N	300	ON/OFF	
0100	C8h	0~N	300	ON/OFF	
0101	CAh	0~N	300	ON/OFF	
0110	CCh	0~N	300	ON/OFF	
0111	Ceh	0~N	300	ON/OFF	
1001	D2h	0~N	300	ON/OFF	
1010	D4h	0~N	300	ON/OFF	
1100	D8h	0~N	300	ON/OFF	

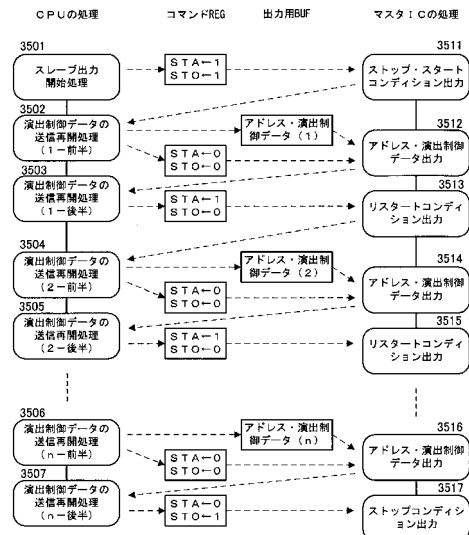
【図 3 3】

3201	3202	3203	3204	3205	3300
I/O エキスパンダ アドレス	スレープ アドレス	エラー カウンタ	比較値	エラー フラグ	
0000	C0h	0~N	300	ON/OFF	
0001	C2h	0~N	300	ON/OFF	
0010	C4h	0~N	300	ON/OFF	
0011	C6h	0~N	300	ON/OFF	
0100	C8h	0~N	300	ON/OFF	
0101	CAh	0~N	300	ON/OFF	
0110	CCh	0~N	300	ON/OFF	
0111	Ceh	0~N	300	ON/OFF	

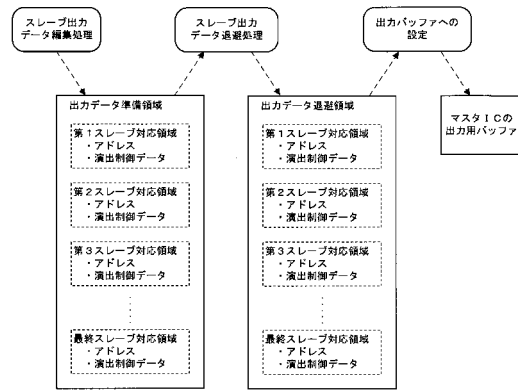
【図 3 4】



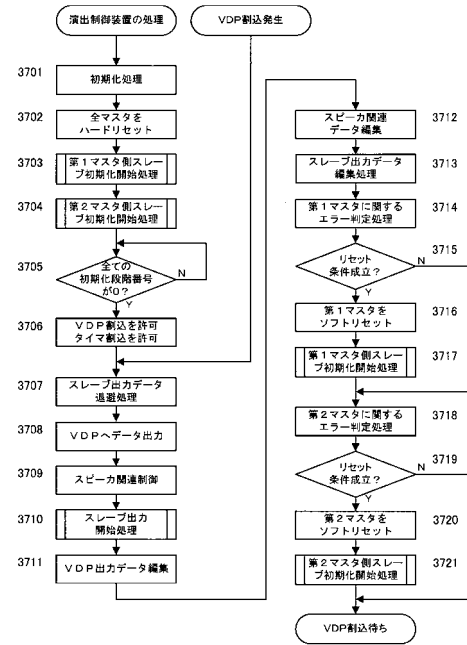
【図 3 5】



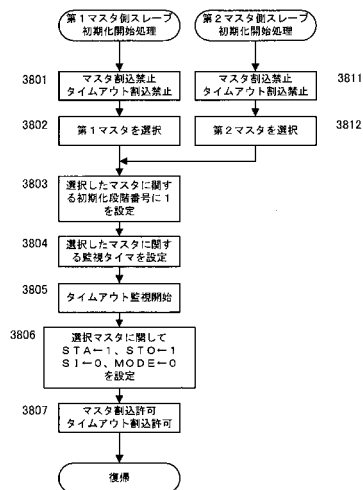
【 図 3 6 】



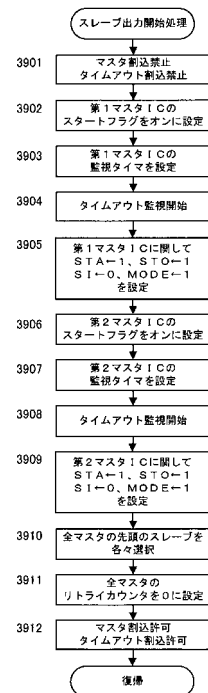
【 図 3 7 】



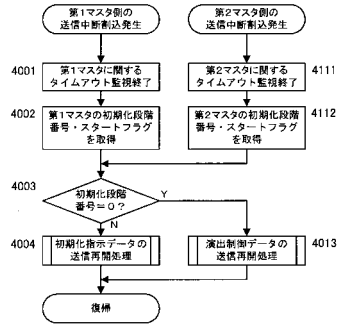
【 図 3 8 】



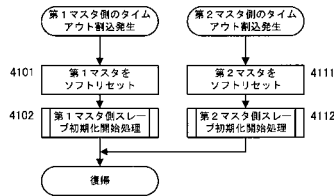
【 図 3 9 】



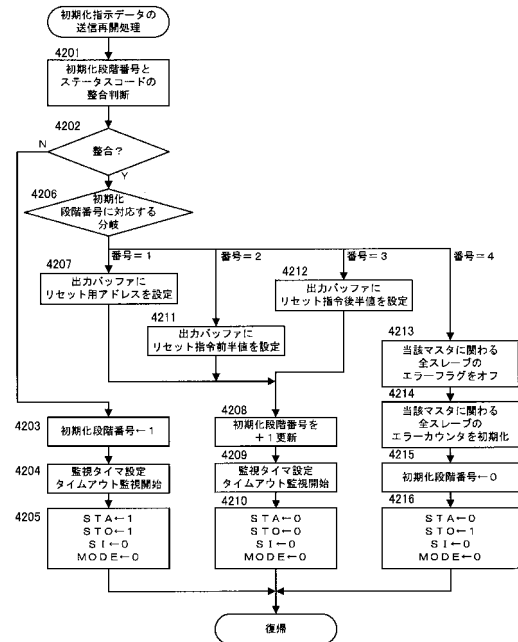
【図 40】



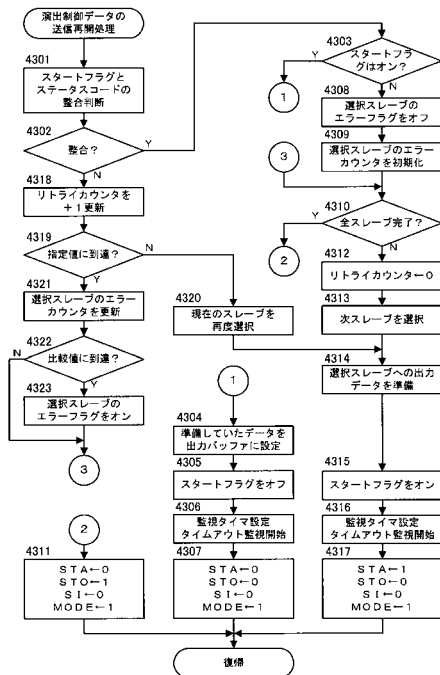
【図 41】



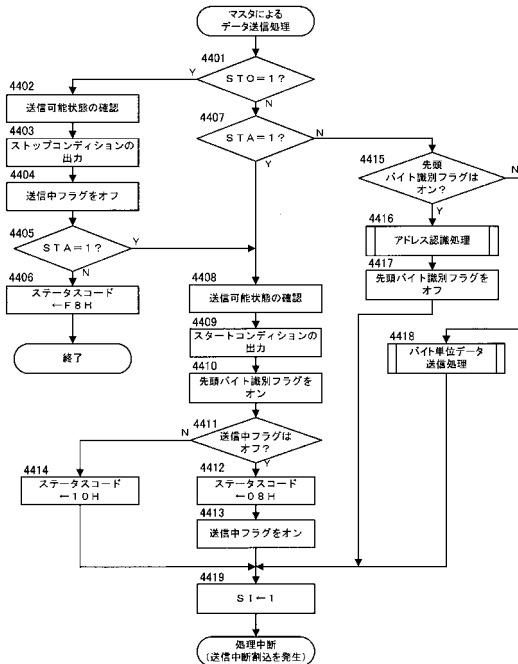
【図 42】



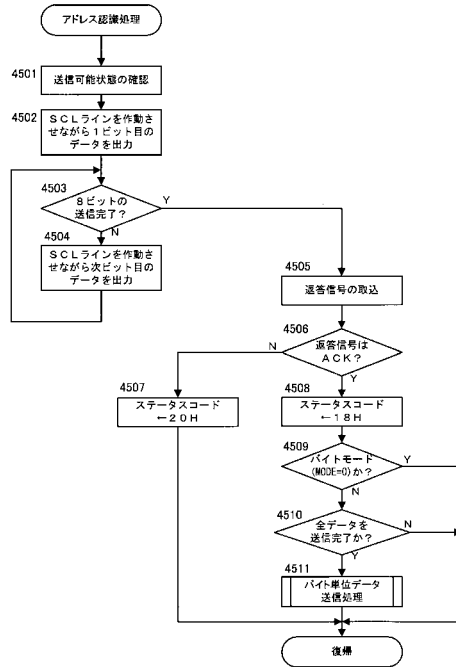
【図 43】



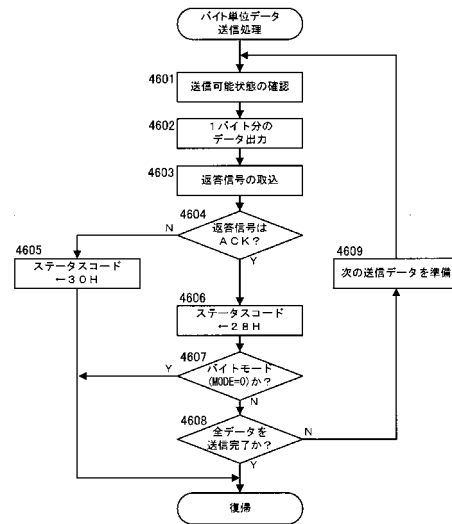
【図 44】



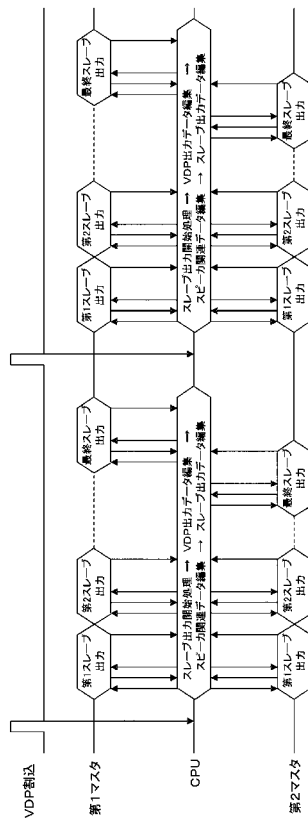
【 図 4 5 】



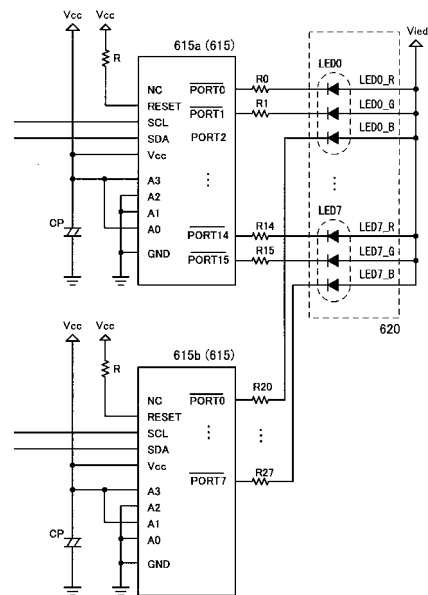
【 図 4 6 】



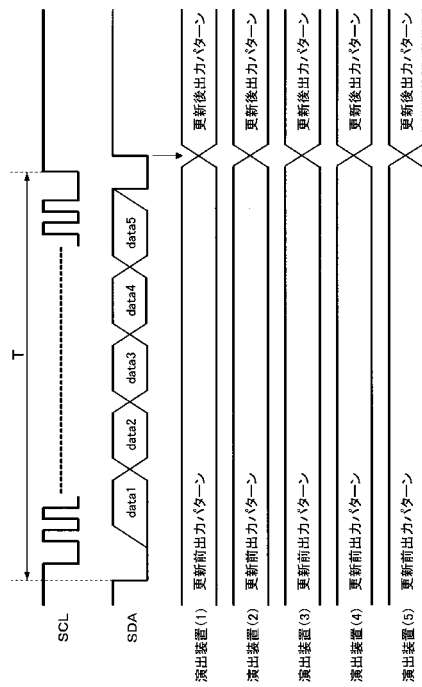
【圖 47】



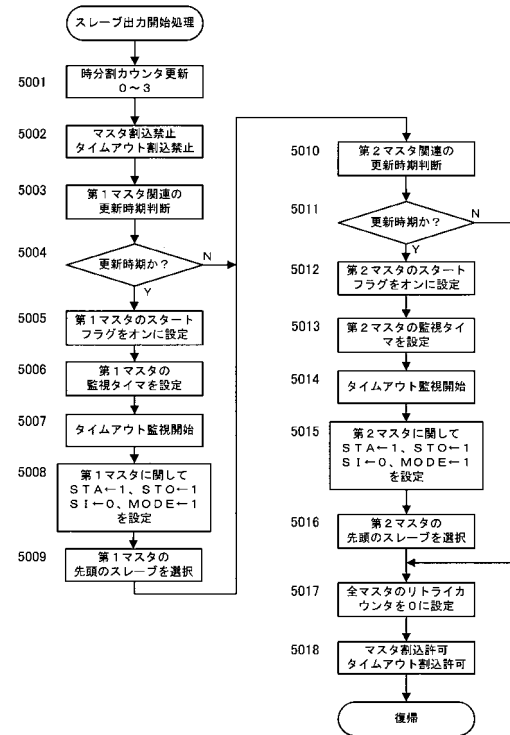
【 図 4 8 】



【図 49】



【図 50】



フロントページの続き

審査官 渡辺 剛史

(56)参考文献 特開 2 0 0 8 - 2 2 0 4 0 9 (J P , A)
特開 2 0 0 8 - 0 7 3 4 3 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
A 6 3 F 7 / 0 2