(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11B 20/04

(45) 공고일자 2000년10월16일
(11) 등록번호 10-0269418
(24) 등록일자 2000년07월20일

(21) 출원번호	10-1997-0027469	(65) 공개번호	특1998-0041769
(22) 출원일자	1997년06월26일	(43) 공개일자	1998년08월17일
(30) 우선권주장	96-300645 1996년11월12일 일본(JP)		

(73) 특허권자 후지쯔 가부시끼가이샤 아끼구사 나오유끼
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1
(72) 발명자 야마와키 마사시
일본 아이치켄 가스가이시 고조지쵸 2쵸메 1844-2, 후지쓰 브이.엘.에스.아이. 가부시키사이샤 나이
(74) 대리인 조태연

심사관 : 서호선

(54) 디스크램블 방법, 스크램블 패턴 생성 회로 및 디스크 장치

요약

본 발명은 스크램블 패턴의 생성을 고속화할 수 있고, 데이타의 전송 레이트를 향상시켜 데이타 처리의 고속화를 도모한다.

스크램블 패턴 생성 회로(21)의 셀렉터(25)는 스크램블 패턴의 초기치 α로 생성된 스크램블 패턴의 비트 b14'~b0'를 입력한다. 셀렉터(25)는 선택 신호 SL에 기초하여 초기치 α 또는 생성된 스크램블 패턴중 어느 하나를 선택한다. DFF(26A~260)는 셀렉터(25)로부터 출력되는 비트 b14~b0를 클록 CK에 기초하여 래치한다. DFF(26H~260)의 출력 데이타는 스크램블값 SK로서 출력된다. DFF(26I~260)의 출력 데이타는 비트 b14', b13', b12', b11', b10', b9', b8'로서 출력된다. 논리 회로(27)의 EOR 회로(27A~27H)로부터는 비트 b7'~b0'이 출력된다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 제 1 실시 형태의 DVD 장치를 도시하는 개략 블록도.

도 2는 제 1 실시 형태에 있어서의 데이타 재생 회로를 도시하는 회로도.

도 3은 제 2 실시 형태에 있어서의 데이타 재생 회로를 도시하는 회로도.

도 4는 제 3 실시 형태에 있어서의 데이타 재생 회로를 도시하는 회로도.

도 5는 제 3 실시 형태에 있어서의 스크램블 패턴을 도시하는 설명도.

도 6은 DVD 장치에 있어서의 데이타 복조의 흐름도.

도 7은 DVD의 데이타 섹터의 포맷을 도시하는 설명도.

도 8은 종래의 스크램블 패턴 생성 회로를 도시하는 회로도.

도 9는 스크램블 패턴을 도시하는 설명도.

도면의 주요 부분에 대한 부호의 설명

21 : 스크램블 패턴 생성 회로

25 : 셀렉터

26A~260 : 레지스터로서의 데이타 플립플롭

27 : 논리 회로

100 : 기록 매체로서의 디스크

104 : 기록 데이타로서의 스크램블 데이타

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 소정의 데이타를 스크램블 패턴을 이용하여 스크램블한 기록 데이타를 재생하기 위한 디스크램블 방법, 스크램블 패턴 생성 회로 및 디스크 장치에 관한 것이다.

근래, 대용량 미디어가 모색되고 있으며, 그 중에서도 DVD(Digital Video Disk)는 유력한 하나이고, 각 메이커에서도 개발에 주력하고 있다. 최근, DVD는 표준화를 향하여 규격도 통일되었다.

도 6은 DVD 장치에 있어서의 데이타 복조의 흐름도이다. 현재, DVD 장치는 데이타의 판독 전용으로, 디스크(100)는 데이타를 기억하기 위한 나선형 트랙을 구비하며, 동일 트랙에는 섹터 단위로 물리 섹터 데이타가 기억되어 있다. 디스크(100)의 물리 섹터 데이타가 독출되어 EFM Plus 복조되면, 기록 섹터 데이타(101)가 된다. 기록 섹터 데이타(101)는 복수의 섹터 데이타(102)와, 섹터 데이타(102)의 가로방향의 데이타 및 대응하는 복수의 에러 정정 부호(ECC) 데이타 PI와, 섹터 데이타(102)의 세로방향의 데이타 배열에 대한 복수의 에러 정정 부호 PO로 이루어진다. 각 섹터 데이타(102)에 계속해서 에러 정정 부호 PI가 기록되어 있다. 섹터 데이타(102) 및 에러 정정 부호 PI에 계속해서 에러 정정 부호 PO가 기록되어 있다.

기록 섹터 데이타(101)에 있어서의 16개의 섹터 데이타(102)를 기록된 순으로 한 지점에 모으고, 16개의 에러 정정 부호 PI를 기록된 순으로 한 지점에 모으고, 또 16개의 에러 정정 부호 PO를 기록된 순으로 한 지점에 모음으로써, ECC 부가 데이타(103)가 생성된다. 섹터 데이타(102)의 16개에 의해서 1블록이 형성된다.

ECC 부가 데이타(103)에 있어서의 에러 정정 부호 PI에 기초하여 1블록의 섹터 데이타(102)의 에러 정정이 행해지는 동시에, 에러 정정 부호 PO에 기초하여 1블록의 섹터 데이타(102)의 에러 정정이 행해지면, 16개의 스크램블 데이타(104)가 생성된다. 스크램블 데이타는 원데이타의 각 바이트와 스크램블 패턴과의 배타적 논리합을 취함으로써 생성되고 있다.

각 스크램블 데이타(104)와, 각 스크램블 데이타(104)를 작성하기 위해서 사용한 스크램블 패턴과의 배타적 논리합을 취함으로써 디스크램블이 되고, 원데이타로 이루어지는 16개의 데이타 섹터(105)가 생성된다.

도 7은 DVD의 데이타 섹터(105)의 포맷을 나타낸다. 데이타 섹터(105)는 2048(=2K) 바이트의 주데이타의 전부에 대하여, 4바이트의 식별 데이타 ID, 식별 데이타 ID에 대한 2바이트의 에러 정정 부호 IEC, 6바이트의 예약 영역 RSV가 부가되어 있다. 또한, 주데이타의 후부에 대하여, 주데이타의 에러의 유무를 검출하기 위한 4바이트의 에러 검출 부호 EDC가 부가되어 있다. 식별 데이타 ID는 1바이트의 섹터 정보부와, 3바이트의 섹터 번호부로 이루어진다.

종래, 스크램블 데이타의 디스크램블을 행하기 위한 스크램블 패턴의 생성에는 도 8에 도시된 스크램블 패턴 생성 회로(110)가 사용된다. 스크램블 패턴 생성 회로(110)는 비트 14~b0로 이루어지는 귀환형 시프트 레지스터(111)와, EOR 회로(112)를 구비한다.

EOR 회로(112)는 비트 b14와 비트 b10과의 배타적 논리합(이하, 본 명세서에 있어서, 배타적 논리합을 ∧로 표시한다)을 취하여, 그 연산 결과를 비트 b0에 출력한다.

시프트 레지스터(111)는 클록 CK의 최초의 펄스로 도 9에 도시된 스크램블 패턴의 초기치 α를 입력하고, 이후, 클록 CK의 펄스가 입력될 때마다 비트 13~b0의 값을 각각 비트 b14~b1에 시프트시키는 동시에, EOR 회로(112)의 출력을 비트 b0으로서 입력한다. 그리고, 스크램블 패턴 생성 회로(110)는 클록 CK의 8펄스마다, 그 때의 비트 b7~b0를 스크램블 패턴 SK로서 출력한다.

스크램블 패턴의 초기치 α는 도 9에 도시된 바와 같이, 상기 데이타 섹터(105)의 식별 데이타 ID에 있어서의 섹터 번호부의 비트 b7~b4의 값에의해서 결정된다. 즉, 스크램블 패턴의 초기치 α는 각 블록(16데이타 섹터)에 대해서 1개이다. 예컨대, 섹터 번호부의 비트 b7~b4의 값이 $0_{(h)}$ ($_{(h)}$: 16진수를 나타낸다), 즉, 첫번째 블록의 경우에는 스크램블 패턴의 초기치 α는 0001(h)가 된다. 이 때, 귀환형 시프트 레지스터(111)의 비트 b14~b0은 $000000000000001_{(2)}$($_{(2)}$: 2진수를 나타낸다)이 되고, 비트 b7~b0의 값 $00000001_{(2)}$이 스크램블값 SK로서 출력된다.

그리고, 상기 스크램블 데이타(104)의 디스크램블은, 우선, 스크램블값 SK의 초기치의 각 비트와 스크램블 데이타(104)의 주데이타의 1바이트째의 각 비트와의 배타적 논리합을 취한다. 스크램블 데이타(104)의 주데이타의 2바이트째 이후의 데이타의 스크램블은, 귀환형 시프트 레지스터(111)를 클록 CK의 8펄스분씩 동작시킨 후의 스크램블값과의 배타적 논리합을 취함으로써 행해진다.

발명이 이루고자 하는 기술적 과제

그러나, 종래의 스크램블 패턴 생성 회로(110)에서는 귀환형 시프트 레지스터(111)를 동작시키는 클록 CK는 주데이타의 전송 레이트의 8체배의 주파수가 필요해진다. 예컨대, 주데이타의 전송 레이트를 10M 바이트/초로 한 것 만으로, 귀환형 시프트 레지스터는 80MHz(메가헤르츠)의 주파수를 갖는 클록 CK가 필요해진다. 따라서, 주데이타의 전송 레이트를 향상시킬 수 없고 데이타 처리의 고속화를 도모할 수 없다.

또한, 종래의 스크램블 패턴 생성 회로(110)는 스크램블 패턴의 초기치 α로부터 2047×8개째의 클록 펄스에 기초하여, 데이타 섹터(105)의 최후(2048개째)의 데이타의 디스크램블을 행하기 위한 스크램블 패턴

을 생성하게 된다. 이 도중에서, 예컨대, 1023×8개째의 클록 펄스로써 생성된 스크램블 패턴에 기초하여 디스크램블을 행하고 있다. 혹시, 디스크램블 동작의 최초에, 데이타 섹터(105)의 1024바이트의 디스크램블 후의 데이타가 필요해진 경우에 있어서도, 이 데이타는 1023×8개째의 클록 펄스 뒤에 밖에 출력할 수 없다.

본 발명은 상기 문제점을 해결하기 위해서 이루어진 것으로, 그 목적은 스크램블 패턴의 생성을 고속화할 수 있고, 데이타의 전송 레이트를 향상하여 데이타 처리의 고속화를 도모할 수 있는 디스크램블 방법, 스크램블 패턴 생성 회로 및 디스크 장치를 제공하는데 있다.

또한, 본 발명의 다른 목적은 디스크램블을 개시해야 할 데이타의 위치에 따라서 스크램블 패턴의 초기치를 변경함으로써, 디스크램블을보다 빨리 개시할 수 있으며, 데이타 처리의 고속화를 도모할 수 있는 디스크램블 방법, 스크램블 패턴 생성 회로 및 디스크 장치를 제공하는데 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위해서, 본 발명은, 기록 매체에 기록된 기록 데이타는, 소정의 데이타를 스크램블 패턴을 이용하여 스크램블되어 있고, 상기 기록 매체로부터 독출된 기록 데이타를 재생하기 위해서, 상기 기록 데이타에 대하여 스크램블 패턴을 이용하여 디스크램블을 행하도록 한 디스크램블 방법에 있어서, 상기 기록 데이타의 소정의 데이타량의 하나인 데이타군에 대해서 스크램블 패턴의 초기치를 가지며, 1클록당의 상기 기록 데이타의 전송 데이타량에 따라 상기 스크램블 패턴의 초기치에 기초하여 1클록에서 상기 기록 데이타의 전송 데이타량에 상당하는 스크램블 패턴을 생성하여, 이 생성한 스크램블 패턴에 기초하여 1클록에서 상기 기록 데이타를 전송 데이타량 단위로 디스크램블을 행하도록 하였다.

청구범위 제 2 항의 발명은 기록 데이타의 1개의 데이타군에 대해서 복수의 스크램블 패턴의 초기치를 가지며, 상기 기록 데이타에 있어서의 디스크램블을 개시해야 할 데이타의 위치에 따라서 상기 복수의 스크램블 패턴의 초기치중 어느 하나를 선택하여, 그 선택한 스크램블 패턴의 초기치에 기초하여 디스크램블에 이용하기 위한 스크램블 패턴을 생성하며, 이 생성한 스크램블 패턴에 기초하여 상기 기록 데이타의 디스크램블을 행하도록 하였다.

(작용)

청구범위 제 1 항 발명에 따르면, 기록 데이타의 전송 데이타량에 따른 스크램블 패턴이 생성되므로, 기록 데이타의 전송 데이타량이 향상되며, 디스크램블의 관리도 간단해진다.

청구범위 제 2 항의 발명에 따르면, 디스크램블을 개시해야 할 데이타의 위치에 따라서 스크램블 패턴의 초기치가 선택되고, 그 스크램블 패턴의 초기치에 기초하여 디스크램블에 이용하기 위한 스크램블 패턴을 생성되므로, 디스크램블해야 할 데이타의 스크램블 패턴을 생성할 때까지의 시간이 단축되며, 디스크램블을 보다 빨리 개시할 수 있다.

[제 1 실시 형태]

이하, 본 발명을 구체화한 제 1 실시 형태를 도 1, 도 2, 도 6에 따라서 설명한다.

도 1은 본 형태의 DVD 장치(10)의 개략을 나타내고 있다. DVD 장치(10)는 DVD 컨트롤러(11), MPU(12), DRAM 또는 SRAM으로 이루어진 반도체 메모리(13), 디스크(100) 및 디스크 드라이브(15)로 구성되어 있다. 디스크 드라이브(15)는 디스크(100)로부터 데이타를 독출하여, 그 독출한 데이타를 EFM Plus 복조하여 기록 섹터 데이타(101)를 DVD 컨트롤러(11)에 출력한다.

DVD 컨트롤러(11)는 도시하지 않은 상위의 컴퓨터에 접속되고, DVD 컨트롤러(11)에는 MPU(12) 및 반도체 메모리(13)가 접속되어 있다. DVD 컨트롤러(11)는 MPU(12)으로부터의 제어 신호에 기초하여, 상기 기록 섹터 데이타(101)에 대하여 소정의 데이타 처리를 행한 후, 데이타 처리후의 데이타를 반도체 메모리(13)에 격납한다. 또한, DVD 컨트롤러(11)는 MPU(12)로부터의 제어 신호에 기초하여 반도체 메모리(13)와 컴퓨터와의 사이에서 데이타 처리후의 데이타의 전송을 행한다.

즉, DVD 컨트롤러(11)는 데이타 처리 장치(16)를 구비하고 있다. 데이타 처리 장치(16)는 MPU(12)로부터의 제어 신호에 기초하여, 도 6에 도시된 바와 같이, 기록 섹터 데이타(101)에 있어서의 16개의 섹터 데이타(102)를 기록된 순으로 한 지점에 모아, 16개의 에러 정정 부호 PI를 기록된 순으로 한 지점에 모아, 또 16개의 에러 정정 부호 PO를 기록된 순으로 한 지점에 모음으로써, ECC 부가 데이타(103)를 생성한다. 또한, 데이타 처리 장치(16)는 MPU(12)로부터의 제어 신호에 기초하여, ECC 부가 데이타(103)에 있어서의 에러 정정 부호 PI, PO에 기초하여 각 블록의 섹터 데이타(102)의 에러 정정을 행함으로써, 16개의 스크램블 데이타(104)를 생성한다.

또한, 데이타 처리 장치(16)는 본 형태에 있어서의 데이타 재생 회로(17)를 구비하고 있다. 데이타 재생 회로(17)는 MPU(12)로부터의 제어 신호에 기초하여, 데이타 처리 장치(16)에 의해서 생성된 스크램블 데이타(104)와 스크램블 패턴과의 배타적 논리합을 취함으로써 데이타 섹터(105)를 생성한다. 또, 본 형태에 있어서, 스크램블 데이타(104)의 전송 레이트는 1바이트이고, 클록 CK의 1펄스마다 주데이타는 1바이트씩 데이타 재생 회로(17)에 전송된다.

데이타 재생 회로(17)는 도 2에 도시된 바와 같이, 스크램블 데이타(104)의 디스크램블에 사용하기 위한 스크램블 패턴을 생성하기 위한 스크램블 패턴 생성 회로(21)와, 스크램블 패턴 생성 회로(21)에 의해서 생성된 스크램블 패턴에 기초하여 주데이타의 디스크램블을 행하기 위한 디스크램블 회로(22)로 이루어진다.

스크램블 패턴 생성 회로(21)는 셀렉터(25)와, 15개의 데이타 플립플롭(이하, 단지 DFF라 함)(26A～260)와, 8개의 EOR 회로(27A～27H)로 이루어지는 논리 회로(27)를 구비한다.

셀렉터(25)는 도 9에 도시된 스크램블 패턴의 초기치 α를 입력하는 동시에, 스크램블 패턴 생성 회로(21)로써 생성된 새로운 스크램블 패턴의 비트 b14'～b0'를 입력하고 있다. 셀렉터(25)는 선택 신호 SL

의 레벨에 기초하여 초기치 α 또는 생성된 스크램블 패턴의 비트 b14'~b0'중 어느 하나를 선택하여, 비트 b14~b0으로서 출력한다. 본 형태에 있어서, 1회째의 디스크램블시에는 선택 신호 SL은 L 레벨이 되고, 2회째 이후의 디스크램블시에는 선택 신호 SL은 H 레벨이 된다. L 레벨의 선택 신호 SL에 기초하여 셀렉터(25)는 스크램블 패턴의 초기치 α를 선택한다. 또한, H 레벨의 선택 신호 SL에 기초하여, 셀렉터(25)는 생성된 새로운 스크램블 패턴의 비트 b14'~b0'를 선택한다.

DFF(26A~260)는 셀렉터(25)로부터 출력되는 비트 b14~b0을 각각 클록 CK의 펄스에 기초하여 래치한다. 8개의 DFF(26H~260)의 출력 데이타는 스크램블값 SK의 각 비트로서 출력된다. 7개의 DFF(261~260)의 출력 데이타는 새로운 스크램블 패턴의 비트 b14', b13', b12', b11', b10', b9', b8'로서 각각 출력된다.

EOR 회로(27A)는 DFF(26A)의 출력 신호와 DFF(26E)의 출력 신호와의 배타적 논리합에 기초하는 데이타를 새로운 스크램블 패턴의 비트 b7'로서 출력한다. EOR 회로(27B)는 DFF(26B)의 출력 신호와 DFF(26F)의 출력 신호와의 배타적 논리합에 기초하는 데이타를 새로운 스크램블 패턴의 비트 b6'으로서 출력한다. EOR 회로(27C)는 DFF(26C)의 출력 신호와 DFF(26G)의 출력 신호와의 배타적 논리합에 기초하는 데이타를 새로운 스크램블 패턴의 비트 b5'로서 출력한다. EOR 회로(27D)는 DFF(26D)의 출력 신호와 DFF(26H)의 출력 신호와의 배타적 논리합에 기초하는 데이타를 새로운 스크램블 패턴의 비트 b4'로서 출력한다. EOR 회로(27E)는 DFF(26E)의 출력 신호와 DFF(26I)의 출력 신호와의 배타적 논리합에 기초하는 데이타를 새로운 스크램블 패턴의 비트 b3'으로서 출력한다. EOR 회로(27F)는 DFF(26F)의 출력 신호와 DFF(26J)의 출력 신호와의 배타적 논리합에 기초하는 데이타를 새로운 스크램블 패턴의 비트 b2'로서 출력한다. EOR 회로(27G)는 DFF(26G)의 출력 신호와 DFF(26K)의 출력 신호와의 배타적 논리합에 기초하는 데이타를 새로운 스크램블 패턴의 비트 b1'으로서 출력한다. 또, EOR 회로(27H)는 DFF(26H)의 출력 신호와 DFF(26L)의 출력 신호와의 배타적 논리합에 기초하는 데이타를 새로운 스크램블 패턴의 비트 b0'로서 출력한다.

따라서, 1회째의 디스크램블시에는 스크램블 패턴 생성 회로(21)는 스크램블 패턴의 초기치 α에 있어서의 비트 b7~b0를 스크램블값 SK로서 출력한다. 2회째 이후의 디스크램블시에는 스크램블 패턴 생성 회로(21)는 새로운 스크램블 패턴에 있어서의 비트 b7'~b0'를 스크램블값 SK로서 출력한다.

즉, 도 8에 표시된 종래의 귀환형 시프트 레지스터(111)는 클록 CK의 1펄스째의 스크램블 패턴의 초기치 α를 래치하여, 이후 클록 CK의 펄스가 입력될 때마다, 비트 b14와 비트 b10과의 배타적 논리합을 비트 b0에 대입하는 연산을 행하고 있고, 디스크램블에 사용하는 스크램블값 SK는 클록 CK의 8펄스마다 출력된다. 예컨대, 현재의 b14∧b10의 값이 클록 CK의 8펄스후에는 비트 b7의 위치에 있게 된다. 새로운 스크램블 패턴의 각 비트를 b14'~b0'로 하고, 비트 b14~비트 b0까지의 모든 경우에 대해서 생각하면, 이하의 표 1과 같이 된다.

[표 1]

b14'=b6
b13'=b5
b12'=b4
b11'=b3
b10'=b2
b9'=b1
b8'=b0
b7'=b14∧b10
b6'=b13∧b9
b5'=b12∧b8
b4'=b11∧b7
b3'=b10∧b6
b2'=b9∧b5
b1'=b8∧b4
b0'=b7∧b3
(∧: 배타적 논리합)

따라서, 본 형태의 스크램블 패턴 생성 회로(21)는 클록 CK의 펄스마다 1바이트분의 주데이타에 대한 스크램블값 SK를 생성할 수 있다.

디스크램블 회로(22)는 8개(도 2에서는 1개만 도시)의 EOR 회로(28)를 구비하고 있다. 각 EOR 회로(28)는 스크램블 패턴 생성 회로(21)에 의해서 생성된 스크램블값 SK의 각 비트(DFF(26H~26A)의 출력 신호)를 입력하는 동시에, 1바이트분의 주데이타의 각 비트를 입력하고 있다. 각 EOR 회로(28)는 스크램블값 SK의 각 비트와 주데이타의 각 비트와의 배타적 논리합을 구함으로써, 스크램블 데이타의 디스크램블을 행한다.

다음에 상기한 바와 같이 구성된 DVD 장치(10)의 작용에 대해서 설명한다.

디스크 드라이브(15)에 의해서 디스크(100)로부터 데이타가 독출되고, 그 독출된 데이타는 EFM PLus 복조되어 기록 섹터 데이타(101)(도 6에 도시한다)가 되고, 기록 섹터 데이타(101)는 DVD 컨트롤러(11)에 출력된다.

MPU(12)로부터의 제어 신호에 기초하여, 데이타 처리 장치(16)에 의해서 기록 섹터 데이타(101)로부터

ECC 부가 데이타(103)가 생성되는 동시에, ECC 부가 데이타(103)에 있어서의 에러 정정 부호 PI, PO에 기초하여 각 블록의 섹터 데이타(102)의 에러 정정이 행해지고, 그 결과 스크램블 데이타(104)가 생성된다.

데이타 재생 회로(17)에 의해서 각 블록의 스크램블 데이타(104)에 대하여 디스크램블이 행해지고, 각 블록의 데이타 섹터(105)가 생성된다. 스크램블 데이타(104)의 디스크램블시에 있어서, 1회째의 디스크램블에는 선택 신호 SL은 L 레벨이 된다. L 레벨의 선택 신호 SL에 기초하여 셀렉터(25)에 의해서 스크램블 패턴의 초기치 α가 선택된다. 이 때, 스크램블 데이타(104)에 있어서의 섹터 번호부의 비트 b7～b4의 값이 $0_{(h)}$, 즉, 1개째의 블록의 경우에는 스크램블 패턴의 초기치 α는 $0001_{(h)}$가 된다.

클록 CK의 1펄스째의 기초하여, 셀렉터(25)로부터 출력되는 스크램블 패턴의 초기치 α의 비트 b14～b0이 DFF(26A～260)에 각각 래치된다. 8개의 DFF(26H～260)의 출력 데이타는 스크램블값 SK의 각 비트 $00000001_{(2)}$로서 디스크램블 회로(22)에 출력되는 7개의 DFF(26I～260)의 출력 데이타는 새로운 스크램블 패턴의 비트 b14', b13', b12', b11', b10', b9', b8'로서 각각 출력된다. 또한, EOR 회로(27A～27H)로부터 새로운 스크램블 패턴의 비트 b7'～b0'가 출력된다. 덧붙여서 말하면 이 경우의 비트 b14'～b0'는 $0000000000_{(2)}=0100_{(h)}$가 된다.

디스크램블 회로(22)에 의해서 스크램블값 SK의 각 비트 $00000001_{(2)}$와 스크램블 데이타(104)에 있어서의 1바이트째의 주데이타의 각 비트와의 배타적 논리합을 취함으로써 디스크램블이 행해진다.

또한, 스크램블 데이타(104)의 2회째의 디스크램블시에는 선택 신호 SL은 H레벨이 된다. H 레벨의 선택 신호 SL에 기초하여 셀렉터(25)에 의해서 새로운 스크램블 패턴의 비트 b14'～b0'이 선택된다. 클록 CK의 2펄스째에 기초하여, 새로운 스크램블 패턴의 비트 b14'～b0'가 비트 b14～b0으로서 DFF(26A～260)에 각각 래치된다. 8개의 DFF(26H～260)의 출력 데이타는 스크램블값 SK의 각 비트 $00000000_{(2)}$로서 출력된다. 7개의 DFF(26I～260)의 출력 데이타는 새로운 스크램블 패턴의 비트 b14', b13', b12', b11', b10', b9', b8'로서 각각 출력되고, EOR 회로(27A～27H)로부터 새로운 스크램블 패턴의 비트 b7'～b0'가 출력된다. 덧붙여서 말하면 이 경우의 비트 b14'～b0'는 $0000000000000010_{(2)}=0002_{(h)}$가 된다.

디스크램블 회로(22)에 의해서 스크램블값 SK의 각 비트 $00000000_{(2)}$와 스크램블 데이타(104)에 있어서의 2바이트째의 주데이타의 각 비트와의 배타적 논리합을 취함으로써 디스크램블이 행해진다.

스크램블 데이타(104)의 3회째 이후의 디스크램블시에는 선택 신호 SL은 H 레벨이 된다. H 레벨의 선택 신호 SL에 기초하여 셀렉터(25)에 의해서 새로운 스크램블 패턴의 비트 b14'～b0'가 선택된다. 클록 CK의 3펄스째 이후에 기초하여, 새로운 스크램블 패턴의 비트 b14'～b0'가 비트 b14～b0으로서 DFF(26A～260)에 각각 래치된다. 8개의 DFF(26H～260)의 출력 데이타는 스크램블값 SK의 각 비트로서 출력된다. 7개의 DFF(26I～260)의 출력 데이타는 새로운 스크램블 패턴의 비트 b14', b13', b12', b11', b10', b9', b8'로서 각각 출력되고, EOR 회로(27A～27H)로부터 새로운 스크램블 패턴의 비트 b7'～b0'가 출력된다.

디스크램블 회로(22)에 의해서 스크램블값 SK의 각 비트와 스크램블 데이타(104)에 있어서의 3바이트째 이후의 주데이타의 각 비트와의 배타적 논리합을 취함으로써 디스크램블이 행해진다.

1블록째에 있어서의 1섹터의 스크램블 데이타(104)의 2048바이트째의 디스크램블이 완료하면, 1블록째의 2섹터째 이후의 스크램블 데이타(104)의 디스크램블이 되지만, 블록이 변경되지 않을 뿐, 각 섹터에 대한 스크램블 패턴의 초기치는 1섹터째에 대한 스크램블 패턴의 초기치와 동일해진다. 그리고, 상기와 동일하게 하여 1블록에 있어서의 2～16섹터의 스크램블 데이타(104)의 디스크램블이 행해진다.

1블록째의 스크램블 데이타의 디스크램블이 완료하면, 2블록째의 스크램블 데이타의 디스크램블이 행해지지만, 이 때, 스크램블 패턴의 초기치 α로서 $5500_{(h)}$이 사용되며, 2블록째의 1～16섹터의 스크램블 데이타의 디스크램블이 행해진다.

이후, 디스크램블의 대상이 되는 블록이 변경되는데 수반하여, 상기 블록의 스크램블 데이타를 디스크램블하기 위한 스크램블 패턴의 초기치 α가 도 9에 도시된 바와 같이, 섹터 번호부의 비트 b7～b4의 값에 기초하여 순차적으로 변경되며, 각 블록의 스크램블 데이타의 디스크램블이 행해진다.

그런데, 본 실시 형태는 이하의 효과가 있다.

(1) 본 형태의 스크램블 패턴 생성 회로(21)는 스크램블 패턴의 초기치 α와 새로운 스크램블 패턴중 어느 하나를 선택하는 셀렉터(25)와, 셀렉터(25)로부터 출력된 스크램블 패턴의 각 비트 b14～b0를 클록 CK의 펄스마다 래치하는 DFF(26A～260)를 설치하여, 8개의 DFF(26H～260)의 출력 데이타를 디스크램블해야 할 1바이트분의 주데이타에 대한 스크램블값 SK로서 출력한다. 7개의 DFF(26I～260)의 출력 데이타를 새로운 스크램블 패턴의 비트 b14', b13', b12', b11', b10', b9', b8'로서 각각 출력하고, 8개의 EOR 회로(27A～27H)의 출력 데이타를 새로운 스크램블 패턴의 비트 b7'～b0'으로서 출력하도록 하였다.

그 때문에, 스크램블 패턴 생성 회로(21)에서는 클록 CK의 펄스마다 1바이트분의 주데이타의 디스크램블을 행하기 위한 새로운 스크램블 패턴 및 스크램블값 SK를 생성할 수 있고, 스크램블 패턴의 생성을 고속화할 수 있으며, 주데이타의 전송 레이트와 스크램블 패턴의 생성 속도를 같게 할 수 있다. 따라서, 디스크램블을 행해야 할 주데이타의 전송 레이트를 고속화할 수 있다.

[제 2 실시 형태]

다음에, 본 발명의 제 2 실시 형태를 도 3에 따라서 설명한다. 또, 중복 설명을 피하기 위하여, 도 2에 있어서 설명한 것과 같은 요소에 대해서는 같은 참조번호가 첨부되고 있다. 또한, 전술한 데이타 재생 회로(17)와의 상위점을 중심으로 설명한다.

도 3은 도 1에 도시된 데이타 처리 장치(16)에 구비되는 본 형태의 데이타 재생 회로(30)를 나타낸다. 데이타 재생 회로(30)는 상기 MPU(12)로부터의 제어 신호에 기초하여, 데이타 처리 장치(16)에 의해서 생성된 스크램블 데이타(104)와 스크램블 패턴과의 배타적 논리합을 취함으로써 데이타 섹터(105)를 생성한

다. 또, 본 형태에 있어서는 스크램블 데이타(104)의 전송 레이트는 2바이트이고, 클록 CK의 1펄스마다 1바이트분의 상위 데이타와 1바이트분의 하위 데이타와의 합계 2바이트의 데이타가 데이타 재생 회로(30)에 전송된다.

데이타 재생 회로(30)는 스크램블 데이타(104)의 2바이트분의 주데이타의 디스크램블에 사용하기 위한 스크램블 패턴을 생성하기 위한 스크램블 패턴 생성 회로(31)와, 스크램블 패턴 생성 회로(31)에 의해서 생성된 스크램블 패턴에 기초하여 주데이타의 디스크램블을 행하기 위한 디스크램블 회로(32)로 이루어진다.

스크램블 패턴 생성 회로(31)는 셀렉터(33)와 15개의 DFF(26A~260)와, 8개의 EOR 회로(27A~27H)로 이루어지는 논리 회로(27)와, 논리 회로(35)를 구비한다.

셀렉터(33)는 도 9에 도시된 스크램블 패턴의 초기치 α를 입력하는 동시에, 스크램블 패턴 생성 회로(31)로써 생성된 새로운 스크램블 패턴의 비트 b14"~b0"을 입력하고 있다. 셀렉터(33)는 선택 신호 SL의 레벨에 기초하여 초기치 α 또는 생성된 스크램블 패턴의 비트 b14"~b0"중 어느 하나를 선택하여, 비트 b14~b0로서 출력한다. 본 형태에 있어서, 1회째의 디스크램블시에는, 선택 신호 SL은 L 레벨이 되고, 2회째 이후의 디스크램블시에는 선택 신호 SL은 H 레벨이 된다. L 레벨의 선택 신호 SL에 기초하여 셀렉터(33)는 스크램블 패턴의 초기치 α를 선택한다. H 레벨의 선택 신호 SL에 기초하여, 셀렉터(33)는 생성된 새로운 스크램블 패턴의 비트 b14"~b0"를 선택한다.

DFF(26A~260)는 셀렉터(33)로부터 출력되는 비트 b14~b0를 각각 클록 CK의 펄스에 기초하여 래치한다. 8개의 DFF(26H~260)의 출력 데이타는 1바이트분의 상위 데이타의 디스크램블을 위한 스크램블값 SK1의 각 비트로서 출력된다. 7개의 DFF(26I~260)의 출력 데이타는 비트 b14'~b8'로서 논리 회로(35)에 출력된다.

EOR 회로(27A~27H)의 출력 데이타는 1바이트분의 하위 데이타의 디스크램블을 위한 스크램블값 SK2의 각 비트 b7'~b0'로서 출력된다. 또, EOR 회로(27B~27H)의 출력 데이타는 새로운 스크램블 패턴의 비트 b14"~b8"로서 출력된다. 또, EOR 회로(27A~27E)의 출력 데이타인 비트 b7'~b3'는 논리 회로(35)에 출력된다.

논리 회로(35)는 논리 회로(27)와 동일한 구성이고, 8개의 EOR 회로(27A~27H)와 동일한 8개의 EOR 회로를 구비한다. 논리 회로(35)에 있어서의 각 EOR 회로에는 EOR 회로(27A~27H)가 입력하는 비트 b14~b3이 비트 b14'~b3'으로 변경되어 입력된다. 그리고, 논리 회로(35)는 비트 b14'~b3'에 기초하여 새로운 스크램블 패턴에 있어서의 비트 b7"~b0"를 생성하여 출력한다.

즉, 2바이트의 주데이타의 디스크램블을 행하는 경우에는 상기 표 1에 표시된 비트 b14'~b0'를 도 8에 도시된 귀환형 시프트 레지스터(111)에 이용하여 완전히 같은 연산을 행함으로써 새로운 스크램블 패턴의 비트 b14"~b0"를 생성할 수 있다. 이것을 이하의 표 2에 나타낸다.

[표 2]

b14"=b6'
b13"=b5'
b12"=b4'
b11"=b3'
b10"=b2'
b9"=b1'
b8"=b0'
b7"=b14'∧b10'
b6"=b13'∧b9'
b5"=b12'∧b8'
b4"=b11'∧b7'
b3"=b10'∧b6'
b2"=b9'∧b5'
b1"=b8'∧b4'
b0"=b7'∧b3'
(∧: 배타적 논리합)

따라서, 본 형태의 스크램블 패턴 생성 회로(31)는 클록 CK의 펄스마다 1바이트분의 상위 데이타에 대한 새로운 스크램블값 SK1과, 1바이트분의 하위 데이타에 대한 새로운 스크램블값 SK2를 생성할 수 있다.

스크램블 회로(32)는 8개(도 3에서는 1개만 도시)의 EOR 회로(28)와, 8개(도 3에서는 1개만 도시)의 EOR 회로(37)를 구비하고 있다. 각 EOR 회로(28)는 스크램블 패턴 생성 회로(31)에 의해서 생성된 스크램블값 SK1의 각 비트 b7~b0과 1바이트분의 상위 데이타의 각 비트와의 배타적 논리합을 구함으로써, 스크램블 데이타의 디스크램블을 행한다. 각 EOR 회로(37)는 스크램블 패턴 생성 회로(31)에 의해서 생성된 스크램블값 SK2의 각 비트 b7'~b0'와 1바이트분의 하위 데이타의 각 비트와의 배타적 논리합을 구함으로써, 스크램블 데이타의 디스크램블을 행한다.

다음에 상기한 바와 같이 구성된 데이타 재생 회로(30)의 작용을 설명한다.

스크램블 데이타(104)의 디스크램블의 1회째에는 선택 신호 SL은 L 레벨이 된다. L 레벨의 선택 신호 SL

에 기초하여 셀렉터(33)에 의해서 스크램블 패턴의 초기치 α가 선택된다.

클록 CK의 1펄스째에 기초하여, 셀렉터(33)로부터 출력되는 스크램블 패턴의 초기치 α의 비트 b14～b0이 DFF(26A～260)에 각각 래치된다. 8개의 DFF(26H～260)의 출력 데이타는 8비트의 스크램블값 SK1로서 디스크램블 회로(32)에 입력된다. DFF(26A～26L)의 출력 데이타에 기초하여 EOR 회로(27A～27H)에 의해서 8비트의 스크램블값 SK2가 생성되며, 스크램블값 SK2는 디스크램블 회로(32)에 입력된다.

또한, EOR 회로(27B～27H)의 출력 데이타는 새로운 스크램블 패턴의 비트 b14"～b8"로서 각각 출력된다. DFF(26I～260)의 출력 데이타 및 EOR회로(27A～27E)의 출력 데이타에 기초하여 논리 회로(35)에 의해서 새로운 스크램블 패턴의 비트 b7"～b0"가 생성된다.

디스크램블 회로(32)에는 클록 CK의 1펄스마다 스크램블 데이타(104)에 있어서의 1바이트분의 상위 데이타와 1바이트분의 하위 데이타와의 2바이트의 데이타가 전송된다. 복수의 EOR 회로(28)에 의해서 스크램블값 SK1의 각 비트와 1바이트분의 상위 데이타의 각 비트와의 배타적 논리합을 취함으로써 디스크램블이 행해지는 동시에, 복수의 EOR 회로(37)에 의해서 스크램블값 SK2의 각 비트와 스크램블 데이타(104)에 있어서의 1바이트분의 하위 데이타의 각 비트와의 배타적 논리합을 취함으로써 디스크램블이 된다. 즉, 디스크램블 회로(32)는 한번에 2바이트분의 데이타의 디스크램블을 행한다.

또한, 스크램블 데이타(104)의 디스크램블의 2회째에는 선택 신호 SL은 H 레벨이 된다. H 레벨의 선택 신호 SL에 기초하여 셀렉터(33)에 의해서 새로운 스크램블 패턴의 비트 b1"～b0"이 선택된다. 클록 CK의 2펄스째에 기초하여, 새로운 스크램블 패턴의 비트 b14"～b0"가 비트 b14～b0으로서 DFF(26A～260)에 각각 래치된다. DFF(26H～260)의 출력 데이타는 8비트의 스크램블값 SK1로서 디스크램블 회로(32)에 입력된다. DFF(26A～26L)의 출력 데이타에 기초하여 EOR 회로(27A～27H)에 의해서 8비트의 스크램블값 SK2가 생성되며, 스크램블값 SK2는 디스크램블 회로(32)에 입력된다.

또한, EOR 회로(27B～27H)의 출력 데이타는 새로운 스크램블 패턴의 비트 b14"～b8"로서 각각 출력된다. DFF(26I～260)의 출력 데이타 및 EOR 회로(27A～27E)의 출력 데이타에 기초하여 논리 회로(35)에 의해서 새로운 스크램블 패턴의 비트 b7"～b0"가 생성된다.

디스크램블 회로(32)는 스크램블값 SK1, SK2에 기초하여 2바이트분의 데이타의 디스크램블을 행한다.

스크램블 데이타(104)의 디스크램블의 3회째 이후에는 선택 신호 SL은 H 레벨이 된다. H 레벨의 선택 신호 SL에 기초하여 셀렉터(33)에 의해서 새로운 스크램블 패턴의 비트 b14'～b0'가 선택된다. 클록 CK의 3펄스째 이후에 기초하여, 새로운 스크램블 패턴의 비트 b14"～b0"가 비트 b14～b0으로서 DFF(26A～260)에 각각 래치된다. DFF(26H～260)의 출력 데이타는 스크램블값 SK1로서 디스크램블 회로(32)에 입력되며, EOR 회로(27A～27H)의 출력 데이타는 스크램블값 SK2로서 디스크램블 회로(32)에 입력된다.

디스크램블 회로(32)에 의해서 스크램블값 SK1, SK2에 기초하여 스크램블 데이타(104)에 있어서의 주데이타가 2바이트씩 디스크램블된다.

1블록째에 있어서의 1섹터의 스크램블 데이타(104)의 2047바이트째 및 2048바이트째의 디스크램블이 완료하면, 1블록째의 2 섹터째 이후의 스크램블 데이타(104)의 디스크램블이 행해지지만, 블록이 변경되지 않는 한, 각 섹터의 스크램블 데이타(104)에 대한 스크램블 패턴의 초기치는 1섹터째의 스크램블 데이타(104)에 대한 스크램블 패턴의 초기치와 동일해진다. 그리고, 상기와 동일하게 하여 1블록에 있어서의 2～16섹터의 스크램블 데이타(104)의 주데이타가 2바이트씩 디스크램블된다.

1블록째의 스크램블 데이타의 디스크램블이 완료하면, 2블록째의 스크램블 데이타의 디스크램블이 행해지지만, 이 때, 스크램블 패턴의 초기치 α는 도 9에 도시된 바와 같이 섹터 번호부의 비트 b7～b4의 값에 기초하여 변경되고, 2블록째의 1～16섹터의 스크램블 데이타의 데이타가 2바이트씩 디스크램블된다.

이후, 디스크램블의 대상이 되는 블록이 변경되는데 수반하여, 상기 블록의 스크램블 데이타를 디스크램블하기 위한 스크램블 패턴의 초기치 α가 도 9에 도시된 바와 같이, 섹터 번호부의 비트 b7～b4의 값에 기초하여순차적으로 변경되며, 각 블록의 스크램블 데이타의 데이타가 2바이트씩 디스크램블된다.

그런데, 본 실시 형태는 이하의 효과가 있다.

(1) 본 형태의 스크램블 패턴 생성 회로(31)는 스크램블 패턴의 초기치 α와 새로운 스크램블 패턴중 어느 하나를 선택하는 셀렉터(33)와, 셀렉터(33)로부터 출력된 스크램블 패턴의 각 비트 b14～b0를 클록 CK의 펄스마다 래치하는 DFF(26A～260)를 설치하고, 8개의 DFF(26H～260)의 출력 데이타를 디스크램블해야 할 1바이트분의 상위 데이타에 대한 스크램블값 SK1로서 출력하는 동시에, 8개의 EOR 회로(27A～27H)의 출력 데이타를 디스크램블해야 할 1바이트분의 하위 데이타에 대한 스크램블값 SK2로서 출력한다. 또한, 7개의 EOR 회로(27B～27H)의 출력 데이타를 새로운 스크램블 패턴의 비트 b14", b13", b12", b11", b10", b9", b8"로서 각각 출력하고, 논리 회로(35)의 출력 데이타를 새로운 스크램블 패턴의 비트 b7"～b0"로서 출력하도록 하였다.

그 때문에, 스크램블 패턴 생성 회로(31)에서는 클록 CK의 펄스마다 2바이트분의 주데이타의 디스크램블을 행하기 위한 새로운 스크램블 패턴 및 스크램블값 SK1, SK2를 생성할 수 있고, 스크램블 패턴의 생성을 보다 고속화할 수 있으며, 주데이타의 전송 레이트와 스크램블 패턴의 생성 속도를 같게 할 수 있다. 따라서, 디스크램블을 행해야 할 주데이타의 전송 레이트를 보다 고속화할 수 있다.

[제 3 실시 형태]

다음에, 본 발명의 제 3 실시 형태를 도 4, 도 5에 따라서 설명한다. 또, 중복 설명을 피하기 위하여, 도 2에 있어서 설명한 것과 같은 요소에 대해서는 같은 참조번호가 첨부되고 있다. 또한, 전술한 데이타 재생 회로(17)와의 상위점을 중심으로 설명한다.

도 4는 도 1에 도시된 데이타 처리 장치(16)에 구비되는 본 형태의 데이타 재생 회로(40)를 나타낸다. 데이타 재생 회로(40)는 상기 MPU(12)로부터의 제어 신호에 기초하여 데이타 처리 장치(16)에 의해서 생성된 스크램블 데이타(104)와 스크램블 패턴과의 배타적 논리합을 취함으로써 데이타 섹터(105)를 생성한

다. 또, 본 형태에 있어서는, 스크램블 데이타(104)의 전송 레이트는 1바이트이고, 클록 CK의 1펄스마다 1바이트분 주데이타가 데이타 재생 회로(40)에 전송된다.

데이타 재생 회로(40)는 스크램블 패턴의 초기치를 설정하기 위한 초기치 설정 회로(41), 상기 스크램블 패턴 생성 회로(21) 및 디스크램블 회로(22)를 구비한다.

초기치 설정 회로(41)는 디스크램블해야 할 스크램블 데이타의 각 블록에 있어서의 각 섹터에 대해서 복수의 스크램블 패턴의 초기치를 구비하고 있고, 디스크램블을 행하는 데이타의 스크램블 데이타에 있어서의 위치에 기초하여, 사용하는 스크램블 패턴의 초기치를 설정하는 것이다.

도 5 는 본 형태에 있어서의 스크램블 패턴의 초기치를 나타내는 표이고, 섹터 번호부의 비트 b7~b4의 값(ID 치)에 대응하는 블록에 대하여 각각 4개의 초기치 α1~α4가 부여되고 있다. 도 5에 있어서, 번지는 데이타 섹터에 있어서의 주데이타의 선두의 바이트를 0번지로 했을 때의 오프셋치를 의미한다.

도 5에 있어서, ID값 $0_{(h)}$에 대한 스크램블 패턴의 초기치 α1은 $0001_{(h)}$=0000000000000001$_{(2)}$이지만, 비트 b13~b0을 상위에 1비트 시프트시키는 동시에, 비트 b14(=0)와 비트 b10(=0)과의 배타적 논리합을 비트 b0에 대입하면, 0000000000000010$_{(2)}$=$0002_{(h)}$가 되고, 이것은 ID값 $1_{(h)}$에 대한 스크램블 패턴의 초기치 α1과 같아진다. ID값 $0_{(h)}$에 대한 스크램블 패턴의 초기치 α2, α3, α4는 $33FC_{(h)}$, $7FF0_{(h)}$, $1540_{(h)}$이지만, 이들 초기치에 있어서의 비트 b13~b0을 상위에 1비트 시프트시키는 동시에, 비트 b14와 비트 b10과의 배타적 논리합을 비트 b0에 대입하면, 각각 $67F8_{(h)}$, $7FE0_{(h)}$, $2A81_{(h)}$이 되고, 이것은 ID값 $1_{(h)}$에 대한 스크램블 패턴의 초기치 α2, α3, α4와 같아진다. ID값 $2_{(h)}$와 ID값 $4_{(h)}$, ID값 $4_{(h)}$와 ID값 $6_{(h)}$, ID값 $6_{(h)}$와 ID값$8_{(h)}$, ID값 $8_{(h)}$와 ID값 $A_{(h)}$, ID값 $A_{(h)}$와 ID값 $C_{(h)}$, ID값 $C_{(h)}$와 ID값 $E_{(h)}$에 있어서의 스크램블 패턴의 초기치 α1~α4의 관계도 같다. 그래서, ID값$0_{(h)}$, ID값 $2_{(h)}$, D치 4(h), ID값 $6_{(h)}$, ID값 $8_{(h)}$, ID값 $A_{(h)}$, ID값 $C_{(h)}$, ID값 $E_{(h)}$를 제 1 그룹으로 한다.

또한, ID값 $1_{(h)}$에 대한 스크램블 패턴의 초기치 α1~α4는 각각 $5500_{(h)}$, $33F8_{(h)}$, $3000_{(h)}$, $6A80_{(h)}$이지만, 이들 초기치에 있어서의 비트 b13~b0을 상위에 1비트 시프트시키는 동시에, 비트 b14와 비트 b10과의 배타적 논리합을 비트 b0에 대입하면, 각각 $2A00_{(h)}$, $67F0_{(h)}$, $6000_{(h)}$, $5501_{(h)}$가 되고, 이것은 ID값 $3_{(h)}$에 대한 스크램블 패턴의 초기치 α1~α4와 같아진다. ID값 $3_{(h)}$, ID값 $5_{(h)}$, ID값 $7_{(h)}$, ID값 $9_{(h)}$, ID값 $B_{(h)}$, ID값 $D_{(h)}$에 대한 스크램블 패턴의 초기치 α1~α4와, ID값 $5_{(h)}$, ID값 $7_{(h)}$, ID값 $9_{(h)}$, ID값 $B_{(h)}$, ID값 $D_{(h)}$, ID값 $F_{(h)}$에 대한 스크램블 패턴의 초기치 α1~α4와의 관계도 동일하다. 그래서, ID값 $1_{(h)}$, ID값 $3_{(h)}$, ID값 $5_{(h)}$, ID값 $7_{(h)}$, ID값 $9_{(h)}$, ID값 $B_{(h)}$, ID값 $D_{(h)}$, ID값 $F_{(h)}$를 제 2 그룹으로 한다.

초기치 설정 회로(41)는 제 1 및 제 2 셀렉터(42,43) 및 7개의 시프트회로(44~50)를 구비한다. 제 1 셀렉터(42)는 8개의 기억 영역을 구비하고 있고, 그 중 4개의 기억 영역에는 도 5에 도시된 ID값 $0_{(h)}$에 대응하는 스크램블 패턴의 초기치 $0001_{(h)}$, $33FC_{(h)}$, $7FF0_{(h)}$, $1540_{(h)}$가 각각 기억되며, 나머지 4개의 기억 영역에는 ID값 $1_{(h)}$에 대응하는 스크램블 패턴의 초기치$5500_{(h)}$, $33F8_{(h)}$, $3000_{(h)}$, $6A80_{(h)}$가 각각 기억되어 있다.

제 1 셀렉터(42)에는 그룹 선택 신호 SLG가 입력되는 동시에, 오프셋 선택 신호 SLO가 입력되어 있고, 제 1 셀렉터(42)는 그룹 선택 신호 SLG 및 오프셋 선택 신호 SLO에 기초하여 상기 8개의 초기치중 어느 하나를 선택하여, 비트 b14~b0을 제 1 신호군 I1로서 출력한다. 그룹 선택 신호 SLG는 상기 섹터 번호부의 비트 b4의 값이다. 이 그룹 선택 신호 SLG가 0이면, ID값 $0_{(h)}$에 대응하는 스크램블 패턴의 초기치 $0001_{(h)}$, $33FC_{(h)}$, $7FF0_{(h)}$, $1540_{(h)}$가 선택되는 후보가 된다. 그룹 선택 신호 SLG가 1이면, ID값 $1_{(h)}$에 대응하는 스크램블 패턴의 초기치 $5500_{(h)}$, $33F8_{(h)}$, $3000_{(h)}$, $6A80_{(h)}$가 선택되는 후보가 된다. 오프셋 선택 신호 SLO는 도 5에 있어서의 데이타의 오프셋치에 기초하는 신호이다. 데이타의 오프셋치가 0000번지~0511번지의 범위내인 경우에는 스크램블 패턴의 초기치 $0001_{(h)}$, $5500_{(h)}$가 선택되는 후보가 되고, 오프셋치가 0512번지~1023번지의 범위내인 경우에는 스크램블 패턴의 초기치 $33FC_{(h)}$, $33F8_{(h)}$가 선택되는 후보가 되며, 오프셋치가 1024번지~1535번지의 범위내인 경우에는 스크램블 패턴의 초기치 $7FF0_{(h)}$, $3000_{(h)}$가 선택되는 후보가 되고, 또 오프셋치가 1536번지~2047번지의 범위내인 경우에는 스크램블 패턴의 초기치 $1540_{(h)}$, $6A80_{(h)}$가 선택되는 후보가 된다.

따라서, 디스크램블시에 있어서, 예컨대, 디스크램블해야 할 최초의 데이타가 제 1 그룹의 블록에 있어서의 스크램블 데이타에 포함되고, 또한, 데이타의 오프셋치가 0513번지인 경우에는 제 1 셀렉터(42)는 제 1 그룹에 대응하는 초기치 $0001_{(h)}$, $33FC_{(h)}$, $7FF0_{(h)}$, $1540_{(h)}$중, 초기치 $33FC_{(h)}$를 선택하여 출력한다.

시프트 회로(44)는 셀렉터(42)의 출력 데이타를 상위에 1비트분 시프트시키기 위한 회로이고, EOR 회로(44A)를 구비한다. EOR 회로(44A)는 셀렉터(42)의 출력 데이타에 있어서의 비트 b14와 비트 b10과의 배타적 논리합에 기초하는 신호를 출력한다. 시프트 회로(44)는 셀렉터(42)의 출력 데이타에 있어서의 비트 b13~b0을 상위에 1비트 시프트시켜 새로운 비트 b14~b1로 하는 동시에, EOR 회로(44A)의 출력 신호를 새로운 비트 b0으로 함으로써 제 2 신호군 I2를 출력한다.

시프트 회로(45)는 셀렉터(42)의 출력 데이타를 상위에 2비트분 시프트시키기 위한 회로이고, EOR 회로(45A)를 구비한다. EOR 회로(45A)는 셀렉터(42)의 출력 데이타에 있어서의 비트 b13과 비트 b9와의 배타적 논리합에 기초하는 신호를 출력한다. 시프트 회로(45)는 셀렉터(42)의 출력 데이타에 있어서의 비트 b12~b0을 상위에 2비트 시프트시켜 새로운 비트 b14~b2로 하고, EOR 회로(44A)의 출력 신호를 새로운 비트 b1로 하며, 또 EOR 회로(45A)의 출력 신호를 새로운 비트 b0으로 함으로써 제 3 신호군 I3을 출력한다.

시프트 회로(46)는 셀렉터(42)의 출력 데이타를 상위에 3비트분 시프트시키기 위한 회로이고, EOR 회로(46A)를 구비한다. EOR 회로(46A)는 셀렉터(42)의 출력 데이타에 있어서의 비트 b12와 비트 b8과의 배타적 논리합에 기초하는 신호를 출력한다. 시프트 회로(46)는 셀렉터(42)의 출력 데이타에 있어서의 비트 b11~b0을 상위에 3비트 시프트시켜 새로운 비트 b14~b3으로 하고, EOR 회로(44A,45A)의 출력 신호를 새로운 비트 b2, b1로 하며, 또 EOR 회로(46A)의 출력 신호를 새로운 비트 b0으로 함으로써 제 4 신호군 I4를 출력한다.

시프트 회로(47)는 셀렉터(42)의 출력 데이타를 상위에 4비트분 시프트시키기 위한 회로이고, EOR 회로(47A)를 구비한다. EOR 회로(47A)는 셀렉터(42)의 출력 데이타에 있어서의 비트 b11과 비트 b7과의 배타적 논리합에 기초하는 신호를 출력한다. 시프트 회로(47)는 셀렉터(42)의 출력 데이타에 있어서의 비트 b10~b0을 상위에 4비트 시프트시켜 새로운 비트 b14~b4로 하고, EOR 회로(44A,45A,46A)의 출력 신호를 새로운 비트 b3, b2, b1로 하며, 또 EOR 회로(47A)의 출력 신호를 새로운 비트 b0으로 함으로써 제 5 신호군 I5를 출력한다.

시프트 회로(48)는 셀렉터(42)의 출력 데이타를 상위에 5비트분 시프트시키기 위한 회로이고, EOR 회로(48A)를 구비한다. EOR 회로(48A)는 셀렉터(42)의 출력 데이타에 있어서의 비트 b10과 비트 b6과의 배타적 논리합에 기초하는 신호를 출력한다. 시프트 회로(48)는 셀렉터(42)의 출력 데이타에 있어서의 비트 b9~b0을 상위에 5비트 시프트시켜 새로운 비트 b14~b 5로 하고, EOR 회로(44A,45A,46A,47A)의 출력 신호를 새로운 비트 b4, b3, b2, b1로 하며, 또 EOR 회로(48A)의 출력 신호를 새로운 비트 b0으로 함으로써 제 6 신호군 I6을 출력한다.

시프트 회로(49)는 셀렉터(42)의 출력 데이타를 상위에 6비트분 시프트시키기 위한 회로이고, EOR 회로(49A)를 구비한다. EOR 회로(49A)는 셀렉터(42)의 출력 데이타에 있어서의 비트 b9와 비트 b5와의 배타적 논리합에 기초하는 신호를 출력한다. 시프트 회로(49)는 셀렉터(42)의 출력 데이타에 있어서의 비트 b8~b0을 상위에 6비트 시프트시켜 새로운 비트 b14~b6으로 하고, EOR 회로(44A,45A,46A,47A,48A)의 출력 신호를 새로운 비트 b5, b4, b3, b2, b1로 하며, 또 EOR 회로(49A)의 출력 신호를 새로운 비트 b0으로 함으로써 제 7 신호군 I7을 출력한다.

또, 시프트 회로(50)는 셀렉터(42)의 출력 데이타를 상위에 7비트분 시프트시키기 위한 회로이고, EOR 회로(50A)를 구비한다. EOR 회로(50A)는 셀렉터(42)의 출력 데이타에 있어서의 비트 b8과 비트 b4와의 배타적 논리합에 기초하는 신호를 출력한다. 시프트 회로(50)는 셀렉터(42)의 출력 데이타에 있어서의 비트 b7~b0을 상위에 7비트 시프트시켜 새로운 비트 b14~b7로 하고, EOR 회로(44A,45A,46A,47A,48A,49A)의 출력 신호를 새로운 비트 b6, b5, b4, b3, b2, b1로 하며, 또 EOR 회로(50A)의 출력 신호를 새로운 비트 b0으로 함으로써 제 8 신호군 I8을 출력한다.

따라서, 예컨대, 제 1 셀렉터(42)가 스크램블 패턴의 초기치 $33FC_{(h)}$를 출력하고 있다고 하면, 제 2~제 8 신호군 I2~I8의 값은 각각 $67F8_{(h)}$, $4FF0_{(h)}$, $1FE0_{(h)}$, $3FC1_{(h)}$, $7F83_{(h)}$, $7F06_{(h)}$, $7E0C_{(h)}$가 된다.

제 2 셀렉터(43)에는 제 1~제 8 신호군 I1~I8이 입력되는 동시에, 3비트로 이루어지는 신호군 선택 신호 SLID가 입력되어 있고, 신호군 선택 신호 SLID에 기초하여 제 1~ 제 8 신호군 I1~I8 중 어느 하나를 선택하여 상기 스크램블 패턴 생성 회로(21)에 출력한다. 신호군 선택 신호 SLID는 상기 섹터 번호부의 비트 b7~b5의 3비트의 신호이다. 제 2 셀렉터(43)는 신호군 선택 신호 SLID의 3비트의 조합에 기초하여 제 1~제 8 신호군 I1~I8을 이하의 표 3에 나타낸 바와 같이 선택한다.

[표 3]

SLID			선택되는
b7	b6	b5	신호군
0	0	0	I1
0	0	1	I2
0	1	0	I3
0	1	1	I4
1	0	0	I5
1	0	1	I6
1	1	0	I7
1	1	1	I8

따라서, 디스크램블시에 있어서, 예컨대, 디스크램블해야 할 최초의 데이타가 ID값 $0_{(h)}$의 블록에 있어서의 스크램블 데이타에 포함되고, 또한, 데이타의 오프셋치가 0513번지인 경우에는, 제 1 셀렉터(42)에 의해서 초기치 $33FC_{(h)}$가 선택된다. 그리고, ID값 $0_{(h)}$이기 때문에, 신호군 선택 신호 SLID의 비트 b7~b5는 000이 되고, 제 2 셀렉터(43)에 의해서 제 1 신호군 I1(=$33FC_{(h)}$)가 선택된다.

스크램블 패턴 생성 회로(21)는 제 2 셀렉터(43)에 의해서 선택된 신호군을 스크램블 패턴의 초기치 α로서 입력하여, 디스크램블해야 할 최초의 데이타를 디스크램블하기 위한 스크램블 패턴을 생성한다. 예컨대, 디스크램블해야 할 최초의 데이타가 ID값 0(h)의 블록에 포함되고, 또한, 데이타의 오프셋치가 0513번지인 경우에는, 스크램블 패턴의 초기치로서 $33FC_{(h)}$가 선택된다. 최초에 디스크램블해야 할 데이타의 오프셋치가 0513번지이고, 초기치 $33FC_{(h)}$에 대응하는 오프셋치보다도 1번지 크기 때문에, 클록 CK의 2펄

스째에 있어서 스크램블 패턴이 생성된다.

디스크램블 회로(22)는 스크램블 패턴 생성 회로(21)에 의해서 생성된 스크램블 패턴에 기초하여 스크램블 데이타의 디스크램블을 행한다.

그런데, 본 실시 형태는 이하의 효과가 있다.

(1) 본 형태의 스크램블 패턴 생성 회로(31)는 1섹터분의 스크램블 데이타에 대하여 복수의 스크램블 패턴의 초기치를 가지며, 스크램블 데이타에 있어서의 디스크램블을 개시해야 할 주데이타의 위치에 따라서 복수의 스크램블 패턴의 초기치중 어느 하나를 선택하여, 그 선택한 스크램블 패턴의 초기치에 기초하여 디스크램블에 이용하기 위한 스크램블 패턴을 생성하며, 이 생성한 스크램블 패턴에 기초하여 스크램블 데이타의 디스크램블을 행하도록 하였다. 그 때문에, 디스크램블해야 할 데이타의 스크램블 패턴을 생성할 때까지의 시간을 단축할 수 있고, 디스크램블을 보다 빨리 개시할 수 있으며, 데이타 처리의 고속화를 도모할 수 있다.

또, 본 발명은 아래와 같이 실시하여도 좋다.

(1) 상기 형태에 있어서는 독출 전용의 DVD 장치로 구체화하고 있기 때문에, 스크램블 패턴 생성 회로에 의해서 생성된 스크램블 패턴을 디스크램블에만 사용하고 있지만, 디스크에 대하여 데이타를 기록가능한 장치에 있어서, 디스크에 기록해야 할 데이타의 스크램블을 행하는 장치에 이용하여도 좋다.

(2) 데이타의 전송 레이트에 따라서 도 3에 도시된 논리 회로(35)를 순차적으로 추가함으로써 디스크램블의 처리 바이트수를 변경하도록 하여도 좋다.

(3) DVD 이외의 데이타를 스크램블하는 시스템에 구체화하여도 좋다.

발명의 효과

이상 상세히 기술한 바와 같이, 본 발명은 스크램블 패턴의 생성을 고속화할 수 있고, 데이타의 전송 레이트를 향상하여 데이타 처리의 고속화를 도모할 수 있다.

또한, 본 발명은 디스크램블을 개시해야 할 데이타의 위치에 따라서 스크램블 패턴의 초기치를 변경함으로써, 디스크램블을 보다 빨리 개시할 수 있으며, 데이타 처리의 고속화를 도모할 수 있다.

(57) 청구의 범위

청구항 1

기록 매체에 기록된 기록 데이타는, 소정의 데이타를 스크램블 패턴을 이용하여 스크램블되어 있고, 상기 기록 매체로부터 독출된 기록 데이타를 재생하기 위해서, 상기 기록 데이타에 대하여 스크램블 패턴을 이용하여 디스크램블을 행하도록 한 디스크램블 방법에 있어서,

상기 기록 데이타의 소정의 데이타량의 1개의 데이타군에 대해서 스크램블 패턴의 초기치를 가지고, 1클록당의 상기 기록 데이타의 전송 데이타량에 따라 상기 스크램블 패턴의 초기치에 기초하여 1클록에서 상기 기록 데이타의 전송 데이타량에 상당하는 스크램블 패턴을 생성하고, 이 생성한 스크램블 패턴에 기초하여 1클록에서 상기 기록 데이타를 전송 데이타량 단위로 디스크램블을 행하도록 한 것을 특징으로 하는 디스크램블 방법.

청구항 2

기록 매체에 기록된 기록 데이타는, 소정의 데이타를 스크램블 패턴을 이용하여 스크램블되어 있고, 상기 기록 매체로부터 독출된 기록 데이타를 재생하기 위해서, 상기 기록 데이타에 대하여 스크램블 패턴을 이용하여 디스크램블을 행하도록 한 디스크램블 방법에 있어서,

상기 기록 데이타의 1개의 데이타군에 대해서 복수의 스크램블 패턴의 초기치를 가지며, 상기 기록 데이타에 있어서의 디스크램블을 개시해야 할 데이타의 위치에 따라서 상기 복수의 스크램블 패턴의 초기치중 어느 하나를 선택하여, 그 선택한 스크램블 패턴의 초기치에 기초하여 디스크램블에 이용하기 위한 스크램블 패턴을 생성하며, 이 생성한 스크램블 패턴에 기초하여 상기 기록 데이타의 디스크램블을 행하도록 한 것을 특징으로 하는 디스크램블 방법.

청구항 3

기록 매체에 기록된 기록 데이타는, 소정의 데이타를 스크램블 패턴을 이용하여 스크램블되어 있고, 상기 기록 매체로부터 독출된 기록 데이타를 재생하기 위해서, 상기 기록 데이타에 대하여 스크램블 패턴을 이용하여 디스크램블을 행하도록 한 디스크램블 방법에 있어서,

상기 기록 데이타의 1개의 데이타군에 대해서 복수의 스크램블 패턴의 초기치를 가지며, 상기 기록 데이타에 있어서의 디스크램블을 개시해야 할 데이타의 위치에 따라서 상기 복수의 스크램블 패턴의 초기치중 어느 하나를 선택하여, 1클록당의 상기 기록 데이타의 전송 데이타량에 따라 상기 선택한 스크램블 패턴의 초기치에 기초하여 1클록에서 상기 기록 데이타의 전송 데이타량에 상당하는 스크램블 패턴을 생성하고, 이 생성한 스크램블 패턴에 기초하여 1클록에서 상기 기록 데이타를 전송 데이타량 단위로 디스크램블을 행하도록 한 것을 특징으로 하는 디스크램블 방법.

청구항 4

기록 매체에 기록된 기록 데이타는, 소정의 데이타를 스크램블 패턴을 이용하여 스크램블되어 있고, 상기 기록 매체로부터 독출된 기록 데이타를 재생하기 위해서, 상기 기록 데이타를 디스크램블하기 위해 이용되는 스크램블 패턴을 생성하는 스크램블 패턴 생성 회로에 있어서,

스크램블 패턴의 초기치와, 상기 스크램블 생성 회로에서 새롭게 생성된 스크램블 패턴을 입력하고, 선택 신호에 기초하여 스크램블 패턴의 초기치 및 새롭게 작성된 스크램블 패턴중 어느 하나를 선택하는 셀렉터와,

상기 셀렉터에 의해서 선택된 스크램블 패턴을 유지하여 스크램블 패턴으로서 출력하는 복수의 레지스터와,

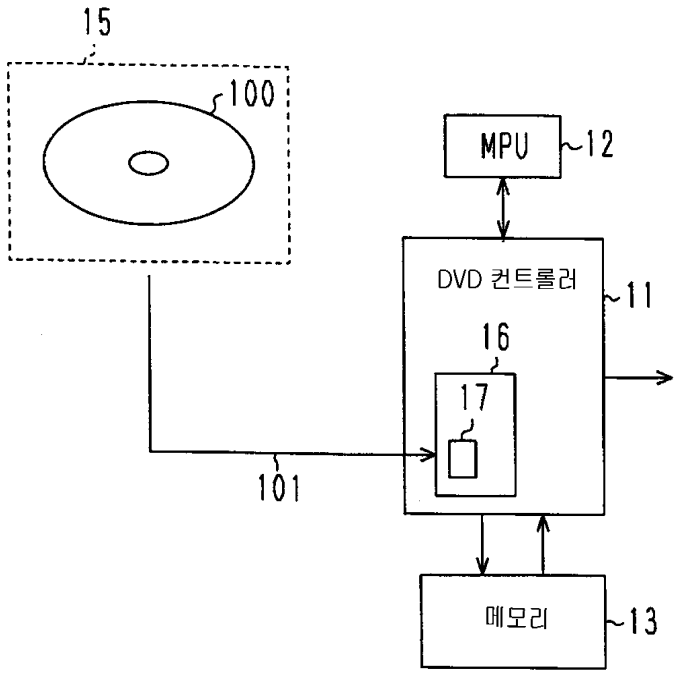
상기 복수의 레지스터에 유지된 스크램블 패턴에 기초하여 새로운 스크램블 패턴을 생성하는 논리 회로를 구비하는 것을 특징으로 하는 스크램블 패턴 생성 회로.

청구항 5

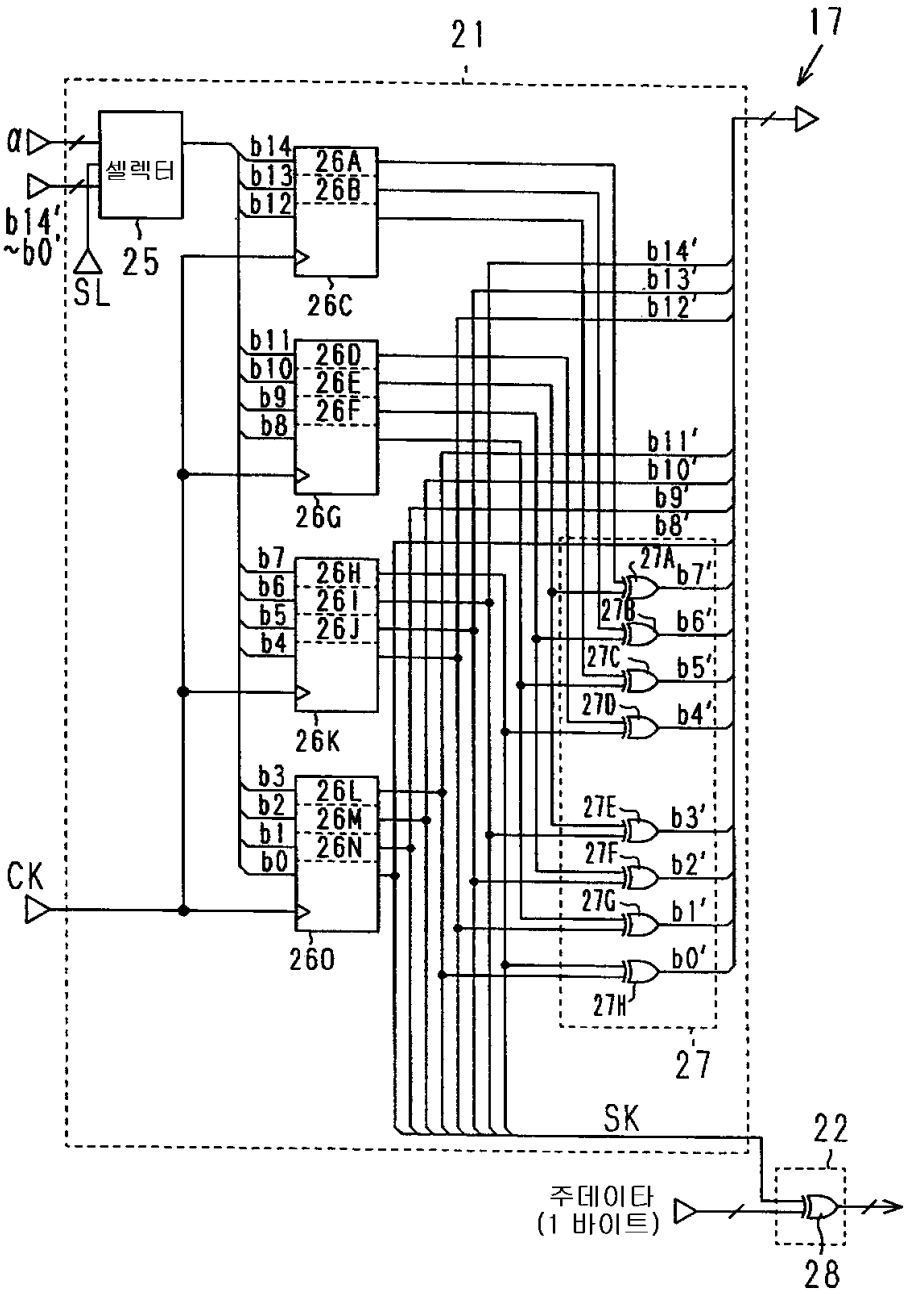
제 4 항 기재의 스크램블 패턴 생성 회로를 구비하는 것을 특징으로 하는 디스크 장치.

도면

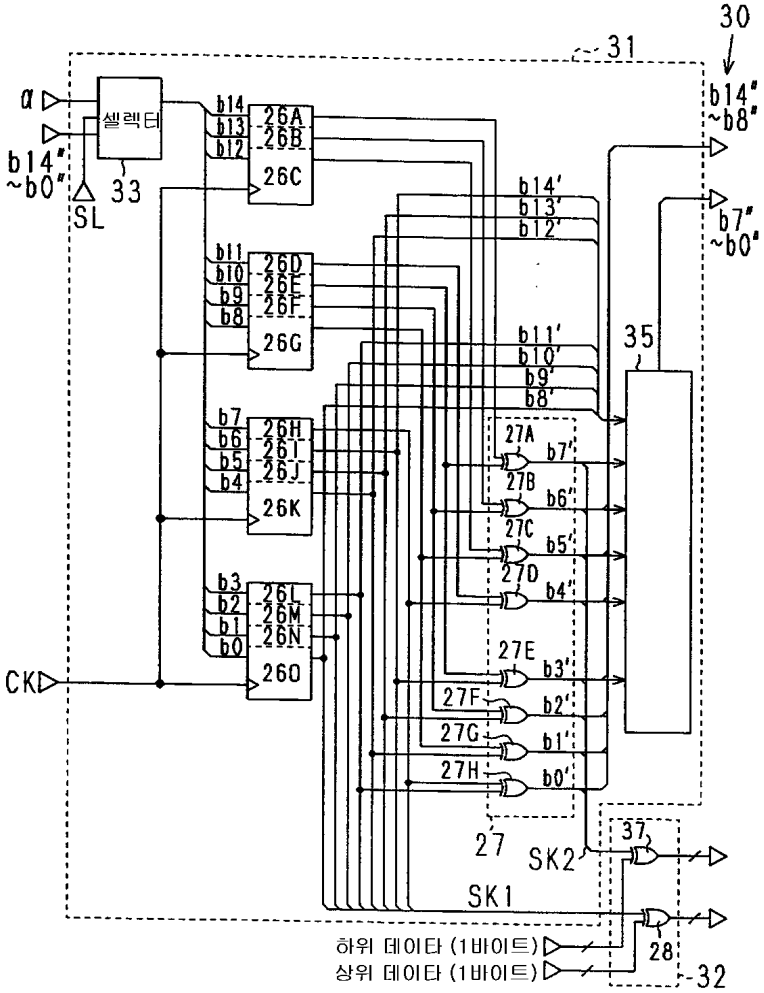
도면1



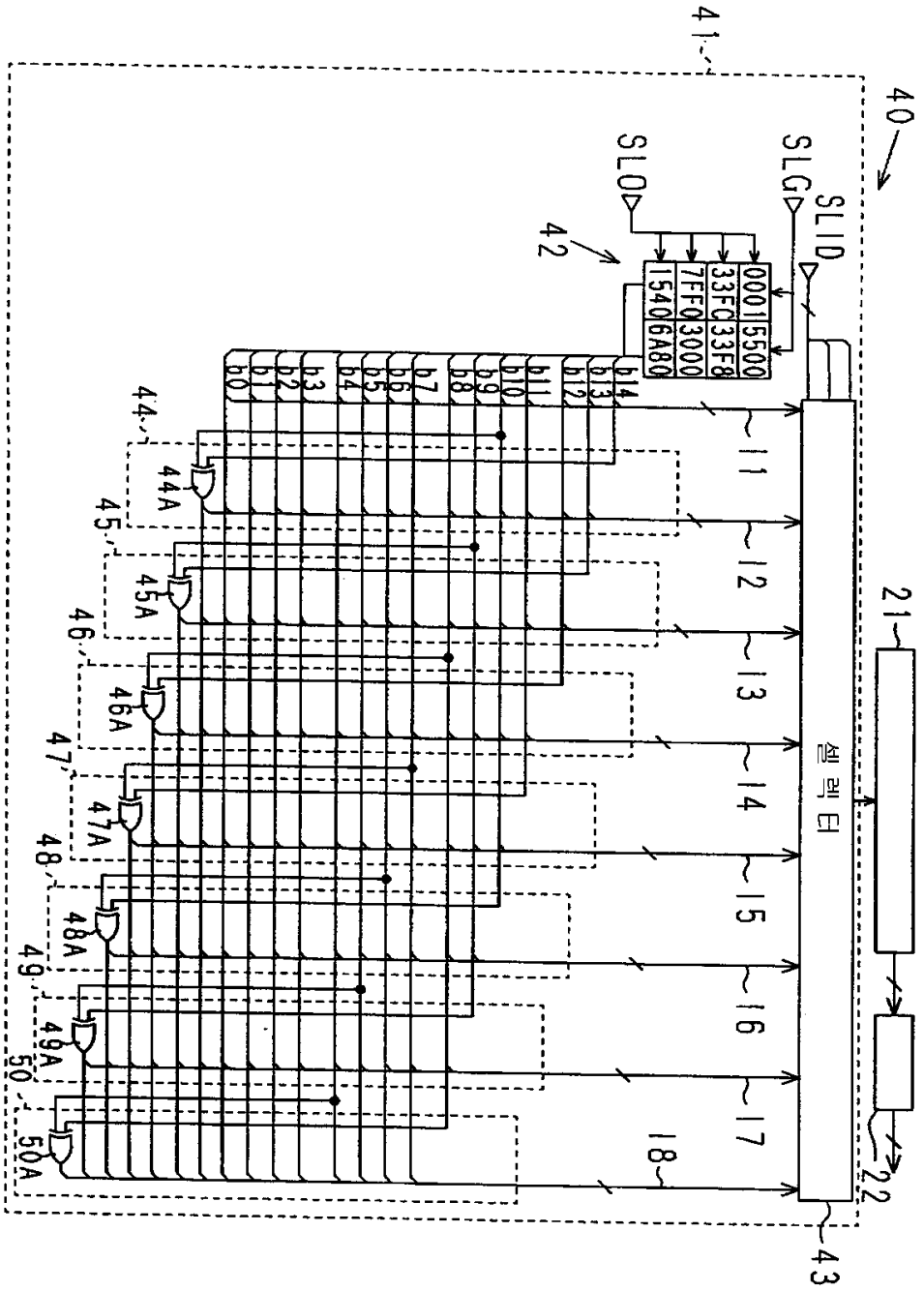
도면2


21
17
a
b14'
~b0
셀렉터
25
SL
b14
b13
b12
26A
26B
26C
b11
b10
b9
b8
26D
26E
26F
26G
b7
b6
b5
b4
26H
26I
26J
26K
b3
b2
b1
b0
26L
26M
26N
26O
CK
b14'
b13'
b12'
b11'
b10'
b9'
b8'
27A
27B
27C
27D
27E
27F
27G
27H
b7'
b6'
b5'
b4'
b3'
b2'
b1'
b0'
27
SK
22
주데이타
(1 바이트)
28

도면3


30
31
a
b14"
~b0"
SL
33
셀렉터
b14
b13
b12
26A
26B
26C
b11
b10
b9
b8
26D
26E
26F
26G
b7
b6
b5
b4
26H
26I
26J
26K
b3
b2
b1
b0
26L
26M
26N
26O
CK
b14'
b13'
b12'
b11'
b10'
b9'
b8'
35
27A
27B
27C
27D
27E
27F
27G
27H
b7'
b6'
b5'
b4'
b3'
b2'
b1'
b0'
27
SK2
SK1
37
28
32
b14"
~b8"
b7"
~b0"
하위 데이타 (1바이트)
상위 데이타 (1바이트)

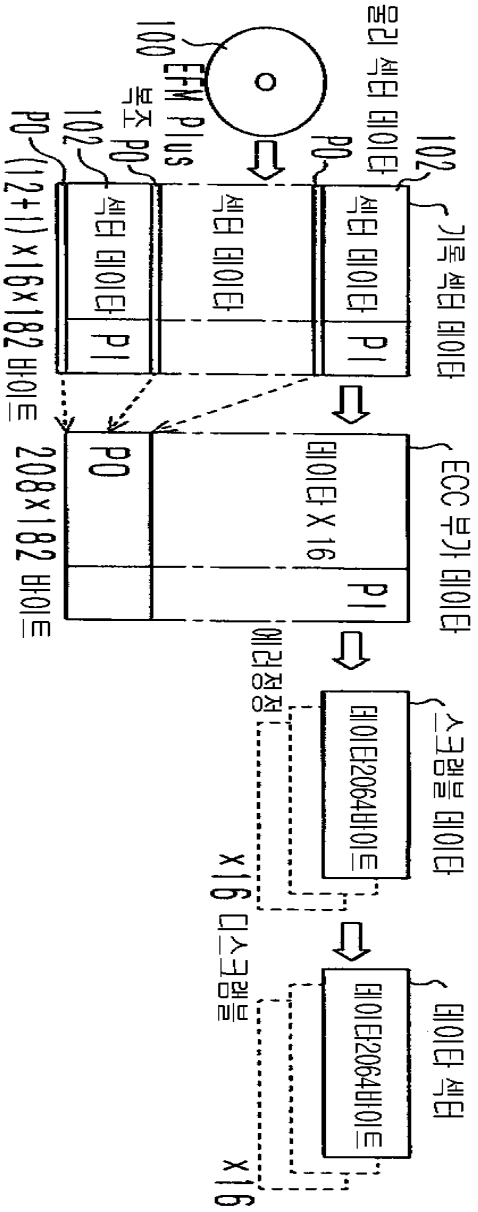
도면4


40
41
SLO
SLG
SLID
42
0001
5500
33FC
33F8
7FF0
3000
1540
6A80
b14
b13
b12
b11
b10
b9
b8
b7
b6
b5
b4
b3
b2
b1
b0
11
12
13
14
15
16
17
18
21
셀 렉 터
22
43
44
44A
45
45A
46
46A
47
47A
48
48A
49
49A
50
50A

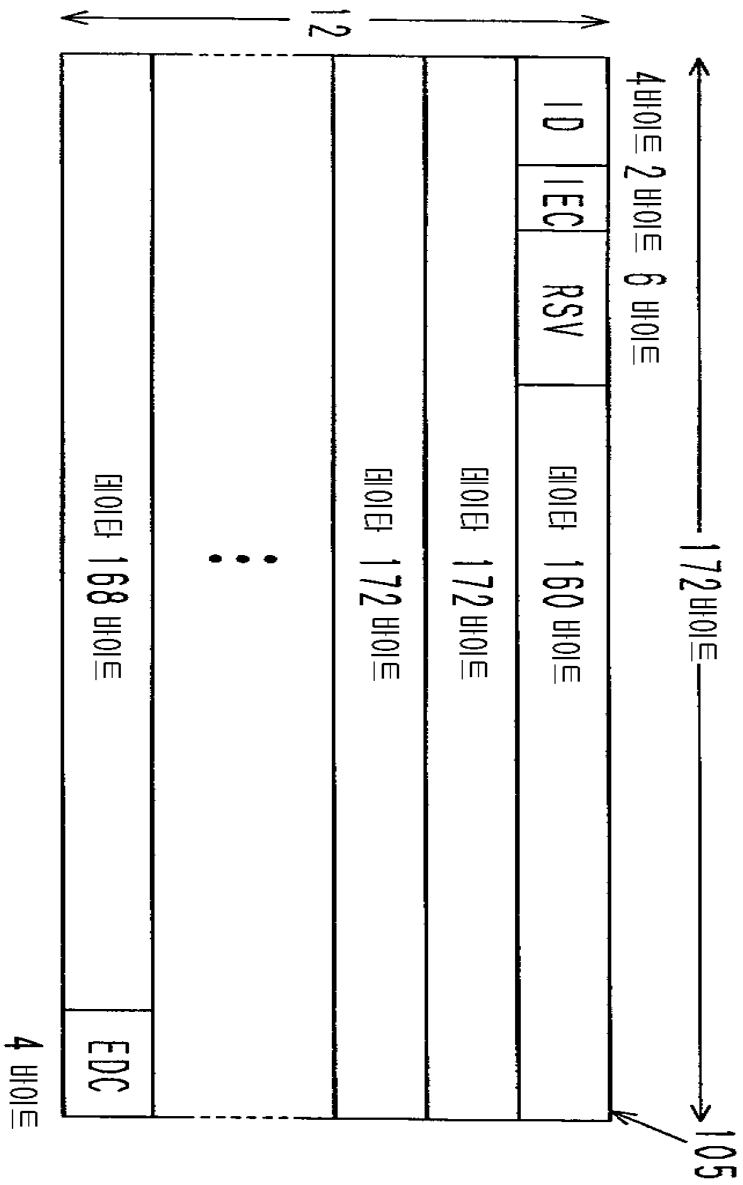
도면5

ID 값(h) (b7-b4)	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000 번지	α1(h)	0001	5500	0002	2A00	0004	5400	0008	2800	0010	5000	0020	2001	0040	4002	0080	0005
0512 번지	α2(h)	33FC	33F8	67F8	67F0	4FF0	4FE0	1FE0	1FC0	3FC1	3F81	7F83	7F03	7F06	7E06	7E0C	7C0C
1024 번지	α3(h)	7FF0	3000	7FE0	6000	7FC0	4001	7F80	0003	7F00	0006	7E00	000C	7C00	0018	7800	0030
1536 번지	α4(h)	1540	6A80	2A81	5501	5502	2A02	2A04	5404	5408	2808	2810	5010	5020	2021	2041	4042

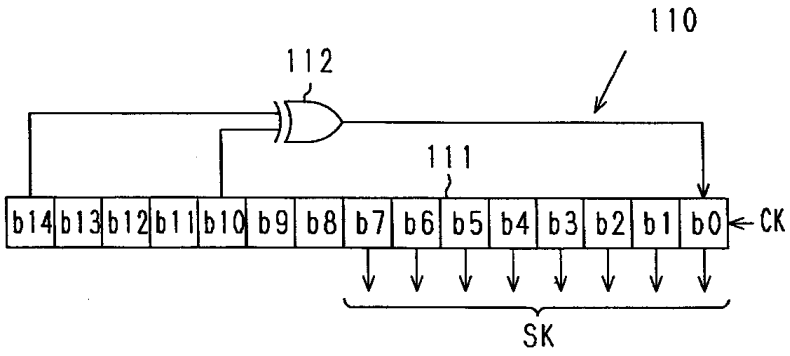
도면6


물리 섹터 데이타
100
EFM Plus
복조
102
PO
기록 섹터 데이타
섹터 데이타
PI
ECC 부가 데이타
데이타 X 16
208x182 바이트
스크램블 데이타
데이타2064바이트
에러정정
x16 디스크램블
데이타 섹터
x16

도면7


12
ID
IEC
RSV
4바이트 2 바이트 6 바이트
데이터 168 바이트
데이터 172 바이트
데이터 172 바이트
데이터 160 바이트
172바이트
EDC
4 바이트
105

도면8


110
112
111
b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0
CK
SK

도면9

ID값 (h) (b7-b4)	0	1	2	3	4	5	6	7
초기치α (h)	0001	5500	0002	2A00	0004	5400	0008	2800

8	9	A	B	C	D	E	F
0010	5000	0020	2001	0040	4002	0080	0005