

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 2 月 22 日 (22.02.2024)



(10) 国际公布号
WO 2024/037347 A1

(51) 国际专利分类号:

H01L 21/768 (2006.01) **H01L 29/08** (2006.01)
H01L 23/538 (2006.01)

(21) 国际申请号: PCT/CN2023/110898

(22) 国际申请日: 2023 年 8 月 3 日 (03.08.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:

202210997518.1 2022年8月19日 (19.08.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 林超 (**LIN, Chao**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 上海盈盛知识产权代理事务所 (普通合伙) (**SHANGHAI WINSUN INTELLECTUAL PROPERTY AGENCY**); 中国上海市静安区恒丰路218号东座1612室, Shanghai 200070 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 关于发明人身份(细则4.17(i))
- 关于申请人有权申请并被授予专利(细则4.17(ii))
- 关于申请人有权要求在先申请的优先权(细则4.17(iii))

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(54) **Title:** SEMICONDUCTOR STRUCTURE AND METHOD FOR FORMING SAME

(54) 发明名称: 半导体结构及其形成方法

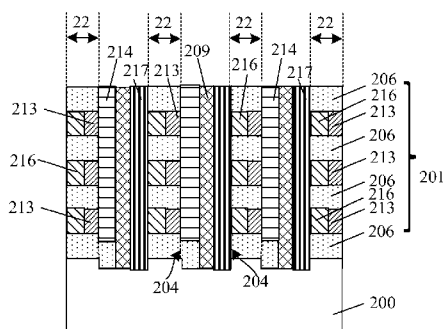


图 52

(57) **Abstract:** A semiconductor structure and a method for forming same, wherein the method for forming the semiconductor structure comprises: forming on a semiconductor substrate (200) linear semiconductor patterns (203) extending in a first direction and arranged in an array in a second direction and a vertical direction, the linear semiconductor patterns comprising a channel region (21) and a drain region (22) connected to the channel region (21), and a first insulating layer (206) being formed between the linear semiconductor patterns (203); etching a portion of the first insulating layer (206) on one side of the drain region (22) to form a first opening (215); performing ion doping on the drain region (22) exposed by the first opening (215) so as to form a grounding doped region (216) in the drain region (22), the grounding doped region (216) being connected to the channel region (21); filling the first opening (215) with a conductive material to form a grounding conductive plug (217), the grounding conductive plug (217) being electrically connected to the grounding doped region (216) and to the semiconductor substrate (200).

(57) 摘要: 一种半导体结构及其形成方法, 其中, 半导体结构的形成方法包括: 在半导体衬底 (200) 上形成沿第一方向延伸、且在第二方向和竖直方向阵列排布的线状半导体图形 (203), 包括沟道区域 (21) 和与沟道区域 (21) 连接的漏极区域 (22), 线状半导体图形 (203) 之间形成有第一绝缘层 (206); 刻蚀漏极区域 (22) 一侧的部分第一绝缘层 (206), 以形成第一开口 (215); 对第一开口 (215) 暴露的漏极区域 (22) 进行离子掺杂, 以在漏极区域 (22) 中形成接地掺杂区 (216), 接地掺杂区 (216) 与沟道区域 (21) 连接; 在第一开口 (215) 中填充导电材料, 形成接地导电插塞 (217), 接地导电插塞 (217) 与接地掺杂区 (216) 和半导体衬底 (200) 电连接。

半导体结构及其形成方法

相关申请引用说明

本公开要求于2022年08月19日递交的中国专利申请号202210997518.1，申请名为“半导体结构及其形成方法”的优先权，其全部内容以引用的形式附录于此。

技术领域

本公开涉及存储器领域，尤其涉及一种半导体结构及其形成方法。

背景技术

动态随机存取存储器（Dynamic Random Access Memory, DRAM）是计算机中常用的半导体存储器件，由许多重复的存储单元组成。每个存储单元通常包括电容器和晶体管，晶体管的栅极与字线相连、漏极与位线相连、源极与电容器相连，字线上的电压信号能够控制晶体管的打开或关闭，进而通过位线读取存储在电容器中的数据信息，或者通过位线将数据信息写入到电容器中进行存储。

为了提高集成度，现有3D DRAM制作过程中晶体管通常会采用多层堆叠的横向晶体管结构。而多层堆叠的横向晶体管结构中由于横向晶体管的沟道区域都是浮空的，电荷容易在沟道区域积累带来浮体效应，浮体效应会带来很多不良后果，严重影响器件的性能，甚至使器件失效。

发明内容

本公开一些实施例提供了一种半导体结构的形成方法，包括：

提供半导体衬底；

在所述半导体衬底上形成沿第一方向延伸、且在第二方向和竖直方向阵列排布的线状半导体图形，所述线状半导体图形之间形成有第一绝缘层；所述线状半导体图形包括沟道区域和与所述沟道区域连接的漏极区域；刻蚀所述漏极区域一侧的部分所述第一绝缘层，以形成第一开口，所述第一开口暴露出竖直方向上排布的多个漏极区域的第一侧壁，所述第一开口底部暴露出所述半导体衬底的部分表面；

对所述第一开口暴露的漏极区域进行离子掺杂，以在所述漏极区域中形成接地掺杂区，所述接地掺杂区与所述沟道区域连接，且与所述沟道区域具有相同的掺杂类型；

在所述第一开口中填充导电材料，形成接地导电插塞，所述接地导电插塞与所述接地掺杂区和所述半导体衬底电连接。

本公开一些实施例还提供了一种半导体结构，包括：

半导体衬底；

位于所述半导体衬底上的绝缘层和线状半导体图形层交替层叠的堆叠结构，每一层所述线状半导体图形层包括沿第一方向延伸的多个平行的线状半导体图形，所述线状半导体图形包括沟道区和与所述沟道区连接的接地掺杂区；且所述接地掺杂区与所述沟道区具有相同的掺杂类型；

位于相邻线状半导体图形之间的接地导电插塞，所述接地导电插塞沿竖直方向贯穿所述堆叠结构且连接所述半导体衬底，且所述接地导电插塞在第二方向的一侧与所述接地掺杂区连接。

本公开前述一些实施例中的半导体结构的形成方法，通过形成接地掺杂区和接地导电插塞使得所述沟道区域可以接地，从而将所述沟道区域积累的电荷通过接地掺杂区和接地导电插塞释放掉，防止浮体效应的产生，提高了器件的

性能,并且所述接地掺杂区是形成在漏极区域中,接地导电插塞是形成在第一沟槽中,不会占据额外的面积,能保证形成的 3D DRAM 器件的集成度。

附图说明

图 1-52 为本公开一些实施例中半导体结构的形成过程的结构示意图。

具体实施方式

下面结合附图对本公开的具体实施方式做详细的说明。在详述本公开实施例时,为便于说明,示意图会不依一般比例作局部放大,而且所述示意图只是示例,其在此不应限制本公开的保护范围。此外,在实际制作中应包含长度、宽度及深度的三维空间尺寸。

本公开一些实施例首先提供了一种半导体结构的形成方法,下面结合附图对所述形成方法进行详细的描述。

参考图 1-图 4,其中图 2 为图 1 沿切割线 AA1 方向的剖面结构示意图,图 3 为图 1 沿切割线 BB1 方向的剖面结构示意图,图 4 为图 1 沿切割线 CC1 方向的剖面结构示意图(需要说明的是,为了更好的示意,图 1 中未示出最顶层的一层牺牲层 202,直接示出了最顶层的牺牲层 202 底部的一层半导体层 233)。半导体结构的形成方法包括:提供半导体衬底 200;在半导体衬底 200 上形成牺牲层 202 和半导体层 233 在竖直方向上交替层叠的堆叠结构 201,竖直方向为垂直于半导体衬底上表面的方向。

半导体衬底 200 的材料可以为单晶硅(Si)、单晶锗(Ge)、或硅锗(GeSi)、碳化硅(SiC);也可以是绝缘体上硅(SOI),绝缘体上锗(GOI);或者还可以为其它的材料,例如砷化镓等 III-V 族化合物。本实施例中,半导体衬底 200 的材料为单晶硅(Si)。

堆叠结构 201 包括在竖直方向上交替层叠的牺牲层 202 和半导体层 233,牺牲层 202 和半导体层 233 在竖直方向上交替层叠是指:在形成一层牺牲层 202 后,在该牺牲层 202 的表面形成一层半导体层 233,然后依次循环进行形成牺牲层 202 和位于牺牲层 202 上的半导体层 233 的步骤。牺牲层 202 和半导体层 233 的层数可以根据实际需要进行确定。本实施例中,以牺牲层 202 为四层,半导体层 233 为四层作为示例进行说明,堆叠结构 201 的最底层和最顶层均为一层牺牲层 202。在其他实施例中,牺牲层 202 和半导体层 233 的层数可以为其他数量。

半导体层 233 后续用于形成线状半导体图形。牺牲层 202 作为牺牲材料在后续工艺中会被去除,或者部分牺牲层 202 后续可以直接作为绝缘层的一部分。牺牲层 202 的材料与半导体层 233 的材料不相同,以在后续去除牺牲层 202 时,牺牲层 202 相对于半导体层 233(或线状半导体图形)具有高的刻蚀选择比(刻蚀选择比大于 2:1),从而使得牺牲层 202 被去除的同时,半导体层 233(或线状半导体图形)不会被刻蚀或者被刻蚀的量较小。

在一些实施例中,半导体层 233 的材料为硅或锗硅,牺牲层 202 的材料为氧化硅、氮化硅、氮氧化硅、氮碳化硅、无定型硅、无定形碳、多晶硅、锗硅中的一种。本实施例中,半导体层 233 的材料为硅,牺牲层 202 的材料为锗硅。在其他实施例中,牺牲层 202 的材料为氧化硅、氢氧化硅、氮化硅等,半导体层 233 的材料为氧化物半导体,例如, $\text{In}_x\text{Ga}_y\text{Zn}_z\text{O}$ 、 $\text{In}_x\text{Ga}_y\text{Si}_z\text{O}$ 、 $\text{In}_x\text{Sn}_y\text{Zn}_z\text{O}$ 、 $\text{In}_x\text{Zn}_y\text{O}$ 、 Zn_xO 、 $\text{Zn}_x\text{Sn}_y\text{O}$ 、 $\text{Zn}_x\text{O}\cdot\text{N}$ 、 $\text{Zr}_x\text{Zn}_y\text{Sn}_z\text{O}$ 、 Sn_xO 、 $\text{Hf}_x\text{In}_y\text{Zn}_z\text{O}$ 、 $\text{Ga}_x\text{Zn}_y\text{Sn}_z\text{O}$ 、 $\text{Al}_x\text{Zn}_y\text{Sn}_z\text{O}$ 、 $\text{Yb}_x\text{Ga}_y\text{Zn}_z\text{O}$ 、 $\text{In}_x\text{Ga}_y\text{O}$ 或以上材料的组合。

在一些实施例中,半导体层 233 为掺杂的半导体层 233,即半导体层 233 中预掺杂有杂质离子。杂质离子可以为 N 型杂质离子或 P 型杂质离子。在一

些实施例中，P 型杂质离子为硼、镓、铟其中的一种或几种，N 型杂质离子包括磷、砷、锑其中的一种或几种。本实施例中，半导体层 233 中掺杂的杂质离子为 P 型杂质离子。在其他实施例中，半导体层 233 也可以为未掺杂的半导体层 233。

牺牲层 202 和半导体层 233 分别通过沉积工艺形成。沉积工艺包括外延工艺。

参考图 5-图 8，其中图 6 为图 5 沿切割线 AA1 方向的剖面结构示意图，图 7 为图 5 沿切割线 BB1 方向的剖面结构示意图，图 8 为图 5 沿切割线 CC1 方向的剖面结构示意图，刻蚀堆叠结构 201，以形成在第一方向和竖直方向贯穿堆叠结构的多个第一沟槽 204，相邻第一沟槽 204 之间剩余的沿第一方向延伸的半导体层为线状半导体图形 203，线状半导体图形 203 沿第一方向延伸、且在第二方向和竖直方向阵列排布，每一个线状半导体图形 203 包括沟道区域 21 和分别位于沟道区域 21 两端并与沟道区域 21 连接的源极区域 23 和漏极区域 22（参考图 5 和图 6），第一方向与第二方向垂直且均平行于半导体衬底 200 上表面。

多个第一沟槽 204 沿竖直方向贯穿堆叠结构 201，多个第一沟槽 204 之间是相互平行的，且形成的第一沟槽 204 是沿第一方向延伸的。本公开中，切割线 AA1 的方向平行于第一方向。

在一些实施例中，在形成第一沟槽 204 时，过刻蚀半导体衬底 200，使得第一沟槽 204 的底部位于半导体衬底 200 中（参考图 8）。

在一些实施例中，刻蚀堆叠结构 201 前，在堆叠结构 201 表面上形成图形化的第一掩膜层（图中未示出），图形化的第一掩膜层中具有沿第一方向延伸的多个开口，多个开口的位置与待形成的多个第一沟槽的位置对应；以图形化的第一掩膜层为掩膜，沿开口刻蚀堆叠结构 201，在堆叠结构中形成沿第一方向延伸的多个平行的第一沟槽 204；去除图形化的第一掩膜层。

在一些实施例中，刻蚀堆叠结构 201 可以采用各向异性的干法刻蚀工艺，比如各向异性的等离子体刻蚀工艺。

每一层的半导体层 233（参考图 1-图 4）在被刻蚀后均会形成多个沿第一方向延伸且相互平行的线状半导体图形 203，每一层的多个线状半导体图形 203 构成一层线状半导体图形层。

每一个线状半导体图形 203 包括沟道区域 21 和分别位于沟道区域 21 两端并与沟道区域 21 连接的源极区域 23 和漏极区域 22（参考图 5 和图 6），沟道区域 21 后续作为横向晶体管的沟道区，源极区域 23 后续用于形成横向晶体管的源区，漏极区域 22 的一部分用于形成横向晶体管的漏区，漏极区域 22 的另一部分用于形成与沟道区域 21 连接的接地掺杂区。

参考图 9-图 12，其中图 10 为图 9 沿切割线 AA1 方向的剖面结构示意图，图 11 为图 9 沿切割线 BB1 方向的剖面结构示意图，图 12 为图 9 沿切割线 CC1 方向的剖面结构示意图，在第一沟槽 204 中形成填充满第一沟槽的第一绝缘层 206。

第一绝缘层 206 用于后续形成的器件之间的电学隔离。

在一些实施例中，第一绝缘层 206 的材料可以为氧化硅、氮化硅、氮氧化硅、碳氧化硅、碳氮化硅、FSG（掺氟的二氧化硅）、BSG（掺硼的二氧化硅）、PSG（掺磷的二氧化硅）或 BPSG（掺硼磷的二氧化硅）、低介电常数（K 小于 2.5）材料中的一种或几种。本实施例中，第一绝缘层 206 的材料为氧化硅，形成第一绝缘层 206 的工艺为化学气相沉积工艺。

在一些实施例中,当牺牲层 202 采用非绝缘材料(比如牺牲层材料为锗硅时),在形成第一绝缘层 206 之前,沿第一沟槽 204 去除相邻漏极区域 22 之间的牺牲层,形成第一空腔,去除相邻漏极区域 22 之间的牺牲层可以采用湿法刻蚀工艺,在一些实施例中,在去除相邻漏极区域 22 之间的牺牲层之前,将漏极区域之外的其他区域可以通过掩膜层(比如光刻胶掩膜层或其他合适的掩膜层)覆盖;形成填充满第一空腔和第一沟槽的第一绝缘层 206。

在其他一些实施例中,当牺牲层 202 采用绝缘材料(比如氧化硅或氮化硅时),在形成第一绝缘层 206 之前,可以不去除相邻漏极区域 22 之间的牺牲层,直接将相邻漏极区域 22 之间的牺牲层作为第一绝缘层的一部分。在形成第一绝缘层 206 之前,也可以沿第一沟槽 204 去除相邻漏极区域 22 之间的牺牲层,形成第一空腔;然后形成填充满第一空腔和第一沟槽的第一绝缘层 206。

在一些实施例中,参考图 13-图 16,其中图 14 为图 13 沿切割线 AA1 方向的剖面结构示意图,图 15 为图 13 沿切割线 BB1 方向的剖面结构示意图,图 16 为图 13 沿切割线 CC1 方向的剖面结构示意图,去除部分第一绝缘层 206 和部分牺牲层 202,形成沿竖直方向和第二方向延伸的多个支撑结构 207,支撑结构填充于线状半导体图形 203 之间,支撑结构 207 的材料与第一绝缘层 206 和牺牲层 202 的材料不相同。

支撑结构 207 在后续工艺中用于支撑线状半导体图形 203,防止线状半导体图形 203 由于悬空而变形。

在一实施例中,支撑结构 207 至少为两个,两个支撑结构 207 分别位于沟道区域 21 的两端。支撑结构 207 的材料与第一绝缘层 206 和牺牲层 202 的材料不相同,使得后续在刻蚀第一绝缘层 206 和牺牲层 202 时,对支撑结构 207 的刻蚀速率很低,保证了支撑结构 207 的完整。

在一些实施例中,支撑结构 207 的材料可以为氧化硅、氮化硅、氮氧化硅、碳氧化硅、碳氮化硅。本实施例中,支撑结构 207 的材料为氮化硅。

在一些实施例中,在形成支撑结构 207 之前,需要刻蚀牺牲层 202 和第一绝缘层 206,在牺牲层 202 和第一绝缘层 206 中形成沿第二方向延伸的至少两个开口,在开口中形成填充满开口的支撑结构 207。

第二方向位于第一方向具有一定夹角的方向,本实施例中,第二方向与第一方向垂直,或者第二方向与第一方向的夹角为 90° 。

在一实施例中,参考图 17-图 20,其中图 18 为图 17 沿切割线 AA1 方向的剖面结构示意图,图 19 为图 17 沿切割线 BB1 方向的剖面结构示意图,图 20 为图 17 沿切割线 CC1 方向的剖面结构示意图,刻蚀去除相邻漏极区域 22 之间的第一沟槽 204 中的中间部分的第一绝缘层 206,以在第一沟槽 204 中的第一绝缘层 206 中形成沿第一方向延伸的第二开口 208,第二开口 208 底部暴露出半导体衬底 200 的部分表面。

第二开口 208 中后续用于形成隔离层,隔离层用于电学隔离在隔离层两侧分别形成位线和接地导电插塞。形成第二开口 208 采用各向异性的干法刻蚀工艺,在刻蚀第一绝缘层 206 之前,在堆叠结构表面形成图形化的掩膜层,以图形化的掩膜层为掩膜,刻蚀相邻漏极区域 22 之间的第一沟槽 204 中的中间部分的第一绝缘层 206,在第一沟槽 204 中的第一绝缘层 206 中形成沿第一方向延伸的第二开口 208。

在一些实施例中,第二开口 208 的尺寸为第一沟槽 204 尺寸的 10%-20%,在保证后续第二开口 208 中形成的隔离层的电学隔离性能的同时,在隔离层的两侧暴露足够的空间以分别形成位线和接地导电插塞。第二开口 208 的尺寸为

沿第二方向上第二开口 208 两侧壁之间的垂直距离, 第一沟槽 204 的尺寸为沿第二方向上第一沟槽 204 两侧壁之间的垂直距离

在一些实施例中, 参考图 21-图 24, 其中图 22 为图 21 沿切割线 AA1 方向的剖面结构示意图, 图 23 为图 21 沿切割线 BB1 方向的剖面结构示意图, 图 24 为图 21 沿切割线 CC1 方向的剖面结构示意图, 形成填充第二开口的隔离层 209。

隔离层 209 的材料与第一绝缘层 206 的材料不相同, 隔离层 209 的材料可以为氧化硅、氮化硅、氮氧化硅、碳氧化硅、碳氮化硅。本实施例中, 隔离层 209 的材料为氮化硅。

在一实施例中, 参考图 25-图 28, 其中图 26 为图 25 沿切割线 AA1 方向的剖面结构示意图, 图 27 为图 25 沿切割线 BB1 方向的剖面结构示意图, 图 28 为图 25 沿切割线 CC1 方向的剖面结构示意图, 去除相邻沟道区域 21 之间的牺牲层和第一绝缘层, 在去除牺牲层的位置形成第二空腔, 第二空腔与第一沟槽连通, 使沟道区域 21 悬空; 在沟道区域的表面形成字线介质层 (图中未示出); 在每一层的沟道区域的字线介质层上形成沿第二方向延伸的金属字线 210。

本实施例中, 沟道区域 21 预掺杂有 P 型杂质离子, 将沟道区域 21 直接作为横向晶体管的沟道区。在其他实施例中, 在形成字线介质层之前, 对沟道区域进行杂质离子掺杂, 在沟道区域 21 中形成横向晶体管的沟道区。

本实施例中, 金属字线为水平字线 (水平字线呈水平设置, 平行于半导体衬底 200 表面), 每一层中的多个线状半导体图形的沟道区域 21 都与一个金属字线 210 对应, 相邻层的金属字线 210 是分立或分开的。

本实施例中, 金属字线 210 为环绕栅结构, 每一个金属字线 210 环绕某一层中沿第二方向排布的多个沟道区域 21 表面上。

在其他实施例中, 金属字线可以为双层栅结构, 每一个金属字线中的双层栅分别位于某一层中沿第二方向排布的多个沟道区域的上下表面上。

在一实施例中, 字线介质层的材料可以为氧化硅或高 K (K 大于 2.5) 介电材料, 金属字线的材料可以为 Al、Cu、Ag、Au、Pt、Ni、Ti、TiN、TaN、Ta、TaC、TaSiN、W、WN、Wsi 中的一种或几种。

在其他实施例中, 形成的金属字线为垂直字线 (垂直字线呈竖直设置, 垂直于半导体衬底 200 的表面), 每一个金属字线环绕竖直方向上的多个沟道区域 21 表面的字线介质层, 或者位于竖直方向上的多个沟道区域 21 表面的字线介质层的表面上, 且相邻的额两个金属字线是分立或分开的。

在一些实施例中, 形成金属字线 210 后, 在剩余的第一沟槽和第二空腔填充第二绝缘层 211 (参考图 26 和图 27)。

本实施例中, 字线介质层和金属字线 210 先于后续形成的位线和接地导线插塞形成。在其他实施例中, 字线介质层和金属字线 210 在形成位线和接地导线插塞之后形成。

参考图 29-图 32, 其中图 30 为图 29 沿切割线 AA1 方向的剖面结构示意图, 图 31 为图 29 沿切割线 BB1 方向的剖面结构示意图, 图 32 为图 29 沿切割线 CC1 方向的剖面结构示意图, 刻蚀去除隔离层 209 另一侧 (另一侧为隔离层 209 的不与后续形成的位线相接触的一侧) 的部分第一绝缘层 206, 形成第三开口 212, 第三开口 212 的侧面暴露出竖直方向上的多个漏极区域 22 的第二侧面。

每一个漏极区域沿第二方向上均包括相对的第一侧面和第二侧面。

第三开口 212 中后续用于形成位线，并且第三开口 212 还用于作为对漏极区域进行掺杂形成漏区的窗口。

参考图 33-图 36，其中图 34 为图 33 沿切割线 AA1 方向的剖面结构示意图，图 35 为图 33 沿切割线 BB1 方向的剖面结构示意图，图 36 为图 33 沿切割线 CC1 方向的剖面结构示意图，沿第三开口 212，对第三开口 212 暴露的竖直方向上的多个漏极区域 22 进行掺杂，在漏极区域 22 中形成漏区 213，漏区 213 与后续形成的接地掺杂区邻接，且漏区 213 的掺杂类型与接地掺杂区和沟道区域 21 的掺杂类型相反。

沿第三开口 212，对第三开口 212 暴露的漏极区域 22 进行离子注入工艺形成漏区 213，漏区 213 仅形成在漏极区域 22 的一部分区域（靠近第三开口 212 的部分区域）中，漏极区域 22 另一部分区域后续用于形成接地掺杂区。

漏区 213 中掺杂的杂质离子可以为 N 型杂质离子或 P 型杂质离子。在一些实施例中，P 型杂质离子为硼、镓、铟其中的一种或几种，N 型杂质离子包括磷、砷、锑其中的一种或几种。本实施例中，半导体层 233 中掺杂的杂质离子为 N 型杂质离子。

参考图 37-图 40，其中图 38 为图 37 沿切割线 AA1 方向的剖面结构示意图，图 39 为图 37 沿切割线 BB1 方向的剖面结构示意图，图 40 为图 37 沿切割线 CC1 方向的剖面结构示意图，在第三开口中形成填充第三开口的位线 214，位线 214 与多个漏区 213 连接。

每一根位线 214 与第三开口中暴露的多个漏区 213 连接。位线 214 的材料为金属，金属可以为 Al、Cu、Ag、Au、Pt、Ni、Ti、TiN、TaN、Ta、TaC、TaSiN、W、WN、Wsi 中的一种或几种。

本实施例中，位线 214 形成在第一沟槽中，与漏区 213 的侧面（漏区侧面为平行于第一方向的面）连接。在其他实施例中，位线可以形成在漏区 213 的端部或漏区 213 中，通过形成贯穿漏区 213 的通孔后，在通孔中填充导电材料形成。

在其他实施例中，当形成的金属字线为垂直字线（垂直字线呈竖直设置，垂直于半导体衬底 200 的表面），每一个金属字线环绕竖直方向上的多个沟道区域 21 表面的字线介质层，或者位于竖直方向上的多个沟道区域 21 表面的字线介质层的表面上，且相邻的两个金属字线是分立或分开的时，形成的位线可以为多个水平位线（水平位线呈水平设置，平行于半导体衬底 200 的表面），多个水平位线为分立的，每一个水平位线将某一层中的多个漏区连接在一起，且水平位线不会与后续形成的接地掺杂区存在连接。

参考图 41-图 44，其中图 42 为图 41 沿切割线 AA1 方向的剖面结构示意图，图 43 为图 41 沿切割线 BB1 方向的剖面结构示意图，图 44 为图 41 沿切割线 CC1 方向的剖面结构示意图，刻蚀漏极区域 22 一侧的第一沟槽中的部分第一绝缘层 206，在第一绝缘层 206 中形成第一开口 215，第一开口 215 的侧面暴露出竖直方向上的多个漏极区域 22 的一侧侧壁，第一开口 215 底部暴露出半导体衬底的部分表面。

本实施例中，刻蚀去除隔离层 209 一侧的部分第一绝缘层，形成第一开口 215，第一开口 215 中后续形成接地导电插塞，且第一开口作为形成接地掺杂区时的离子注入的窗口。第一开口 215 与前述形成的第三开口分别位于隔离层 209 的两侧，因而第一开口 215 形成的接地导电插塞和第三开口中形成的位线也分别位于隔离层 209 的两侧。

参考图 45-图 48，其中图 46 为图 45 沿切割线 AA1 方向的剖面结构示意图

图, 图 47 为图 45 沿切割线 BB1 方向的剖面结构示意图, 图 48 为图 45 沿切割线 CC1 方向的剖面结构示意图, 对第一开口 215 暴露的漏极区域 22 进行离子掺杂, 以在漏极区域 22 中形成接地掺杂区 216, 接地掺杂区 216 与沟道区域 21 连接, 且与沟道区域 21 具有相同的掺杂类型。

沿第一开口 215, 对第一开口 215 暴露的漏极区域 22 进行离子注入工艺形成接地掺杂区 216, 接地掺杂区 216 仅形成在漏极区域 22 的一部分区域 (靠近第一开口 215 的部分区域) 中, 且接地掺杂区 216 位于漏区 213 一侧。

接地掺杂区 216 中掺杂的杂质离子可以为 N 型杂质离子或 P 型杂质离子。在一些实施例中, P 型杂质离子为硼、镓、铟其中的一种或几种, N 型杂质离子包括磷、砷、锑其中的一种或几种。本实施例中, 接地掺杂区 216 中掺杂的杂质离子为 P 型杂质离子。

本实施例中, 接地掺杂区 216 与沟道区域 21 连接, 且与沟道区域 21 具有相同的掺杂类型, 使得接地掺杂区 216 与沟道区域 21 是导通的, 后续在第一开口中形成接地导电插塞后, 接地导电插塞与接地掺杂区 216 之间是连接导通的, 因而通过形成接地掺杂区 216 和接地导电插塞使得沟道区域 21 可以接地, 从而将沟道区域 21 积累的电荷通过接地掺杂区 216 和接地导电插塞释放掉, 防止浮体效应的产生, 提高了器件的性能, 并且接地掺杂区 216 是形成在漏极区域中, 接地导电插塞是形成在第一沟槽中, 不会占据额外的面积, 能保证形成的 DRAM 器件的集成度。

参考图 49-图 52, 其中图 50 为图 49 沿切割线 AA1 方向的剖面结构示意图, 图 51 为图 49 沿切割线 BB1 方向的剖面结构示意图, 图 52 为图 49 沿切割线 CC1 方向的剖面结构示意图, 在第一开口中填充导电材料, 形成接地导电插塞 217, 接地导电插塞 217 与接地掺杂区 216 和半导体衬底 200 连接。

接地导电插塞 217 的材料为金属或掺杂的多晶硅, 金属可以为 Al、Cu、Ag、Au、Pt、Ni、Ti、TiN、TaN、Ta、TaC、TaSiN、W、WN、Wsi 中的一种或几种。

半导体衬底上具有接地端, 接地导电插塞 217 的上端与接地掺杂区 216 连接, 接地导电插塞 217 的底端与半导体衬底 200 上的接地端连接, 因而本公开中通过形成接地掺杂区 216 和接地导电插塞 217 使得沟道区域 21 可以接地, 从而将沟道区域 21 积累的电荷通过接地掺杂区 216 和接地导电插塞 217 释放掉, 防止浮体效应的产生, 提高了器件的性能, 并且接地掺杂区 216 是形成在漏极区域 22 中, 接地导电插塞 217 是形成在第一沟槽 204 中, 不会占据额外的面积, 能保证形成的 3D DRAM 器件的集成度。

本实施例中, 接地导电插塞 217 和位线 214 都是形成在第一沟槽中, 接地导电插塞 217 和位线 214 之间通过隔离层 209 隔离, 接地导电插塞 217 和位线 214 不会占据额外的面积, 有利于提高器件的集成度。

本实施例中, 接地导电插塞 217 在位线 214 之后形成。在其他实施例中, 接地导电插塞 217 可以在位线 214 之前形成。

在一实施例中, 还包括: 对源极区域 23 进行掺杂, 在源极区域中形成源区 (图中未示出), 源区的掺杂类型与漏区的掺杂类型相同; 去除源区之间的牺牲层和隔离层, 在去除牺牲层和隔离层的区域形成与源区连接的电容器 (图中未示出)。

本公开一些实施例还提供了一种半导体结构, 参考图 49-图 52, 其中图 50 为图 49 沿切割线 AA1 方向的剖面结构示意图, 图 51 为图 49 沿切割线 BB1 方向的剖面结构示意图, 图 52 为图 49 沿切割线 CC1 方向的剖面结构示意图,

包括：

半导体衬底 200；

位于半导体衬底 200 上的绝缘层 (206/211) 和线状半导体图形层交替层叠的堆叠结构，每一层线状半导体图形层包括沿第一方向延伸的多个平行的线状半导体图形 203，线状半导体图形 203 包括沟道区和与沟道区连接的接地掺杂区 216；且接地掺杂区 216 与沟道区具有相同的掺杂类型；

位于相邻线状半导体图形 203 之间的接地导电插塞 217，接地导电插塞 217 沿竖直方向贯穿堆叠结构且连接半导体衬底 200，且接地导电插塞 217 在第二方向的一侧与接地掺杂区 216 连接。

在一些实施例中，还包括：线状半导体图形 203 还包括与沟道区连接的漏区 213，漏区 213 位于接地掺杂区 216 一侧，且漏区 213 的掺杂类型与接地掺杂区 216 和沟道区的掺杂类型相反；位于接地导电插塞 217 的远离与接地掺杂区 216 接触的一侧侧面的隔离层 209；位于隔离层 209 的在第二方向的远离接地导电插塞 217 一侧的位线 214，位线 214 沿竖直方向贯穿堆叠结构且位线 214 与多个漏区 213 连接。在一些实施例中，隔离层 209 与绝缘层 (206) 的材料不相同。

在一些实施例中，隔离层 209 的尺寸为第一沟槽 204 尺寸的 10%-20%。

在一些实施例中，还包括：位于沟道区的表面形成字线介质层 (图中未示出)；位于每一层的沟道区的字线介质层上的沿第二方向延伸的金属字线 210；相邻金属字线 210 之间的区域被绝缘层填充。

在一些实施例中，金属字线 210 为环绕栅结构，每一个金属字线 210 环绕某一层中沿第二方向排布的多个沟道区表面上。

在一些实施例中，金属字线为双层栅结构，每一个金属字线中的双层栅分别位于某一层中沿第二方向排布的多个沟道区的上下表面上。

在一些实施例中，还包括：位于多个绝缘层中以及顶层的线状半导体图形 203 的表面上的沿第二方向延伸的多个支撑结构 207，支撑结构 207 的材料与绝缘层不相同。

在一些实施例中，接地导电插塞 217 的材料为金属或掺杂的多晶硅。

在一些实施例中，还包括：位于源极区域 23 中的源区 (图中未示出)，源区的掺杂类型与漏区的掺杂类型相同；与源区连接的电容器 (图中未示出)。

需要说明的是，前述半导体结构的一些实施例中与前述半导体结构形成方法的一些实施例中相同或相似部分的限定或描述在此不再赘述，具体请参考前述半导体结构形成方法的一些实施例中相应部分的限定或描述。

本公开虽然已以较佳实施例公开如上，但其并不是用来限定本公开，任何本领域技术人员在不脱离本公开的精神和范围内，都可以利用上述揭示的方法和技术内容对本公开技术方案做出可能的变动和修改，因此，凡是未脱离本公开技术方案的内容，依据本公开的技术实质对以上实施例所作的任何简单修改、等同变化及修饰，均属于本公开技术方案的保护范围。

权利要求

1. 一种半导体结构的形成方法，其中，包括：
提供半导体衬底（200）；
在所述半导体衬底（200）上形成沿第一方向延伸、且在第二方向和竖直方向阵列排布的线状半导体图形（203），所述线状半导体图形（203）之间形成有第一绝缘层（206）；所述线状半导体图形（203）包括沟道区域（21）和与所述沟道区域（21）连接的漏极区域（22）；刻蚀所述漏极区域（22）一侧的部分所述第一绝缘层（206），以形成第一开口（215），所述第一开口（215）暴露出竖直方向上排布的多个漏极区域（22）的第一侧壁，所述第一开口（215）底部暴露出所述半导体衬底（200）的部分表面；
对所述第一开口（215）暴露的漏极区域（22）进行离子掺杂，以在所述漏极区域（22）中形成接地掺杂区（216），所述接地掺杂区（216）与所述沟道区域（21）连接，且与所述沟道区域（21）具有相同的掺杂类型；
在所述第一开口（215）中填充导电材料，形成接地导电插塞（217），所述接地导电插塞（217）与所述接地掺杂区（216）和所述半导体衬底（200）电连接。
2. 根据权利要求 1 所述的半导体结构的形成方法，其中，在所述半导体衬底（200）上形成沿第一方向延伸、且在第二方向和竖直方向阵列排布的线状半导体图形（203），包括：
在所述半导体衬底（200）上形成牺牲层和半导体层在所述竖直方向上交替层叠的堆叠结构；
刻蚀所述堆叠结构，以形成在所述第一方向和竖直方向贯穿所述堆叠结构的多个第一沟槽（204），相邻所述第一沟槽（204）之间剩余的半导体层为线状半导体图形（203），所述竖直方向垂直于所述半导体衬底（200）上表面，所述第一方向与所述第二方向垂直且均平行于所述半导体衬底（200）上表面；
在所述线状半导体图形（203）之间填充所述第一绝缘层（206）。
3. 根据权利要求 2 所述的半导体结构的形成方法，其中，所述在形成所述第一开口（215）之前，还包括：刻蚀去除所述相邻漏极区域（22）之间的第一沟槽（204）中的中间部分的第一绝缘层（206），以在所述第一沟槽（204）中的第一绝缘层（206）中形成沿第一方向延伸的第二开口（208），所述第二开口（208）底部暴露出所述半导体衬底（200）的部分表面；形成填充所述第二开口（208）的隔离层（209）。
4. 根据权利要求 3 所述的半导体结构的形成方法，其中，所述刻蚀所述漏极区域（22）一侧的部分第一绝缘层（206），包括：
刻蚀去除所述隔离层（209）一侧的部分第一绝缘层（206），形成所述第一开口（215）。
5. 根据权利要求 3 所述的半导体结构的形成方法，其中，所述方法还包括：
刻蚀去除所述隔离层（209）另一侧的部分第一绝缘层（206），形成第三开口（212），所述第三开口（212）暴露出竖直方向上排布的多个漏极区域（22）的第二侧壁；沿第三开口（212），对所述第三开口（212）暴露的竖直方向上的多个漏极区域（22）进行掺杂，在所述漏极区域（22）中形成漏区（213），所述漏区（213）与所述接地掺杂区（216）邻接，且所述漏区（213）的掺杂类型与所述接地掺杂区（216）和所述沟道区域（21）的掺杂类型相反；在所述第三开口（212）中形成填充所述第三开口（212）的位线（214），所述位线（214）与所述多个漏区（213）连接。

6. 根据权利要求 4 所述的半导体结构的形成方法, 其中, 所述方法还包括:
去除所述相邻沟道区域(21)之间的所述牺牲层和所述第一绝缘层(206),
在去除所述牺牲层的位置形成第二空腔, 所述第二空腔与所述第一沟槽
(204) 连通, 使所述沟道区域(21) 悬空; 在所述沟道区域(21) 的表面
形成字线介质层; 在每一层的所述沟道区域(21) 的字线介质层上形成
沿第二方向延伸的金属字线(210); 在剩余的所述第一沟槽(204) 和第
二空腔填充满第二绝缘层(211)。
7. 根据权利要求 6 所述的半导体结构的形成方法, 其中, 所述金属字线(210)
为环绕栅结构, 每一个所述金属字线(210) 环绕同一层沿第二方向排布
的所述多个沟道区域(21) 表面。
8. 根据权利要求 6 所述的半导体结构的形成方法, 其中, 所述金属字线(210)
为双层栅结构, 每一个所述金属字线(210) 中的双层栅分别位于同一层
沿第二方向排布的所述多个沟道区域(21) 的上下表面上。
9. 根据权利要求 2 所述的半导体结构的形成方法, 其中, 所述方法还包括:
去除部分所述第一绝缘层(206) 和部分所述牺牲层, 形成沿所述竖直方
向和所述第二方向延伸的多个支撑结构(207), 所述支撑结构(207) 填
充于线状半导体图形(203) 之间, 所述支撑结构(207) 的材料与所述第
一绝缘层(206) 和所述牺牲层的材料不相同。
10. 根据权利要求 2 所述的半导体结构的形成方法, 其中, 在所述线状半导体
图形(203) 之间填充所述第一绝缘层(206) 之前, 还包括: 沿所述第一
沟槽(204) 去除相邻所述漏极区域(22) 之间的牺牲层, 形成第一空腔;
所述第一绝缘层(206) 还填充满所述第一空腔。
11. 根据权利要求 5 所述的半导体结构的形成方法, 其中, 所述线状半导体图
形(203) 还包括与所述沟道区域(21) 连接的源极区域(23); 所述源极
区域(23) 和漏极区域(22) 分别位于所述沟道区域(21) 两端, 所述方
法还包括: 对所述源极区域(23) 进行掺杂, 在所述源极区域(23) 中形
成源区, 所述源区的掺杂类型与所述漏区(213) 的掺杂类型相同; 去
除所述源极区域(23) 之间的牺牲层和隔离层(209), 在去除所述牺牲层和
隔离层(209) 的区域形成与所述源区电连接的电容器。
12. 一种半导体结构, 其中, 包括:
半导体衬底(200);
位于所述半导体衬底(200) 上的绝缘层和线状半导体图形(203) 层交替
层叠的堆叠结构, 每一层所述线状半导体图形(203) 层包括沿第一方向延
伸的多个平行的线状半导体图形(203), 所述线状半导体图形(203) 包括
沟道区和与所述沟道区连接的接地掺杂区(216); 且所述接地掺杂区(216)
与所述沟道区具有相同的掺杂类型;
位于相邻线状半导体图形(203) 之间的接地导电插塞(217), 所述接地导
电插塞(217) 沿竖直方向贯穿所述堆叠结构且连接所述半导体衬底(200),
且所述接地导电插塞(217) 在第二方向的一侧与所述接地掺杂区(216)
连接。
13. 根据权利要求 12 所述的半导体结构, 其中, 还包括: 所述线状半导体图
形(203) 还包括与所述沟道区连接的漏区(213); 位于所述接地导电插
塞(217) 的远离与所述接地掺杂区(216) 接触的一侧侧面的隔离层(209);
位于所述隔离层(209) 的在所述第二方向的远离所述接地导电插塞(217)
一侧的位线(214), 所述位线(214) 沿竖直方向贯穿所述堆叠结构且所

述位线（214）与所述多个漏区（213）连接。

14. 根据权利要求 13 所述的半导体结构，其中，所述隔离层（209）与所述绝缘层的材料不相同。
15. 根据权利要求 13 所述的半导体结构，其中，还包括：位于所述沟道区的表面的字线介质层；位于每一层的所述沟道区的字线介质层上的沿第二方向延伸的金属字线（210）；相邻所述金属字线（210）之间的区域被绝缘层填充。
16. 根据权利要求 15 所述的半导体结构，其中，所述金属字线（210）为环绕栅结构，每一个所述金属字线（210）环绕某一层中沿第二方向排布的所述多个沟道区表面上。
17. 根据权利要求 15 所述的半导体结构，其中，所述金属字线（210）为双层栅结构，每一个所述金属字线（210）中的双层栅分别位于某一层中沿第二方向排布的所述多个沟道区的上下表面上。
18. 根据权利要求 15 所述的半导体结构，其中，位于所述绝缘层中以及顶层的线状半导体图形（203）的表面上的沿第二方向延伸的多个支撑结构（207），所述支撑结构（207）的材料与所述绝缘层不相同。
19. 根据权利要求 12 所述的半导体结构，其中，所述接地导电插塞（217）的材料为金属或掺杂的多晶硅。
20. 根据权利要求 13 所述的半导体结构，其中，还包括：位于所述源极区域（23）中的源区，所述源区的掺杂类型与所述漏区（213）的掺杂类型相同；与所述源区连接的电容器。

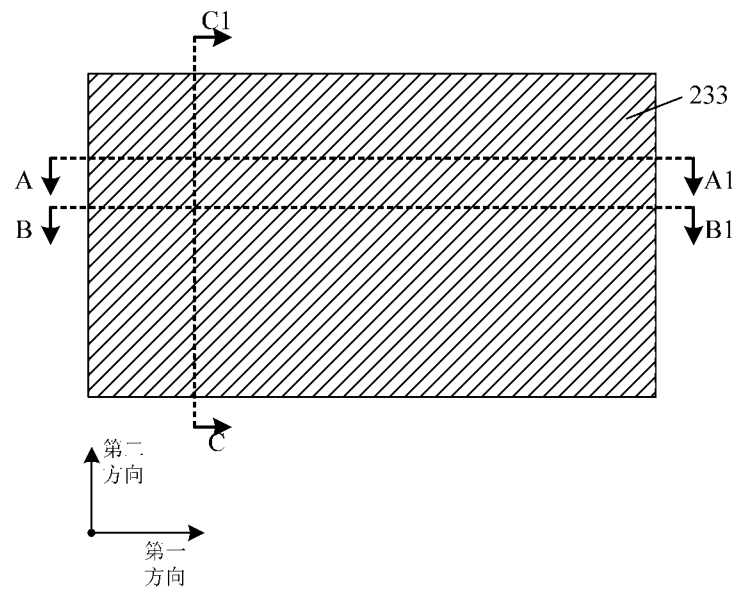


图 1

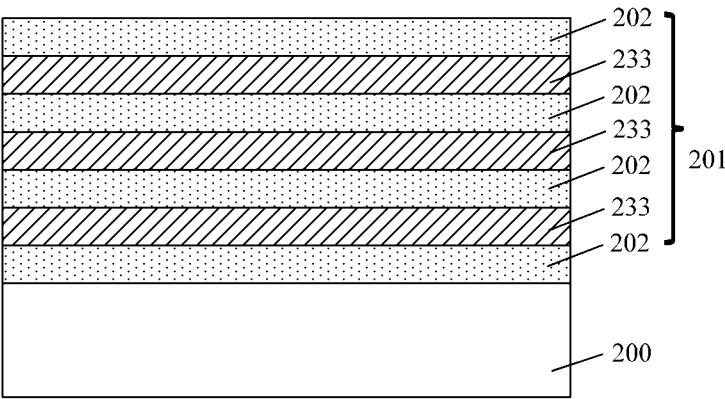


图 2

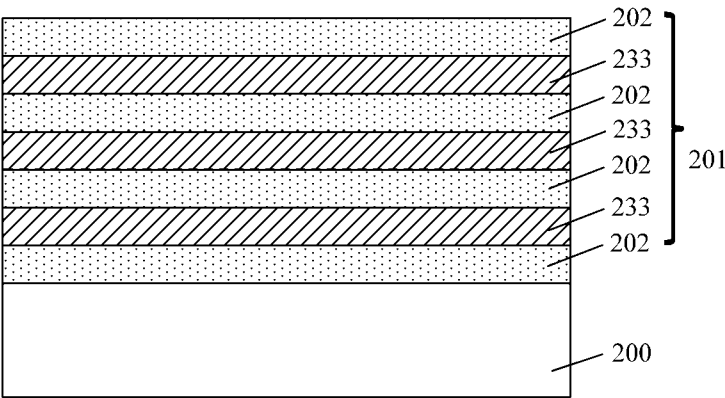


图 3

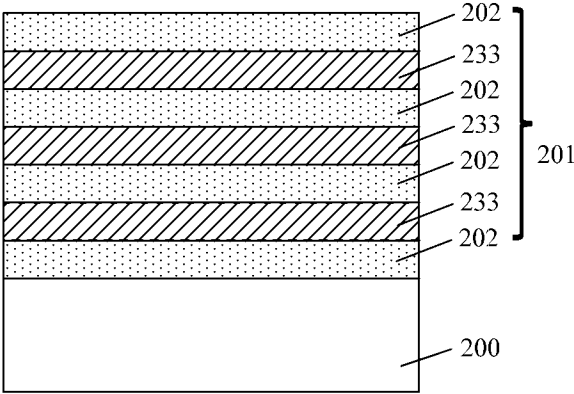


图 4

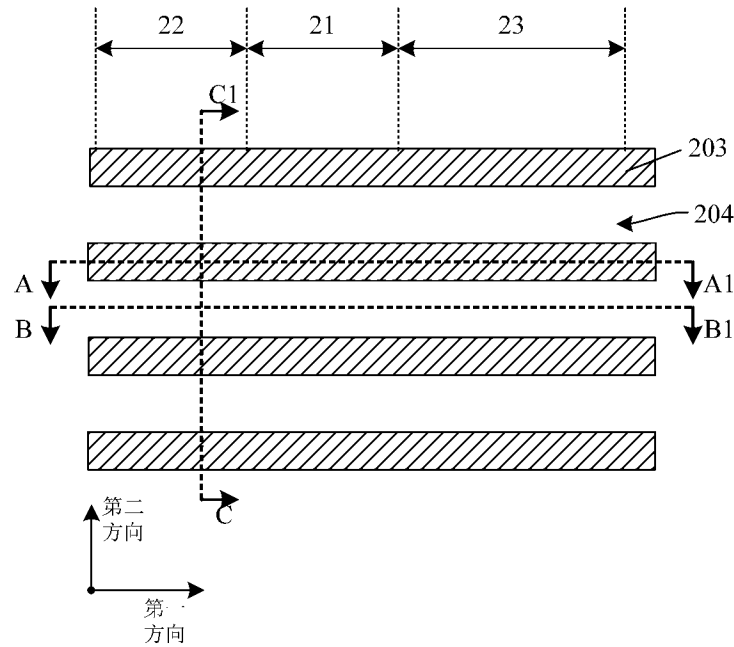


图 5

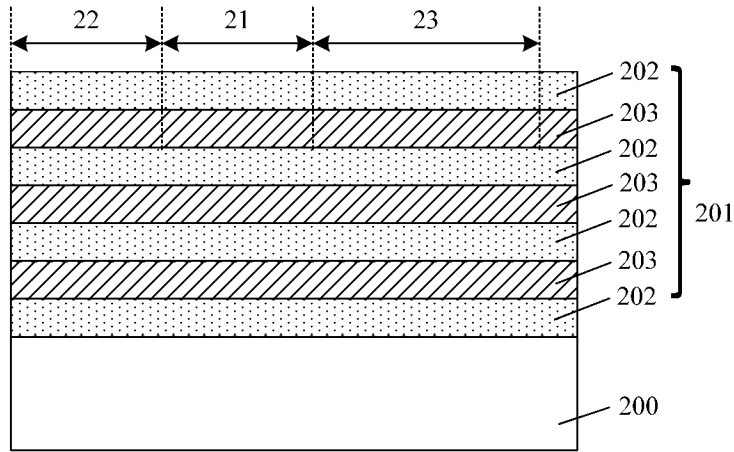


图 6

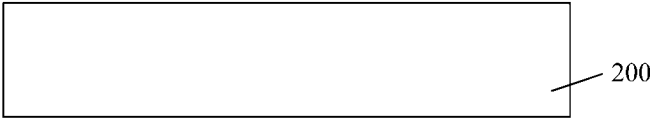


图 7

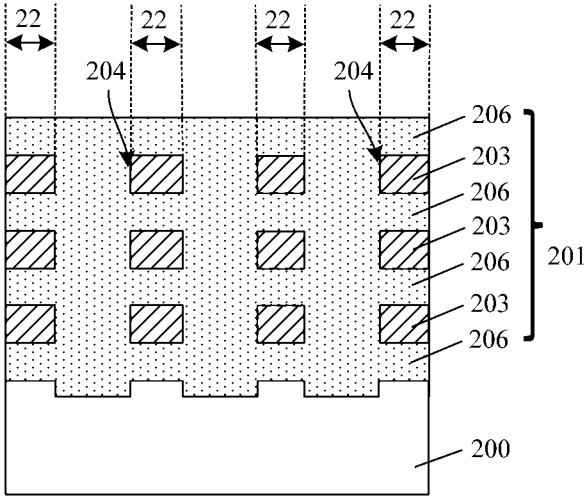


图 8

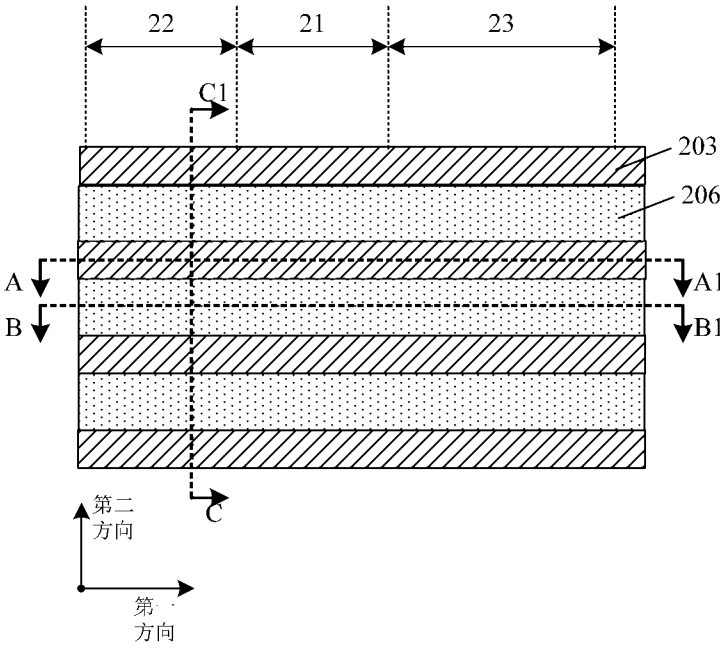


图 9

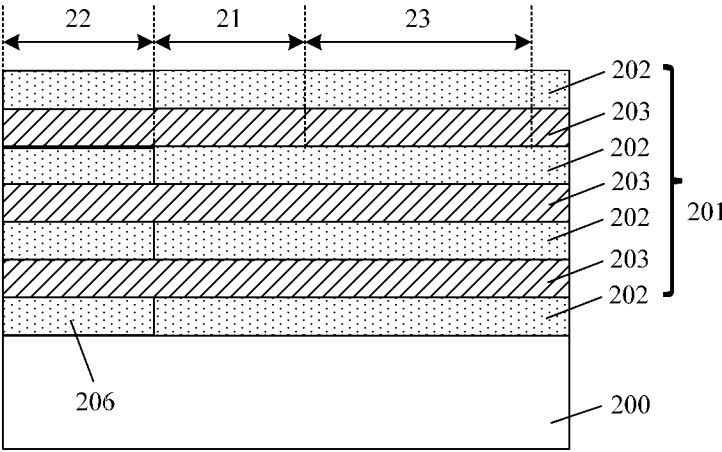


图 10

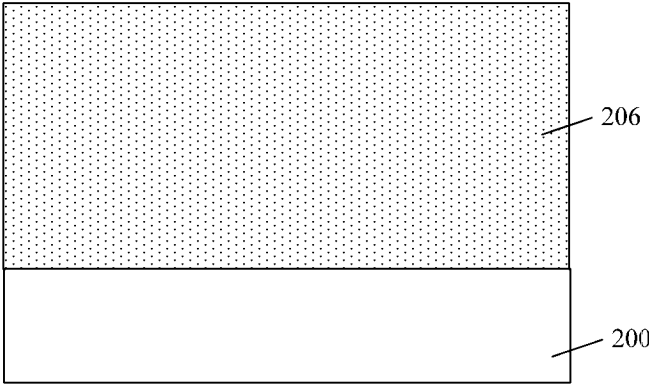


图 11

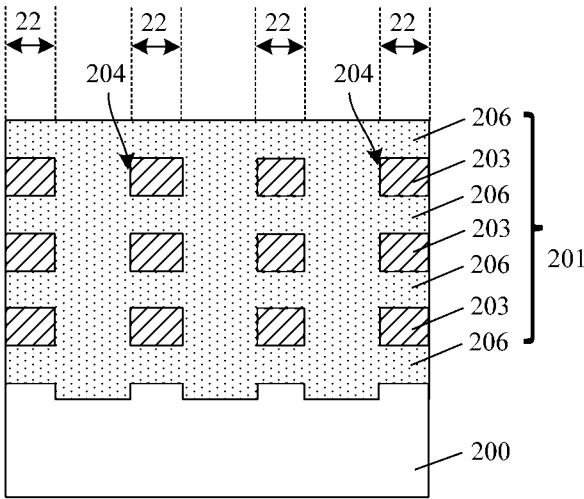


图 12

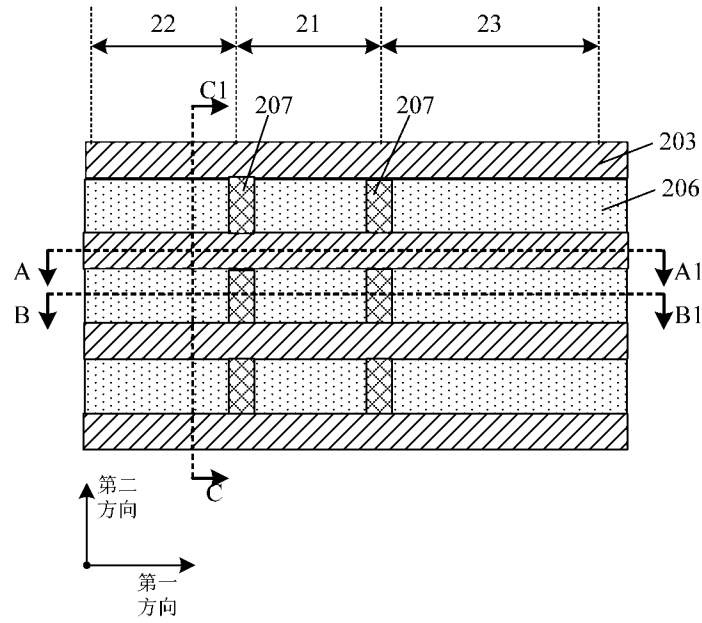


图 13

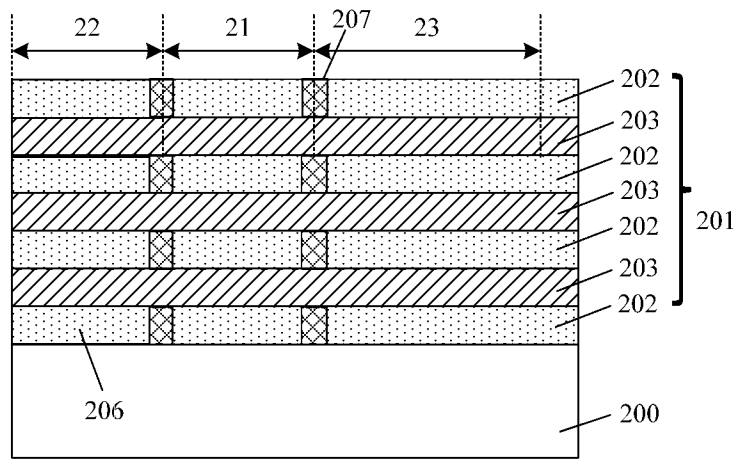


图 14

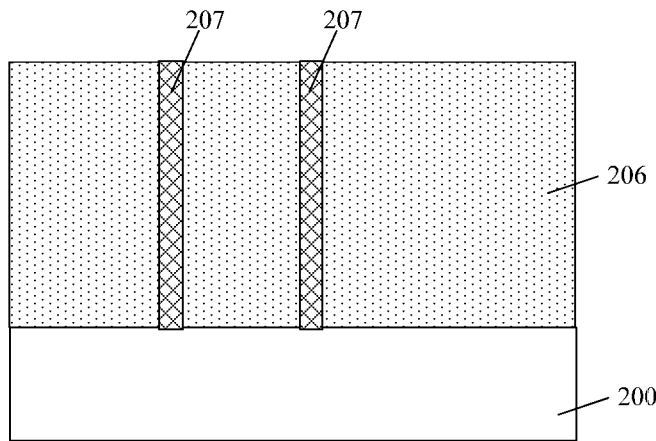


图 15

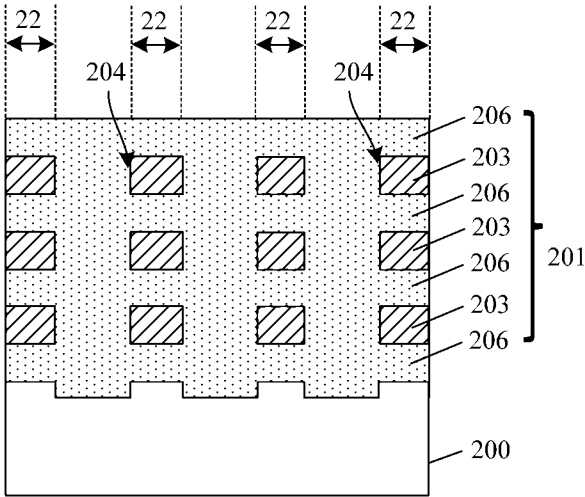


图 16

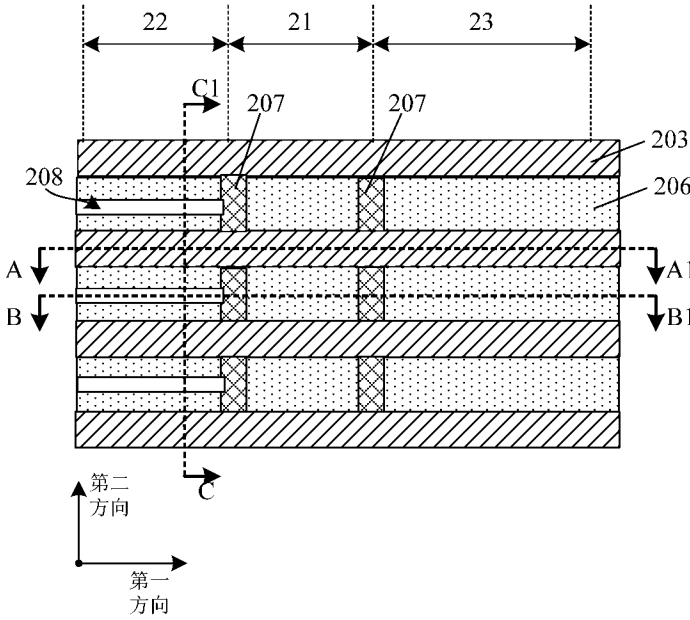


图 17

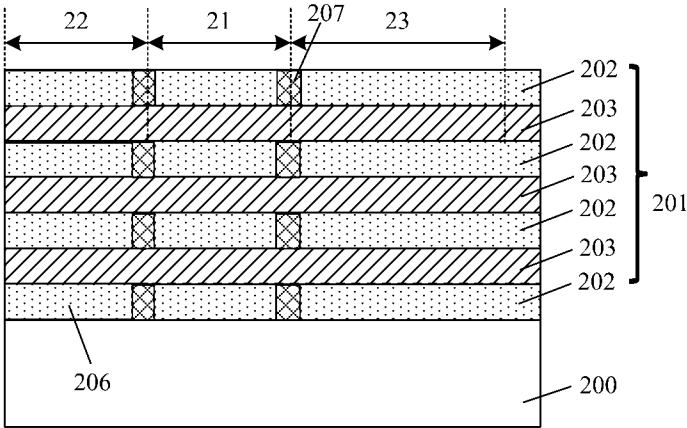


图 18

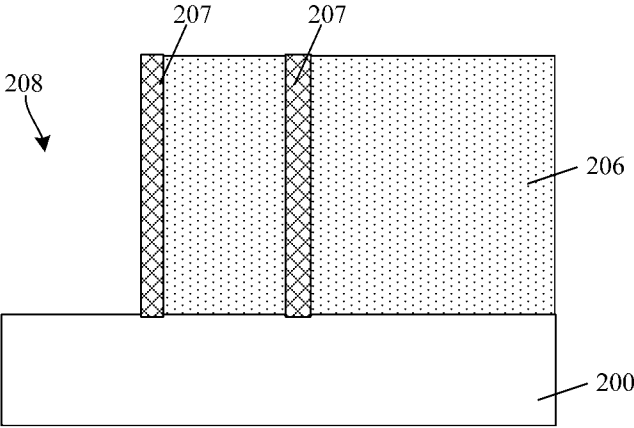


图 19

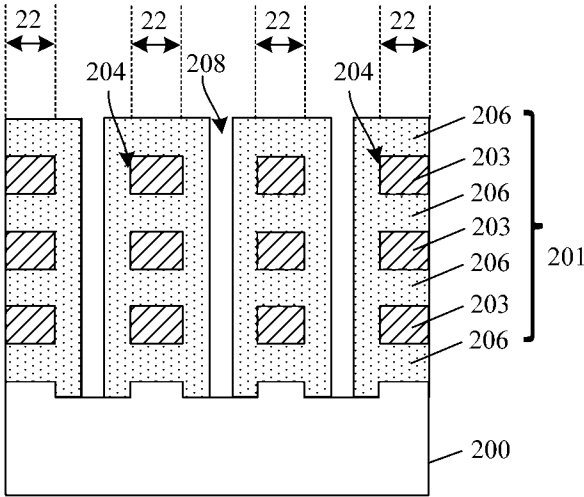


图 20

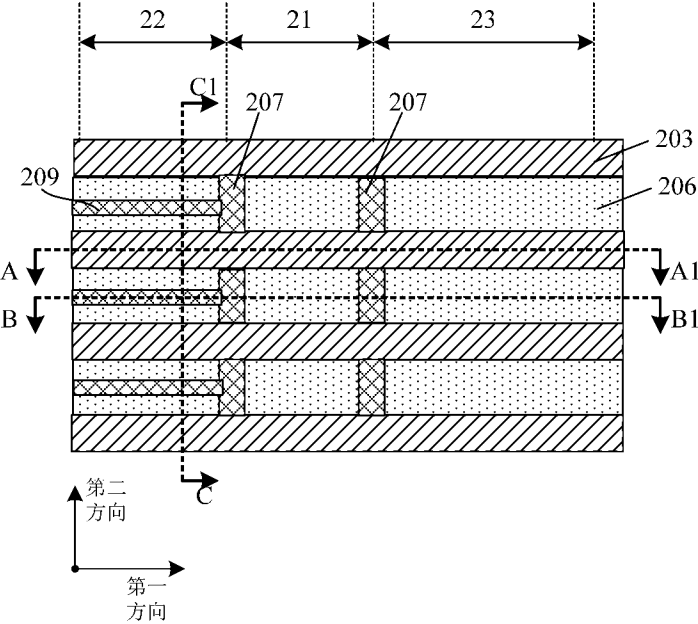


图 21

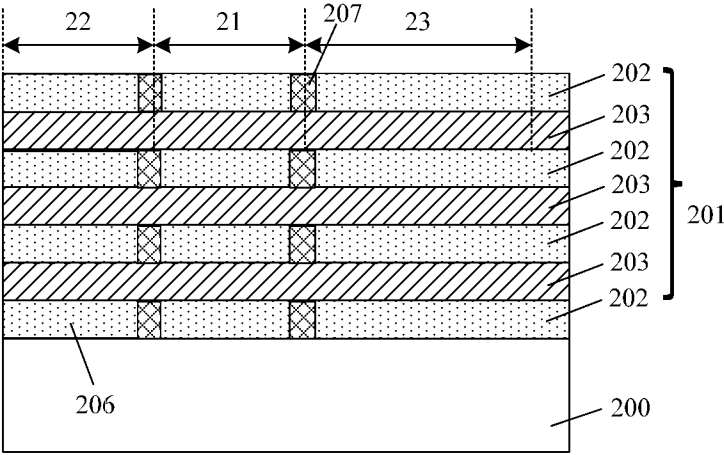


图 22

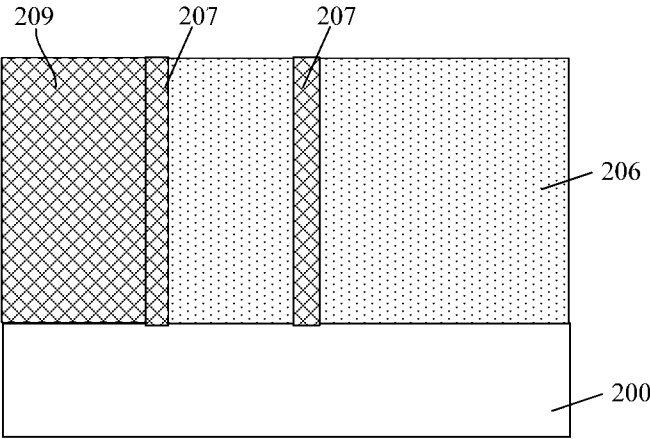


图 23

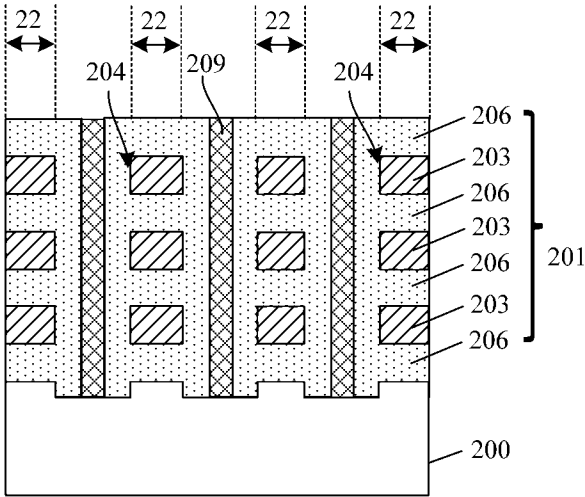


图 24

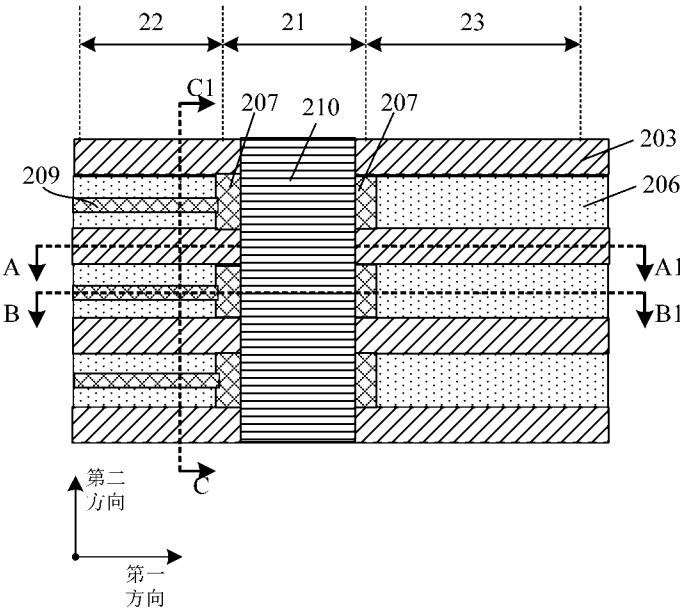


图 25

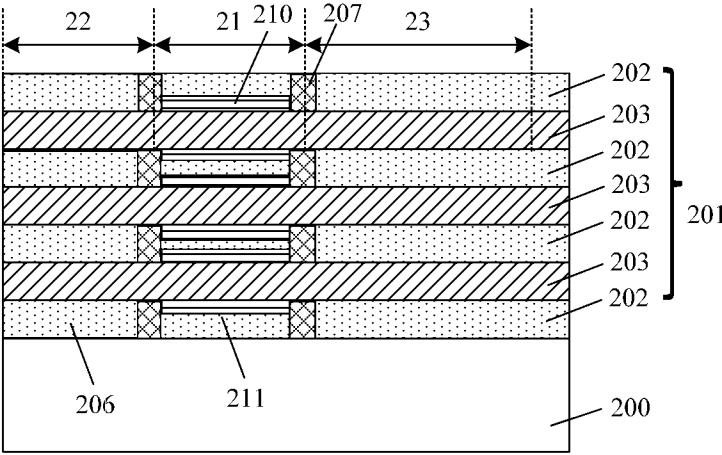


图 26

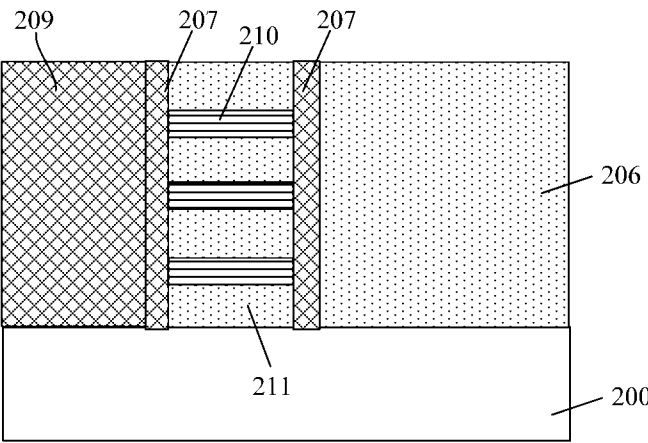


图 27

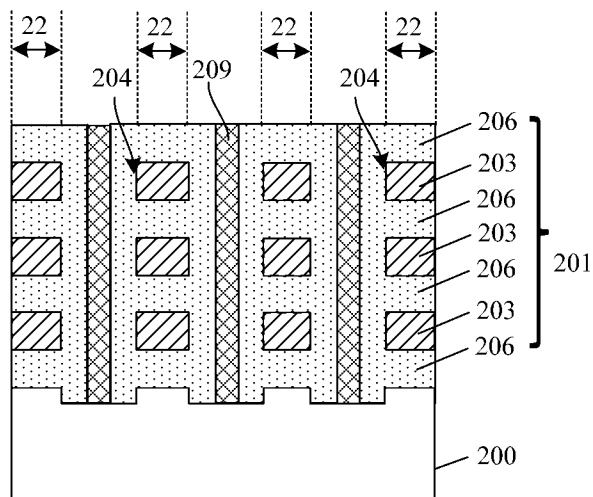


图 28

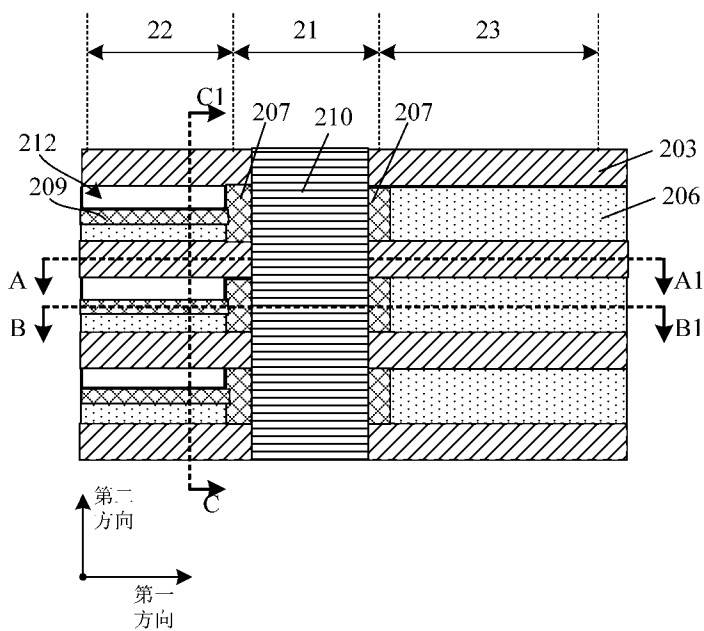


图 29

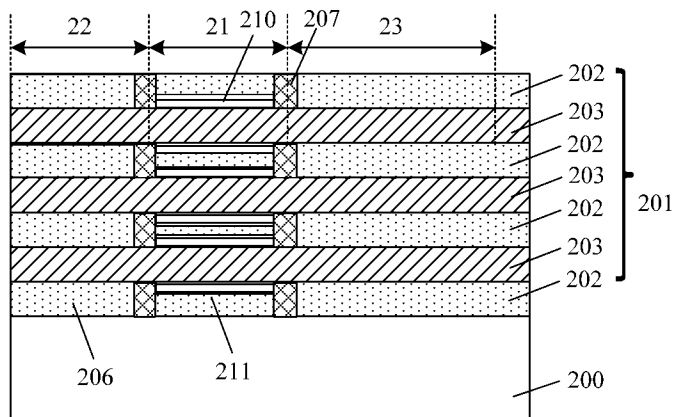


图 30

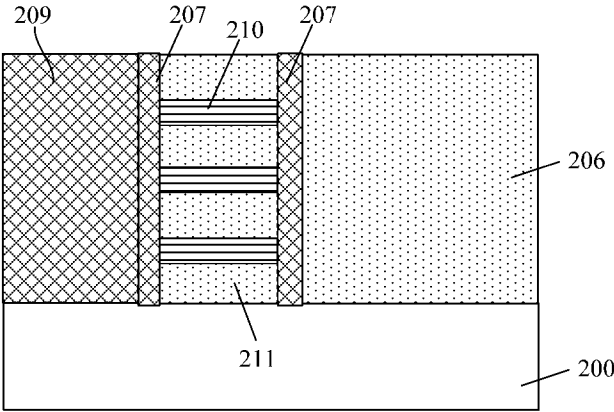


图 31

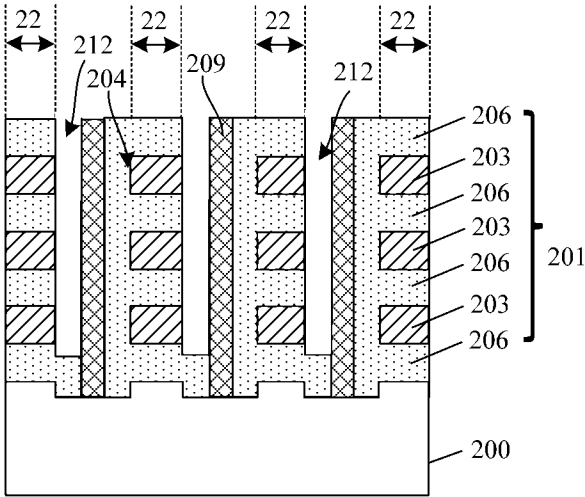


图 32

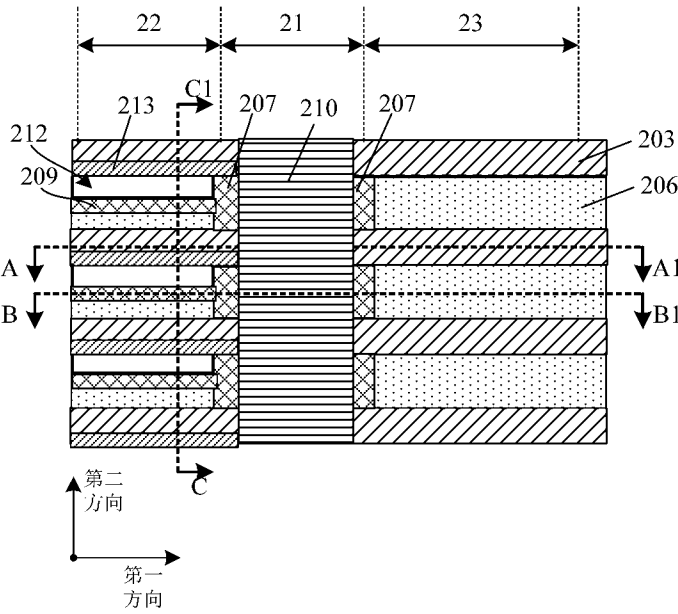


图 33

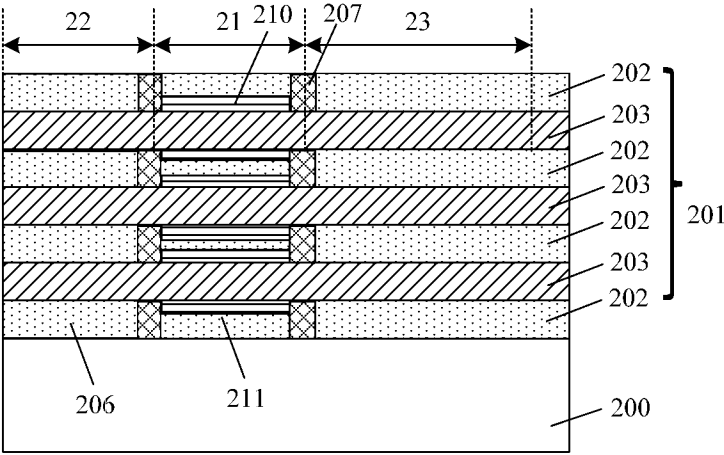


图 34

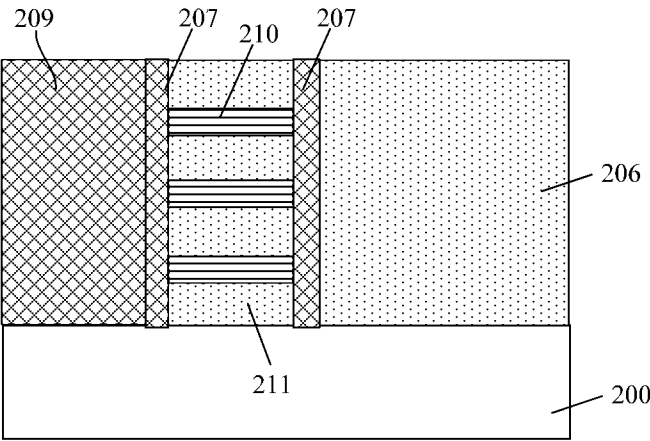


图 35

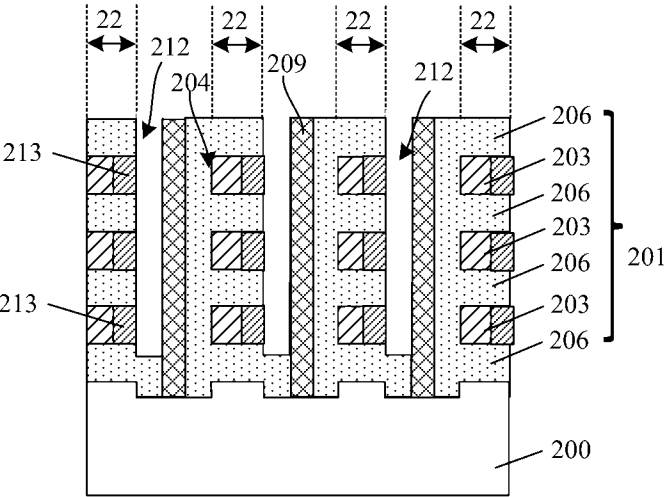


图 36

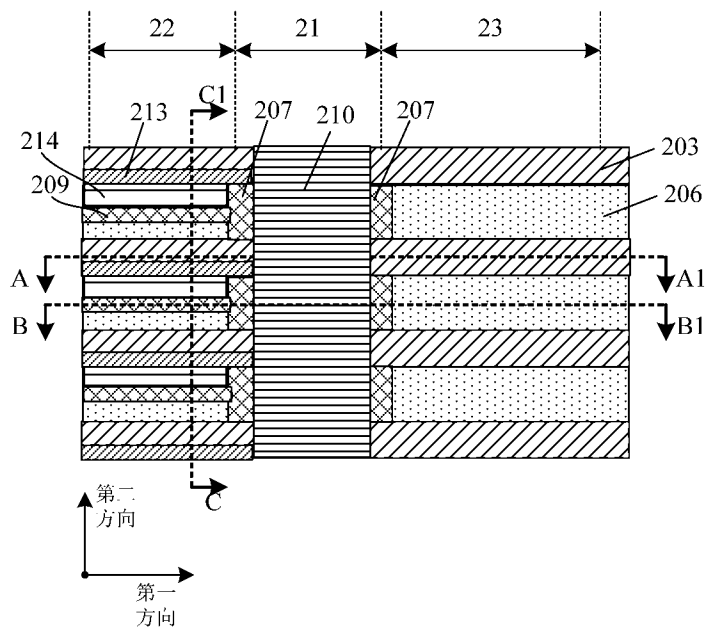


图 37

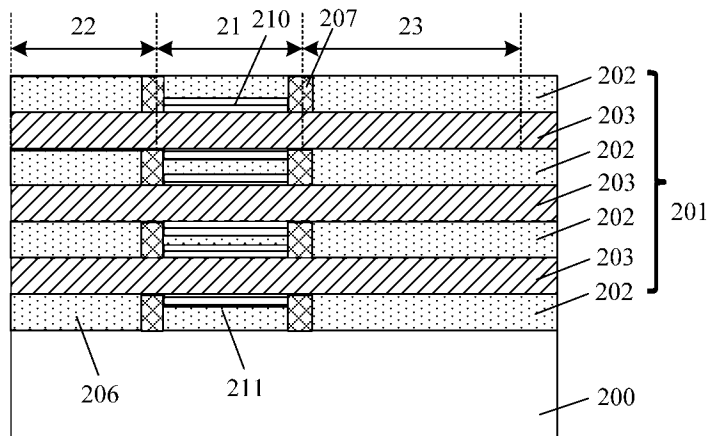


图 38

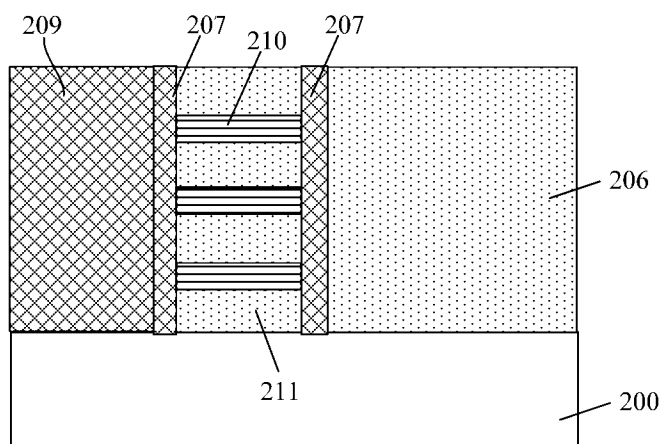


图 39

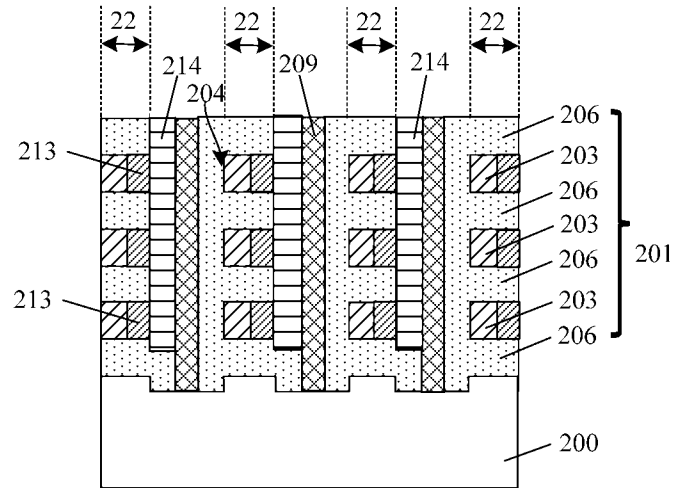


图 40

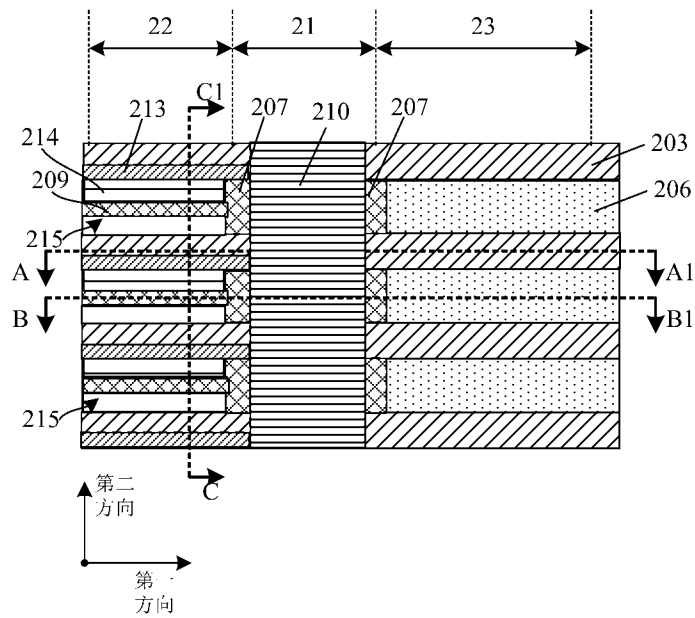


图 41

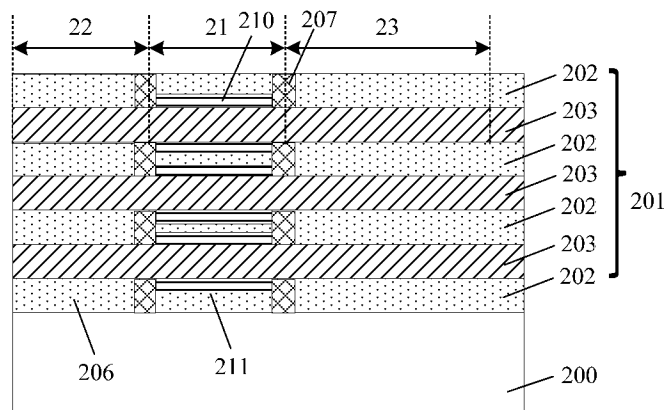


图 42

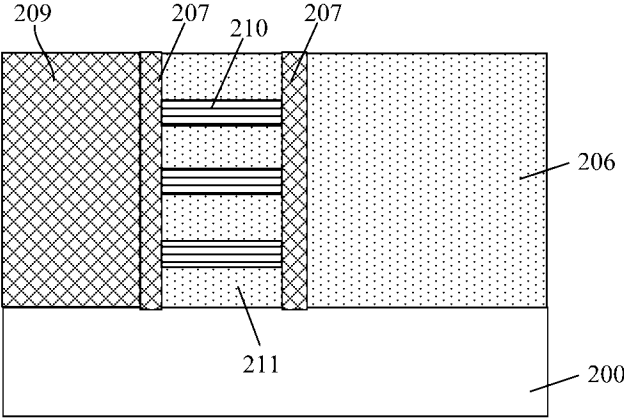


图 43

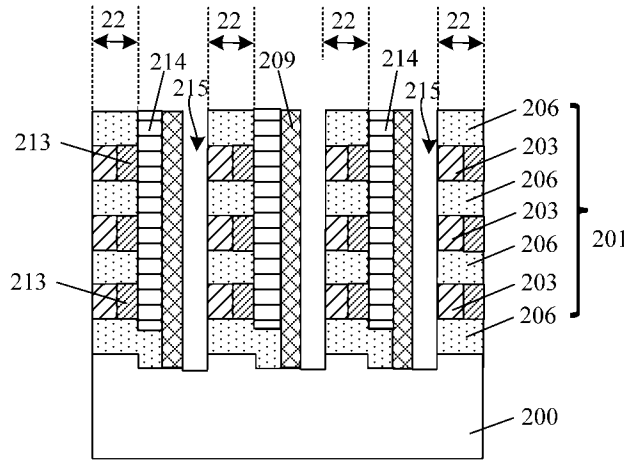


图 44

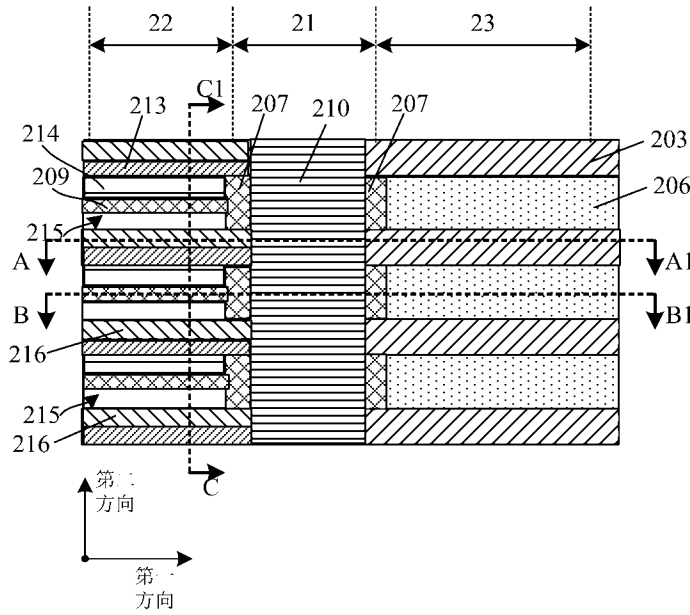


图 45

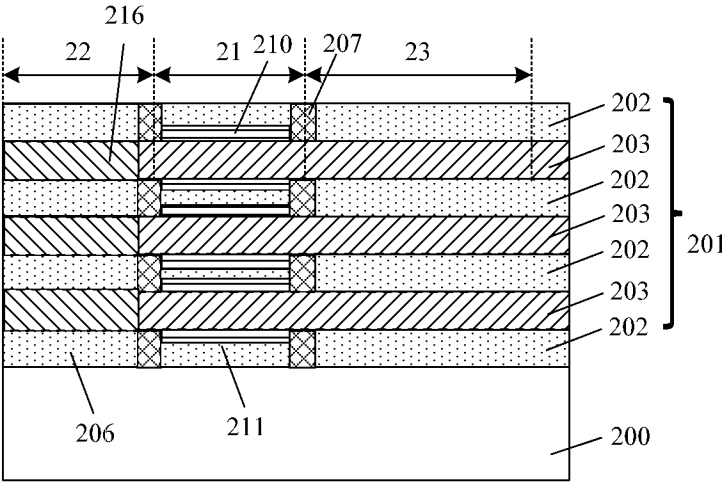


图 46

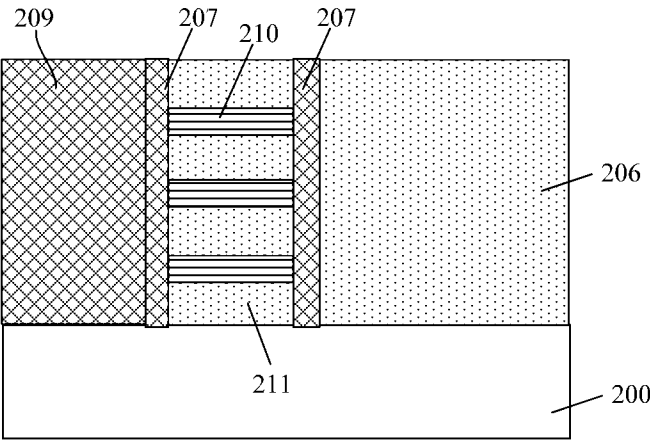


图 47

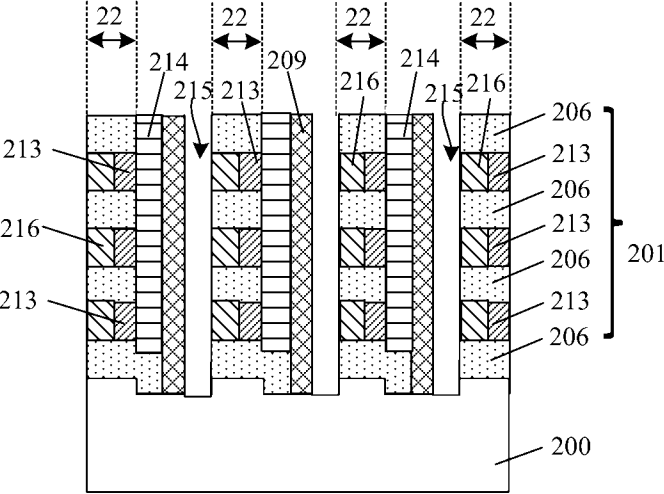


图 48

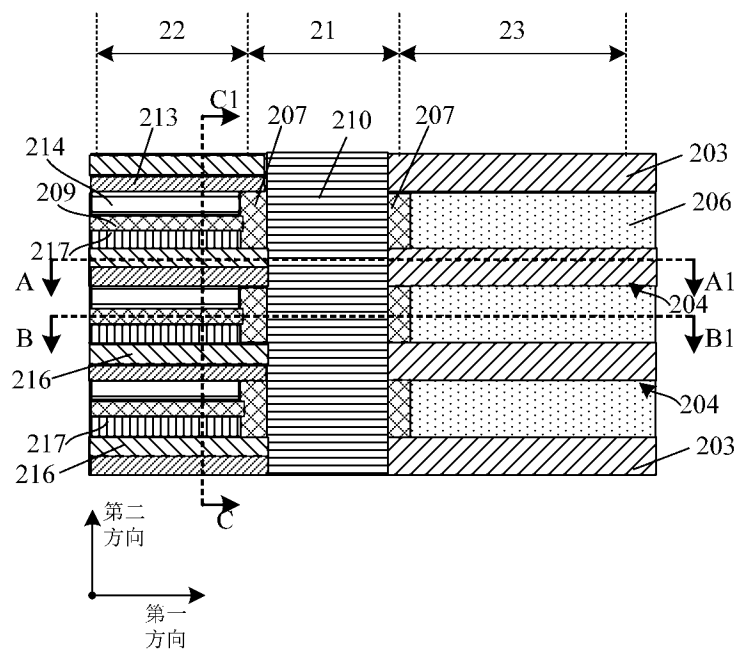


图 49

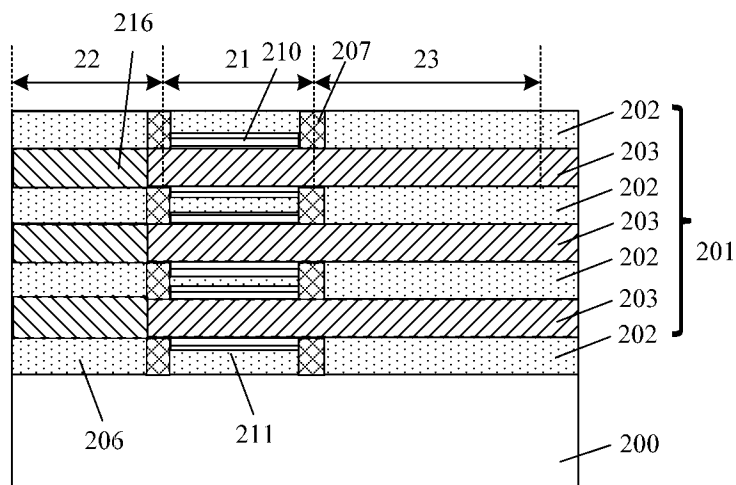


图 50

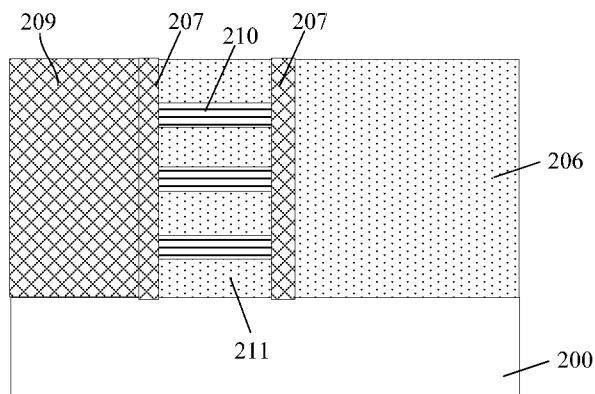


图 51

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/110898

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/768(2006.01)i; H01L 23/538(2006.01)i; H01L 29/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; VEN; USTXT; WOTXT; EPTXT: 长鑫存储, 浮体效应, 掺杂, 掺入, 注入, 导电, 插塞, 接地, 地端, 地线, 漏, floating, effect, implant+, dop+, inject+, conduct+, plug?, ground+, drain?

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 114864503 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 05 August 2022 (2022-08-05) description, paragraphs [0004]-[0091], and figures 1-15b	1-20
Y	CN 106129012 A (SHANGHAI HUAHONG GRACE SEMICONDUCTOR MANUFACTURING CORP.) 16 November 2016 (2016-11-16) description, paragraphs [0036]-[0105], and figures 4-13	1-20
A	CN 114864501 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 05 August 2022 (2022-08-05) entire document	1-20
A	US 2007210374 A1 (WU XIAOZHE) 13 September 2007 (2007-09-13) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 September 2023

Date of mailing of the international search report

28 September 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/110898

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	114864503	A	05 August 2022	None			
CN	106129012	A	16 November 2016	CN	106129012	B	06 September 2019
CN	114864501	A	05 August 2022	None			
US	2007210374	A1	13 September 2007	TW	200735280	A	16 September 2007
				TWI	291218	B	11 December 2007

国际检索报告

国际申请号

PCT/CN2023/110898

A. 主题的分类

H01L 21/768(2006.01)i; H01L 23/538(2006.01)i; H01L 29/08(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;CNKI;VEN;USTXT;WOTXT;EPTXT: 长鑫存储, 浮体效应, 掺杂, 掺入, 注入, 导电, 插塞, 接地, 地端, 地线, 漏, floating, effect, implant+, dop+, inject+, conduct+, plug?, ground+, drain?

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 114864503 A (长鑫存储技术有限公司) 2022年8月5日 (2022 - 08 - 05) 说明书第[0004]-[0091]段, 图1-15b	1-20
Y	CN 106129012 A (上海华虹宏力半导体制造有限公司) 2016年11月16日 (2016 - 11 - 16) 说明书第[0036]-[0105]段, 图4-13	1-20
A	CN 114864501 A (长鑫存储技术有限公司) 2022年8月5日 (2022 - 08 - 05) 全文	1-20
A	US 2007210374 A1 (WU HSIAO-CHE) 2007年9月13日 (2007 - 09 - 13) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年9月12日

国际检索报告邮寄日期

2023年9月28日

ISA/CN的名称和邮寄地址

中国国家知识产权局

中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

王雪梅

电话号码 (+86) 0512-88995945

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/110898

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	114864503	A	2022年8月5日	无	
CN	106129012	A	2016年11月16日	CN	106129012 B 2019年9月6日
CN	114864501	A	2022年8月5日	无	
US	2007210374	A1	2007年9月13日	TW	200735280 A 2007年9月16日
				TWI	291218 B 2007年12月11日