

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-14805
(P2004-14805A)

(43) 公開日 平成16年1月15日(2004.1.15)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/331	HO 1 L 29/72	5 F 0 0 3
HO 1 L 21/76	HO 1 L 29/72	5 F 0 3 2
HO 1 L 29/732	HO 1 L 21/76	
HO 1 L 29/737		

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号	特願2002-166262 (P2002-166262)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成14年6月6日(2002.6.6)	(74) 代理人	100077012 弁理士 岩谷 龍
		(72) 発明者	田中 伸史 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	5F003 AP05 BA25 BA27 BA96 BB02 BB04 BB05 BB07 BB08 BB90 BE08 BF03 BF06 BH06 BH18 BM01 BP07 BP34 BP94 BP96 5F032 AA35 AA36 AA44 AA78 BA01 BA05 CA07 CA18 DA14 DA33 DA34

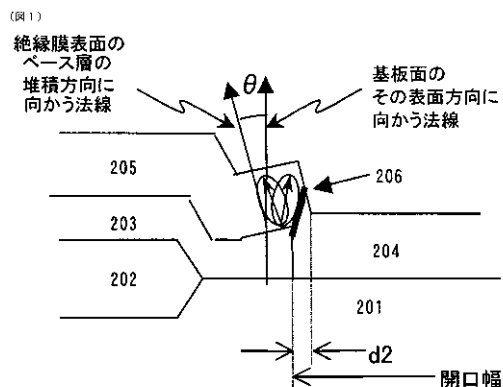
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】本発明は、少なくともエピタキシャル技術により形成されているバイポーラトランジスタのベース領域を有する、高速で且つ高集積な半導体装置を提供することを目的としている。

【解決手段】半導体基体上に絶縁膜を形成し、ついでバイポーラトランジスタのベース領域において前記絶縁膜を開口し、ついで前記開口部にはエピタキシャル技術によりベース領域となる半導体層を形成し、前記開口部以外の絶縁膜上には多結晶からなる非選択エピタキシャルベース層を形成することにより製造される半導体装置において、絶縁膜を開口する際に、その開口端における絶縁膜形状が、絶縁膜表面の非選択エピタキシャルベース層の堆積方向に向かう法線と基板面のその表面方向に向かう法線とのなす角度が0度より大きく90度未満となる傾斜を有していることを特徴とする半導体装置。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半導体基体上に絶縁膜を形成し、ついでバイポーラトランジスタのベース領域において前記絶縁膜を開口し、ついで前記開口部にはエピタキシャル技術によりベース領域となる半導体層を形成し、前記開口部以外の絶縁膜上には多結晶からなる非選択エピタキシャルベース層を形成することにより製造される半導体装置において、絶縁膜を開口する際に、その開口端における絶縁膜形状が、絶縁膜表面の非選択エピタキシャルベース層堆積方向に向かう法線と基板面の表面方向に向かう法線とのなす角度が0度より大きく90度未満となる傾斜を有していることを特徴とする少なくともエピタキシャル技術により形成されるバイポーラトランジスタのベース領域を有する半導体装置。

10

【請求項 2】

非選択エピタキシャルベース層が、(i)バイポーラトランジスタのベース領域の不純物がドーピングされたシリコン層、(ii)シリコン-ゲルマニウム混晶層、または(iii)シリコン-ゲルマニウムとカーボンからなる混晶層のいずれかであることを特徴とする請求項1記載の半導体装置。

【請求項 3】

半導体基体上に絶縁膜を形成する工程と、バイポーラトランジスタのベース領域において前記絶縁膜を開口する工程と、前記開口部にはエピタキシャル技術によりベース領域となる半導体層を形成し、前記開口部以外の絶縁膜上には多結晶からなる非選択エピタキシャルベース層を形成する工程を有する半導体装置の製造方法であって、絶縁膜を開口する工程において、その開口端における絶縁膜形状に、絶縁膜表面の非選択エピタキシャルベース層堆積方向に向かう法線と基板面の表面方向に向かう法線とのなす角度が0度より大きく90度未満となる傾斜を与えることを特徴とする少なくともエピタキシャル技術により形成されるバイポーラトランジスタのベース領域を有する半導体装置の製造方法。

20

【請求項 4】

非選択エピタキシャルベース層が、(i)バイポーラトランジスタのベース領域の不純物がドーピングされたシリコン層、(ii)シリコン-ゲルマニウム混晶層、または(iii)シリコン-ゲルマニウムとカーボンからなる混晶層のいずれかであることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項 5】

絶縁膜を開口する工程が、(a)半導体基体上の絶縁膜上にポリシリコン膜を形成する工程と、(b)前記ポリシリコン膜上にシリコン窒化膜を形成する工程と、(c)ベース形成予定領域に開口部を有するレジストを形成する工程と、(d)前記レジストをマスクにして前記シリコン窒化膜をエッチングした後レジストを除去する工程と、(e)露出した前記ポリシリコン膜を酸化膜にする工程と、(f)前記シリコン窒化膜をマスクにして、バイポーラトランジスタのベース領域において前記酸化膜をエッチング除去する工程とを含むことを特徴とする請求項3記載の半導体装置の製造方法。

30

【請求項 6】

絶縁膜を開口する工程が、(a)半導体基体上にトレンチ素子分離領域を形成する工程と、(b)前記トレンチ素子分離領域に窪みを形成する工程と、(c)前記トレンチ素子分離領域を含む半導体基体全面に絶縁膜を形成する工程と、(d)バイポーラトランジスタのベース領域において、前記絶縁膜を除去する工程を含むことを特徴とする請求項3記載の半導体装置の製造方法。

40

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、エピタキシャル技術にて形成されるバイポーラトランジスタのベース領域を有する半導体装置およびその製造方法に関する。

【0002】**【従来の技術】**

50

通信装置の周波数変換器などにおいて用いられる高周波用のバイポーラトランジスタには高速動作が要求される。この高速化のためには、バイポーラトランジスタのベースの浅接合化によるベース走行時間の短縮とベースの低抵抗化が重要である。しかし、従来多用されているイオン注入法によりベースを形成する方法では、不純物濃度プロファイルのチャネリングテイルの問題から浅接合化は困難であり、また、低抵抗化のために、不純物を高濃度にイオン注入すると、イオン注入のダメージによる結晶欠陥が発生するという問題も生じる。このため、バイポーラトランジスタのベース層をエピタキシャル技術で形成するエピタキシャルベース技術が開発されている。このエピタキシャルベース技術は、ベース層を高濃度かつ高精度に形成することが出来ることから、バイポーラトランジスタの高速化のためのキーテクノロジーとして注目されている。エピタキシャルベース層をバンドギャップがシリコン(Si)よりも小さいシリコン-ゲルマニウム(SiGe)で形成することによって、高速なヘテロ接合型バイポーラトランジスタ(HBT)が実現できる。

10

【0003】

図10に、ベース層がSiGeで形成されているHBTの断面模式図を示す。SiGeHBTのベース領域においては、半導体基体101上の絶縁膜となるシリコン酸化膜109にベース領域の開口が施された状態で、エピタキシャル技術を用いてSiGe混晶層が形成される。すなわち、シリコン酸化膜109の開口部には、エピタキシャル成長によりSiGe混晶層103(以下、エピタキシャルSiGe混晶層という。)が形成され、絶縁膜であるシリコン酸化膜109上には多結晶のSiGe混晶層104(以下、多結晶SiGe混晶層という。)が形成される。ここで多結晶SiGe混晶層104は、その後のベースの取出し電極として用いられる。

20

【0004】

以下に、従来技術を用いた高速用SiGeHBTの製造方法について説明する。図10に示すように、例えば基板面方位が(100)結晶面である第1導電型(この例ではp型とする)のシリコン基板105上に、第2導電型(この例ではn型とする)の例えば抵抗率1~5 cmで厚さ0.6~2.0 μmの半導体層106がエピタキシャル成長により形成されており、これら2層が半導体基体101を構成する。このシリコン基板の高速用HBTすなわちバイポーラトランジスタの形成部にn型のコレクタ埋め込み領域107が形成される。これらn型のコレクタ埋め込み領域107は、図示しないが、次のようにして形成される。すなわち、酸化シリコンを熱酸化により形成し、NPNトランジスタのコレクタ領域のシリコン酸化膜を開口する。そこに、三酸化アンチモン(Sb₂O₃)による固体ソース拡散を行ってN⁺のコレクタ領域107が形成される。

30

【0005】

その後、既存技術によりn⁻エピタキシャル層106が形成される。その後、LOCOS(Local Oxidation of Silicon)法により、例えば厚さ300~800 nm程度の素子分離シリコン酸化膜108が形成される。その後、全面に減圧CVD法にてテトラエトキシシラン(TEOS)を用いてシリコン酸化膜109が凡そ100 nm形成される。

【0006】

続いて、シリコン酸化膜109においてバイポーラトランジスタのベース領域の開口が行われる。まず、図11に示すように、シリコン酸化膜109上にレジストマスク110を使い、ドライエッチングにて、前記シリコン酸化膜109を凡そ30 nm程度の残膜となるように異方性エッチングが行われる。その後、ウェットエッチングにて前記シリコン酸化膜109が開口される。その後、レジストマスク110が除去され、図12に示すような開口部が得られる。次に、図13に示すように、エピタキシャル技術を用いて半導体膜が形成される。具体的には、例えば、減圧CVD法により、半導体基体101の露出部にはエピタキシャルSiGe混晶層103が形成され、シリコン酸化膜109上には多結晶SiGe混晶層104が形成される。ついで、前記SiGe混晶層には、不純物がドーピングされる。

40

【0007】

50

図14には、従来技術で開口部を有するシリコン酸化膜109上に半導体膜を形成した場合の模式図を示す。図14に示すように、前記エピタキシャルSiGe混晶層103と多結晶SiGe混晶層104との境界部分111が出来る。多結晶SiGe混晶層104は、主に下地のシリコン酸化膜109に対し垂直方向に成長する結晶粒の集まりとして膜成長して行く。多結晶SiGe混晶層104とエピタキシャルSiGe混晶層103の境界部分では、エピタキシャルSiGe混晶層103の結晶性が乱され、結晶欠陥、双晶構造が導入されてしまい、これが開口端で的一部分を占めるために、図14に示すようにエピタキシャルSiGe混晶層103は、実際の開口幅よりもd1だけ小さくなる。多結晶SiGe混晶層104はもちろん、多結晶SiGe混晶層104とエピタキシャルSiGe混晶層103の境界部分111の結晶欠陥や双晶導入領域は、結晶性が悪いため、エミッタ領域112が、前記図14のd1に当たるとエミッタ-ベース間のリークが発生し不良が起こる。

10

【0008】

これにより、コレクタ接合容量（以下、 C_{jc} と記す）が大きくなりトランジスタの高速化の妨げとなってしまう。この理由を以下に述べる。バイポーラトランジスタの遮断周波数（以下、 f_T と記す）は、以下の式で与えられる。

$$1 / (2 f_T) = t_E + t_B + t_X + t_C$$

（式中、 t_E はエミッタ空乏層充電時間を表し、 t_B はベース走行時間を表し、 t_X はコレクタ空乏層走行時間を表し、 t_C はコレクタ充電時間を表す。）

コレクタ充電時間（ t_C ）は、コレクタ抵抗（以下、 r_{sc} と記す）とコレクタ接合容量（ C_{jc} ）の積で表される。従って、 C_{jc} が大きくなると f_T が低下する。そこで、エミッタの形成を図14のd1より離して形成する必要があり、トランジスタのサイズが大きくなってしまい、チップコストが増大するという問題も発生する。

20

【0009】

【発明が解決しようとする課題】

本発明は、バイポーラトランジスタのベース領域において、絶縁膜の開口部にエピタキシャル技術により形成されているベース領域となる半導体層への、前記開口部以外の絶縁膜上に形成されている多結晶からなる非選択エピタキシャルベース層のせり出しが抑制されていることを特徴とする、高速で且つ高集積な半導体装置およびその製造方法を提供することを目的としている。

30

【0010】

【課題を解決するための手段】

本発明者らは、上記目的を達成すべく鋭意検討した結果、バイポーラトランジスタのベース領域を形成するために絶縁膜を開口する際、開口部以外に残されている絶縁膜の形状を開口端に向かってその膜厚が厚くなるように傾斜させることにより、上記問題点を一挙に解決できることを知見した。具体的には、開口部の端部分における絶縁膜形状は、絶縁膜表面の非選択エピタキシャルベース層の堆積方向に向かう法線と基板面のその表面方向に向かう法線とのなす角度が0度より大きく90度未満となる傾斜を有している。このような構造とすることにより、絶縁膜上に形成される非選択エピタキシャルベース層が、開口部に選択エピタキシャル成長により形成される半導体層へせり出す距離を抑制することができ、バイポーラトランジスタの高速化と高集積化を達成することができる。

40

本発明者らは、さらに検討を重ね、本発明を完成した。

【0011】

すなわち、本発明は、

(1) 半導体基体上に絶縁膜を形成し、ついでバイポーラトランジスタのベース領域において前記絶縁膜を開口し、ついで前記開口部にはエピタキシャル技術によりベース領域となる半導体層を形成し、前記開口部以外の絶縁膜上には多結晶からなる非選択エピタキシャルベース層を形成することにより製造される半導体装置において、絶縁膜を開口する際に、その開口端における絶縁膜形状が、絶縁膜表面の非選択エピタキシャルベース層堆積方向に向かう法線と基板面の表面方向に向かう法線とのなす角度が0度より大きく90

50

度未満となる傾斜を有していることを特徴とする少なくともエピタキシャル技術により形成されるバイポーラトランジスタのベース領域を有する半導体装置、

(2) 非選択エピタキシャルベース層が、(i)バイポーラトランジスタのベース領域の不純物がドーピングされたシリコン層、(ii)シリコン-ゲルマニウム混晶層、または(iii)シリコン-ゲルマニウムとカーボンからなる混晶層のいずれかであることを特徴とする前記(1)記載の半導体装置、
に関する。

【0012】

また、本発明は、

(3) 半導体基体上に絶縁膜を形成する工程と、バイポーラトランジスタのベース領域において前記絶縁膜を開口する工程と、前記開口部にはエピタキシャル技術によりベース領域となる半導体層を形成し、前記開口部以外の絶縁膜上には多結晶からなる非選択エピタキシャルベース層を形成する工程を有する半導体装置の製造方法であって、絶縁膜を開口する工程において、その開口端における絶縁膜形状に、絶縁膜表面の非選択エピタキシャルベース層堆積方向に向かう法線と基板面の表面方向に向かう法線とのなす角度が0度より大きく90度未満となる傾斜を与えることを特徴とする少なくともエピタキシャル技術により形成されるバイポーラトランジスタのベース領域を有する半導体装置の製造方法、

(4) 非選択エピタキシャルベース層が、(i)バイポーラトランジスタのベース領域の不純物がドーピングされたシリコン層、(ii)シリコン-ゲルマニウム混晶層、または(iii)シリコン-ゲルマニウムとカーボンからなる混晶層のいずれかであることを特徴とする前記(3)記載の半導体装置の製造方法、
に関する。

【0013】

また、本発明は、

(5) 絶縁膜を開口する工程が、(a)半導体基体上の絶縁膜上にポリシリコン膜を形成する工程と、(b)前記ポリシリコン膜上にシリコン窒化膜を形成する工程と、(c)ベース形成予定領域に開口部を有するレジストを形成する工程と、(d)前記レジストをマスクにして前記シリコン窒化膜をエッチングした後レジストを除去する工程と、(e)露出した前記ポリシリコン膜を酸化膜にする工程と、(f)前記シリコン窒化膜をマスクにして、バイポーラトランジスタのベース領域において前記酸化膜をエッチング除去する工程とを含むことを特徴とする前記(3)記載の半導体装置の製造方法、

(6) 絶縁膜を開口する工程が、(a)半導体基体上にトレンチ素子分離領域を形成する工程と、(b)前記トレンチ素子分離領域に窪みを形成する工程と、(c)前記トレンチ素子分離領域を含む半導体基体全面に絶縁膜を形成する工程と、(d)バイポーラトランジスタのベース領域において、前記絶縁膜を除去する工程を含むことを特徴とする前記(3)記載の半導体装置の製造方法、
に関する。

【0014】

【発明の実施の形態】

本発明にかかる半導体装置の特長を、図1を参照しながら説明する。半導体基体201上には、LOCOS(Local Oxidation of Silicon)法やトレンチにより素子分離領域202が形成されている。半導体基体201の全面に絶縁膜203が形成されており、前記絶縁膜203はバイポーラトランジスタのベース領域に開口部を有する。バイポーラトランジスタのベース領域には、エピタキシャル技術により半導体層204が形成されている。また、前記開口部以外の絶縁膜上には多結晶からなる非選択エピタキシャルベース層205が形成されている。本発明の特長は、開口部付近において、絶縁膜203が、開口部の端で膜厚が最も大きく、開口部から遠ざかるに従いその膜厚が小さくなる傾斜を有することである。前記傾斜においては、絶縁膜表面の非選択エピタキシャルベース層(図1では、単にベース層という。)の堆積方向に向かう法線と基板面

10

20

30

40

50

のその表面方向に向かう法線とのなす角度 が 0 度より大きく 9 0 度未満となっている。

【 0 0 1 5 】

絶縁膜 2 0 3 の開口端付近の形状が前記のような傾斜を有することにより、下記のような効果を有する。開口部以外の絶縁膜 2 0 3 上に、多結晶からなる非選択エピタキシャルベース層 2 0 5 を形成する際に、絶縁膜 2 0 3 表面における非選択エピタキシャルベース層 2 0 5 の堆積方向に向かう法線が、図 1 に示すように、開口部から遠ざかる方向を向いているため、下地絶縁膜 2 0 3 に対し垂直方向にグレイン成長する非選択エピタキシャルベース層 2 0 5 は、開口部から遠ざかる向きにグレイン成長する。この結果、図 1 に示すように、本発明に係る半導体装置は、非選択エピタキシャルベース層 2 0 5 と露出した半導体基体 2 0 1 上にエピタキシャル成長により形成されている半導体層 2 0 4 との境界部分 2 0 6、および、非選択エピタキシャルベース層 2 0 5 と半導体層 2 0 4 の会合部付近に導入される結晶欠陥や双晶構造の開口部へのせり出しが d_2 となり、図 1 4 の d_1 と比べて抑制されている。これにより開口の寸法を従来の半導体装置に比べて小さくすることができる。

10

【 0 0 1 6 】

半導体層 2 0 4 および非選択エピタキシャルベース層 2 0 5 の組成は、特に限定されないが、不純物がドーピングされたシリコン、シリコン - ゲルマニウム混晶、またはシリコン - ゲルマニウムとカーボンからなる混晶などからが選ばれることが好ましい。

【 0 0 1 7 】

【実施例】

20

以下に、実施例を挙げて本発明をさらに詳細に説明するが、本発明は下記実施例に限定されないことは言うまでもない。

【 0 0 1 8 】

(実施例 1)

本発明に係る半導体装置の好ましい実施形態を、図 2 に示した。かかる半導体装置においては、従来技術と同様に、第 1 導電型の基板上に低抵抗の第 2 導電型の半導体層がエピタキシャル成長されており、これら 2 層がシリコン基体 1 を構成し、さらにバイポーラトランジスタ形成部に n 型のコレクタ埋め込み領域 (図示しない) が形成されている。シリコン基体 1 上には、図 2 に示すように LOCOS 法による素子分離シリコン酸化膜 2 が形成されている。バイポーラトランジスタのベース領域に開口部を有する絶縁膜、例えばシリコン酸化膜 4 (本態様では、TEOS 膜) が、素子分離シリコン酸化膜 2 とシリコン基体 1 上に形成されている。そして、該シリコン酸化膜 4 は、その開口部付近の形状において、上述したように、開口部端で膜厚が大きく、開口部から遠ざかるに従いその膜厚が小さくなる傾斜を有する。そして、前記開口部には、ベース領域となるエピタキシャル SiGe 混晶層 3 がエピタキシャル技術により形成されており、前記開口部以外のシリコン酸化膜 4 上には、多結晶 SiGe 混晶層 5 が形成されている。

30

【 0 0 1 9 】

次に、図 2 に示した半導体装置の製造方法を説明する。

(a) 従来技術と同様に、例えば第 1 導電型基板 (この例では p 型とする) の基板面方位が (1 0 0) 結晶面のシリコン基板上に、第 2 導電型 (この例では n 型とする) の例えば抵抗率が抵抗率 1 ~ 5 $\Omega \cdot \text{cm}$ 程度で厚さ 0 . 6 ~ 2 . 0 μm 程度の半導体層がエピタキシャル成長されてなるシリコン基体 1 (図 2) を用意する。このシリコン基体 1 のバイポーラトランジスタ形成部に n 型のコレクタ埋め込み領域 (図示しない) を従来技術と同様に形成する。その後、従来技術と同様に、既存技術にて n 型エピタキシャル層 (図示しない) を形成する。

40

【 0 0 2 0 】

次に、(b) 基板上に素子分離シリコン酸化膜 2 を形成する。本実施例では、LOCOS を用いたシリコン素子分離を用いた例を示すが、LOCOS に限るものではなく、STI (Shallow Trench Isolation) を用いた素子分離を用いることも可能である。具体的には、例えば半導体基板の表面を熱酸化して厚さ約 5 0 nm の酸化

50

シリコンによるパッド層を形成し、この上にCVD法によって例えば厚さ約100nmの窒化シリコン(Si_3N_4)層を形成することによって、耐酸化マスク層を形成し、これに対してフォトリソグラフィによるパターンエッチングを行って、素子分離を形成する部分に開口を形成する。その後、約1000~1050程度のスチーム酸化を行って、例えば厚さ約300~800nmの素子分離シリコン酸化膜2を形成する。

【0021】

次に、図3に示すように、(c)減圧CVD法にて、テトラエトキシシラン(TEOS)を用いてシリコン酸化膜6を約50nm形成し、続いて、シリコン酸化膜6上にポリシリコン膜7を約20nm、さらにポリシリコン膜7の上にシリコン窒化膜8を約120nmの厚さにそれぞれ形成する。

10

次に、(d)シリコン窒化膜8の上にレジストを塗布し、バイポーラトランジスタのベース領域を形成する部分を開口したレジストマスク(図示しない)を形成する。その後、図4に示すように、(e)ドライエッチングにて、シリコン窒化膜8をエッチングし、レジストマスクを従来技術にて除去する。

【0022】

続いて、図5に示すように、(f)前記シリコン窒化膜8のエッチングより露出したポリシリコン膜7を酸化し、シリコン酸化膜9とする。この酸化は、例えば、拡散炉を用い、ドライ酸素雰囲気にて約1000、約15分の熱処理で形成することが出来る。酸化は、シリコン窒化膜8をマスクとし、シリコン窒化膜8の開口部から進むため、LOCOS形成時のようにポリシリコン膜7の開口部側だけ酸化が進み、ポリシリコン膜7の下側のシリコン酸化膜6とつながる。この際、ポリシリコン膜7は酸化により膨張するため、図5に示すように、開口部で盛り上がる形状のシリコン酸化膜9が形成される。

20

【0023】

次に、(g)シリコン窒化膜8をマスクとして、ドライエッチングによりシリコン酸化膜9を残り膜厚約20nmとなるまでエッチングし、さらに、マスクに用いたシリコン窒化膜8もエッチングにより除去し、図6に示す形状の層構造を得る。なお、本実施例においては、開口マスクにて開口したシリコン窒化膜8を対酸化マスクとして用いることによって開口端でのシリコン酸化膜9に傾斜を形成しているため、新たに追加のマスクを必要とせず、マスク枚数の増加は無いため、コストの大幅な増加は伴わない。

続いて、図7に示すように、(h)ウェットエッチングにてポリシリコン膜7を除去し、さらにウェットエッチングにておよそ20nm残ったシリコン酸化膜9を開口する。シリコン酸化膜9のウェットエッチングは、フッ酸(HF)とフッ化アンモニウム(NH_4F)の混合液を用いて行う。

30

【0024】

以上の工程にて、開口部の端で膜厚が大きく、開口部から遠ざかるに従い膜厚が薄くなる傾斜を有するシリコン酸化膜4を形成することが出来る。前記傾斜の大きさは、シリコン酸化膜6とシリコン窒化膜8との間に挟まれたポリシリコン膜7の厚さと、前記ポリシリコン膜7の酸化時の開口端部から内部への酸化の進行の割合により制御され、シリコン基体1面の法線に対して0度より大きく90度未満の大きさとする事ができる。

【0025】

次に、図2に示すように、(i)シリコン酸化膜4の開口部、すなわちバイポーラトランジスタのベース領域にエピタキシャル技術を用いてエピタキシャルSiGe混晶層3を形成する。また、シリコン酸化膜4上には、多結晶SiGe混晶層5を形成する。これらの層として、本実施例ではシリコン-ゲルマニウム(SiGe)混晶層を用いているが、シリコン層やシリコン-ゲルマニウムとカーボンの混晶層など他の半導体層を用いることもできる。また、これらの層の形成には超高真空CVD法や分子線エピタキシー法および減圧CVD法(RP CVD: reduced pressure chemical vapor deposition)などの公知の方法を用いることができる。

40

【0026】

ここでは、減圧CVD法を用いてエピタキシャルSiGe混晶層3および多結晶SiGe

50

混晶層 5 を形成する手順について以下に述べる。まず、シリコン基体 1 の表面に付着している有機物を除去するために、例えば、所定の温度に加熱した硫酸と過酸化水素水との混合液を用いて洗浄する。次に、シリコン基体 1 上のパーティクルを除去するために、例えば、所定の温度に加熱したアンモニアと過酸化水素水との混合液を用いて洗浄する。次に、シリコン基体 1 上の表面の金属汚染物および自然酸化膜を除去するために、希フッ酸水溶液を用いて洗浄する。なお、この希フッ酸水溶液による洗浄では、水素パッシベーション処理も行われ、シリコン基体 1 の露出した表面が水素でターミネートされる。続いて、前記洗浄処理が施されたシリコン基体 1 を、前記成膜装置に導入する。前記シリコン基体 1 は、真空排気機能を有するロードロックに搬入され所定時間真空排気を行う。続いて、前記ロードロックに接続された反応炉にシリコン基体 1 を大気に解放せずに搬入する。次に、反応炉に水素ガスを導入しながら、約 900 °C までシリコン基体 1 を加熱し、約 5 分間の水素ベークを行う。次に水素ガスを導入したままで、約 750 ~ 650 °C の温度まで降温し、成膜のための原料ガスであるモノシラン (SiH_4)、ゲルマン (GeH_4)、および不純物ガスとしてジボラン (B_2H_6) ガスを供給してエピタキシャル成長を行う。このときの炉内の圧力は、約 1.3 kPa ~ 13.3 kPa 程度である。更に、エピタキシャル SiGe 混晶層 3 は、例えば、シリコンのバッファ層を約 5 ~ 20 nm 形成した後、ゲルマニウム濃度を 0 atoms % から 15 atoms % に傾斜させた層を約 10 ~ 15 nm 形成し、その後、ゲルマニウム濃度を 15 atoms % から 0 atoms % に傾斜させた層を約 40 ~ 50 nm 形成し、シリコンキャップ層を約 40 ~ 60 nm 形成する。また、前記多結晶 SiGe 混晶層 5 には、ボロン濃度 $5 \times 10^{18} \sim 3 \times 10^{19} / \text{cm}^3$ 程度となるよう不純物をドーピングする。

【0027】

ここで、シリコン酸化膜 4 の開口部端において、シリコン酸化膜 4 表面の多結晶 SiGe 混晶層 5 が堆積する方向に向かう法線は、開口部から遠ざかる方向を向いているため、下地シリコン酸化膜 4 に対し垂直方向にグレイン成長する多結晶 SiGe 混晶層 5 は、開口部から遠ざかる向きにグレイン成長する。この結果、多結晶 SiGe 混晶層 5 と開口部上にあるエピタキシャル SiGe 混晶層 3 との境界部、および、多結晶 SiGe 混晶層 5 とエピタキシャル SiGe 混晶層 3 の会合部付近に導入される結晶欠陥や双晶構造の開口部へのせり出しが抑制される。

【0028】

〔実施例 2〕

素子分離にトレンチ素子分離 10 を用いた場合においても、図 8 に示すように多結晶 SiGe 混晶層 5 とエピタキシャル SiGe 混晶層 3 の境界部、および、多結晶 SiGe 混晶層 5 とエピタキシャル SiGe 混晶層 3 の会合部付近に導入される結晶欠陥や双晶構造の開口部へのせり出しを抑制することが可能である。本実施例による半導体装置は、実施例 1 における工程 (b) の素子分離シリコン酸化膜 2 のかわりに、従来技術によりトレンチ素子分離 10 を形成し、その後の (c) ~ (h) の工程は、実施例 1 と同様にして、製造することができる。

【0029】

〔実施例 3〕

また、トレンチ素子分離の形成における CMP 工程において、トレンチを埋め込んだシリコン酸化表面のトレンチ素子分離領域が早く削れる「dishing」という現象の起きる CMP 条件を用いることにより、図 9 に示すような dishing を有するトレンチ素子分離 11 を形成することが出来る。

この dishing を有するトレンチ素子分離膜 11 上および基板上に、LP-CVD による TEOS を用いたシリコン酸化膜をおよそ 100 nm 堆積し、この後、従来技術に従い、バイポーラトランジスタのベース領域における開口を行うことにより、図 9 に示すような、トレンチ素子分離領域に形成された dishing 形状を反映した絶縁膜表面形状 12 が得られる。この場合の開口端部での絶縁膜表面の傾斜は、トレンチ素子分離領域 11 の dishing の深さにより制御される。これにより、実施例 1 および 2 と同様に多

10

20

30

40

50

結晶 SiGe 混晶層 5 とエピタキシャル SiGe 混晶層 3 の境界部、および、多結晶 SiGe 混晶層 5 とエピタキシャル SiGe 混晶層 3 の会合部付近に導入される結晶欠陥や双晶構造の開口部へのせり出しが抑制された半導体装置が得られる。

なお、上記 d i s h i n g に限らず、公知の技術を用いて前記トレンチ素子分離領域に窪みを形成することにより、上記と同様に本発明の半導体装置を製造することができる。

【 0 0 3 0 】

【発明の効果】

本発明によれば、バイポーラトランジスタのベース領域における絶縁膜の開口端において、絶縁膜の形状が、開口部の端で膜厚が大きく、開口部から遠ざかるに従い膜厚が薄くなる傾斜を有しているため、絶縁膜上の多結晶からなる非選択エピタキシャルベース層は、絶縁膜に対し垂直方向、すなわち開口部から遠ざかる向きにグレイン成長する。この結果、非選択エピタキシャルベース層と開口部上にあるエピタキシャル半導体層との境界部、および、非選択エピタキシャルベース層と開口部上にあるエピタキシャル半導体層の会合部付近に導入される結晶欠陥や双晶構造の開口部へのせり出しが抑制される。これにより、開口寸法を縮小することが可能となり、ひいては、コレクタ接合容量を低減することができ、高速で且つ高集積な半導体装置を得ることができる。

10

【図面の簡単な説明】

【図 1】本発明に係る半導体装置の断面図であって、本発明の特長を説明するための図である。

【図 2】本発明に係る半導体装置の好ましい実施形態を示す断面図である。

20

【図 3】図 2 に示す半導体装置の製造方法の好ましい態様を示す工程図である。

【図 4】図 3 に示す製造工程の続きの工程図である。

【図 5】図 4 に示す製造工程の続きの工程図である。

【図 6】図 5 に示す製造工程の続きの工程図である。

【図 7】図 6 に示す製造工程の続きの工程図である。

【図 8】本発明に係る半導体装置の他の好ましい実施形態を示す断面図である。

【図 9】本発明に係る半導体装置のさらに他の好ましい実施形態を示す断面図である。

【図 10】従来の半導体装置を示す断面図である。

【図 11】従来の半導体装置の製造方法を示す工程図である。

【図 12】図 11 に示す製造工程の続きの工程図である。

30

【図 13】図 12 に示す製造工程の続きの工程図である。

【図 14】従来の半導体装置の断面図であって、従来の半導体装置の問題点を説明するための図である。

【符号の説明】

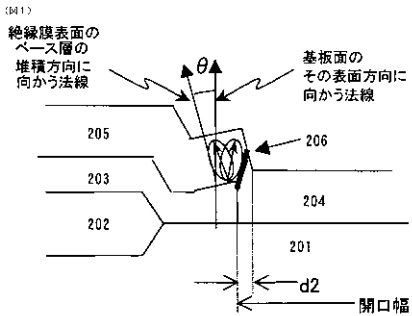
- 1 シリコン基体
- 2 素子分離シリコン酸化膜
- 3 エピタキシャル SiGe 混晶層
- 4 シリコン酸化膜
- 5 多結晶 SiGe 混晶層
- 6 シリコン酸化膜
- 7 ポリシリコン膜
- 8 シリコン窒化膜
- 9 シリコン酸化膜
- 10 トレンチ素子分離
- 11 d i s h i n g を有するトレンチ素子分離
- 12 d i s h i n g を反映したシリコン酸化膜
- 101 半導体基体
- 103 エピタキシャル SiGe 混晶層
- 104 多結晶 SiGe 混晶層
- 105 p 型シリコン基板

40

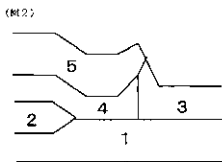
50

- 1 0 6 n 型半 導 体 層
- 1 0 7 コレクタ埋め込み領域
- 1 0 8 素子分離シリコン酸化膜
- 1 0 9 シリコン酸化膜
- 1 1 0 レジストマスク
- 1 1 1 エピタキシャル S i G e 混晶層と多結晶 S i G e 混晶層との境界部分
- 1 1 2 エミッタ領域
- 2 0 1 半 導 体 基 体
- 2 0 2 素子分離領域
- 2 0 3 絶 縁 膜
- 2 0 4 半 導 体 層
- 2 0 5 非 選 択 エ ピ タ キ シ ャ ル ベ ー ス 層
- 2 0 6 半 導 体 層 と 非 選 択 エ ピ タ キ シ ャ ル ベ ー ス 層 と の 境 界 部 分

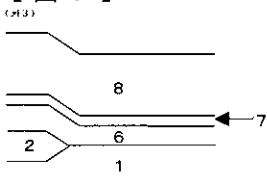
【 図 1 】



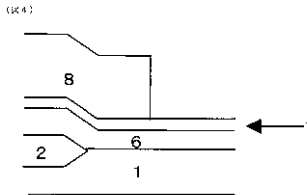
【 図 2 】



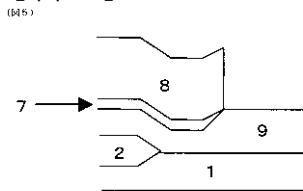
【 図 3 】



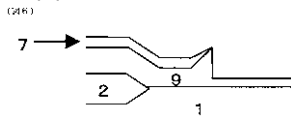
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 】

