

申請日期： 91.3.28 案號： 91106173

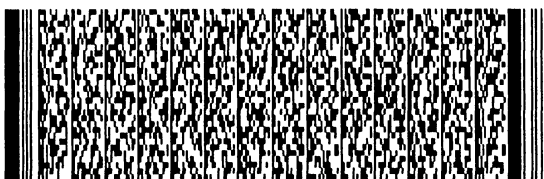
類別： H01L 33/00

(以上各欄由本局填註)

發明專利說明書

558843

一、 發明名稱	中文	半導體基板之製造方法及Ⅲ族氮化物系化合物半導體元件
	英文	
二、 發明人	姓名 (中文)	1. 永井誠二 2. 富田一義
	姓名 (英文)	1. 2. 富田一義
	國籍	1. 日本 2. 日本
	住、居所	1. 日本國愛知縣西春日井郡春日町大字落合字長畑1番地 豐田合成株式會社內 2. 日本國愛知縣愛知郡長久手町大字長湫字横道41番地の1 株式會社豐田中央研究所內
三、 申請人	姓名 (名稱) (中文)	1. 豐田合成股份有限公司
	姓名 (名稱) (英文)	1. TOYODA GOSEI CO., LTD. (豐田合成株式會社)
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國愛知縣西春日井郡春日町大字落合字長畑1番地
	代表人 姓名 (中文)	1. 松浦剛
	代表人 姓名 (英文)	1. Takashi MATSUURA



本案已向

國(地區)申請專利

日本 JP

申請日期

2001/03/30 2001-099123

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (2)

此外，為了獲得單結晶的氮化鎵基板，已報告有將不易產生上述應力的矽薄膜單獨作為結晶成長基板的方法，但是，由於此等矽薄膜易破損，於結晶成長開始前不易直接處理，據此，在此等習知方法中，要具良好良率的量產大面積的半導體基板非常困難。

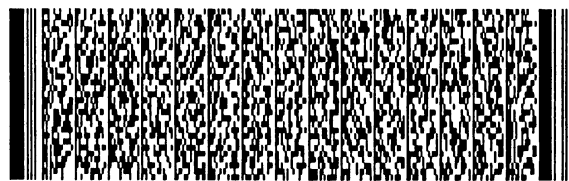
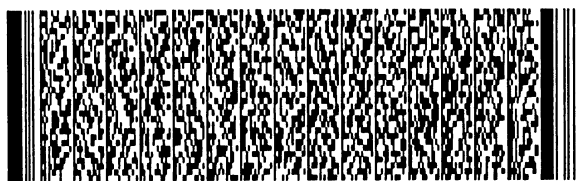
本發明係為解決上述問題而提出之發明者，其目的在於，將比較廉價的矽用作為襯底基板，藉以有效生產無裂紋或多結晶塊(隨高熱的反應部)的高品質的半導體結晶。此外，本發明之又一目的，藉由將高品質製造之上述半導體結晶用作為結晶成長基板，來製造高品質的半導體裝置。

【解決問題之手段及作用、發明效果】

為了解決上述問題，具有如下的方法。

亦即、第1方法係於由矽形成的襯底基板上成長由Ⅲ族氮化物系化合物半導體形成的半導體結晶A的半導體基板的製造步驟中，具備犧牲層成長步驟，於襯底基板上使與上述半導體結晶A略同種的半導體組成的「犧牲層」結晶成長；反應防止層形成步驟，於上述犧牲層上由比半導體結晶A之融點或耐熱性高的晶質材料B組成，用以沉積阻止矽擴散的「反應防止層」；及結晶成長步驟，於上述反應防止層上使半導體結晶A組成的上述半導體基板結晶成長。

但是，由上述半導體結晶A構成的上述半導體基板，可為單層構造、也可為複數層構造(多層構造)。



五、發明說明 (4)

部」。

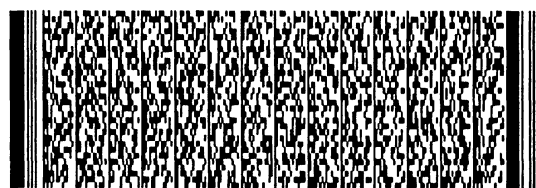
也就是說，藉由具有上述反應防止層的「阻止矽的擴散的作用」，即使在高溫條件下長時間成長半導體結晶A，上述「反應部」的產生只停留於上述「犧牲層」的內部，而在高於反應防止層的上部則無「反應部」的出現。

此外，藉由積極使上述「反應部」成長於上述「犧牲層」的內部，可於矽基板與反應防止層間形成具有多結晶GaN(多結晶塊組成的高熱反應部)的半導體層，因而，在反應部生成後可減緩作用於反應防止層的應力，此等應力不足以在反應防止層形成裂紋，據此，於反應防止層不易產生縱方向貫通的裂紋。因此，利用無縱方向貫通的裂紋的反應防止層，可更為確實阻斷襯底基板(矽基板)與氮化鎵系半導體(半導體結晶A)，從而可更為確實防止在半導體基板(半導體結晶A)內產生如上述般的「反應部」。

此外，藉由上述多結晶塊減緩了「襯底基板與半導體基板間產生的應力」，因而，於半導體基板(所期待的半導體結晶A)進行結晶成長之際，抑制了對成長中之半導體基板作用不必要的應力，從而可減低轉位或裂紋的發生密度。

也就是說，藉由上述應力減緩作用，不易在氮化鎵系半導體(半導體結晶A)產生轉位，此外，可更為削減裂紋的發生密度。

此外，由於上述「反應部」係由GaN的多結晶塊所形成，該部分在構造上而言強度較弱，對於外力或內部之耐



五、發明說明 (5)

久性小、且緩。因此，利用具有上述「反應部」的「犧牲層」，可極為容易地將目的半導體基板從襯底基板(矽基板)分離。

藉由與上述作用的相乘效應，可容易取得無上述「反應部」或裂紋、及充分抑制了轉位密度的高品質半導體基板(半導體結晶A)。

此外，第2方法係於上述第1方法中，為由滿足組成上述半導體結晶A之式「 $\text{Al}_x\text{Ga}_y\text{In}_{(1-x-y)}\text{N}$ ($0 \leq x < 0.9$, $0.1 < y \leq 1$, $x+y \leq 1$)」的Ⅲ族氮化物系化合物半導體形成。

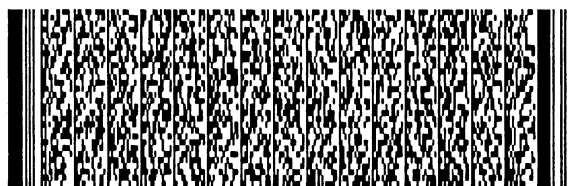
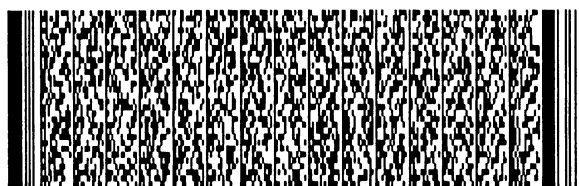
此外，第3方法係於上述第1或第2方法中，以碳化矽(SiC)、氮化鋁(AlN)或尖晶石(MgAl_2O_4)，作為形成上述反應防止層的晶質材料B。

此外，第4方法係於第1或第2方法中，以鋁組成比至少為0.30以上的AlGaIn、AlInN或AlGaInN，作為形成上述反應防止層的晶質材料B。

此外，作為晶質材料B最好選擇結合力比較強固的高耐熱性(融點)的穩定材料。

此外，第5方法係於上述第1至第4方法中任一方法中，將反應防止層的膜厚形成為 $0.1 \mu\text{m}$ 以上、 $2 \mu\text{m}$ 以下。更為理想者可形成為 $0.5 \mu\text{m}$ 以上、 $1.5 \mu\text{m}$ 以下。

若該厚度過薄，隨膜厚會有斑點出現，或是、形成反應防止層的上述晶質材料B也非充分穩定的物質，因此，無法完全阻斷鎵或氮化鎵(GaN)與矽(Si)。據此，可充分獲得防止基於此等反應的「反應部(多結晶GaN)」形成的效



五、發明說明 (6)

果。

此外，若反應防止層的膜厚過厚，易於反應防止層產生裂紋，因此，無法完全阻斷上層半導體結晶A(半導體基板)中的鎵(Ga)或氮化鎵(GaN)與矽(Si)。據此，無法充分獲得防止基於此等反應的「反應部」形成的效果，其結果，於半導體基板(上層半導體結晶A)中會形成反應部。

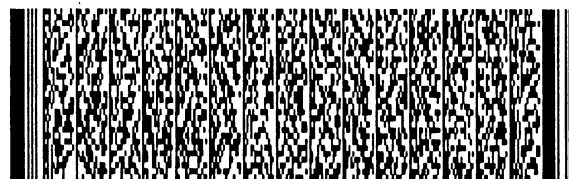
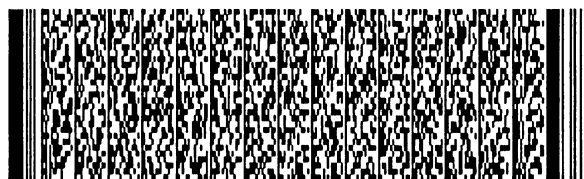
此外，若反應防止層的膜厚過厚，該增厚量需要花去多餘的反應防止層的積層時間或積層材料，因而從生產成本等方面也不希望如此。

此外，第6方法係於上述第1至第5方法中任一方法中，將反應防止層沉積為2層以上。如此，藉由多層沉積反應防止層，可更為確實阻止矽的擴散，可更為確實地防止反應部的產生。

此外，第7方法係於上述第1至第6方法中任一方法中，於襯底基板上或反應防止層上直接成膜「 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 < x \leq 1$)」組成的緩衝層C。

但是，上述緩衝層C係為大致在 1100°C 附近成長的AlN或AlGaN等的半導體層，與該緩衝層C分開、另外將與上述緩衝層C略同組成(例如：AlN或AlGaN等)的中間層(以下有只稱為「緩衝層」的情況)，呈周期性、或與其他層交錯地、或構成為多層構造地沉積於目的半導體基板(半導體結晶A)中。

藉由此等緩衝層(或中間層)的沉積，及藉由可緩和起因於晶格常數差的作用於半導體基板(成長層)的應力等的與



五、發明說明 (7)

習知相同的作用原理，可提升結晶性。

此外，於構成反應防止層的晶質材料B為碳化矽(SiC)等的情況，如此之作用、效果尤其顯著。也就是說，該情況時，最好於反應防止層上成膜緩衝層C。

此外，第8方法係於上述第7方法中，將緩衝層C沉積為2層以上。例如，可考慮將緩衝層C設為各一層沉積於上述襯底基板(矽基板)的上側表面與上述反應防止層的上側表面的分別兩方的共計2層的構造。藉由此種緩衝層的多層結構，可更為確實地獲得上述第7方法的作用、效果。

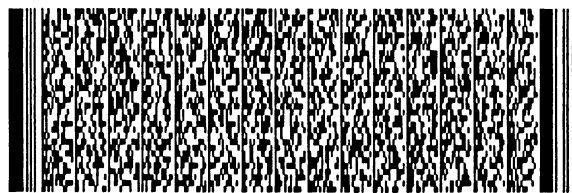
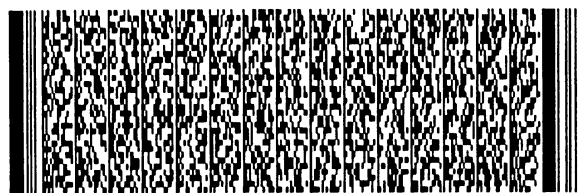
此外，第9方法係於上述第7或第8方法中，將緩衝層C的膜厚形成為 $0.01\text{ }\mu\text{m}$ 以上、 $1\text{ }\mu\text{m}$ 以下。更為理想者可形成為 $0.02\text{ }\mu\text{m}$ 以上、 $0.5\text{ }\mu\text{m}$ 以下。

此外，若該膜厚過厚，易於緩衝層C產生裂紋，另從製造時間、材料等方面考慮因均會招致成本上升而不甚理想。若該膜厚過薄，要形成大致均勻的緩衝層非常困難。為此，因易產生相當於緩衝層的成膜斑點(無充分成膜的部位)，及也容易於結晶性產生斑點，而不甚理想。

此外，第10方法係於上述第1至第9方法中任一方法的結晶成長步驟中，將半導體結晶A沉積為 $50\text{ }\mu\text{m}$ 以上。

隨該厚度之增厚，可減緩對於半導體基板(半導體結晶A)的拉伸應力，可減少半導體基板的轉位或裂紋的發生密度，又，可強固半導體基板，因而作為半導體基板，於處理之際的取用也變得容易。

此外，第11方法係於Ⅲ族氮化物系化合物半導體元件



五、發明說明 (8)

中，具有將上述第1至第10方法中任一方法所製造的半導體基板作為結晶成長基板的事項。

根據該方法，藉由結晶性優良、且內部應力少的半導體，可容易製造例如LED等的發光元件或FET等的電晶體電路等的Ⅲ族氮化物系化合物半導體元件。

此外，第12方法係藉由將上述第1至第10方法中任一方法所製造的半導體基板作為結晶成長基板的結晶成長，來製造Ⅲ族氮化物系化合物半導體元件。

根據該方法，藉由結晶性優良、且內部應力少的半導體，可容易製造Ⅲ族氮化物系化合物半導體元件。

根據上述本發明之方法，可有效、合理地解決上述問題。

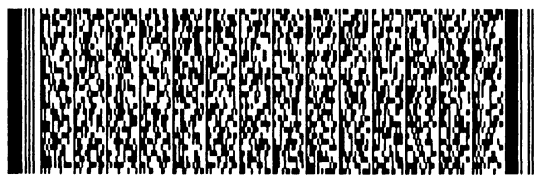
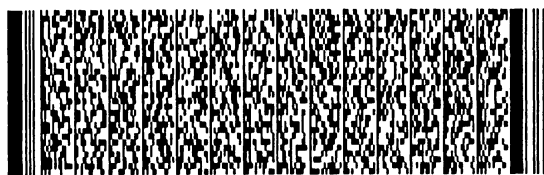
【發明之實施形態】

在實施本發明之部分，可從如下的條件中分別任意選擇每一條件。此外，此等各製造條件也可任意組合。

首先，最初作為形成Ⅲ族氮化物系化合物半導體層的方法，最好採用有機金屬汽相生成法(MOCVD或MOVPE)。然而，也可採用分子線汽相成長法(MBE)、鹵化物汽相成長法(Halide VPE)、液相成長法(LPE)等，此外，也可由各不相同的成長方法形成各成長層。

此外，關於緩衝層，從矯正晶格不整齊等的理由出發，最好係於襯底基板的表面、反應防止層的表面或半導體基板(半導體結晶A)中等形成。

尤其是，在半導體基板(半導體結晶A)中沉積緩衝層(上

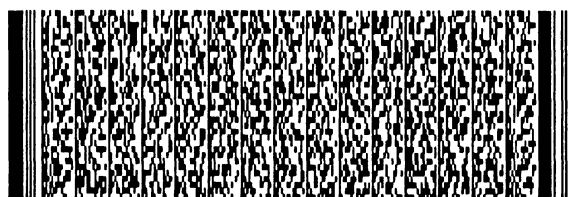
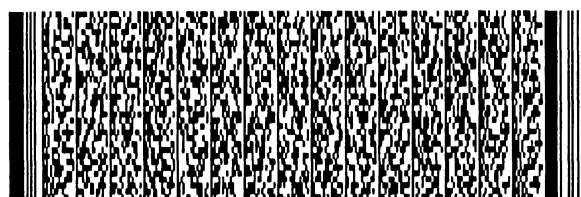


五、發明說明 (9)

述中間層)的情況，作為此等緩衝層可採用由低溫形成的Ⅲ族氮化物系化合物半導體 $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq x+y \leq 1$)，更佳則可採用 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$)。該緩衝層即使單層也可，也可為不同組成的多重層。緩衝層的形成方法可由 $380 \sim 420^\circ\text{C}$ 的低溫形成，相反地，在 $1000 \sim 1180^\circ\text{C}$ 的範圍也可由MOCVD法形成。此外，採用DC磁控管濺鍍裝置，將高純度金屬鋁與氮氣作為原材料，藉由反應濺鍍法可形成AlN組成的緩衝層。

相同地，可形成一般式 $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq x+y \leq 1$ ，組成比任意)的緩衝層。又，可採用蒸鍍法、離子電鍍法(ion plating method)、雷射削磨沈積法(laser ablation-deposition)、ECR(Electron Coupling Resonance)法。根據物理蒸鍍法之緩衝層最好在 $200 \sim 600^\circ\text{C}$ 進行。又，最好為 $300 \sim 600^\circ\text{C}$ 、更好則為 $350 \sim 450^\circ\text{C}$ 。在採用此等濺鍍法等物理蒸鍍法的情況，緩衝層的厚度最好為 $100 \sim 3000 \text{ \AA}$ 。又最好為 $100 \sim 400 \text{ \AA}$ ，更好則為 $100 \sim 300 \text{ \AA}$ 。

作為多重層係為交錯形成例如 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$)組成的層與GaN層、使形成相同組成層的溫度為例如 600°C 以下與 1000°C 以上來交錯形成等的方法。當然，也可將此等組合，多重層也可為沉積3種類以上的Ⅲ族氮化物系化合物半導體 $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq x+y \leq 1$)者。一般情況下，緩衝層為非晶質，中間層為單結晶。也可將緩衝層與中間層作為1周期而形成複數周期，也可反覆進



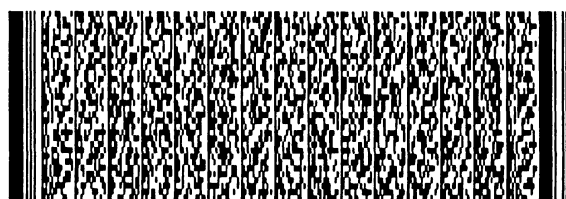
五、發明說明 (10)

行任意周期。反覆之次數越多則結晶性越為優良。

緩衝層及上層的Ⅲ族氮化物系化合物半導體，即使由硼(B)、銻(Tl)來置換Ⅲ族元素的一部分，此外，由磷(P)、砷(As)、銻(Sb)、鉍(Bi)等來置換氮(N)的局部組成，實質上也可適用於本發明。此外，也可進行無法將此等元素顯示於組成之程度的摻雜。例如，在組成中無銦(In)、砷(As)的Ⅲ族氮化物系化合物半導體的 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$)，摻雜比鋁(Al)、鎵(Ga)之原子半徑大的銦(In)或比氮(N)之原子半徑大的砷(As)，以壓縮應變(compression strain)來補償除去氮原子引起的結晶擴張應變(extended strain)，可改善結晶性。

該情況由於受體摻雜物容易進入Ⅲ族原子的位置，也可由原態成長(As grown)來獲得p型結晶。利用如此般方法來改善結晶性，配合本發明可將貫通轉位更進一步下降至100~1000分之1的程度。在由2周期以上形成緩衝層與Ⅲ族氮化物系化合物半導體層的基底層的情況，若於各Ⅲ族氮化物系化合物半導體層摻雜比主要構成元素之原子半徑大的元素則更佳。又，作為發光元件構成的情況，最好使用原來之Ⅲ族氮化物系化合物半導體的2元系、或是3元系。

在形成n型Ⅲ族氮化物系化合物半導體的情況，作為n型摻雜物可添加Si、Ge、Se、Te、C等Ⅳ族元素或Ⅵ族元素。此外，作為p型可添加Zn、Mg、Be、Ca、Sr、Ba等Ⅱ族元素或Ⅵ族元素。也可將此等摻雜物摻雜於複數或將n



五、發明說明 (11)

型摻雜物與p型摻雜物摻入同一層。

使用橫方向外延成長可任意減少Ⅲ族氮化物系化合物半導體的轉位。此時，可採用光罩者或藉蝕刻來埋設高低差之任意方法。

蝕刻光罩可採用多晶矽、多晶氮化物半導體等的多晶半導體、氧化矽(SiO_x)、氮化矽(SiN_x)、氧化鈦(TiO_x)、氧化鋯(ZrO_x)等的氧化物、氮化物、鈦(Ti)、類似鎢(W)的高融點金屬、此等的多層膜。此等的成膜方法除蒸鍍、濺鍍、CVD等的汽相成長法外，可任意採用。

進行蝕刻之際，最好使用反應性離子束蝕刻(RIBE)，但是，也可使用任意的蝕刻方法。於基板面未形成具有垂直側面的高低差者，舉例有可藉由各向異性蝕刻來形成高低差底部無底面、且剖面為V字狀者。

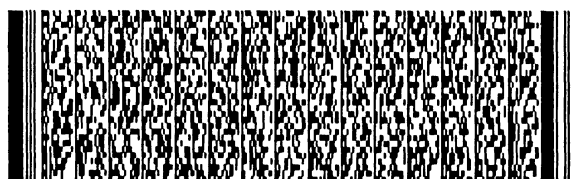
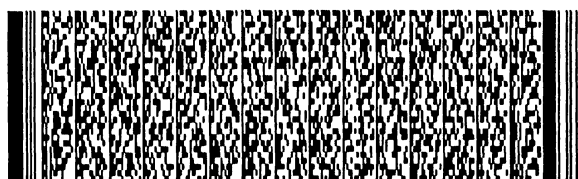
可於Ⅲ族氮化物系化合物半導體形成FET、發光元件等的半導體元件。發光元件的情況，除了多重量子井構造(MQW)、單一量子井構造(SQW)外，可考慮同質構造、異質構造、雙異質構造者，但是也可由pin結合或pn結合等來形成。

以下，參照具體實施例來說明本發明。但是，本發明並不僅限於以下之實施例。

(第1實施例)

以下，例示本發明之實施例之半導體結晶(結晶成長基板)的製造步驟的概要。

[1] 緩衝層成膜步驟



五、發明說明 (12)

首先，於Si(111)基板面上，藉由有機金屬化合物汽相成長法(MOVPE)，在約1100℃的條件下成膜約0.2 μm ~ 0.3 μm 厚度的由「 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($x \doteq 0.20$)」組成的緩衝層C。

[2] 犧牲層成長步驟

其次，作為上述犧牲層，藉由汽相成長法(MOVPE)，在約1100℃的條件下成膜約1 μm 厚度的氮化鎵(GaN)。

[3] 反應防止層形成步驟

本反應防止層形成步驟係為於上述犧牲層上沉積反應防止層的製造步驟。

本反應防止層形成步驟中，於上述犧牲層上，藉由汽相成長法(MOVPE)，在約1100℃的條件下成膜約1 μm 厚度的由氮化鋁(AlN)組成的反應防止層B。

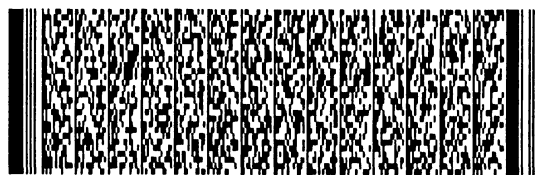
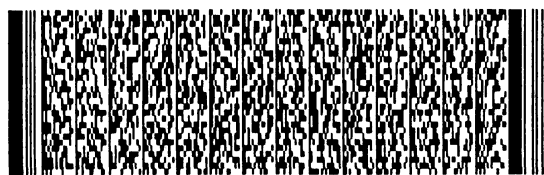
[4] 結晶成長步驟

隨後，本結晶成長步驟中，係於上述反應防止層B上，根據鹵化物汽相成長法(HVPE法)來實施使半導體結晶A(GaN)成長至200 μm 膜厚為止的成長步驟。

也就是說，於上述反應防止層B上，根據鹵化物汽相成長法(HVPE法)來結晶成長約200 μm 膜厚的GaN層(半導體結晶A)。該HVPE法之GaN層的結晶成長速度約為45 $\mu\text{m}/\text{Hr}$ 。

[5] 分離步驟

(a)在上述結晶成長步驟之後，在將氨(NH_3)氣流入結晶成長裝置的反應室的狀態下，冷卻具有襯底基板(矽基板)之晶圓至略常溫為止。此時之冷卻速度可大致為「-50 $^{\circ}\text{C}/\text{min}$ ~ -5 $^{\circ}\text{C}/\text{min}$ 」。



五、發明說明 (13)

(b)隨後，若將此等從結晶成長裝置的反應室取出，即可獲得從襯底基板(矽基板)剝離的Ga₂N結晶(半導體結晶A)。但是，該結晶在其Ga₂N層(半導體基板)的背面，仍殘留具有反應部的犧牲層或反應防止層等的殘骸。

[6] 殘骸除去步驟

上述分離步驟後，藉由研磨處理去除殘留於Ga₂N結晶背面的具有反應部的犧牲層或反應防止層等的殘骸。

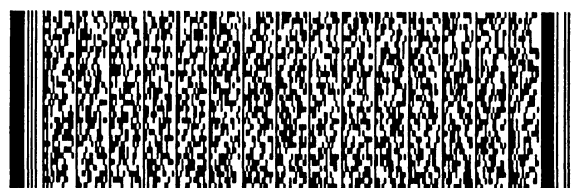
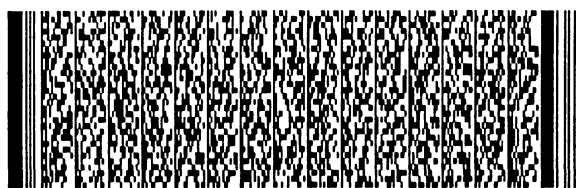
但是，也可藉由採用氟酸內加上硝酸的混合溶液等的蝕刻處理，來實施本殘骸除去步驟。此外，在反應防止層B具有充分的導電性的情況，也可不除去反應防止層。此外，或者也可不特意實施本步驟。例如，因應半導體元件的電極連接構成等，可選擇是否要實施去除本殘骸步驟。

藉由上述的製造方法，可獲得膜厚約為200 μm 的結晶性非常優良的良質Ga₂N結晶(Ga₂N層)，也就是說，可獲得從襯底基板獨立出來的期待半導體基板(半導體結晶A)。

也就是說，藉由上述半導體結晶的製造方法，可獲得無Ga₂N多結晶(反應部)、且無裂紋、且比習知之結晶性更為優良的氮化鎵(Ga₂N)的單結晶。

據此，若將如此之優良的單結晶作為例如結晶成長基板等的半導體發光元件的一部分，則可容易製造發光效率高、或獲得驅動電壓比習知者更低之高品質的半導體發光元件或半導體發光元件等的半導體製品。

此外，若使用如此優良之單結晶，不僅可容易製造發光元件、還可容易製造耐壓性高的半導體能量元件或在高頻



五、發明說明 (14)

下也可動作之半導體高頻元件等的所謂半導體電子元件。

又，在反應防止層形成步驟與結晶成長步驟間，也可設置以矯正晶格常數不整齊為目的、且以 $1000^{\circ}\text{C} \sim 1180^{\circ}\text{C}$ 之高溫來實施結晶成長的緩衝層形成步驟。

又，上述實施例中，作為形成反應防止層的晶質材料B，也可使用 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 < x < 1$) 等。即使此等晶質材料B也可獲得與上述實施例大致相同的作用、效果。

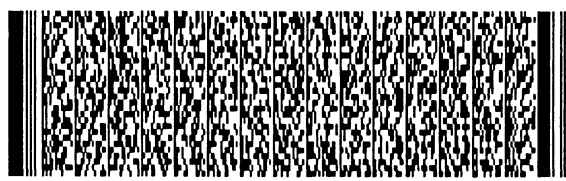
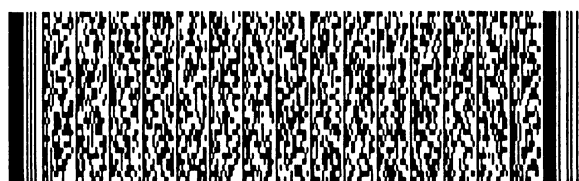
又，更為一般化，作為形成反應防止層的晶質材料B，也可使用碳化矽(SiC)、氮化鋁(AlN)、尖晶石(MgAl_2O_4)、或鋁組成比至少為0.30以上的 AlGaInN 、 AlInN 或 AlGaInN 。

又，作為形成目的半導體基板之半導體結晶A，不僅僅限定於氮化鎵(GaN)，可任意選擇上述一般的Ⅲ族氮化物系化合物半導體。

此外，目的半導體基板(半導體結晶A)也可為具多層構造者。

例如，藉由於途中的成長過程提升構成目的半導體基板的半導體結晶A的成長溫度，而於上位(上層)形成更為高溫成長的半導體層，即使形成多層構造或是於多層構造的途中設置緩衝層等的中間層，也可充分獲得本發明之作用、效果。

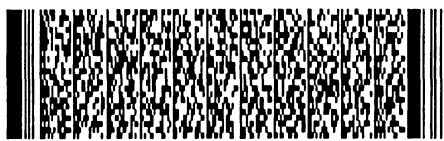
又，「犧牲材」之材質無一定要與此等目的半導體基板(半導體結晶A)相同的必要，「犧牲材」之材質也可從上述一般的「Ⅲ族氮化物系化合物半導體」內任意選擇。



圖式簡單說明

圖1 為例示性說明本發明之基本概念的半導體結晶的製造步驟的模式剖面圖。

圖2 為例示結晶成長於矽基板(襯底基板)上的習知半導體結晶的模式剖面圖。

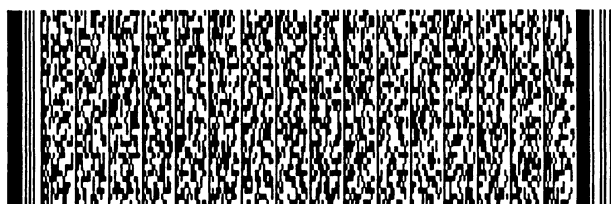


四、中文發明摘要 (發明之名稱：半導體基板之製造方法及Ⅲ族氮化物系化合物半導體元件)

本發明之目的在於，將矽(Si)用作為襯底基板，有效生產無裂紋或無多結晶塊(隨高熱的反應部)的、密度低的高品質半導體結晶。

作為解決問題之手段，該反應防止層係為用以防止比該反應防止層較後沉積的氮化鎵系的半導體(半導體結晶A)與矽的反應，如此，藉由在上述「犧牲層」上成膜比氮化鎵系半導體之融點或耐熱性高的如由氮化鋁(AlN)等組成的反應防止層，即使在長時間高溫的條件下使氮化鎵系半導體結晶成長的情況，在沉積於上述反應防止層上的半導體基板中，仍不會形成隨上述高熱產生的「反應部」。也就是說，藉由具有上述反應防止層的「阻止矽擴散的作用」，即使在高溫條件下長時間成長半導體結晶A，上述

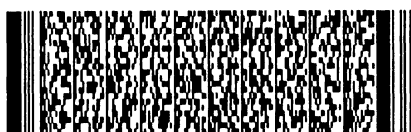
英文發明摘要 (發明之名稱：)



四、中文發明摘要 (發明之名稱：半導體基板之製造方法及Ⅲ族氮化物系化合物半導體元件)

「反應部」的產生停留於上述「犧牲層」的內部，而在高於反應防止層的上部則無「反應部」的出現。

英文發明摘要 (發明之名稱：)



五、發明說明 (1)

【發明所屬之技術領域】

本發明係關於藉由在由矽(Si)形成的襯底基板上成長由Ⅲ族氮化物系化合物半導體形成的結晶，以獲得半導體基板的方法者。此外，本發明係關於將如此之半導體基板作為結晶成長基板而被製造之，例如Ⅲ族氮化物系化合物半導體發光元件等的各種半導體裝置。

【習知之技術】

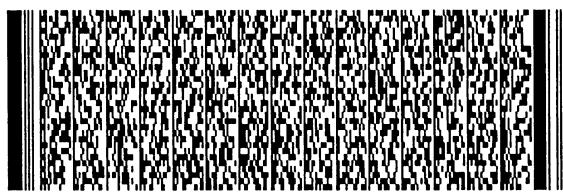
圖2為例示結晶成長於矽基板(襯底基板)上的習知半導體結晶的模式剖面圖。該結晶成長步驟採用有機金屬汽相沉積法(MOCVD)法。如圖2所示，於藉由習知技術高溫成長於矽基板(襯底基板)(1)上的半導體結晶(氮化鎵結晶等)(2)上，會產生「反應部」(3)或轉位、裂紋(4)等。

【發明所欲解決之問題】

轉位或裂紋係為基於異種材料間之熱膨脹係數差或晶格常數差產生的應力作用所造成的結果者，在利用此種結晶成長基板製造各種半導體裝置的情況，會引起裝置特性的劣化。

此外，在除去例如矽等構成的襯底基板，僅殘留下成長層，以便獲得獨立基板(結晶)的情況，藉由上述轉位或裂紋等的作用，要獲得大面積(1cm²以上)者幾乎不可能。

此外，在作為目的半導體基板(半導體結晶A)的結晶成長溫度的1000℃～1150℃附近，有矽(Si)與氮化鎵(GaN)產生反應的情況(圖中的「反應部」)。因此，有經過高溫的結晶成長過程而不易獲得單結晶的氮化鎵基板。



五、發明說明 (3)

此外，在此所稱之「Ⅲ族氮化物系化合物半導體」，一般包括由2元、3元或4元之「 $\text{Al}_x\text{Ga}_y\text{In}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq x+y \leq 1$)」組成之由一般式所表示的任意混晶比的半導體，而且，添加p型或n型之摻雜物的半導體也屬於本說明書中的「Ⅲ族氮化物系化合物半導體」的範疇。

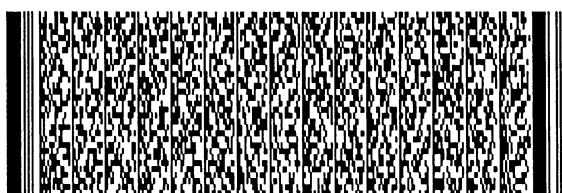
此外，由硼(B)、銻(Tl)等來置換上述Ⅲ族元素(Al、Ga、In)內的部分、或由磷(P)、砷(As)、銻(Sb)、鉍(Bi)等來置換上述氮(N)內的部分的半導體等，也屬於本說明書的「Ⅲ族氮化物系化合物半導體」的範疇。

此外，作為上述p型摻雜物，也可添加例如鎂(Mg)或鈣(Ca)等。

此外，作為上述n型摻雜物，也可添加例如矽(Si)、硫(S)、硒(Se)、碲(Te)或鍺(Ge)等。

此外，此等摻雜物也可為同時添加2元素以上者，也可為同時添加兩型(p型及n型)者。

圖1為例示性說明本發明之基本概念的半導體結晶的製造步驟的模式剖面圖。該反應防止層B係為用以防止比該反應防止層較後沉積的氮化鎵系的半導體(半導體結晶A)與矽(Si)的反應，如此，藉由在上述「犧牲層E」上成膜比氮化鎵系半導體之融點或耐熱性高的如由碳化矽(SiC)或氮化鋁(AlN)等組成的反應防止層(晶質材料B)，即使在長時間高溫的條件下使氮化鎵系半導體(半導體結晶A)結晶成長的情況，在沉積於上述反應防止層上的半導體基板(半導體結晶A)中，仍不會形成隨上述高熱產生的「反應



五、發明說明 (15)

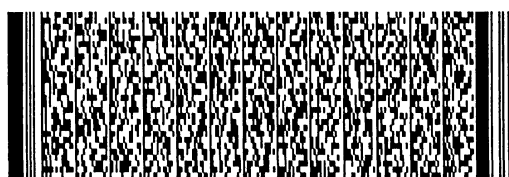
也就是說，本發明並未對犧牲材或目的半導體基板的種類(材質)有任何特殊限制，其可適用於有關上述襯底基板(矽基板)之公知或任意種類的異性外延成長。

此外，於上述實施例中，雖使用有機金屬汽相成長法(MOVPE法)，但是，本發明之結晶成長也可藉由鹵化物汽相成長法(HVPE)等來實施。

又，上述之實施例中，例示有將襯底基板分離、在除去殘骸的基礎上將半導體結晶A作為半導體元件的結晶成長基板進行使用的方法，但是，進行此等之分離或殘骸除去的步驟，也可在沉積半導體元件本身的半導體層後進行實施，或是，在無特別實施分離步驟等的狀態下，作為半導體元件進行利用。

【元件編號之說明】

- A 半導體結晶(目的半導體基板)
- B 反應防止層
- C 緩衝層
- D 矽基板(襯底基板)
- E 犧牲層
- 1 矽基板
- 2 氮化物半導體層
- 3 反應部
- 4 裂紋



六、申請專利範圍

1. 一種半導體基板之製造方法，係於由矽(Si)形成的襯底基板上成長由Ⅲ族氮化物系化合物半導體形成的半導體結晶A來獲得半導體基板的製造方法中，其特徵為：具備如下步驟

犧牲層成長步驟，於上述襯底基板上使與上述半導體結晶A略同種的半導體組成的「犧牲層」結晶成長；

反應防止層形成步驟，於上述犧牲層上由比上述半導體結晶A之融點或耐熱性高的晶質材料B組成，用以沉積阻止上述矽擴散的「反應防止層」；及

結晶成長步驟，於上述反應防止層上使上述半導體結晶A組成的上述半導體基板結晶成長。

2. 如申請專利範圍第1項之半導體基板之製造方法，其中，上述半導體結晶A，係由滿足「 $\text{Al}_x\text{Ga}_y\text{In}_{(1-x-y)}\text{N}$ ($0 \leq x < 0.9$, $0.1 < y \leq 1$, $x+y \leq 1$)」之組成式的Ⅲ族氮化物系化合物半導體形成。

3. 如申請專利範圍第1或2項之半導體基板之製造方法，其中，形成上述反應防止層的上述晶質材料B係由碳化矽(SiC)、氮化鋁(AlN)或尖晶石(MgAl_2O_4)構成。

4. 如申請專利範圍第1或2項之半導體基板之製造方法，其中，形成上述反應防止層的晶質材料B係由鋁組成比至少為0.30以上的AlGa_N、AlIn_N或AlGaIn_N構成。

5. 如申請專利範圍第1項之半導體基板之製造方法，其中，將上述反應防止層的膜厚形成為0.1 μm以上、2 μm以下。



六、申請專利範圍

6. 如申請專利範圍第1項之半導體基板之製造方法，其中，將上述反應防止層沉積為2層以上。

7. 如申請專利範圍第1項之半導體基板之製造方法，其中，於上述襯底基板上或上述反應防止層上直接成膜「 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 < x \leq 1$)」組成的緩衝層C。

8. 如申請專利範圍第7項之半導體基板之製造方法，其中，將上述緩衝層C沉積為2層以上。

9. 如申請專利範圍第7或8項之半導體基板之製造方法，其中，將上述緩衝層C的膜厚形成為 $0.01\ \mu\text{m}$ 以上、 $1\ \mu\text{m}$ 以下。

10. 如申請專利範圍第1項之半導體基板之製造方法，其中，將上述半導體結晶A沉積為 $50\ \mu\text{m}$ 以上。

11. 一種Ⅲ族氮化物系化合物半導體元件，其特徵為具有以下之半導體基板做為結晶成長基板，該半導體基板具備：

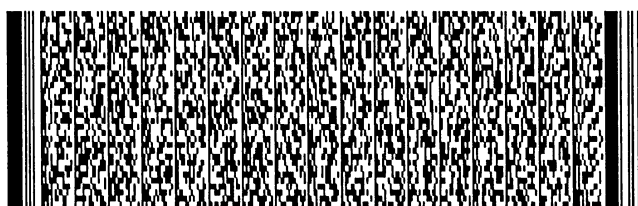
由矽(Si)形成的襯底基板D；

藉由有機金屬化合物氣相成長法形成於上述襯底基板之上的犧牲層；

形成於上述犧牲層之上，積層成為可以阻止上述矽(Si)之擴散的反應防止層B；

藉由鹵化物氣相成長法形成於上述反應防止層B之上的半導體結晶A，其中，

上述犧牲層係由與上述半導體結晶A略同種的半導體所形成者，



六、申請專利範圍

上述反應防止層B則由比上述半導體結晶A具有更高的融點或是耐熱性的晶質材料B所形成。

12. 如申請專利範圍第11項之Ⅲ族氮化物系化合物半導體元件，其中，上述半導體結晶A，係由滿足

「 $\text{Al}_x\text{Ga}_y\text{In}_{(1-x-y)}\text{N}$ ($0 \leq x < 0.9$, $0.1 < y \leq 1$, $x+y \leq 1$)」之組成式的Ⅲ族氮化物系化合物半導體形成。

13. 如申請專利範圍第11項之Ⅲ族氮化物系化合物半導體元件，其中，形成上述反應防止層的上述晶質材料B係由碳化矽(SiC)、氮化鋁(AlN)或尖晶石(MgAl_2O_4)構成。

14. 如申請專利範圍第11項之Ⅲ族氮化物系化合物半導體元件，其中，形成上述反應防止層的晶質材料B係由鋁組成比至少為0.30以上的AlGaN、AlInN或AlGaInN構成。

15. 如申請專利範圍第11項之Ⅲ族氮化物系化合物半導體元件，其中，將上述反應防止層的膜厚形成為 $0.1 \mu\text{m}$ 以上、 $2 \mu\text{m}$ 以下。

16. 如申請專利範圍第11項之Ⅲ族氮化物系化合物半導體元件，其中，將上述反應防止層沉積為2層以上。

17. 如申請專利範圍第11項之Ⅲ族氮化物系化合物半導體元件，其中，於上述襯底基板上或上述反應防止層上直接成膜「 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 < x \leq 1$)」組成的緩衝層C。

18. 如申請專利範圍第17項之Ⅲ族氮化物系化合物半導體元件，其中，將上述緩衝層C沉積為2層以上。

19. 如申請專利範圍第17項之Ⅲ族氮化物系化合物半導體元件，其中，將上述緩衝層C的膜厚形成為 $0.01 \mu\text{m}$ 以



六、申請專利範圍

上、 $1\ \mu\text{m}$ 以下。

20. 如申請專利範圍第18項之Ⅲ族氮化物系化合物半導體元件，其中，將上述緩衝層C的膜厚形成為 $0.01\ \mu\text{m}$ 以上、 $1\ \mu\text{m}$ 以下。

21. 如申請專利範圍第11項之Ⅲ族氮化物系化合物半導體元件，其中，將上述半導體結晶A沉積為 $50\ \mu\text{m}$ 以上。

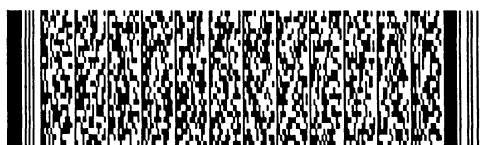
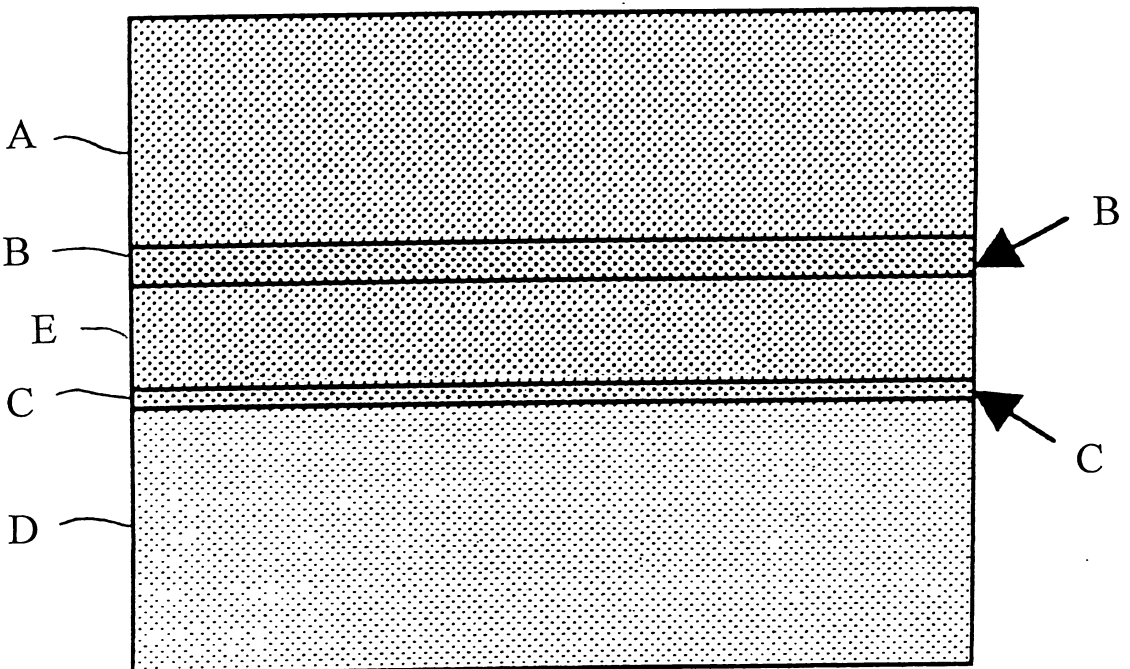


圖 1





2

