

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4734382号  
(P4734382)

(45) 発行日 平成23年7月27日(2011.7.27)

(24) 登録日 平成23年4月28日(2011.4.28)

(51) Int.Cl.

**H02M 3/155 (2006.01)**

F I

H02M 3/155

H

請求項の数 3 (全 9 頁)

<p>(21) 出願番号 特願2008-196567 (P2008-196567)</p> <p>(22) 出願日 平成20年7月30日(2008.7.30)</p> <p>(65) 公開番号 特開2010-35370 (P2010-35370A)</p> <p>(43) 公開日 平成22年2月12日(2010.2.12)</p> <p>審査請求日 平成22年8月5日(2010.8.5)</p> <p>早期審査対象出願</p>	<p>(73) 特許権者 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号</p> <p>(74) 代理人 100108062 弁理士 日向寺 雅彦</p> <p>(72) 発明者 尾崎 薫 東京都港区芝浦一丁目1番1号 株式会社東芝内</p> <p>(72) 発明者 後藤 祐一 東京都港区芝浦一丁目1番1号 株式会社東芝内</p> <p>審査官 今井 貞雄</p>
---	---

最終頁に続く

(54) 【発明の名称】 DC-DCコンバータ用集積回路

(57) 【特許請求の範囲】

【請求項1】

平滑回路を有するDC-DCコンバータを制御可能なDC-DCコンバータ用集積回路であって、

前記平滑回路の入力側と接続されるスイッチング端子と、オン状態において前記スイッチング端子を介して、前記平滑回路の出力電圧に対応した電圧を出力可能なハイサイドトランジスタと、

前記出力電圧に対応した電圧が入力される帰還電圧端子と、

前記スイッチング端子の電圧と第1の基準電圧とを比較可能な電圧検出器と、

前記帰還電圧端子の前記電圧と第2の基準電圧とから誤差信号を生成可能なエラーアン 10

プと、  
クロック信号を出力する発振器と、前記クロック信号が入力され前記誤差信号に対応してオン信号を制御可能なオン信号発生器と、を有する制御回路であって、前記ハイサイドトランジスタのオフ状態において前記スイッチング端子の電圧が前記第1の基準電圧よりも高いことを前記電圧検出器が検出した場合、前記帰還電圧端子の前記電圧が前記第2の基準電圧よりも高いことが前記誤差信号により検出された次の周期において前記オン信号発生器が前記オン信号の出力を停止状態とし前記ハイサイドトランジスタをオフとすることにより前記出力電圧の上昇を抑制し、前記帰還電圧端子の前記電圧が前記第2の基準電圧よりも低いことが前記誤差信号により検出された次の周期において前記オン信号発生器が前記停止状態を解除し前記ハイサイドトランジスタをオンとすることにより前記出力電 20

圧を上昇可能とした制御回路と、

を備えたことを特徴とするDC - DCコンバータ用集積回路。

【請求項2】

前記ハイサイドトランジスタのオフ状態において前記スイッチング端子の電圧が前記第1の基準電圧よりも低いことを前記電圧検出器が検出した場合、前記オン信号発生器は前記オン信号を毎周期出力し前記ハイサイドトランジスタを毎周期オンに制御可能とすることを特徴とする請求項1記載のDC - DCコンバータ用集積回路。

【請求項3】

ローサイドスイッチ制御端子をさらに備え、

前記制御回路は、前記ローサイドスイッチ制御端子を介して外付けトランジスタをオンまたはオフに切替える制御信号を出力可能としたことを特徴とする請求項2記載のDC - DCコンバータ用集積回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、DC - DCコンバータ用集積回路に関する。

【背景技術】

【0002】

小型且つ高電力変換効率を有するDC - DCコンバータ及びスイッチングレギュレータは、ノートパソコンや携帯電話など電子機器の小型化及び高性能化にとって不可欠である。

20

【0003】

降圧型DC - DCコンバータを構成する場合、MOSFETスイッチをオンまたはオフに切替え、LCフィルタにより出力電圧を平滑化することにより、一定電圧が出力可能となる。この場合、発振回路、制御ロジック、ドライバ、及びMOSFETなどをCMOS集積回路化すると、DC - DCコンバータの小型化及び低消費電力化が容易となる。

【0004】

また、DC - DCコンバータは広い負荷電流範囲にわたって電力変換効率を高く保つことが必要である。しかしながら、定格負荷において高効率であっても、軽負荷において効率が低下することがある。

30

【0005】

広範囲の負荷電流に対して、高い電力変換効率を実現するスイッチングレギュレータに関する技術開示例がある（特許文献1）。この技術開示例では、第2のスイッチがオン状態の場合、出力ノードの電位が所定の電位を越えているときには、第2のスイッチをオフ状態とすることにより、負荷電流が小さいときの電力変換効率を改善している。

【0006】

しかしながら、この技術開示例を用いても、軽負荷不連続モード動作において出力電圧が上昇する問題が生じることがある。

【特許文献1】特開2000 - 92824号公報

【発明の開示】

40

【発明が解決しようとする課題】

【0007】

軽負荷状態において高い効率を保ちつつ、広い負荷電流範囲において出力電圧の制御が容易なDC - DCコンバータ用集積回路を提供する。

【課題を解決するための手段】

【0008】

本発明の一態様によれば、平滑回路を有するDC - DCコンバータを制御可能なDC - DCコンバータ用集積回路であって、前記平滑回路の入力側と接続されるスイッチング端子と、オン状態において前記スイッチング端子を介して、前記平滑回路の出力電圧に対応した電圧を出力可能なハイサイドトランジスタと、前記出力電圧に対応した電圧が入力さ

50

れる帰還電圧端子と、前記スイッチング端子の電圧と第1の基準電圧とを比較可能な電圧検出器と、前記帰還電圧端子の前記電圧と第2の基準電圧とから誤差信号を生成可能なエラーアンプと、クロック信号を出力する発振器と、前記クロック信号が入力され前記誤差信号に対応してオン信号を制御可能なオン信号発生器と、を有する制御回路であって、前記ハイサイドトランジスタのオフ状態において前記スイッチング端子の電圧が前記第1の基準電圧よりも高いことを前記電圧検出器が検出した場合、前記帰還電圧端子の前記電圧が前記第2の基準電圧よりも高いことが前記誤差信号により検出された次の周期において前記オン信号発生器が前記オン信号の出力を停止状態とし前記ハイサイドトランジスタをオフとすることにより前記出力電圧の上昇を抑制し、前記帰還電圧端子の前記電圧が前記第2の基準電圧よりも低いことが前記誤差信号により検出された次の周期において前記オン信号発生器が前記停止状態を解除し前記ハイサイドトランジスタをオンとすることにより前記出力電圧を上昇可能とした制御回路と、を備えたことを特徴とするDC-DCコンバータ用集積回路が提供される。

10

### 【発明の効果】

#### 【0011】

軽負荷状態において高い効率を保ちつつ、広い負荷電流範囲において出力電圧の制御が容易なDC-DCコンバータ用集積回路及びこれを用いたDC-DCコンバータが提供される。

20

#### 【発明を実施するための最良の形態】

#### 【0012】

以下、図面を参照しつつ本発明の実施の形態について説明する。

#### 【0013】

図1は、本発明の第1の実施形態にかかるDC-DCコンバータのブロック図である。

DC-DCコンバータ10は、集積回路(IC)チップ20、インダクタ40、出力キャパシタ42、電圧検出抵抗43、44、及びダイオード(DI)46を有している。DC-DCコンバータ10の出力電圧(VO)端子と接地(GND)との間には、負荷50が接続される。

#### 【0014】

ICチップ20は、例えばCMOS集積回路とし、NチャネルMOSFETなどのハイサイドトランジスタM1(以下、トランジスタM1)、制御回路22、スイッチング端子(LX端子)の電圧検出器36、誤差増幅器(エラーアンプ)38、及び比較器(コンパレータ)39などを有している。なお、ハイサイドトランジスタM1は、MOSFETに限定されず接合型FETであってもよい。

30

#### 【0015】

また、制御回路22は、トランジスタM1を駆動するドライバ34、クロック信号を生成する発振器24、クロック信号に基づいてオン信号を生成可能なオン信号発生器26、オン信号発生器26からの信号が入力されドライバ34を制御可能な第2制御ロジック32、及びオン信号発生器26を制御可能な第1制御ロジック28、などを有している。

40

#### 【0016】

入力電圧(VIN)端子は、トランジスタM1の一方の端子へ接続される。また、トランジスタM1の他方の端子が接続されたLX端子は、インダクタ40及びダイオード46に接続されている。トランジスタM1のオン状態において、LX端子電圧VLXは、Highレベルとなり、インダクタ電流ILが流れ出力キャパシタ42を充電し、且つ負荷50へ電流を供給可能とする。

#### 【0017】

図1に表すDC-DCコンバータはダイオード整流方式である。すなわち、トランジスタM1がオフである期間、インダクタ40に蓄積されたエネルギーは出力キャパシタ42、負荷50、及びダイオード46を通過しつつ消費される。出力電圧VOは、インダクタ

50

40と、出力キャパシタ42と、により構成された平滑回路41により目標電圧近傍において平滑化される。

【0018】

また、出力VO端子とGNDとの間には、直列接続された電圧検出抵抗43、44が介挿されており、その接続点Bの帰還電圧VFBは、VFB端子を介して、エラーアンプ38の反転入力端子に入力される。

【0019】

この場合、RFB1とRFB2との抵抗値比率を変化させると、出力電圧VOを目標電圧値に設定可能である。また、出力電圧VOは次式により設定可能である。

$$V O = V F B \times ( 1 + R F B 1 / R F B 2 )$$

なお、図1の場合、VIN > VOであるので降圧型DC-DCコンバータである。

【0020】

図2は、本実施形態にかかる集積回路及びこれを用いたDC-DCコンバータの動作を説明する波形図である。すなわち、図2(a)は重負荷状態、図2(b)は軽負荷状態をそれぞれ表す。

発振器24の発振周波数をfosc(Hz)とすると、その周期T(sec)は次式で表される。

$$T = 1 / f_{o s c}$$

なお、発振周波数foscは、例えば400~800kHzの範囲にすることができる。

【0021】

また、ドライバ34によりトランジスタM1をオンとする期間Tonを変化させると目標の出力電圧VOを得ることができる。

【0022】

図2(a)のように高い負荷電流とされる重負荷の場合、トランジスタM1は、デューティが高いパルスにより第2制御ロジック32を介しドライバ34によりオンとされる。トランジスタM1のオン状態において、LX端子電圧VLXは入力電圧VINからトランジスタM1の僅かなオン抵抗による電圧降下分を減算したHighレベルとなり、インダクタ40を流れるインダクタ電流ILは増加して行く。

【0023】

制御回路22によりドライバ34がトランジスタM1をオフとすると、LX端子電圧VLXにはインダクタ40による逆起電力を生じ、略マイナスVF(但し、VFはダイオード46の順方向電圧)となる。これによりインダクタ電流ILは減少に転じるが、インダクタ40に蓄積されたエネルギーがゼロになるまで電流の方向は変わらない。キャパシタ42、負荷50、及び電圧検出抵抗43、44を通過した電流はダイオード46を通過して還流可能である。

【0024】

インダクタ電流ILがゼロとなる前にトランジスタM1がオンとなるとインダクタ電流ILは再び増加するので不連続とはならず、図2(a)は連続モード動作(CCM: Continuous Control Mode)である。なお、ダイオード46をシリコンpn接合とするとVFは約0.7Vである。また、シリコンショットキーバリアとすると、VFは0.23~0.5Vとなり、順方向電圧降下による電力損失を低減できる。

【0025】

重負荷動作の場合、トランジスタM1がオン状態ではダイオード46がオフとなり、トランジスタM1がオフ状態ではダイオード46がオンとなるよう、互いに相補的にオンまたはオフに制御される。インダクタ電流ILがゼロに到達する前にトランジスタM1が再

10

20

30

40

50

びオンに転じるので、インダクタ電流  $I_L$  が逆流することはない。このようにして、出力電圧  $V_O$  は目標電圧を保つことが可能となる。なお、通常、入力電圧  $V_{IN}$  は、例えば 2.7 ~ 5.5 V などの範囲とし、出力電圧  $V_O$  は、例えば 0.8 V 以上とできる。

【0026】

また、図 2 (b) に表す低い負荷電流である軽負荷の場合、オン信号発生器 26 からの信号により、第 2 制御ロジック 32 はドライバ 34 を介して、短いオン時間  $T_{on}$  の期間だけトランジスタ M1 をオンとする。時間  $t_1$  でトランジスタ M1 がオンに転じると、インダクタ電流  $I_L$  が流れ始め時間とともに増加する。

【0027】

その後、短いオン時間  $T_{on}$  が経過した時間  $t_2$  においてトランジスタ M1 はオフに転じる。このために、インダクタ 40 の逆起電力により L X 端子電圧  $V_{LX}$  は、略マイナス  $V_F$  となる。インダクタ電流  $I_L$  が減少し始め、時間  $t_3$  で略ゼロになるとインダクタ 40 に蓄積されたエネルギーは消費され、L X 端子電圧  $V_{LX}$  が略 GND 電位となる。この状態において、L X 端子はハイインピーダンスとなるが、出力キャパシタ 42 に電荷が蓄積されているので、L X 端子のキャパシタとインダクタンス L との共振回路により L X 端子電圧  $V_{LX}$  が振動しながら減衰し、出力電圧  $V_O$  に向かって行く。なお、オン時間  $T_{on}$  の最小オン時間は、例えば 60 nsec (ナノ秒) などとできる。

【0028】

また、トランジスタ M1 がオフ状態であり且つダイオード 46 が逆流電流を阻止する向きに接続されているので、IC チップ 20 及びダイオード 46 で無駄に電力を消費することを抑制でき、軽負荷状態の効率を高めることが可能である。図 2 (b) の軽負荷状態は、インダクタ電流  $I_L$  がゼロとなる「不連続モード (DCM: Discontinuous Control Mode)」を表している。

【0029】

L X 端子に接続されている電圧検出器 36 はコンパレータからなり、第 1 の入力端子には L X 端子電圧  $V_{LX}$  を、第 2 の入力端子には第 1 の基準電圧  $V_{ref1}$  を、それぞれ入力する。第 1 の基準電圧  $V_{ref1}$  を、例えば GND と出力電圧  $V_O$  との間である 0.2 ~ 0.3 V の範囲に設定すると、電圧検出器 36 は DC - DC コンバータが不連続動作モードであることを検出し、その出力を第 1 制御ロジック 28 へ入力する。

【0030】

他方、出力電圧  $V_O$  は、直列接続された電圧検出抵抗 43、44 により分割される。その中間の接続点 B の帰還電圧  $V_{FB}$  は、 $V_{FB}$  端子を介してエラーアンプ 38 の反転入力端子に入力される。また、第 2 の基準電圧  $V_{ref2}$  は非反転入力端子に入力される。

【0031】

L X 端子電圧  $V_{LX}$  が第 1 の基準電圧  $V_{ref1}$  よりも高く且つ帰還電圧  $V_{FB}$  が第 2 の基準電圧  $V_{ref2}$  よりも高い場合、エラーアンプ 38 からの誤差信号がコンパレータ 39 の一方の端子に入力され、コンパレータ 39 の出力は第 1 制御ロジック 28 へ入力され、 $t_4$  から始まる周期において第 1 制御ロジック 28 が  $T_{on}$  信号をマスクするように  $T_{on}$  信号発生器 26 を制御する。このために、第 2 制御ロジック 32 はトランジスタ M1 のオフが継続するように制御し、帰還電圧  $V_{FB}$  は低下を続ける。

【0032】

他方、L X 端子電圧  $V_{LX}$  が第 1 の基準電圧  $V_{ref1}$  よりも高く且つ時間  $t_9$  で帰還電圧  $V_{FB}$  が第 2 の基準電圧  $V_{ref2}$  よりも低くなると、エラーアンプ 38 は、コンパレータ 39 に強制オン信号を出力する。このために、コンパレータ 38 の出力が入力された第 1 制御ロジック 28 は、 $t_6$  から始まる周期において  $T_{on}$  発生器 26 に  $T_{on}$  信号を生成させ、第 2 制御ロジック 32 及びドライバ 34 を介してトランジスタ M1 をオンとする。このようにして、帰還電圧  $V_{FB}$  は第 2 の基準電圧  $V_{ref2}$  近傍に安定した状態を保ち、出力電圧  $V_O$  は目標電圧値を精度よく保つことが可能となる。

【0033】

なお、トランジスタ M1 と同一導電型を有するトランジスタ M2 と抵抗 31 との直列回

10

20

30

40

50

路が、トランジスタM1と並列に接続されており、抵抗31の両端の電圧により、トランジスタM1がオンであるかオフであるかを電流検出アンプ30により検出し、その出力はコンパレータ39の他方の端子へ入力される。

#### 【0034】

図3は、比較例にかかるDC-DCコンバータを表す。すなわち、図3(a)はブロック図、図3(b)は軽負荷状態における動作波形図を表す。この比較例では、図3(a)に表すようにLX端子電圧検出器及び第1制御ロジックを有しておらず、Ton発生器126の出力及びコンパレータ137の出力が第2制御ロジック132へ入力されている。

#### 【0035】

比較例の場合、Ton発生器126は毎周期Ton信号を発生し、第2制御ロジック132は、毎周期ごとにドライバ134を介してトランジスタM11をオンとする。t2でトランジスタM11がオフに転じると、インダクタ140の逆起電力によりLX端子電圧VLXは、一旦マイナスVFに低下する。さらにインダクタ電流ILが減少するに従いLX端子電圧VLXは変化し、t3でインダクタ電流ILがゼロとなるとインダクタ140の蓄積エネルギーが消費されゼロになる。なお、ダイオード146は、t2~t3の間でのみオンとされる。

#### 【0036】

時間t3以降、インダクタ140のインダクタンスと、LX端子が有するキャパシタと、によりLX端子電圧VLXが振動しつつ出力電圧VOに向かう。但し、比較例の場合、LX端子には電圧検出器が接続されていないので、LX端子電圧VLXを検出することはできない。期間(t1~t3)で充電された出力キャパシタ142の電荷は、逆流経路がないので電荷は保たれている。続いて、時間t4において、Ton信号によりトランジスタM11が再びオンとされると、出力キャパシタ142がさらに充電されるので出力電圧VO及び帰還電圧VFBが上昇する。最小オン時間で制御可能な範囲を越えた軽負荷状態となると、システムの制御が困難となり帰還電圧VFB及び出力電圧VOが上昇する問題が生じる。

#### 【0037】

これに対して、本実施形態ではLX端子電圧VLXを検出することにより、軽負荷且つ不連続モード動作状態において次の周期のオン信号を無効とし、トランジスタM1をオンとしない周期を設ける。このために、軽負荷においても出力電圧VOの上昇を抑制し、出力電圧VOの変動を±2%以下とするなど、動作を安定にできる。

#### 【0038】

この場合、LX端子の電圧検出器36は、高精度及び高速性を必要とせず簡単な回路の追加でよい。また、第1の基準電圧Vref1は、出力電圧VOとGNDの間の電圧範囲内に設定するが、高い精度を必要としない。このため、電圧検出器36を設けてもICチップ20の構成が複雑となることはない。

#### 【0039】

また、ダイオード46により逆流電流を抑制し、軽負荷であっても高変換効率が容易となる。この結果、ノートパソコン及び携帯電話など電子機器の小型化及び低消費電力化が容易となる。

#### 【0040】

図4は、第2の実施形態にかかるDC-DCコンバータを表す図である。すなわち、図4(a)はブロック図、図4(b)は軽負荷状態の動作波形図である。

集積回路20にローサイドスイッチ制御端子LSGを設けると、外付けローサイドトランジスタM3(以下、トランジスタM3)をドライバ34によりオンまたはオフに切替可能となり、同期整流型DC-DCコンバータとして動作可能である。

LSG端子は、例えばNチャネルMOSFETなどからなるトランジスタM3のゲートに接続され、ドライバ34を介してトランジスタM3を制御可である。また、トランジスタM3には破線で表す寄生ダイオードDipが並列に接続されていると見なすことができる。

10

20

30

40

50

## 【 0 0 4 1 】

時間  $t_{12}$  において、トランジスタ  $M_1$  はオンからオフに転じるが、トランジスタ  $M_3$  は相補的にオフからオンに転じる。 $LX$  端子電圧  $V_{LX}$  は、時間  $t_{12}$  において一旦マイナス  $V_{Fp}$  (寄生ダイオード  $DI_p$  の順方向電圧) となるが、時間  $t_{13}$  においてインダクタ電流  $I_L$  がゼロになるとともに  $GND$  に戻る。トランジスタ  $M_3$  がオンであるので出力キャパシタ  $4_2$  に蓄積された電荷が、トランジスタ  $M_3$  を介して時間  $t_{13}$  から逆流を始める。

## 【 0 0 4 2 】

時間  $t_{14}$  で再びトランジスタ  $M_1$  がオンに転じると、 $t_{14} \sim t_{15}$  の期間においてインダクタ電流  $I_L$  は再び増加する。 $t_{13} \sim t_{14}$  の期間、 $LX$  端子電圧  $V_{LX}$  は、例えば  $0 \sim 0.1V$  のように  $GND$  よりも僅かに高い状態となるが、インダクタ電流  $I_L$  はトランジスタ  $M_3$  を介して逆流可能であるので図 2 に表す実施形態のように出力電圧  $VO$  近傍に上昇し振動することはない。

10

## 【 0 0 4 3 】

この場合、第 1 の基準電圧  $V_{ref1}$  を、例えば  $0.2 \sim 0.3V$  に設定すると、電圧検出器  $3_6$  が  $V_{LX} < V_{ref1}$  であることを検出可能である。このために、 $Ton$  信号を毎周期生成するように、第 1 制御ロジック  $2_8$  が  $Ton$  発生器  $2_6$  を制御し、トランジスタ  $M_1$  を毎周期オンとできる。すなわち、連続動作モード状態において、同期整流型  $DC-DC$  コンバータの制御が容易となる。

## 【 0 0 4 4 】

なお、 $MOSFET$  などのスイッチングトランジスタの電圧降下はダイオードの順方向電圧  $V_F$  よりも小さいので、重負荷状態において同期整流型コンバータの効率はダイオード整流型インバータの効率よりも高くすることが容易である。

20

## 【 0 0 4 5 】

このように、本実施形態の集積回路  $2_0$  を用いてダイオード整流型及び同期整流型  $DC-DC$  コンバータをそれぞれ構成すると、集積回路  $2_0$  のチップの共通部品化が可能となり、主要部品数を削減し、工程管理が容易となる。

## 【 0 0 4 6 】

以上、図面を参照しつつ、本発明の実施の形態について説明した。しかしながら本発明はこれらの実施形態には限定されない。例えば、 $DC-DC$  コンバータを構成するトランジスタ、そのドライバ、 $LX$  端子電圧検出器、制御回路、インダクタ、キャパシタ、平滑回路、抵抗、整流素子の配置、サイズ、形状、材質などに関して当業者が設計変更を行ったものであっても、本発明の主旨を逸脱しない限り本発明の範囲に包含される。

30

## 【 図面の簡単な説明 】

## 【 0 0 4 7 】

【 図 1 】 第 1 の実施形態にかかる  $DC-DC$  コンバータのブロック図

【 図 2 】 第 1 の実施形態にかかる  $DC-DC$  コンバータの動作波形図

【 図 3 】 比較例にかかる  $DC-DC$  コンバータを表す図

【 図 4 】 第 2 の実施形態にかかる  $DC-DC$  コンバータを表す図

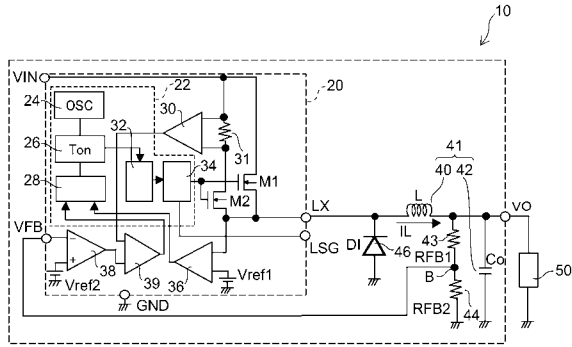
## 【 符号の説明 】

40

## 【 0 0 4 8 】

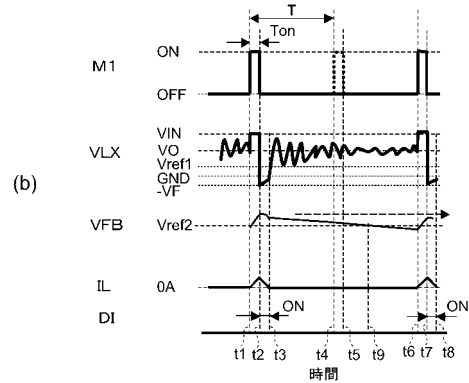
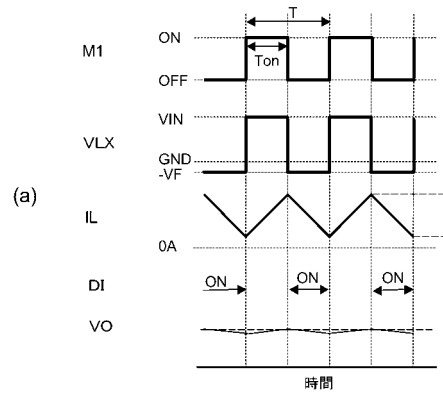
10  $DC-DC$  コンバータ、20 集積回路、22 制御回路、36 電圧検出器、38 エラーアンプ、40 インダクタ、41 平滑回路、42 出力キャパシタ、43、44 電圧検出抵抗、46 ダイオード、 $V_{IN}$  入力電圧、 $V_O$  出力電圧、 $V_{FB}$  帰還電圧、 $LX$  (端子) スwitching (端子)、 $LSG$  (端子) ローサイドスイッチ制御 (端子)、 $M_1$  ハイサイドトランジスタ、 $M_3$  ローサイドトランジスタ、 $V_{ref1}$  第 1 の基準電圧、 $V_{ref2}$  第 2 の基準電圧

【図1】

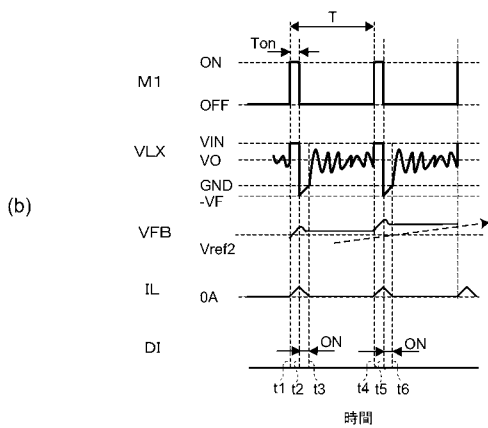
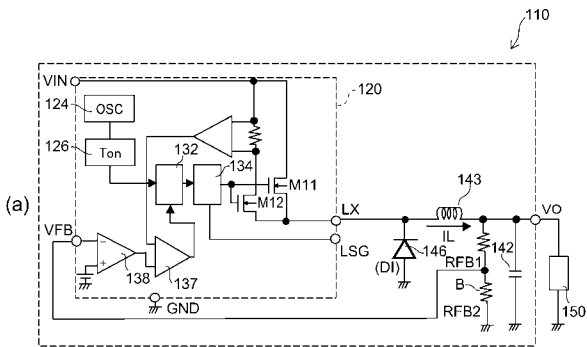


10:DC-DCコンバータ 20:集積回路 22:制御回路 24:発振器 26:Ton発生器  
 28:第1制御ロジック 30:電流検出器 31:抵抗 32:第2制御ロジック 34:ドライバ  
 36:電圧検出器 38:エラーアンプ 39:コンパレータ 40:インダクタ 41:平滑回路  
 42:出力キャパシタ 43,44:電圧検出抵抗 46:ダイオード(DI) 50:負荷  
 M1:ハイサイドトランジスタ M2:トランジスタ IL:インダクタ電流 LX:スイッチング(端子)  
 LSG:ローサイドスイッチ制御(端子) Vref1:第1の基準電圧 Vref2:第2の基準電圧  
 VIN:入力電圧 VO:出力電圧 VFB:帰還電圧

【図2】

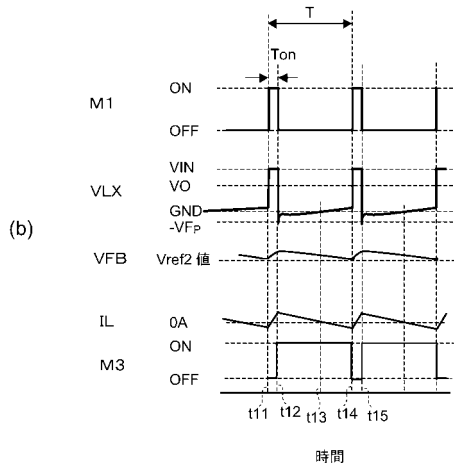
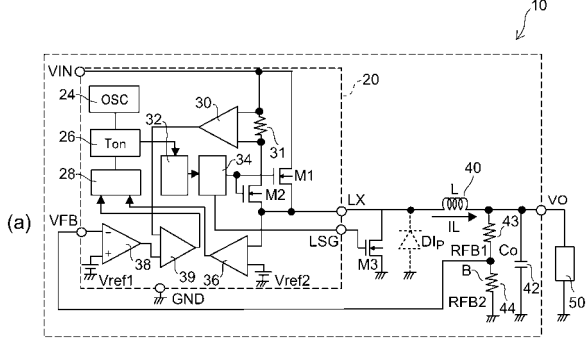


【図3】



110:DC-DCコンバータ 120:集積回路 126:Ton発生器 132:第2制御ロジック  
 134:ドライバ 140:インダクタ 142:出力キャパシタ 146:ダイオード  
 M11:ハイサイドトランジスタ

【図4】



M3:ローサイドトランジスタ

---

フロントページの続き

(56)参考文献 特開2006-333616(JP,A)  
特開2008-072786(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H02M 3/155