

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年8月11日(11.08.2022)



(10) 国際公開番号

WO 2022/168210 A1

(51) 国際特許分類:
H03L 7/081 (2006.01)

(21) 国際出願番号: PCT/JP2021/003969

(22) 国際出願日: 2021年2月3日(03.02.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 株式会社ソシオネクスト(**SOCIONEXT INC.**) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).

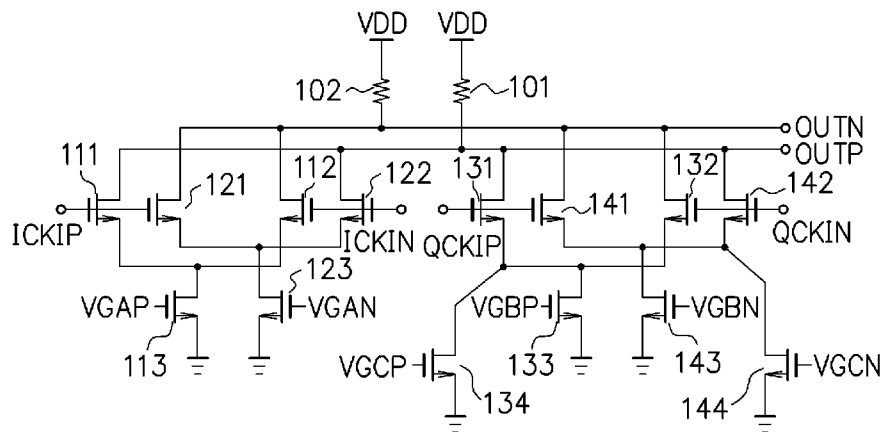
(72) 発明者: 加納 英樹(**KANO, Hideki**); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).

(74) 代理人: 國分 孝悦(**KOKUBUN, Takayoshi**); 〒1700013 東京都豊島区東池袋1丁目17番8号 NBF 池袋シティビル5階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) **Title:** PHASE INTERPOLATION CIRCUIT, RECEPTION CIRCUIT, AND SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 位相補間回路、受信回路、及び半導体集積回路



(57) **Abstract:** This phase interpolation circuit generates, on the basis of a first input clock signal and a second input clock signal having a first phase difference, an output clock signal having a phase in accordance with a phase interpolation code, and comprises: a first generation circuit which, in accordance with a phase interpolation code and on the basis of a first input clock signal, generates a first intermediate current; a second generation circuit which, in accordance with a phase interpolation code and on the basis of a second input clock signal, generates a second intermediate current; a combining circuit which combines the first intermediate current and the second intermediate current to generate an output clock signal; and a correction circuit which, on the basis of a correction current in accordance with a correction code that is set in accordance with at least a deviation amount of the first phase difference from a prescribed value, corrects amount of the first intermediate current and/or the second intermediate current.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 第1の位相差を有する第1の入力クロック信号と第2の入力クロック信号とに基づいて、位相補間コードに応じた位相を有する出力クロック信号を生成する位相補間回路は、位相補間コードに応じて第1の入力クロック信号に基づいて第1の中間電流を生成する第1の生成回路と、位相補間コードに応じて第2の入力クロック信号に基づいて第2の中間電流を生成する第2の生成回路と、第1の中間電流と第2の中間電流とを合成し出力クロック信号を生成する合成回路と、少なくとも第1の位相差の所定値からのずれ量に応じて設定される補正コードに応じた補正電流に基づいて、第1の中間電流及び第2の中間電流の少なくとも一方の電流量を補正する補正回路とを有する。

明 細 書

発明の名称：位相補間回路、受信回路、及び半導体集積回路

技術分野

[0001] 本発明は、位相補間回路、受信回路、及び半導体集積回路に関する。

背景技術

[0002] シリアライザ／デシリアライザ（S e r D e s : Serializer／Deserializer）のデシリアライザの受信回路は、高速な受信信号からクロック信号に基づいてデータを取得する。受信信号からデータを適切に取得できるようクロック信号の位相を調整するために、複数の入力クロック信号から所望の位相を有する出力クロック信号を生成する位相補間（P I : Phase Interpolator）回路がある。位相補間回路は、受信回路において用いられるクロックデータリカバリ（C D R : Clock Data Recovery）回路の位相調整回路として使用される。

[0003] 例えば、デシリアライザの受信回路では、図１６に示すように、位相補間回路１６０１から出力される第１の出力クロック信号ＩＣＫＯを用いて比較器（コンパレータ）１６０４が受信信号ＤＴＩＮからデータＤＴを取得し、位相補間回路１６０１から出力される第２の出力クロック信号ＱＣＫＯを用いて比較器（コンパレータ）１６０５が受信信号ＤＴＩＮからバウンダリＢＤを取得する。第１の出力クロック信号ＩＣＫＯと第２の出力クロック信号ＱＣＫＯとは、所定の位相差（略９０度）を有している。

[0004] 位相補間回路１６０１は、入力クロック信号ＩＣＫＩ、ＱＣＫＩに基づいて、入力される位相補間（ＰＩ）コードに応じた位相を有する出力クロック信号ＩＣＫＯ、ＱＣＫＯをそれぞれ生成する。位相補間回路１６０１は、第１の出力クロック信号ＩＣＫＯを生成する位相補間回路１６０２と、第２の出力クロック信号ＱＣＫＯを生成する位相補間回路１６０３とを有する。位相補間回路１６０２、１６０３は、ＰＩコードに基づいて入力クロック信号ＩＣＫＩ、ＱＣＫＩを重み付けして合成することにより出力クロック信号Ｉ

CKO、QCKOをそれぞれ生成する。

[0005] 従来の位相補間回路1602、1603の構成例を図17に示す（例えば、特許文献1参照）。トランジスタ1711、1722、1731、1742のドレインは、抵抗1701を介して電源VDDに接続される。トランジスタ1711、1722、1731、1742のドレインは、出力端OUTPに接続される。また、トランジスタ1712、1721、1732、1741のドレインは、抵抗1702を介して電源VDDに接続される。トランジスタ1712、1721、1732、1741のドレインは、出力端OUTNに接続される。

[0006] トランジスタ1711、1721のゲートには入力クロック信号ICKIPが入力され、トランジスタ1712、1722のゲートには入力クロック信号ICKIPに対して逆相の入力クロック信号ICKINが入力される。また、トランジスタ1731、1741のゲートには入力クロック信号ICKIPと所定の位相差を有する入力クロック信号QCKIPが入力され、トランジスタ1732、1742のゲートには入力クロック信号QCKIPに対して逆相の入力クロック信号QCKINが入力される。入力クロック信号ICKIP、ICKINが、図16に示した入力クロック信号ICKIに相当し、入力クロック信号QCKIP、QCKINが、図16に示した入力クロック信号QCKIに相当する。

[0007] トランジスタ1713のドレインは、トランジスタ1711、1712のソースに接続され、トランジスタ1723のドレインは、トランジスタ1721、1722のソースに接続される。また、トランジスタ1733のドレインは、トランジスタ1731、1732のソースに接続され、トランジスタ1743のドレインは、トランジスタ1741、1742のソースに接続される。トランジスタ1713、1723、1733、1743のソースは接地される。

[0008] トランジスタ1713、1723のゲートには、PIコードに応じてゲート電圧VGAP、VGANが印加され、トランジスタ1733、1743の

ゲートには、P Iコードに応じてゲート電圧VGB P、VGB Nが印加される。トランジスタ1713、1723、1733、1743は、P Iコードに応じて対応するトランジスタに電流を流す電流源として機能する。P Iコードに応じて、トランジスタ1713、1723の何れか一方のトランジスタ、及びトランジスタ1733、1743の何れか一方のトランジスタが、P Iコードに応じた電圧で駆動されることにより、入力クロック信号ICK I P、ICK I Nのうちの1つと、入力クロック信号QCK I P、QCK I Nのうちの1つとが重み付けして合成され出力クロック信号が生成される。

[0009] ここで、位相補間回路1601に入力される入力クロック信号ICK Iと入力クロック信号QCK Iとの位相差にずれ（スキューミスマッチ）があると、出力される出力クロック信号ICK Oと出力クロック信号QCK Oとの間にも位相差のずれが生じる。出力クロック信号ICK O、QCK Oのそれぞれの位相は、図18に一例を示すように、破線で示したようにP Iコードに応じて線形的に変化し、P Iコードにかかわらず一定の位相差を有することが好ましいが、実線1801、1802で示したように変化し、P Iコードに応じて位相差のずれが生じてしまう。このようにP Iコードに応じて出力クロック信号ICK Oと出力クロック信号QCK Oと位相差が変わると、出力クロック信号ICK O、QCK Oを使用する回路のタイミングマージンを減らすことになり、高速動作を妨げる要因となる。

[0010] これを回避する方法として、図19に示すように、位相補間回路1601の前段に、位相補間回路1601と同様の機能を有する入力クロック補正回路1901を設け、その内部回路1902、1903により、入力クロック信号ICK I、QCK Iに基づいて位相差のずれを補正したクロック信号を生成して位相補間回路1601に入力する方法がある。この方法は、高速な信号を伝送する回路を追加することになる。

先行技術文献

特許文献

[0011] 特許文献1：特開2014-146869号公報

特許文献2：特開 2 0 1 6 － 2 1 9 9 1 6 号公報

特許文献3：米国特許出願公開第 2 0 1 6 / 0 1 8 2 2 1 6 号明細書

発明の概要

発明が解決しようとする課題

[0012] 本発明の目的は、位相補間コードに対する位相のずれを抑制した出力クロック信号を生成する位相補間回路を提供することにある。

課題を解決するための手段

[0013] 位相補間回路の一態様は、位相補間コードに応じて第 1 の入力クロック信号に基づいて第 1 の中間電流を生成する第 1 の生成回路と、位相補間コードに応じて第 1 の入力クロック信号と第 1 の位相差を有する第 2 の入力クロック信号に基づいて第 2 の中間電流を生成する第 2 の生成回路と、第 1 の中間電流と第 2 の中間電流とを合成し出力クロック信号を生成する合成回路と、少なくとも第 1 の位相差の所定値からのずれ量に応じて設定される補正コードに応じた補正電流に基づいて、第 1 の中間電流及び第 2 の中間電流の少なくとも一方の電流量を補正する補正回路とを有する。

発明の効果

[0014] 開示の位相補間回路は、位相補間コードに対する位相のずれを抑制した出力クロック信号を生成することができる。

図面の簡単な説明

[0015] [図1]図 1 は、第 1 の実施形態における位相補間回路の構成例を示す図である。

[図2A]図 2 A は、第 1 の実施形態における位相補間回路のゲート電圧制御回路の構成例を示す図である。

[図2B]図 2 B は、第 1 の実施形態における位相補間回路のゲート電圧制御回路の構成例を示す図である。

[図2C]図 2 C は、第 1 の実施形態における位相補間回路のゲート電圧制御回路の構成例を示す図である。

[図3A]図3 Aは、図2 Aに示すゲート電圧制御回路の回路構成例を示す図である。

[図3B]図3 Bは、図2 Cに示すゲート電圧制御回路の回路構成例を示す図である。

[図4A]図4 Aは、PIコードと電流との関係を説明する図である。

[図4B]図4 Bは、2つのクロック間の位相差ずれの補正を説明する図である。

[図5]図5は、第1の実施形態における位相補間回路の制御例を説明する図である。

[図6]図6は、第1の実施形態における位相補間回路の出力位相の例を示す図である。

[図7]図7は、第1の実施形態におけるスキュー補正回路を含む位相補間回路の構成例を示す図である。

[図8A]図8 Aは、第1の実施形態におけるキャリブレーションを説明する図である。

[図8B]図8 Bは、第1の実施形態におけるキャリブレーションを説明する図である。

[図9A]図9 Aは、第1の実施形態におけるキャリブレーションを説明する図である。

[図9B]図9 Bは、第1の実施形態におけるキャリブレーションを説明する図である。

[図10]図10は、第2の実施形態における位相補間回路の構成例を示す図である。

[図11A]図11 Aは、第2の実施形態における位相補間回路のゲート電圧制御回路の構成例を示す図である。

[図11B]図11 Bは、第2の実施形態における位相補間回路のゲート電圧制御回路の構成例を示す図である。

[図12A]図12 Aは、第3の実施形態における位相補間回路のゲート電圧制御

回路の構成例を示す図である。

[図12B]図12Bは、第3の実施形態における位相補間回路のゲート電圧制御回路の構成例を示す図である。

[図12C]図12Cは、第3の実施形態における位相補間回路のゲート電圧制御回路の制御例を説明する図である。

[図13A]図13Aは、本実施形態における位相補間回路を適用した半導体集積回路の構成例を示す図である。

[図13B]図13Bは、可変遅延回路の構成例を示す図である。

[図14]図14は、本実施形態における位相補間回路を適用した半導体集積回路の他の構成例を示す図である。

[図15]図15は、本実施形態におけるデータ受信の例を説明する図である。

[図16]図16は、デシリアライザの受信回路を説明する図である。

[図17]図17は、位相補間回路の構成例を示す図である。

[図18]図18は、図17に示す位相補間回路の出力における位相のずれを説明する図である。

[図19]図19は、入力クロック補正回路を設けた受信回路を説明する図である。

[図20]図20は、第4の実施形態における位相補間回路の構成例を示す図である。

[図21]図21は、第5の実施形態における位相補間回路の構成例を示す図である。

[図22]図22は、第6の実施形態における位相補間回路の構成例を示す図である。

[図23]図23は、第6の実施形態における位相補間回路の構成例を示す図である。

発明を実施するための形態

[0016] 以下、本発明の実施形態を図面に基づいて説明する。

[0017] (第1の実施形態)

本発明の第1の実施形態について説明する。

図1は、第1の実施形態における位相補間回路の構成例を示す図である。第1の実施形態における位相補間回路は、抵抗101、102、及びトランジスタ111～113、121～123、131～134、141～144を有する。トランジスタ111～113、121～123、131～134、141～144は、例えばN型MOSFET (Metal Oxide Semiconductor Field Effect Transistor) である。

[0018] トランジスタ111、122、131、142のドレインは、負荷である抵抗101を介して電源VDDに接続される。また、トランジスタ111、122、131、142のドレインと抵抗101との接続点が、出力端OUTPに接続される。トランジスタ112、121、132、141のドレインは、負荷である抵抗102を介して電源VDDに接続される。また、トランジスタ112、121、132、141のドレインと抵抗102との接続点が、出力端OUTNに接続される。

[0019] トランジスタ111のゲートには入力クロック信号ICKIPが入力され、トランジスタ112のゲートには入力クロック信号ICKIPに対して逆相の入力クロック信号ICKINが入力される。トランジスタ111のソース及びトランジスタ112のソースは、トランジスタ113のドレインに共通接続される。トランジスタ113のソースは接地され、トランジスタ113のゲートには位相補間(PI)コードに応じてゲート電圧VGAPが印加される。トランジスタ113は、PIコードに応じてトランジスタ111、112に電流を流す電流源として機能する。

[0020] トランジスタ121のゲートには入力クロック信号ICKIPが入力され、トランジスタ122のゲートには入力クロック信号ICKINが入力される。トランジスタ121のソース及びトランジスタ122のソースは、トランジスタ123のドレインに共通接続される。トランジスタ123のソースは接地され、トランジスタ123のゲートにはPIコードに応じてゲート電

圧V G A Nが印加される。トランジスタ1 2 3は、P Iコードに応じてトランジスタ1 2 1、1 2 2に電流を流す電流源として機能する。

[0021] 図1に示した例では、上述したトランジスタ1 1 1、1 1 2、1 2 1、1 2 2及びトランジスタ1 1 3、1 2 3は、P Iコードに応じて第1の入力クロック信号I C K I P、I C K I Nに基づいて、抵抗1 0 1、1 0 2との接続点に対して第1の中間電流を生成する第1の生成回路の一例である。

[0022] また、トランジスタ1 3 1のゲートには入力クロック信号I C K I Pと所定の位相差を有する入力クロック信号Q C K I Pが入力され、トランジスタ1 3 2のゲートには入力クロック信号Q C K I Pに対して逆相の入力クロック信号Q C K I Nが入力される。トランジスタ1 3 1のソース及びトランジスタ1 3 2のソースは、トランジスタ1 3 3のドレイン及びトランジスタ1 3 4のドレインに共通接続される。トランジスタ1 3 3のソース及びトランジスタ1 3 4のソースは接地され、トランジスタ1 3 3のゲートにはP Iコードに応じてゲート電圧V G B Pが印加され、トランジスタ1 3 4のゲートにはP Iコード及び補正コードに応じてゲート電圧V G C Pが印加される。トランジスタ1 3 3は、P Iコードに応じてトランジスタ1 3 1、1 3 2に電流を流す電流源として機能し、トランジスタ1 3 4は、P Iコード及び補正コードに応じてトランジスタ1 3 1、1 3 2に電流を流す電流源として機能する。

[0023] トランジスタ1 4 1のゲートには入力クロック信号Q C K I Pが入力され、トランジスタ1 4 2のゲートには入力クロック信号Q C K I Nが入力される。トランジスタ1 4 1のソース及びトランジスタ1 4 2のソースは、トランジスタ1 4 3のドレイン及びトランジスタ1 4 4のドレインに共通接続される。トランジスタ1 4 3及びトランジスタ1 4 4のソースは接地され、トランジスタ1 4 3のゲートにはP Iコードに応じてゲート電圧V G B Nが印加され、トランジスタ1 4 4のゲートにはP Iコード及び補正コードに応じてゲート電圧V G C Nが印加される。トランジスタ1 4 3は、P Iコードに応じてトランジスタ1 4 1、1 4 2に電流を流す電流源として機能し、トラン

ンジスタ 144 は、P I コード及び補正コードに応じてトランジスタ 141、142 に電流を流す電流源として機能する。

[0024] 図 1 に示した例では、上述したトランジスタ 131、132、141、142 及びトランジスタ 133、143 は、P I コードに応じて第 2 の入力クロック信号 QCKP、QCKN に基づいて、抵抗 101、102 との接続点に対して第 2 の中間電流を生成する第 2 の生成回路の一例である。

[0025] 図 1 に示した例では、抵抗 101 及びトランジスタ 111、122、131、142 のドレインと抵抗 101 との接続点、並びに、抵抗 102 及びトランジスタ 112、121、132、141 のドレインと抵抗 102 との接続点は、上述した第 1 の中間電流及び第 2 の中間電流とを合成し、出力端 OUP、OUTN において出力クロック信号を生成する合成回路の一例である。

[0026] なお、図 1 に示した例では、補正コードに応じて電流を流す電流源として機能するトランジスタ (134、144) を、P I コードに応じて電流を流す電流源として機能するトランジスタ 133、143 の側 (第 2 の中間電流の側) に設けたが、代わりに、同様に P I コードに応じて電流を流す電流源として機能するトランジスタ 113、123 の側 (第 1 の中間電流の側) に設けてもよく、また、それら両方の側に設けることも可能である。

[0027] 図 2 A は、図 1 に示したトランジスタ 113、123 のゲートに印加するゲート電圧 VGAP、VGAN を制御するゲート電圧制御回路の構成例を示す図である。図 2 A に示すように、ゲート電圧制御回路は、電流 DAC (デジタルアナログ変換器) 201、トランジスタ 202、及びスイッチ 203 を有する。

[0028] 電流 DAC 201 は、入力される電流制御コード PIA のコード値の絶対値に応じた電流を出力する。電流制御コード PIA は、位相補間回路に対する P I コードに基づいて設定され、P I コードに対応して、入力クロック信号 ICKIP、ICKIN に係る電流源として機能するトランジスタ 113、123 に流れる電流を制御するためのコードである。トランジスタ 202

は、電流DAC201の出力端と接地との間にダイオード接続される。すなわち、電流DAC201の出力端が、トランジスタ202のドレイン及びゲートに接続され、トランジスタ202のソースが接地される。

[0029] スイッチ203は、トランジスタ202のゲートと接続され、電流DAC201の出力電流をダイオード接続のトランジスタ202に入力して発生した電圧を、電流制御コードPIAの符号に応じてゲート電圧VGAP又はVGANとして出力する。スイッチ203は、電流制御コードPIAが正である場合には、電流DAC201及びダイオード接続されたトランジスタ202により生成される電流制御コードPIAに応じた電圧を、ゲート電圧VGAPとしてトランジスタ113のゲートに出力する。また、スイッチ203は、電流制御コードPIAが負である場合には、電流DAC201及びダイオード接続されたトランジスタ202により生成される電流制御コードPIAに応じた電圧を、ゲート電圧VGANとしてトランジスタ123のゲートに出力する。

[0030] 図2Bは、図1に示したトランジスタ133、143のゲートに印加するゲート電圧VGBP、VGBNを制御するゲート電圧制御回路の構成例を示す図である。図2Bに示すように、ゲート電圧制御回路は、電流DAC211、トランジスタ212、及びスイッチ213を有する。

[0031] 電流DAC211は、入力される電流制御コードPIBのコード値の絶対値に応じた電流を出力する。電流制御コードPIBは、位相補間回路に対するPIコードに基づいて設定され、PIコードに対応して、入力クロック信号QCKIP、QCKINに係る電流源として機能するトランジスタ133、143に流れる電流を制御するためのコードである。トランジスタ212は、電流DAC211の出力端と接地との間にダイオード接続される。すなわち、電流DAC211の出力端が、トランジスタ212のドレイン及びゲートに接続され、トランジスタ212のソースが接地される。

[0032] スイッチ213は、トランジスタ212のゲートと接続され、電流DAC211の出力電流をダイオード接続のトランジスタ212に入力して発生し

た電圧を、電流制御コードP I Bの符号に応じてゲート電圧V G B P又はV G B Nとして出力する。スイッチ2 1 3は、電流制御コードP I Bが正である場合には、電流D A C 2 1 1及びダイオード接続されたトランジスタ2 1 2により生成される電流制御コードP I Bに応じた電圧を、ゲート電圧V G B Pとしてトランジスタ1 3 3のゲートに出力する。また、スイッチ2 1 3は、電流制御コードP I Bが負である場合には、電流D A C 2 1 1及びダイオード接続されたトランジスタ2 1 2により生成される電流制御コードP I Bに応じた電圧を、ゲート電圧V G B Nとしてトランジスタ1 4 3のゲートに出力する。

[0033] ここで、本明細書では、電流制御コードP I A及び電流制御コードP I Bは整数値であり、(−16)〜(+16)の範囲の値である例について説明する。この場合、クロック信号の出力位相として、P Iコードにおける32コードで180度の範囲での位相制御が可能であり、64コードで360度の範囲での位相制御が可能である。なお、これは一例であり、本発明はこれに限定されるものではない。P Iコード（電流制御コードP I A及び電流制御コードP I B）の数は任意であり、コード数を増加させることで、より細かく位相制御することが可能である。

[0034] 図2 Cは、図1に示したトランジスタ1 3 4、1 4 4のゲートに印加するゲート電圧V G C P、V G C Nを制御するゲート電圧制御回路の構成例を示す図である。図2 Cに示すように、ゲート電圧制御回路は、電流D A C 2 2 1、トランジスタ2 2 2、2 2 3、2 2 4、及びスイッチ2 2 5を有する。

[0035] 電流D A C 2 2 1は、入力される補正コードC A Lのコード値の絶対値に応じた電流を出力する。補正コードC A Lは、出力クロック信号の位相誤差を小さくするために流す補正電流に係るコードである。トランジスタ2 2 2のソースは電源V D Dに接続され、ドレイン及びゲートは電流D A C 2 2 1の出力端に接続される。トランジスタ2 2 3のソースは電源V D Dに接続され、ゲートはトランジスタ2 2 2のゲートに接続される。トランジスタ2 2 2とトランジスタ2 2 3はカレントミラー回路を構成する。トランジスタ2

22とトランジスタ223で構成されるカレントミラー回路のミラー比 k は、変更可能となっており、電流制御コード $P1A$ に比例して変化するように制御される。したがって、トランジスタ223のドレインからは、補正コード CAL に応じた電流 $DAC221$ の出力電流($|C0|$)に対し、電流制御コード $P1A$ に応じた k 倍の電流($|C|$)が出力される。

[0036] トランジスタ224は、トランジスタ223のドレインと接地との間にダイオード接続される。すなわち、トランジスタ223のドレインが、トランジスタ224のドレイン及びゲートに接続され、トランジスタ224のソースが接地される。

[0037] スイッチ225は、トランジスタ224のゲートと接続され、電流 $DAC211$ の出力電流の k 倍の電流をダイオード接続のトランジスタ224に入力して発生した電圧を、補正コード CAL と電流制御コード $P1A$ の乗算値の符号に応じてゲート電圧 $VGCP$ 又は $VGCN$ として出力する。スイッチ225は、補正コード CAL と電流制御コード $P1A$ の乗算値が正である場合には、ダイオード接続されたトランジスタ224により発生した補正コード CAL 及び電流制御コード $P1A$ に応じた電圧を、ゲート電圧 $VGCP$ としてトランジスタ134のゲートに出力する。また、スイッチ225は、補正コード CAL と電流制御コード $P1A$ の乗算値が負である場合には、ダイオード接続されたトランジスタ224により発生した補正コード CAL 及び電流制御コード $P1A$ に応じた電圧を、ゲート電圧 $VGCN$ としてトランジスタ144のゲートに出力する。

[0038] 図1に示した例では、上述したトランジスタ134、144及び図2Cに示したゲート電圧制御回路は、補正コードに応じた補正電流に基づいて、第1の中間電流及び第2の中間電流の少なくとも一方の電流量を補正する補正回路の一例である。

[0039] 図3Aは、図2Aに示したゲート電圧制御回路の回路構成例を示す図である。入力される電流制御コード $P1A$ のコード値の絶対値に応じた電流を出力する電流 $DAC301$ の出力端は、トランジスタ302のドレイン及びゲ

ートに接続され、トランジスタ302のソースは接地される。トランジスタ302のゲートは、トランジスタ303及び304で構成されるトランスファークゲートを介してゲート電圧VGA Pの出力端に接続される。トランジスタ303及び304で構成されるトランスファークゲートとゲート電圧VGA Pの出力端との接続点がトランジスタ305を介して接地される。また、トランジスタ302のゲートは、トランジスタ306及び307で構成されるトランスファークゲートを介してゲート電圧VGA Nの出力端に接続される。トランジスタ306及び307で構成されるトランスファークゲートとゲート電圧VGA Nの出力端との接続点がトランジスタ308を介して接地される。

[0040] トランジスタ303及び304で構成されるトランスファークゲート、トランジスタ305、トランジスタ306及び307で構成されるトランスファークゲート、及びトランジスタ308は、信号P I A S及びその反転信号／P I A Sにより、導通状態及び非導通状態が切替制御される。信号P I A Sは、電流制御コードP I Aの符号を示す信号であり、電流制御コードP I Aが正である場合、信号P I A Sはハイレベル（反転信号／P I A Sはローレベル）となり、電流制御コードP I Aが負である場合、信号P I A Sはローレベル（反転信号／P I A Sはハイレベル）となる。

[0041] 信号P I A Sがハイレベル（反転信号／P I A Sがローレベル）のとき、つまり電流制御コードP I Aが正であるとき、トランジスタ303及び304で構成されるトランスファークゲートとトランジスタ308とは導通状態（オン状態）であり、トランジスタ305とトランジスタ306及び307で構成されるトランスファークゲートとは非導通状態（オフ状態）である。したがって、電流制御コードP I Aの符号が正である場合、電流制御コードP I Aに応じた電圧がゲート電圧VGA Pとして出力され、ゲート電圧VGA Nは接地電位となる。

[0042] また、信号P I A Sがローレベル（反転信号／P I A Sがハイレベル）のとき、つまり電流制御コードP I Aが負であるとき、トランジスタ305と

トランジスタ306及び307で構成されるトランスファークラップとは導通状態（オン状態）であり、トランジスタ303及び304で構成されるトランスファークラップとトランジスタ308とは非導通状態（オフ状態）である。したがって、電流制御コードPIAの符号が負である場合、電流制御コードPIAに応じた電圧がゲート電圧VGANとして出力され、ゲート電圧VGAPは接地電位となる。

なお、図2Bに示したゲート電圧制御回路も同様に構成される。

[0043] 図3Bは、図2Cに示したゲート電圧制御回路の回路構成例を示す図である。入力される補正コードCALのコード値の絶対値に応じた電流を出力する電流DAC311の出力端は、トランジスタ312のドレイン及びゲートに接続され、トランジスタ312のソースは電源VDDに接続される。トランジスタ313-i（iは添え字であり、0～4の整数。以下についても同様）のソースは電源VDDに接続され、ゲートはスイッチ314-iを介してトランジスタ312のゲートに接続される。それぞれ対応するスイッチ314-iが導通状態（オン状態）であれば、トランジスタ313-0、313-1は（1/16）倍のミラー電流が流れるように構成され、トランジスタ313-2は（2/16）倍のミラー電流が流れるように構成されている。同様に、トランジスタ313-3は（4/16）倍のミラー電流が流れるように構成され、トランジスタ313-4は（8/16）倍のミラー電流が流れるように構成されている。スイッチ314-iは、トランジスタ312とトランジスタ313-iとで構成されるカレントミラー回路のミラー比が電流制御コードPIAに比例して変化するように、電流制御コードPIAに基づく制御信号CTLによってオン／オフ制御される。

[0044] トランジスタ313-iのドレインは、トランジスタ315のドレイン及びゲートに接続され、トランジスタ315のソースは接地される。トランジスタ315のゲートは、トランジスタ316及び317で構成されるトランスファークラップを介してゲート電圧VGC Pの出力端に接続される。トランジスタ316及び317で構成されるトランスファークラップとゲート電圧V

GCPの出力端との接続点がトランジスタ318を介して接地される。また、トランジスタ315のゲートは、トランジスタ319及び320で構成されるトランスファークゲートを介してゲート電圧VGCNの出力端に接続される。トランジスタ319及び320で構成されるトランスファークゲートとゲート電圧VGCNの出力端との接続点がトランジスタ321を介して接地される。

[0045] トランジスタ316及び317で構成されるトランスファークゲート、トランジスタ318、トランジスタ319及び320で構成されるトランスファークゲート、及びトランジスタ321は、信号CALS及びその反転信号/CALSにより、導通状態及び非導通状態が切替制御される。信号CALSは、補正コードCALと電流制御コードPIAの乗算値の符号を示す信号であり、補正コードCALと電流制御コードPIAの乗算値が正である場合、信号CALSはハイレベル（反転信号/CALSはローレベル）となり、補正コードCALと電流制御コードPIAの乗算値が負である場合、信号CALSはローレベル（反転信号/CALSはハイレベル）となる。

[0046] 信号CALSがハイレベル（反転信号/CALSがローレベル）のとき、つまり補正コードCALと電流制御コードPIAの乗算値が正であるとき、トランジスタ316及び317で構成されるトランスファークゲートとトランジスタ321とは導通状態（オン状態）であり、トランジスタ318とトランジスタ319及び320で構成されるトランスファークゲートとは非導通状態（オフ状態）である。したがって、補正コードCALと電流制御コードPIAの乗算値の符号が正である場合、補正コードCAL及び電流制御コードPIAに応じた電圧がゲート電圧VGPとして出力され、ゲート電圧VGCNは接地電位となる。

[0047] また、信号CALSがローレベル（反転信号/CALSがハイレベル）のとき、つまり補正コードCALと電流制御コードPIAの乗算値が負であるとき、トランジスタ318とトランジスタ319及び320で構成されるトランスファークゲートとは導通状態（オン状態）であり、トランジスタ316

及び317で構成されるトランスファークロップとトランジスタ321とは非導通状態（オフ状態）である。したがって、補正コードCALと電流制御コードPIAの乗算値の符号が負である場合、補正コードCAL及び電流制御コードPIAに応じた電圧がゲート電圧VGCPとして出力され、ゲート電圧VGCPは接地電位となる。

[0048] 次に、本実施形態における位相補間回路の動作について説明する。図2A及び図2Bに示したゲート電圧制御回路の電流DAC201、211は、PIコードに応じて、図4Aに実線401、402で示す電流I_A、I_Bの絶対値を有する電流をそれぞれ出力する。電流DAC201、211は、説明の便宜上、入力される電流制御コードPIA、PIBの絶対値が最大（16）のときに、電流比を示す相対値が16である電流を出力するものとし、入力される電流制御コードPIA、PIBの絶対値が最小（0）のときに、電流比を示す相対値が0である電流を出力する（出力電流なし）ものとする。

[0049] 電流DAC201から出力された電流は、ダイオード接続されたトランジスタ202によって電圧に変換され、変換された電圧は、電流制御コードPIAの符号に応じて、電流源として機能するトランジスタ113、123の一方のゲートに供給される。同様に、電流DAC211から出力された電流は、ダイオード接続されたトランジスタ212によって電圧に変換され、変換された電圧は、電流制御コードPIBの符号に応じて、電流源として機能するトランジスタ133、143の一方のゲートに供給される。

[0050] 例えば、PIコードが8（出力位相45度）である場合、電流制御コードPIAは（+8）であるので、図2Aに示したゲート電圧制御回路の電流DAC201は、電流制御コードPIAの絶対値8に応じた相対値8の電流を出力し、電流制御コードPIAの符号が正であることから、相対値8の電流に対応する電圧がゲート電圧VGAPとしてトランジスタ113のゲートに供給される。また、PIコードが8である場合、電流制御コードPIBは（+8）であるので、図2Bに示したゲート電圧制御回路の電流DAC211

は、電流制御コードP I Bの絶対値8に応じた相対値8の電流を出力し、電流制御コードP I Bの符号が正であることから、相対値8の電流に対応する電圧がゲート電圧V G B Pとしてトランジスタ1 3 3のゲートに供給される。このとき、トランジスタ1 2 3のゲートにはゲート電圧V G A Nとして接地電位が供給され、トランジスタ1 4 3のゲートにはゲート電圧V G B Nとして接地電位が供給される。

[0051] また、例えば、P Iコードが1 6（出力位相9 0度）である場合、電流制御コードP I Aは（0）であるので、図2 Aに示したゲート電圧制御回路の電流D A C 2 0 1は、電流制御コードP I Aの絶対値0に応じた相対値0の電流を出力し（出力電流なし）、相対値0の電流に対応する電圧（接地電位）がゲート電圧V G A Pとしてトランジスタ1 1 3のゲートに供給される。また、P Iコードが1 6である場合、電流制御コードP I Bは（+ 1 6）であるので、図2 Bに示したゲート電圧制御回路の電流D A C 2 1 1は、電流制御コードP I Bの絶対値1 6に応じた相対値1 6の電流を出力し、電流制御コードP I Bの符号が正であることから、相対値1 6の電流に対応する電圧がゲート電圧V G B Pとしてトランジスタ1 3 3のゲートに供給される。このとき、トランジスタ1 2 3のゲートにはゲート電圧V G A Nとして接地電位が供給され、トランジスタ1 4 3のゲートにはゲート電圧V G B Nとして接地電位が供給される。

[0052] また、例えば、P Iコードが3 2（出力位相1 8 0度）である場合、電流制御コードP I Aは（- 1 6）であるので、図2 Aに示したゲート電圧制御回路の電流D A C 2 0 1は、電流制御コードP I Aの絶対値1 6に応じた相対値1 6の電流を出力し、電流制御コードP I Aの符号が負であることから、相対値1 6の電流に対応する電圧がゲート電圧V G A Nとしてトランジスタ1 2 3のゲートに供給される。また、P Iコードが3 2である場合、電流制御コードP I Bは0であるので、図2 Bに示したゲート電圧制御回路の電流D A C 2 1 1は、電流制御コードP I Bの絶対値0に応じた相対値0の電流を出力し（出力電流なし）、相対値0の電流に対応する電圧（接地電位）

がゲート電圧 V_{GBP} としてトランジスタ133のゲートに供給される。このとき、トランジスタ113のゲートにはゲート電圧 V_{GAP} として接地電位が供給され、トランジスタ143のゲートにはゲート電圧 V_{GBN} として接地電位が供給される。

[0053] したがって、PIコードが0～16である場合、すなわち電流制御コードPIAが正であり、電流制御コードPIBが正である場合、位相補間回路のトランジスタ113、133がPIコードに基づいて電流を流す電流源として動作する。これにより、トランジスタ111が入力クロック信号ICKIPに基づいて中間電流を生成して出力し、トランジスタ112が入力クロック信号ICKINに基づいて中間電流を生成して出力する。また、トランジスタ131が入力クロック信号QCKIPに基づいて中間電流を生成して出力し、トランジスタ132が入力クロック信号QCKINに基づいて中間電流を生成して出力する。そして、トランジスタ111から出力される中間電流とトランジスタ131から出力される中間電流とがノード上で合成して得られた信号が出力クロック信号として出力端OUTPから出力される。また、トランジスタ112から出力される中間電流とトランジスタ132から出力される中間電流とがノード上で合成して得られた信号が出力クロック信号（逆相の出力クロック信号）として出力端OUTNから出力される。このようにして入力クロック信号ICKI（ICKIP、ICKIN）と入力クロック信号QCKI（QCKIP、QCKIN）とが位相補間（PI）コードに応じて重み付けして合成され出力クロック信号が生成される。

[0054] また、PIコードが17～32である場合、すなわち電流制御コードPIAが負であり、電流制御コードPIBが正である場合、位相補間回路のトランジスタ123、133がPIコードに基づいて電流を流す電流源として動作する。これにより、トランジスタ121が入力クロック信号ICKIPに基づいて中間電流を生成して出力し、トランジスタ122が入力クロック信号ICKINに基づいて中間電流を生成して出力する。また、トランジスタ131が入力クロック信号QCKIPに基づいて中間電流を生成して出力し

、トランジスタ132が入力クロック信号QCKINに基づいて中間電流を生成して出力する。そして、トランジスタ122から出力される中間電流とトランジスタ131から出力される中間電流とがノード上で合成して得られた信号が出力クロック信号として出力端OUTPから出力される。また、トランジスタ121から出力される中間電流とトランジスタ132から出力される中間電流とがノード上で合成して得られた信号が出力クロック信号（逆相の出力クロック信号）として出力端OUTNから出力される。

[0055] P Iコードが33～48、49～64である場合も同様である。すなわち、P Iコードが33～48である場合、電流制御コードP I Aが負であり、電流制御コードP I Bが負であるので、位相補間回路のトランジスタ123、143がP Iコードに基づいて電流を流す電流源として動作して同様に出力クロック信号が生成される。また、P Iコードが49～64である場合、電流制御コードP I Aが正であり、電流制御コードP I Bが負であるので、位相補間回路のトランジスタ113、143がP Iコードに基づいて電流を流す電流源として動作して同様に出力クロック信号が生成される。

[0056] さらに、本実施形態における位相補間回路では、補正電流を流して出力クロック信号（ICKO、QCKO）の位相差が所定の位相差（90度）となるように調整する。図1に示した位相補間回路では、トランジスタ134、144が補正電流を流す電流源として機能する。本実施形態では、図4Bに示すように、出力クロック信号QCKOを基準にして出力クロック信号ICKOの位相誤差を測定し、位相誤差が小さくなるように補正電流を流して出力クロック信号ICKOの位相を補正することで、出力クロック信号（ICKO、QCKO）の位相差を調整する。補正電流の電流量は、所定のP Iコードに設定して出力クロック信号の位相を測定することにより補正電流を流すための補正コードを決定し、P Iコードに基づいて設定される電流制御コードP I Aに応じてゲート電圧制御回路におけるカレントミラー回路のミラー比を変えることにより調整する。

[0057] 例えば、決定された補正コードCALが（-8）である場合、図2Cに示

したゲート電圧制御回路の電流DAC221は、補正コードCALの絶対値8に対応する相対値8の電流を出力する。したがって、トランジスタ222とトランジスタ223で構成されるカレントミラー回路は、PIコードに応じて図4Aに実線403で示す補正電流 I_{Bca} を出力する。出力された補正電流 I_{Bca} は、ダイオード接続されたトランジスタ224によって電圧に変換され、変換された電圧は、補正コードCALと電流制御コードPIAの乗算値の符号に応じて、電流源として機能するトランジスタ134、144の一方のゲートに供給される。

[0058] 一例として、PIコードが8である場合、電流制御コードPIAは(+8)であるので、図2Cに示したゲート電圧制御回路は、補正コードCALの絶対値(8)に対して、電流制御コードPIAに応じた比率、すなわち、電流制御コードPIAの絶対値の現在の値(8)と、その最大値(16)の比率を乗算して得られる相対値4($=8 \times 8 / 16$)の電流を生成し、補正コードCALと電流制御コードPIAの乗算値の符号が負であることから、生成された電流に対応する電圧をゲート電圧VGCPとしてトランジスタ144のゲートに供給する。また、PIコードが16である場合、電流制御コードPIAは(0)であるので、図2Cに示したゲート電圧制御回路は、相対値0($=8 \times 0 / 16$)の電流に対応する電圧(接地電位)をゲート電圧VGCPとしてトランジスタ134のゲートに供給する。また、PIコードが32である場合、電流制御コードPIAは(-16)であるので、図2Cに示したゲート電圧制御回路は、例えば、補正コードCALの絶対値(8)に基づいて、電流制御コードPIAの絶対値の現在の値(16)の、その最大値(16)に対する比率に応じた相対値8($=8 \times 16 / 16$)の電流を生成し、補正コードCALと電流制御コードPIAの乗算値の符号が正であることから、生成された電流に対応する電圧をゲート電圧VGCPとしてトランジスタ134のゲートに供給する。

[0059] 以上のようにして、本実施形態における位相補間回路においては、PIコードに応じて図5に一例を示すように制御が行われる。これにより、補正コ

ード及びP Iコードに応じた補正電流に基づいて、トランジスタ131、132、141、142から出力される中間電流の電流量が補正され、中間電流を合成して得られる出力クロック信号の位相が調整される。このようにして、本実施形態における位相補間回路は、出力クロック信号（ICKO、QCKO）の位相差が所定の位相差（90度）となるように調整する。その結果、出力クロック信号（ICKO、QCKO）のそれぞれの位相は、例えば図6に実線601、602で示したように変化し、出力クロック信号（ICKO、QCKO）における位相差のずれを抑制することができる。したがって、出力クロック信号（ICKO、QCKO）を使用する回路のタイミングマージンが小さくなることを抑制し、高速動作を実現することが可能となる。

[0060] 次に、補正コードの決定方法を図7～図9Bを参照して説明する。図7は、第1の実施形態におけるスキュー補正回路を含む位相補間回路の構成例を示す図である。図7において、位相補間回路701は、入力クロック信号ICKI、QCKIに基づいて、入力されるP Iコードに応じた位相を有する出力クロック信号ICKO、QCKOをそれぞれ生成する。位相補間回路701は、第1の出力クロック信号ICKOを生成する位相補間回路702と、第2の出力クロック信号QCKOを生成する位相補間回路703とを有する。位相補間回路702、703は、図1～図2Cに示したように構成され、P Iコードに基づいて入力クロック信号ICKI、QCKIを重み付けして合成することにより出力クロック信号ICKO、QCKOをそれぞれ生成する。なお、入力クロック信号ICKI、QCKI及び出力クロック信号ICKO、QCKOはそれぞれ、非反転信号（ICKIP、QCKIP、ICKOP、QCKOP）と反転信号（ICKIN、QCKIN、ICKON、QCKON）からなる一对の相補信号により構成されている。

[0061] 比較器（コンパレータ）704は、位相補間回路701から出力される第1の出力クロック信号ICKO（ICKOP、ICKON）を用いて、入力される信号からデータDTを取得する。比較器（コンパレータ）705は、

位相補間回路 701 から出力される第 2 の出力クロック信号 QCKO (QCKOP、QCKON) を用いて、入力される信号からバウンダリ BD を取得する。比較器 704、705 には、受信信号 DTIN 又は内部データ信号 dataQ の一方がセクタ 708 を介して入力される。通常は受信信号 DTIN が比較器 704、705 に入力され、補正コードの決定時 (キャリブレーション動作時) には内部データ信号 dataQ が比較器 704、705 に入力される。

[0062] 分周回路 706 は、位相補間回路 701 から出力される第 2 の出力クロック信号 QCKO (QCKOP、QCKON) を 2 分周する。可変遅延回路 707 は、分周回路 706 によって分周された第 2 の出力クロック信号 QCKO の内の出力クロック信号 QCKOP を遅延させて内部データ信号 dataQ として出力する。内部データ信号 dataQ は、出力クロック信号 QCKOP の $1/2$ の周波数を有する。

[0063] 補正コードの決定においては、まず P1 コードを 16 に設定する。これにより、位相補間回路 701 は、入力クロック信号 ICKI、QCKI に基づいて、P1 コードに応じた位相 (出力位相 90 度) を有する出力クロック信号 ICKO、QCKO をそれぞれ生成する。また、セクタ 708 は、内部データ信号 dataQ、すなわち、可変遅延回路 707 を介した、分周された出力クロック信号 QCKOP を出力する。そして、比較器 704 を用いて、内部データ信号 dataQ のエッジ検出を行う。このとき、出力クロック信号 ICKO の内の出力クロック信号 ICKOP を用いて比較器 704 において取得したデータ DT と、出力クロック信号 ICKON を用いて比較器 704 において取得したデータ DT に基づいて、例えば、後述する CDR 回路を用いて、出力クロック信号 ICKOP、ICKON の位相が内部データ信号 dataQ に対して進んでいるか遅れているかを判定し、可変遅延回路 707 の遅延量を調整して、図 8A に示すように、出力クロック信号 ICKOP の立ち上がりを内部データ信号 dataQ のエッジに収束させる。この P1 コードを 16 に設定している期間は、補正コードは 0 に維持し、補正電流

は流さない。

[0064] 次に、P Iコードを0に設定する。これにより、位相補間回路701は、入力クロック信号ICKI、QCKIに基づいて、P Iコードに応じた位相（出力位相0度）を有する出力クロック信号ICKO、QCKOをそれぞれ生成する。また、セクタ708は、内部データ信号dataQ、すなわち、可変遅延回路707を介した、分周された出力クロック信号QCKOPを出力する。ここで、可変遅延回路707の遅延量は、P Iコードを16に設定して、出力クロック信号ICKOPの立ち上がりを内部データ信号dataQのエッジに収束させたときの遅延量に固定する。そして、比較器704を用いて、内部データ信号dataQのエッジ検出を行う。このとき、出力クロック信号ICKOの内の出力クロック信号ICKOPを用いて比較器704において取得したデータDTと、出力クロック信号ICKONを用いて比較器704において取得したデータDTに基づいて、例えば、後述するCDR回路を用いて、出力クロック信号ICKOP、ICKONの位相が内部データ信号dataQに対して進んでいるか遅れているかを判定し、補正コードを変化させて補正電流の電流量を調整して、図8Bに示すように、入力クロック信号ICKOPの立ち上がりを内部データ信号dataQのエッジに収束させる。

[0065] 以上の動作における出力クロック信号ICKO、QCKOの位相関係は、図9Aに示すようになるので、P Iコードを0に設定して、入力クロック信号ICKOPの立ち上がりを内部データ信号dataQのエッジに収束させたときの補正電流量の半分を適用することで、図9Bに示すように、補正後の出力クロック信号ICKO、QCKOの位相差が90度となる。したがって、P Iコードを0に設定して、入力クロック信号ICKOPの立ち上がりを内部データ信号dataQのエッジに収束させたときの補正コードの半分の値を、通常動作において用いる補正コードに決定すればよい。

[0066] （第2の実施形態）

次に、第2の実施形態について説明する。

第1の実施形態では、入力クロック信号ICKI（ICKIP、ICKIN）についての電流源はトランジスタ113、123であり、入力クロック信号QCKI（QCKIP、QCKIN）についての電流源はトランジスタ133、143に加えてトランジスタ134、144である。つまり、第1の実施形態における位相補間回路では、差動対として回路構成に相違がある。

[0067] 第2の実施形態では、電流制御コードPIBに応じた電流と補正コードCAL及び電流制御コードPIAに応じた電流とを合成し、合成電流に応じた電圧を電流源として機能するトランジスタのゲートに供給する。これにより、それぞれ1つの電流源で動作させることを可能にし、位相補間回路における差動対を同様の回路構成とする。これにより、差動対のレイアウトサイズを低減することができ、また差動対における容量負荷の増大を抑制することができる。

[0068] 図10は、第2の実施形態における位相補間回路の構成例を示す図である。図10において、図1に示した構成要素と同一の機能を有する構成要素には同一の符号を付し、重複する説明は省略する。第2の実施形態における位相補間回路は、抵抗101、102、及びトランジスタ111～113、121～123、131～132、141～142、1031、1041を有する。トランジスタ111～113、121～123、131～132、141～142、1031、1041は、例えばN型MOSFETである。

[0069] トランジスタ131のソース及びトランジスタ132のソースは、トランジスタ1031のドレインに共通接続される。トランジスタ1031のソースは接地され、ゲートにはPIコード及び補正コードに応じてゲート電圧VGBP'が印加される。トランジスタ1031は、PIコード及び補正コードに応じてトランジスタ131、132に電流を流す電流源として機能する。

[0070] トランジスタ141のソース及びトランジスタ142のソースは、トランジスタ1041のドレインに共通接続される。トランジスタ1041のソー

スは接地され、ゲートにはP Iコード及び補正コードに応じてゲート電圧V G B N' が印加される。トランジスタ1041は、P Iコード及び補正コードに応じてトランジスタ141、142に電流を流す電流源として機能する。

[0071] 図10に示した例では、上述したトランジスタ131、132、141、142及びトランジスタ1031、1041は、P Iコードに応じて第2の入力クロック信号QCK I P、QCK I Nに基づいて、抵抗101、102との接続点に対して第2の中間電流を生成する第2の生成回路の一例である。

[0072] 図11Aは、図10に示したトランジスタ113、123のゲートに印加するゲート電圧V G A P、V G A Nを制御するゲート電圧制御回路の構成例を示す図である。図11Aに示すように、ゲート電圧制御回路は、電流DAC1101、スイッチ1102、及びトランジスタ1103、1104を有する。

[0073] 電流DAC1101は、入力される電流制御コードP I Aのコード値の絶対値に応じた電流を出力する。スイッチ1102は、電流制御コードP I Aの符号に応じて制御され、電流制御コードP I Aが正である場合には第1端子TMA1と第2端子TMB1とを接続し、電流制御コードP I Aが負である場合には第1端子TMA1と第3端子TMC1とを接続する。スイッチ1102の第1端子TMA1は、電流DAC1101の出力端に接続される。

[0074] トランジスタ1103は、スイッチ1102の第2端子TMB1と接地との間にダイオード接続される。すなわち、トランジスタ1103のドレイン及びゲートはスイッチ1102の第2端子TMB1に接続され、トランジスタ1103のソースは接地される。トランジスタ1104は、スイッチ1102の第3端子TMC1と接地との間にダイオード接続される。すなわち、トランジスタ1104のドレイン及びゲートはスイッチ1102の第3端子TMC1に接続され、トランジスタ1104のソースは接地される。ダイオード接続のトランジスタ1103により発生した電圧がゲート電圧V G A P

として出力され、ダイオード接続のトランジスタ1104により発生した電圧がゲート電圧V_{GAN}として出力される。

[0075] 図11Bは、図10に示したトランジスタ1031、1041のゲートに印加するゲート電圧V_{GBP'}、V_{GBN'}を制御するゲート電圧制御回路の構成例を示す図である。図11Bに示すように、ゲート電圧制御回路は、電流DAC1111、1116、トランジスタ1112、1113-i、1118、1119及びスイッチ1114-i、1115、1117を有する。

[0076] 電流DAC1111は、入力される補正コードCALのコード値の絶対値に応じた電流を出力する。トランジスタ1112のソースは電源V_{DD}に接続され、ドレイン及びゲートは電流DAC1111の出力端に接続される。

[0077] トランジスタ1113-iのソースは電源V_{DD}に接続され、ゲートはスイッチ1114-iを介してトランジスタ1112のゲートに接続される。それぞれ対応するスイッチ1114-iが導通状態（オン状態）であれば、トランジスタ1113-0、1113-1は（1/16）倍のミラー電流が流れるように構成され、トランジスタ1113-2は（2/16）倍のミラー電流が流れるように構成されている。同様に、トランジスタ1113-3は（4/16）倍のミラー電流が流れるように構成され、トランジスタ1113-4は（8/16）倍のミラー電流が流れるように構成されている。スイッチ1114-iは、トランジスタ1112とトランジスタ1113-iとで構成されるカレントミラー回路のミラー比が電流制御コードPIAに比例して変化するように、電流制御コードPIAに基づく制御信号CTLによってオン／オフ制御される。

[0078] スイッチ1115は、補正コードCALと電流制御コードPIAの乗算値の符号に応じて制御され、補正コードCALと電流制御コードPIAの乗算値が正である場合には第1端子TMA2と第2端子TMB2とを接続し、補正コードCALと電流制御コードPIAの乗算値が負である場合には第1端子TMA2と第3端子TMC2とを接続する。スイッチ1115の第1端子

TMA 2 には、トランジスタ 1113-i のドレインが共通接続される。

[0079] 電流 DAC 1116 は、入力される電流制御コード P1B のコード値の絶対値に応じた電流を出力する。スイッチ 1117 は、電流制御コード P1B の符号に応じて制御され、電流制御コード P1B が正である場合には第 1 端子 TMA 3 と第 2 端子 TMB 3 とを接続し、電流制御コード P1B が負である場合には第 1 端子 TMA 3 と第 3 端子 TMC 3 とを接続する。スイッチ 1117 の第 1 端子 TMA 3 は、電流 DAC 1116 の出力端に接続される。

[0080] スイッチ 1115 の第 2 端子 TMB 2 とスイッチ 1117 の第 2 端子 TMB 3 とが接続される。スイッチ 1115 の第 3 端子 TMC 2 とスイッチ 1117 の第 3 端子 TMC 3 とが接続される。

[0081] トランジスタ 1118 は、スイッチ 1115 の第 2 端子 TMB 2 とスイッチ 1117 の第 2 端子 TMB 3 との接続点と、接地との間にダイオード接続される。すなわち、トランジスタ 1118 のドレイン及びゲートは、スイッチ 1115 の第 2 端子 TMB 2 とスイッチ 1117 の第 2 端子 TMB 3 との接続点に接続され、トランジスタ 1118 のソースは接地される。トランジスタ 1119 は、スイッチ 1115 の第 3 端子 TMC 2 とスイッチ 1117 の第 3 端子 TMC 3 との接続点と、接地との間にダイオード接続される。すなわち、トランジスタ 1119 のドレイン及びゲートは、スイッチ 1115 の第 3 端子 TMC 2 とスイッチ 1117 の第 3 端子 TMC 3 との接続点に接続され、トランジスタ 1119 のソースは接地される。

[0082] このような構成により、補正コード CAL 及び電流制御コード P1A に応じた電流と、電流制御コード P1B に応じた電流とが、スイッチ 1115 の第 2 端子 TMB 2 とスイッチ 1117 の第 2 端子 TMB 3 との接続点で合成され、合成された電流に基づいてダイオード接続のトランジスタ 1118 により発生した電圧がゲート電圧 $V_{GBP'}$ として出力される。また、補正コード CAL 及び電流制御コード P1A に応じた電流と、電流制御コード P1B に応じた電流とが、スイッチ 1115 の第 3 端子 TMC 2 とスイッチ 1117 の第 3 端子 TMC 3 との接続点で合成され、合成された電流に基づいて

ダイオード接続のトランジスタ 1119 により発生した電圧がゲート電圧 $V_{GBN'}$ として出力される。

[0083] 図 10 に示した例では、上述したトランジスタ 1031、1041 及び図 11B に示したゲート電圧制御回路は、補正コードに応じた補正電流に基づいて、第 1 の中間電流及び第 2 の中間電流の少なくとも一方の電流量を補正する補正回路の一例である。

[0084] 第 2 の実施形態においても、補正コード及び P1 コードに応じた補正電流に基づいて、トランジスタ 131、132、141、142 から出力される中間電流の電流量が補正され、中間電流を合成して得られる出力クロック信号の位相が調整される。これにより、位相補間回路は、出力クロック信号（ICKO、QCKO）の位相差が所定の位相差（90度）となるように調整し、出力クロック信号（ICKO、QCKO）における位相差のずれを抑制することができる。したがって、出力クロック信号（ICKO、QCKO）を使用する回路のタイミングマージンが小さくなることを抑制し、高速動作を実現することが可能となる。

[0085] （第 3 の実施形態）

次に、第 3 の実施形態について説明する。

第 3 の実施形態における位相補間回路の構成は、図 10 に示した第 2 の実施形態における位相補間回路の構成と同様である。また、第 3 の実施形態において、図 10 に示したトランジスタ 113、123 のゲートに印加するゲート電圧 V_{GAP} 、 V_{GAN} を制御するゲート電圧制御回路の構成は、図 11A に示した第 2 の実施形態と同様である。第 3 の実施形態は、図 10 に示したトランジスタ 1031、1041 のゲートに印加するゲート電圧 $V_{GBP'}$ 、 $V_{GBN'}$ を制御するゲート電圧制御回路が、前述した第 2 の実施形態とは異なる。以下では、第 3 の実施形態におけるゲート電圧 $V_{GBP'}$ 、 $V_{GBN'}$ を制御するゲート電圧制御回路について説明する。

[0086] 図 12A は、トランジスタ 1031、1041 のゲートに印加するゲート電圧 $V_{GBP'}$ 、 $V_{GBN'}$ を制御するゲート電圧制御回路の構成例を示す

図である。図12Aに示すように、ゲート電圧制御回路は、電流DAC1201、1203、スイッチ1202、1204、及びトランジスタ1205、1206を有する。

[0087] 電流DAC1201は、入力される補正コードCAL'のコード値の絶対値に応じた電流を出力する。ここで、補正コードCAL'は、補正コードCAL及び電流制御コードPIAに基づいて算出されるコード値である。補正コードCAL'は、補正コードCALに対して、電流制御コードPIAに応じた比率、例えば、PIコードに対応した電流制御コードPIAの現在の値の、その最大値に対する比率（図11Bに示したカレントミラー回路におけるミラー比に対応）を乗算して得られる値である。補正コードCAL'は、例えば図12Cにおいて、「Q補正電流：CAL'」のcodeとして示した値である。なお、補正コードCALに対する電流制御コードPIAに応じた比率の乗算は、例えば図示しない論理回路により行えばよい。また、本実施形態では、補正コードCAL'として小数の値を取り得るので、電流DAC1201は、分解能の高い電流DACであることが好ましい。

[0088] スイッチ1202は、補正コードCAL'の符号に応じて制御され、補正コードCAL'が正である場合には第1端子TMA4と第2端子TMB4とを接続し、補正コードCAL'が負である場合には第1端子TMA4と第3端子TMC4とを接続する。スイッチ1202の第1端子TMA4は、電流DAC1201の出力端に接続される。

[0089] 電流DAC1203は、入力される電流制御コードPIBのコード値の絶対値に応じた電流を出力する。スイッチ1204は、電流制御コードPIBの符号に応じて制御され、電流制御コードPIBが正である場合には第1端子TMA5と第2端子TMB5とを接続し、電流制御コードPIBが負である場合には第1端子TMA5と第3端子TMC5とを接続する。スイッチ1204の第1端子TMA5は、電流DAC1203の出力端に接続される。

[0090] スイッチ1202の第2端子TMB4とスイッチ1204の第2端子TMB5とが接続される。スイッチ1202の第3端子TMC4とスイッチ12

04の第3端子TMC5とが接続される。

[0091] トランジスタ1205は、スイッチ1202の第2端子TMB4とスイッチ1204の第2端子TMB5との接続点と、接地との間にダイオード接続される。すなわち、トランジスタ1205のドレイン及びゲートは、スイッチ1202の第2端子TMB4とスイッチ1204の第2端子TMB5との接続点に接続され、トランジスタ1205のソースは接地される。トランジスタ1206は、スイッチ1202の第3端子TMC4とスイッチ1204の第3端子TMC5との接続点と、接地との間にダイオード接続される。すなわち、トランジスタ1206のドレイン及びゲートは、スイッチ1202の第3端子TMC4とスイッチ1204の第3端子TMC5との接続点に接続され、トランジスタ1206のソースは接地される。

[0092] このような構成により、補正コードCAL及び電流制御コードPIAに基づく補正コードCAL'に応じた電流と、電流制御コードPIBに応じた電流とが、スイッチ1202の第2端子TMB4とスイッチ1204の第2端子TMB5との接続点で合成され、合成された電流に基づいてダイオード接続のトランジスタ1205により発生した電圧がゲート電圧VGBP'として出力される。また、補正コードCAL及び電流制御コードPIAに基づく補正コードCAL'に応じた電流と、電流制御コードPIBに応じた電流とが、スイッチ1202の第3端子TMC4とスイッチ1204の第3端子TMC5との接続点で合成され、合成された電流に基づいてダイオード接続のトランジスタ1206により発生した電圧がゲート電圧VGBN'として出力される。

[0093] 図10に示した例では、上述したトランジスタ1031、1041及び図12Aに示したゲート電圧制御回路は、補正コードに応じた補正電流に基づいて、第1の中間電流及び第2の中間電流の少なくとも一方の電流量を補正する補正回路の一例である。

[0094] 図12Aに示したゲート電圧制御回路を適用した場合においても、トランジスタ131、132、141、142から出力される中間電流の電流量が

補正コード及びP Iコードに応じて補正され、中間電流を合成して得られる出力クロック信号の位相が調整される。これにより、位相補間回路は、出力クロック信号（ICKO、QCKO）の位相差が所定の位相差（90度）となるように調整し、出力クロック信号（ICKO、QCKO）における位相差のずれを抑制することができる。

[0095] 図12Bは、トランジスタ1031、1041のゲートに印加するゲート電圧VGBP'、VGBN'を制御するゲート電圧制御回路の他の構成例を示す図である。図12Bに示すように、ゲート電圧制御回路は、電流DAC1211、スイッチ1212、及びトランジスタ1213、1214を有する。

[0096] 電流DAC1211は、入力される電流制御コードPIB'のコード値の絶対値に応じた電流を出力する。ここで、電流制御コードPIB'は、電流制御コードPIBと前述した補正コードCAL'とを加算して得られるコード値である。つまり、電流制御コードPIB'は、補正コードCAL'に対して、電流制御コードPIAに応じた比率、例えば、PIコードに対応した電流制御コードPIAの現在の値の、その最大値に対する比率を乗算して得られる値と、電流制御コードPIBの値とを加算した値である。電流制御コードPIB'は、例えば図12Cにおいて、「Q補正電流：PIB'」のcodeとして示した値である。なお、電流制御コードPIB'の算出は、例えば図示しない論理回路により行えばよい。また、本実施形態では、電流制御コードPIB'として小数の値を取り得るので、電流DAC1211は、分解能の高い電流DACであることが好ましい。

[0097] スイッチ1212は、電流制御コードPIB'の符号に応じて制御され、電流制御コードPIB'が正である場合には第1端子TMA6と第2端子TMB6とを接続し、電流制御コードPIB'が負である場合には第1端子TMA6と第3端子TMC6とを接続する。スイッチ1212の第1端子TMA6は、電流DAC1211の出力端に接続される。

[0098] トランジスタ1213は、スイッチ1212の第2端子TMB6と接地と

の間にダイオード接続される。すなわち、トランジスタ1213のドレイン及びゲートは、スイッチ1212の第2端子TMB6に接続され、トランジスタ1213のソースは接地される。トランジスタ1214は、スイッチ1212の第3端子TMC6と接地との間にダイオード接続される。すなわち、トランジスタ1214のドレイン及びゲートは、スイッチ1212の第3端子TMC6に接続され、トランジスタ1214のソースは接地される。

[0099] このような構成により、電流制御コードP1B'が正である場合には、電流制御コードP1B'に応じた電流に基づいて、ダイオード接続のトランジスタ1213により発生した電圧がゲート電圧VGBP'として出力される。また、電流制御コードP1B'が負である場合には、電流制御コードP1B'に応じた電流に基づいて、ダイオード接続のトランジスタ1214により発生した電圧がゲート電圧VGBN'として出力される。

[0100] 図10に示した例では、上述したトランジスタ1031、1041及び図12Bに示したゲート電圧制御回路は、補正コードに応じた補正電流に基づいて、第1の中間電流及び第2の中間電流の少なくとも一方の電流量を補正する補正回路の一例である。

[0101] 図12Bに示したゲート電圧制御回路を適用した場合においても、トランジスタ131、132、141、142から出力される中間電流の電流量が補正コード及びP1コードに応じて補正され、中間電流を合成して得られる出力クロック信号の位相が調整される。これにより、位相補間回路は、出力クロック信号(ICKO、QCKO)の位相差が所定の位相差(90度)となるように調整し、出力クロック信号(ICKO、QCKO)における位相差のずれを抑制することができる。

[0102] なお、前述した第1～第3の実施形態においては、第2の入力クロック信号QCKI(QCKIP、QCKIN)が入力される差動対について補正電流を流すようにしているが、これに限定されるものではなく、第1の入力クロック信号ICKI(ICKIP、ICKIN)が入力される差動対について補正電流を流すようにしてもよい。

[0103] 前述した各実施形態における位相補間回路において、図4Aに実線401、402で示した電流 $I_{A_}$ 、 $I_{B_}$ のように、PIコード（電流制御コードPIA、PIB）に応じた電流の総和（絶対値和）はPIコードによらず一定となるが、補正コードCALに応じた補正電流が加わるため、電流の総和（絶対値和）はPIコードによって変化する。そのため、補正電流が大きくなると、位相補間回路の出力端OUTP、OUTNからの出力におけるコモンモード電圧が、補正電流の影響によりずれを生じる場合がある。

[0104] 以下、補正電流が変わっても、位相補間回路に流れる電流の総和を一定とし、位相補間回路の出力におけるコモンモード電圧を一定とするように、コモンモード電圧の変動を抑制するコモンモード電圧補正回路を有する位相補間回路について説明する。

[0105] （第4の実施形態）

図20は、第4の実施形態における位相補間回路の構成例を示す図である。図20において、図1、図2Cに示した構成要素と同一の機能を有する構成要素には同一の符号を付し、重複する説明は省略する。図20に示す第4の実施形態における位相補間回路は、前述した第1の実施形態に対応する位相補間回路にコモンモード電圧補正回路を設けた例である。なお、トランジスタ113、123のゲートに印加するゲート電圧VGAP、VGANを制御するゲート電圧制御回路、及びトランジスタ133、143のゲートに印加するゲート電圧VGBP、VGBNを制御するゲート電圧制御回路は示していないが、第1の実施形態と同様である。

[0106] 第4の実施形態における位相補間回路において、コモンモード電圧補正回路は、電流源2001及びトランジスタ2002～2008を有する。トランジスタ2002～2004、2007～2008は、例えばN型MOSFETであり、トランジスタ2005、2006は、例えばP型MOSFETである。

[0107] 電流源2001は、所定の電流 I_{max} を流す電流源である。電流 I_{max} は、例えば位相補正回路に流す補正電流の最大値、すなわち補正コードC

A L のコード値の絶対値に応じた電流である。トランジスタ 2002 のソースは接地され、ドレイン及びゲートは電流源 2001 に接続される。トランジスタ 2003 のソースは接地され、ゲートはトランジスタ 2002 のゲートに接続される。トランジスタ 2002 とトランジスタ 2003 はカレントミラー回路を構成し、トランジスタ 2003 に電流 I_{max} が流れるように構成されている。

[0108] トランジスタ 2004 のソースは接地され、ゲートはゲート電圧 $V_{GC P}$ 、 $V_{GC N}$ を制御するゲート電圧制御回路が有するトランジスタ 224 のゲートに接続される。トランジスタ 2004 とトランジスタ 224 はカレントミラー回路を構成し、トランジスタ 2004 に電流 I_{ca} が流れるように構成されている。ここで、本実施形態において電流 I_{ca} は、補正コード CAL のコード値の絶対値に応じた電流 ($|C0|$) に対して電流制御コード PIA に応じて k 倍された電流 ($|C|$)、すなわち補正電流である。

[0109] トランジスタ 2005 のソースは電源 VDD に接続され、ドレイン及びゲートはトランジスタ 2004 のドレインに接続される。トランジスタ 2006 のソースは電源 VDD に接続され、ゲートはトランジスタ 2005 のゲートに接続される。トランジスタ 2005 とトランジスタ 2006 はカレントミラー回路を構成する。したがって、トランジスタ 2006 には、電流 I_{ca} が流れる。

[0110] トランジスタ 2007 のソース及びトランジスタ 2008 のソースは、トランジスタ 2003 のドレイン及びトランジスタ 2006 のドレインに共通接続される。トランジスタ 2007 のドレインは出力端 $OUTP$ に接続され、トランジスタ 2008 のドレインは出力端 $OUTN$ に接続される。トランジスタ 2007 のゲート及びトランジスタ 2008 のゲートには、電圧 CMV が印加される。電圧 CMV は、例えば入力クロック信号 ICK ($ICKIP$ 、 $ICKIN$)、 QCK ($QCKIP$ 、 $QCKIN$) のコモンモード電圧と等しい電圧である。

[0111] トランジスタ 131、132、141、142 から出力される中間電流の

電流量を補正するために、補正コード及びP Iコードに応じた補正電流がゲート電圧V G C P、V G C Nを制御するゲート電圧制御回路において流れると、トランジスタ224とトランジスタ2004で構成されるカレントミラー回路及びトランジスタ2005とトランジスタ2006で構成されるカレントミラー回路により、トランジスタ2006には補正コード及びP Iコードに応じた補正電流と等しい電流 I_{ca} が流れる。また、トランジスタ2002とトランジスタ2003とで構成されるカレントミラー回路によりトランジスタ2003には電流 I_{max} が流れる。したがって、トランジスタ2003のドレイン及びトランジスタ2006のドレインにソースが共通接続されたトランジスタ2007とトランジスタ2008で構成される差動対により位相補間回路に対して $(I_{max} - I_{ca})$ の電流を流すことが可能となる。これにより、補正電流と等しい電流 I_{ca} をトランジスタ2006によって引くことで、補正電流が変化しても、出力端OUTP、OUTNにおける電流量を一定に維持することが可能となり、補正電流に応じてコモンモード電圧が変動することを抑制できる。

[0112] (第5の実施形態)

図21は、第5の実施形態における位相補間回路の構成例を示す図である。図21において、図10、図11A、図11Bに示した構成要素と同一の機能を有する構成要素には同一の符号を付し、重複する説明は省略する。図21に示す第5の実施形態における位相補間回路は、前述した第2の実施形態に対応する位相補間回路にコモンモード電圧補正回路を設けた例である。

[0113] 第5の実施形態における位相補間回路において、コモンモード電圧補正回路は、電流源2101及びトランジスタ2102～2111を有する。トランジスタ2102～2105、2108～2111は、例えばN型MOSFETであり、トランジスタ2106、2107は、例えばP型MOSFETである。

[0114] 電流源2101は、所定の電流 I_{max} を流す電流源である。電流 I_{max} は、例えば位相補正回路に流す、電流制御コードP I Aに応じた電流の最

大値、電流制御コードP I Bに応じた電流の最大値及び補正電流の最大値の加算値に対応する電流である。トランジスタ2102のソースは接地され、ドレイン及びゲートは電流源2101に接続される。トランジスタ2103のソースは接地され、ゲートはトランジスタ2102のゲートに接続される。トランジスタ2102とトランジスタ2103はカレントミラー回路を構成し、トランジスタ2103に電流 I_{max} が流れるように構成されている。

[0115] トランジスタ2104のソースは接地され、ゲートはゲート電圧制御回路が有するスイッチ1115の第2端子TMB2とスイッチ1117の第2端子TMB3との接続点に接続される。トランジスタ2105のソースは接地され、ゲートはゲート電圧制御回路が有するスイッチ1115の第3端子TMC2とスイッチ1117の第3端子TMC3との接続点に接続される。トランジスタ2110のソースは接地され、ゲートはゲート電圧制御回路が有するスイッチ1102の第2端子TMB1に接続される。トランジスタ2111のソースは接地され、ゲートはゲート電圧制御回路が有するスイッチ1102の第3端子TMC1に接続される。

[0116] トランジスタ2106のソースは電源VDDに接続され、ドレイン及びゲートはトランジスタ2104のドレイン、トランジスタ2105のドレイン、トランジスタ2110のドレイン、及びトランジスタ2111のドレインに接続される。したがって、トランジスタ2106には、電流制御コードP I Aに応じた電流と電流制御コードP I Bに応じた電流と補正コードCAL及び電流制御コードP I Aに応じた電流との合成電流に等しい電流 I_{cal} が流れる。トランジスタ2107のソースは電源VDDに接続され、ゲートはトランジスタ2106のゲートに接続される。トランジスタ2106とトランジスタ2107はカレントミラー回路を構成する。したがって、トランジスタ2107には、電流 I_{cal} が流れる。

[0117] トランジスタ2108のソース及びトランジスタ2109のソースは、トランジスタ2103のドレイン及びトランジスタ2107のドレインに共通

接続される。トランジスタ2108のドレインは出力端OUTPに接続され、トランジスタ2109のドレインは出力端OUTNに接続される。トランジスタ2108のゲート及びトランジスタ2109のゲートには、電圧CMVIが印加される。電圧CMVIは、例えば入力クロック信号ICKI（ICKIP、ICKIN）、QCKI（QCKIP、QCKIN）のコモンモード電圧と等しい電圧である。

[0118] トランジスタ131、132、141、142から出力される中間電流の電流量を補正するための補正コード及びPIコードに応じた補正電流がゲート電圧VGBP'、VGBN'を制御するゲート電圧制御回路において流れると、トランジスタ2107には電流制御コードPIAに応じた電流と電流制御コードPIBに応じた電流と補正コードCAL及び電流制御コードPIAに応じた補正電流との合成電流に等しい電流 I_{cal}' が流れる。また、トランジスタ2102とトランジスタ2103とで構成されるカレントミラー回路によりトランジスタ2103には電流 I_{max} が流れる。したがって、トランジスタ2103のドレイン及びトランジスタ2107のドレインにソースが共通接続されたトランジスタ2108とトランジスタ2109で構成される差動対により位相補間回路に対して $(I_{max} - I_{cal}')$ の電流を流すことが可能となる。ここで、電流 I_{cal}' は、電流制御コードPIAに応じた電流と電流制御コードPIBに応じた電流と補正コードCAL及び電流制御コードPIAに応じた補正電流との総和に等しい。また、電流制御コードPIAに応じた電流と電流制御コードPIBに応じた電流との和は一定である。したがって、補正電流と等しい電流を含む電流 I_{cal}' をトランジスタ2107によって引くことで、補正電流が変化しても、出力端OUTP、OUTNにおける電流量を一定に維持することが可能となり、補正電流に応じてコモンモード電圧が変動することを抑制できる。

[0119] (第6の実施形態)

図22は、第6の実施形態における位相補間回路の構成例を示す図である。図22において、図10、図11A、図12Aに示した構成要素と同一の

機能を有する構成要素には同一の符号を付し、重複する説明は省略する。図 22 に示す第 6 の実施形態における位相補間回路は、図 12A に示したゲート電圧制御回路を適用した第 3 の実施形態に対応する位相補間回路にコモンモード電圧補正回路を設けた例である。

[0120] 図 22 に示す第 6 の実施形態における位相補間回路において、コモンモード電圧補正回路は、電流源 2201 及びトランジスタ 2202～2211 を有する。トランジスタ 2202～2205、2208～2211 は、例えば N 型 MOSFET であり、トランジスタ 2206、2207 は、例えば P 型 MOSFET である。

[0121] 電流源 2201 は、所定の電流 I_{max} を流す電流源である。電流 I_{max} は、例えば位相補正回路に流す、電流制御コード P1A に応じた電流の最大値、電流制御コード P1B に応じた電流の最大値及び補正電流の最大値の加算値に対応する電流である。トランジスタ 2202 のソースは接地され、ドレイン及びゲートは電流源 2201 に接続される。トランジスタ 2203 のソースは接地され、ゲートはトランジスタ 2202 のゲートに接続される。トランジスタ 2202 とトランジスタ 2203 はカレントミラー回路を構成し、トランジスタ 2203 に電流 I_{max} が流れるように構成されている。

[0122] トランジスタ 2204 のソースは接地され、ゲートはゲート電圧制御回路が有するスイッチ 1202 の第 2 端子 TMB4 とスイッチ 1204 の第 2 端子 TMB5 との接続点に接続される。トランジスタ 2205 のソースは接地され、ゲートはゲート電圧制御回路が有するスイッチ 1202 の第 3 端子 TMC4 とスイッチ 1204 の第 3 端子 TMC5 との接続点に接続される。トランジスタ 2210 のソースは接地され、ゲートはゲート電圧制御回路が有するスイッチ 1102 の第 2 端子 TMB1 に接続される。トランジスタ 2211 のソースは接地され、ゲートはゲート電圧制御回路が有するスイッチ 1102 の第 3 端子 TMC1 に接続される。

[0123] トランジスタ 2206 のソースは電源 VDD に接続され、ドレイン及びゲ

ートはトランジスタ2204のドレイン、トランジスタ2205のドレイン、トランジスタ2210のドレイン、及びトランジスタ2211のドレインに接続される。したがって、トランジスタ2206には、電流制御コードP1Aに応じた電流と電流制御コードP1Bに応じた電流と補正コードCAL'に応じた電流との合成電流に等しい電流 I_{ca1}' が流れる。ここで、補正コードCAL'は前述したように補正コードCAL及び電流制御コードP1Aに基づいて算出されるコード値である。トランジスタ2207のソースは電源VDDに接続され、ゲートはトランジスタ2206のゲートに接続される。トランジスタ2206とトランジスタ2207はカレントミラー回路を構成する。したがって、トランジスタ2207には、電流 I_{ca1}' が流れる。

[0124] トランジスタ2208のソース及びトランジスタ2209のソースは、トランジスタ2203のドレイン及びトランジスタ2207のドレインに共通接続される。トランジスタ2208のドレインは出力端OUTPに接続され、トランジスタ2209のドレインは出力端OUTNに接続される。トランジスタ2208のゲート及びトランジスタ2209のゲートには、電圧CMVIが印加される。電圧CMVIは、例えば入力クロック信号ICKI(ICKIP、ICKIN)、QCKI(QCKIP、QCKIN)のコモンモード電圧と等しい電圧である。

[0125] トランジスタ131、132、141、142から出力される中間電流の電流量を補正するための補正コードCAL'に応じた補正電流がゲート電圧VGBP'、VGBN'を制御するゲート電圧制御回路において流れると、トランジスタ2207には電流制御コードP1Aに応じた電流と電流制御コードP1Bに応じた電流と補正コードCAL'に応じた補正電流との合成電流に等しい電流 I_{ca1}' が流れる。また、トランジスタ2202とトランジスタ2203とで構成されるカレントミラー回路によりトランジスタ2203には電流 I_{max} が流れる。したがって、トランジスタ2203のドレイン及びトランジスタ2207のドレインにソースが共通接続されたラン

ジスタ2208とトランジスタ2209で構成される差動対により位相補間回路に対して($I_{max} - I_{cal}'$)の電流を流すことが可能となる。ここで、電流 I_{cal}' は、電流制御コードP1Aに応じた電流と、電流制御コードP1Bに応じた電流と、補正コードCAL'、すなわち補正コードCAL及び電流制御コードP1Aに応じた補正電流との総和に等しい。また、電流制御コードP1Aに応じた電流と電流制御コードP1Bに応じた電流との和は一定である。したがって、補正電流と等しい電流を含む電流 I_{cal}' をトランジスタ2207によって引くことで、補正電流が変化しても、出力端OUTP、OUTNにおける電流量を一定に維持することが可能となり、補正電流に応じてコモンモード電圧が変動することを抑制できる。

[0126] 図23は、第6の実施形態における位相補間回路の他の構成例を示す図である。図23において、図10、図11A、図12Bに示した構成要素と同一の機能を有する構成要素には同一の符号を付し、重複する説明は省略する。図23に示す第6の実施形態における位相補間回路は、図12Bに示したゲート電圧制御回路を適用した第3の実施形態に対応する位相補間回路にコモンモード電圧補正回路を設けた例である。

[0127] 図23に示す第6の実施形態における位相補間回路において、コモンモード電圧補正回路は、電流源2301及びトランジスタ2302～2309、2311～2312を有する。トランジスタ2302～2305、2308～2309、2311～2312は、例えばN型MOSFETであり、トランジスタ2306、2307は、例えばP型MOSFETである。

[0128] 電流源2301は、所定の電流 I_{max} を流す電流源である。電流 I_{max} は、例えば位相補正回路に流す、電流制御コードP1Aに応じた電流の最大値及び電流制御コードP1B'に応じた電流の最大値である。ここで、電流制御コードP1B'は、前述したように電流制御コードP1Bと補正コードCAL'とを加算して得られるコード値である。トランジスタ2302のソースは接地され、ドレイン及びゲートは電流源2301に接続される。トランジスタ2303のソースは接地され、ゲートはトランジスタ2302の

ゲートに接続される。トランジスタ2302とトランジスタ2303はカレントミラー回路を構成し、トランジスタ2303に電流 I_{max} が流れるように構成されている。

[0129] トランジスタ2304のソースは接地され、ゲートはゲート電圧制御回路が有するスイッチ1212の第2端子TMB6に接続される。トランジスタ2305のソースは接地され、ゲートはゲート電圧制御回路が有するスイッチ1212の第3端子TMC6に接続される。トランジスタ2311のソースは接地され、ゲートはゲート電圧制御回路が有するスイッチ1102の第2端子TMB1に接続される。トランジスタ2312のソースは接地され、ゲートはゲート電圧制御回路が有するスイッチ1102の第3端子TMC1に接続される。

[0130] トランジスタ2306のソースは電源VDDに接続され、ドレイン及びゲートはトランジスタ2304のドレイン、トランジスタ2305のドレイン、トランジスタ2311のドレイン、及びトランジスタ2312のドレインに接続される。したがって、トランジスタ2306には、電流制御コードP1Aに応じた電流と電流制御コードP1B'に応じた電流との合成電流に等しい電流 $I_{cal'}$ が流れる。トランジスタ2307のソースは電源VDDに接続され、ゲートはトランジスタ2306のゲートに接続される。トランジスタ2306とトランジスタ2307はカレントミラー回路を構成する。したがって、トランジスタ2307には、電流 $I_{cal'}$ が流れる。

[0131] トランジスタ2308のソース及びトランジスタ2309のソースは、トランジスタ2303のドレイン及びトランジスタ2307のドレインに共通接続される。トランジスタ2308のドレインは出力端OUTPに接続され、トランジスタ2309のドレインは出力端OUTNに接続される。トランジスタ2308のゲート及びトランジスタ2309のゲートには、電圧CMVIが印加される。電圧CMVIは、例えば入力クロック信号ICKI (ICKIP、ICKIN)、QCKI (QCKIP、QCKIN) のコモンモード電圧と等しい電圧である。

[0132] トランジスタ131、132、141、142から出力される中間電流の電流量を補正するための補正電流を含む電流制御コードP1B'に応じた電流がゲート電圧VGBP'、VGBN'を制御するゲート電圧制御回路において流れると、トランジスタ2307には電流制御コードP1Aに応じた電流と電流制御コードP1B'に応じた電流との合成電流に等しい電流Ical'が流れる。また、トランジスタ2302とトランジスタ2303とで構成されるカレントミラー回路によりトランジスタ2303には電流Imaxが流れる。したがって、トランジスタ2303のドレイン及びトランジスタ2307のドレインにソースが共通接続されたトランジスタ2308とトランジスタ2309で構成される差動対により位相補間回路に対して(Imax-Ical')の電流を流すことが可能となる。ここで、電流Ical'は、電流制御コードP1Aに応じた電流と電流制御コードP1B'に応じた電流との総和に等しい。また、電流制御コードP1B'は電流制御コードP1Bと補正コードCAL'とを加算して得られるコード値であり、電流制御コードP1Aに応じた電流と電流制御コードP1Bに応じた電流との和は一定である。したがって、補正電流と等しい電流を含む電流Ical'をトランジスタ2307によって引くことで、補正電流が変化しても、出力端OUTP、OUTNにおける電流量を一定に維持することが可能となり、補正電流に応じてコモンモード電圧が変動することを抑制できる。

[0133] (本発明の他の実施形態)

図13Aは、本実施形態における半導体集積回路の構成例を示す図である。本実施形態における半導体集積回路1301は、入力シリアル信号をパラレル信号に変換するデシリアライザ回路の機能を有する受信回路1302、及び受信回路1302からのパラレル信号(データ)を受けて処理動作を行うロジック回路等の内部回路1321を有する。

[0134] 受信回路1302は、PLL(Phase Locked Loop)回路1303、位相補間回路1304、イコライザ回路(CTLE:Continuous Time Linear Equalizer)1307、セレクタ1308、比較器(コンパレータ)1309、1

311、デマルチプレクサ回路1310、1312、デジタル処理回路1313、分周回路1318、1319、可変遅延回路1317、及び抵抗1316を有する。

[0135] PLL回路1303は、入力される参照クロック信号REFCKに基づいて、半導体集積回路内の各回路に供給するクロック信号を生成して出力する。PLL回路1303は、例えば、入力される参照クロック信号REFCKに基づいて、第1の入力クロック信号ICKI（ICKIP、ICKIN）及び第1の入力クロック信号ICKIと所定の位相差を有する第2の入力クロック信号QCKI（QCKIP、QCKIN）を生成して出力する。

[0136] 位相補間回路1304は、入力クロック信号ICKI、QCKIに基づいて、入力されるPIコードに応じた位相を有する出力クロック信号ICKO、QCKOを生成して出力する。位相補間回路1304は、第1の出力クロック信号ICKOを生成する位相補間回路1305と、第2の出力クロック信号QCKOを生成する位相補間回路1306とを有する。位相補間回路1305、1306は、前述した第1～第6の実施形態における位相補間回路であり、PIコードに基づいて入力クロック信号ICKI、QCKIを重み付けして合成することにより出力クロック信号ICKO、QCKOをそれぞれ生成する。

[0137] イコライザ回路1307は、伝送路等を介して伝送された入力シリアル信号Inputを受信する。セクタ1308は、制御信号SELに応じて、イコライザ回路1307で受信した入力シリアル信号Input又は内部データ信号dataQの一方を比較器1309、1311に出力する。通常はイコライザ回路1307で受信した入力シリアル信号Inputがセクタ1308から出力され、補正コードの決定時（キャリブレーション動作時）等には内部データ信号dataQがセクタ1308から出力される。

[0138] 比較器1309は、位相補間回路1304から出力される第1の出力クロック信号ICKOを用いて、入力される信号からデータDTを取得する。デマルチプレクサ回路1310は、位相補間回路1304から出力される第1

の出力クロック信号 I C K O を分周回路 1 3 1 9 によって分周したクロックに基づいて、比較器 1 3 0 9 の出力に対してシリアルーパラレル変換を行い、パラレルのデータ信号を出力する。

[0139] 比較器 1 3 1 1 は、位相補間回路 1 3 0 4 から出力される第 2 の出力クロック信号 Q C K O を用いて、入力される信号からバウンダリ B D を取得する。デマルチプレクサ回路 1 3 1 2 は、位相補間回路 1 3 0 4 から出力される第 1 の出力クロック信号 I C K O を分周回路 1 3 1 9 によって分周したクロックに基づいて、比較器 1 3 1 1 の出力に対してシリアルーパラレル変換を行い、パラレルのバウンダリ信号を出力する。

[0140] なお、デマルチプレクサ回路 1 3 1 0、1 3 1 2 は、第 1 の出力クロック信号 I C K O を分周したクロックに代えて、第 2 の出力クロック信号 Q C K O を分周したクロックに基づいて、比較器 1 3 0 9、1 3 1 1 の出力に対してシリアルーパラレル変換を行うようにしてもよい。

[0141] デジタル処理回路 1 3 1 3 は、デマルチプレクサ回路 1 3 1 0、1 3 1 2 から出力されるデータ信号 D T 及びバウンダリ信号 B D に基づいて、受信データ信号 R X O U T 及び受信クロック信号 R X C L K を生成し出力する。受信回路 1 3 0 2 から出力される受信データ信号 R X O U T は、受信クロック信号 R X C L K で動作するフリップフロップ 1 3 2 2 によって内部回路 1 3 2 1 に取り込まれ処理等が行われる。

[0142] また、デジタル処理回路 1 3 1 3 は、キャリブレーション制御回路 1 3 1 4 及び C D R 回路 1 3 1 5 を有する。キャリブレーション制御回路 1 3 1 4 は、補正コードを決定するためのキャリブレーション動作に係る制御等を行う。

[0143] C D R 回路 1 3 1 5 は、デマルチプレクサ回路 1 3 1 0、1 3 1 2 から受信した信号を基に位相補間回路 1 3 0 4 が出力する出力クロック信号 I C K O、Q C K O の位相を適切に制御する。C D R 回路 1 3 1 5 は、図 1 5 に示すように、デマルチプレクサ回路 1 3 1 0、1 3 1 2 から出力されるデータ信号 D T 及びバウンダリ信号 B D に基づいて、位相補間回路 1 3 0 4 が出力

する出力クロック信号 ICKO、QCKO の位相が入力シリアル信号 DTIN に対して進んでいるか遅れているかを判定する。また、CDR 回路 1315 は、その判定結果に応じて、出力クロック信号 ICKO、QCKO の位相を進ませる、又は遅らせるための P1 コードを生成して出力する。

[0144] 分周回路 1318 は、位相補間回路 1304 から出力される第 2 の出力クロック信号 QCKO を 2 分周する。可変遅延回路 1317 は、分周回路 1318 によって分周された第 2 の出力クロック信号 QCKO を遅延させて内部データ信号 dataQ として出力する。可変遅延回路 1317 の構成は、特に限定されず、遅延量を変更可能な任意の遅延回路を適用可能である。可変遅延回路 1317 は、例えば図 13B に示すように、インバータ回路、抵抗、及び容量からなる単位遅延回路 1331（1331-1、1331-2、1331-3、1331-4）を縦続接続し、各単位遅延回路 1331 からの出力の内から選択回路 1332 により 1 つを選択して出力するようにしてもよい。

[0145] なお、図 13A に示した半導体集積回路 1301 の受信回路 1302 においては、位相補間回路 1304 から出力される第 2 の出力クロック信号 QCKO を用いて、分周回路 1318 及び可変遅延回路 1317 により内部データ信号 dataQ を生成している。これに限らず、例えば図 14 に示すように、PLL 回路 1303 から出力される第 2 の入力クロック信号 QCKI を用いて、位相補間回路 1401 及び分周回路 1402 により内部データ信号 dataQ を生成するようにしてもよい。また、DLL 回路を用いて内部データ信号 dataQ を生成するようにしてもよい。

[0146] 図 14 は、本実施形態における半導体集積回路の構成例を示す図である。図 14 において、図 13A に示した構成要素と同一の機能を有する構成要素には同一の符号を付し、重複する説明は省略する。位相補間回路 1401 は、PLL 回路 1303 から出力される第 2 の入力クロック信号 QCKI に基づいて、出力位相を調整した、すなわち遅延量を調整した出力クロック信号 QCKO 相当のクロック信号を生成して出力する。分周回路 1402 は、位

相補間回路 1 4 0 1 から出力されるクロック信号を 2 分周して内部データ信号 `data Q` として出力する。

[0147] また、前記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

産業上の利用可能性

[0148] 本発明によれば、位相補間コードに対する位相のずれを抑制した出力クロック信号を生成する位相補間回路を提供することができる。

請求の範囲

- [請求項1] 第1の位相差を有する第1の入力クロック信号と第2の入力クロック信号とに基づいて、位相補間コードに応じた位相を有する出力クロック信号を生成する位相補間回路であって、
- 前記位相補間コードに応じて前記第1の入力クロック信号に基づいて第1の中間電流を生成する第1の生成回路と、
- 前記位相補間コードに応じて前記第2の入力クロック信号に基づいて第2の中間電流を生成する第2の生成回路と、
- 前記第1の中間電流と前記第2の中間電流とを合成し前記出力クロック信号を生成する合成回路と、
- 少なくとも前記第1の位相差の所定値からのずれ量に応じて設定される補正コードに応じた補正電流に基づいて、前記第1の中間電流及び前記第2の中間電流の少なくとも一方の電流量を補正する補正回路と
- を有することを特徴とする位相補間回路。
- [請求項2] 前記補正回路は、前記位相補間コードと前記補正コードとに応じて前記補正電流を生成することにより、前記電流量を補正することを特徴とする請求項1に記載の位相補間回路。
- [請求項3] 前記補正コードは、前記第1の位相差の所定値からのずれ量に応じた固定値に設定されることを特徴とする請求項2に記載の位相補間回路。
- [請求項4] 前記補正コードは、前記第1の位相差の所定値からのずれ量と前記位相補間コードとに応じた値に設定されることを特徴とする請求項2に記載の位相補間回路。
- [請求項5] 前記第1の生成回路は、前記位相補間コードに応じた第1のゲート電圧がゲートに供給され、電流源として動作する第1のトランジスタを有し、
- 前記第2の生成回路は、前記位相補間コードに応じた第2のゲート

電圧がゲートに供給され、電流源として動作する第2のトランジスタを有し、

前記補正回路は、前記補正コードに応じた第3のゲート電圧がゲートに供給され、電流源として動作する第3のトランジスタを有することを特徴とする請求項1～3の何れか1項に記載の位相補間回路。

[請求項6] 前記第1の生成回路は、前記位相補間コードに応じた第1のゲート電圧がゲートに供給され、電流源として動作する第1のトランジスタを有し、

前記第2の生成回路及び前記補正回路は、前記補正コードに応じた第2のゲート電圧がゲートに供給され、電流源として動作する第2のトランジスタを共有することを特徴とする請求項1、2及び4の何れか1項に記載の位相補間回路。

[請求項7] 前記補正回路は、前記補正コードと前記位相補間コードに基づいて前記第3のゲート電圧を生成して、前記第3のトランジスタのゲートに供給するゲート電圧制御回路をさらに有することを特徴とする請求項5に記載の位相補間回路。

[請求項8] 前記補正回路は、前記補正コードと前記位相補間コードに基づいて前記第2のゲート電圧を生成して、前記第2のトランジスタのゲートに供給するゲート電圧制御回路をさらに有することを特徴とする請求項6に記載の位相補間回路。

[請求項9] 前記第1の入力クロック信号、前記第2の入力クロック信号及び前記出力クロック信号はそれぞれ、差動信号であり、

前記出力クロック信号における、前記補正電流に応じたコモンモード電圧の変動を抑制するコモンモード電圧補正回路をさらに有することを特徴とする請求項1～8の何れか1項に記載の位相補間回路。

[請求項10] 前記コモンモード電圧補正回路は、前記補正電流によらず、前記位相補間回路に流れる電流の総和を一定とすることを特徴とする請求項9に記載の位相補間回路。

- [請求項11] 第1の位相差を有する第1の入力クロック信号と第2の入力クロック信号とに基づいて、位相補間コードに応じた位相を有する出力クロック信号を生成する位相補間回路と、
- 前記位相補間回路により生成された前記出力クロック信号を用いて、受信した信号からデータを取得する比較器と、
- 前記比較器の出力信号をパラレル信号に変換するデマルチプレクサ回路と
- を有し、
- 前記位相補間回路は、
- 前記位相補間コードに応じて前記第1の入力クロック信号に基づいて第1の中間電流を生成する第1の生成回路と、
- 前記位相補間コードに応じて前記第2の入力クロック信号に基づいて第2の中間電流を生成する第2の生成回路と、
- 前記第1の中間電流と前記第2の中間電流とを合成し前記出力クロック信号を生成する合成回路と、
- 少なくとも前記第1の位相差の所定値からのずれ量に応じて設定される補正コードに応じた補正電流に基づいて、前記第1の中間電流及び前記第2の中間電流の少なくとも一方の電流量を補正する補正回路と
- を有することを特徴とする受信回路。
- [請求項12] 前記補正回路は、前記位相補間コードと前記補正コードとに応じて前記補正電流を生成することにより、前記電流量を補正することを特徴とする請求項11に記載の受信回路。
- [請求項13] 前記補正コードは、前記第1の位相差の所定値からのずれ量に応じた固定値に設定されることを特徴とする請求項12に記載の受信回路。
- [請求項14] 前記補正コードは、前記第1の位相差の所定値からのずれ量と前記位相補間コードとに応じた値に設定されることを特徴とする請求項1

2に記載の受信回路。

[請求項15] 前記第1の生成回路は、前記位相補間コードに応じた第1のゲート電圧がゲートに供給され、電流源として動作する第1のトランジスタを有し、

前記第2の生成回路は、前記位相補間コードに応じた第2のゲート電圧がゲートに供給され、電流源として動作する第2のトランジスタを有し、

前記補正回路は、前記補正コードに応じた第3のゲート電圧がゲートに供給され、電流源として動作する第3のトランジスタを有することを特徴とする請求項11～13の何れか1項に記載の受信回路。

[請求項16] 前記第1の生成回路は、前記位相補間コードに応じた第1のゲート電圧がゲートに供給され、電流源として動作する第1のトランジスタを有し、

前記第2の生成回路及び前記補正回路は、前記補正コードに応じた第2のゲート電圧がゲートに供給され、電流源として動作する第2のトランジスタを共有することを特徴とする請求項11、12及び14の何れか1項に記載の受信回路。

[請求項17] 前記第1の入力クロック信号、前記第2の入力クロック信号及び前記出力クロック信号はそれぞれ、差動信号であり、

前記出力クロック信号における、前記補正電流に応じたコモンモード電圧の変動を抑制するコモンモード電圧補正回路をさらに有することを特徴とする請求項11～16の何れか1項に記載の受信回路。

[請求項18] 第1の位相差を有する第1の入力クロック信号と第2の入力クロック信号とに基づいて、位相補間コードに応じた位相を有する出力クロック信号を生成する位相補間回路と、

前記位相補間回路により生成された前記出力クロック信号を用いて、受信した信号からデータを取得する比較器と、

前記比較器の出力信号をシリアルーパラレル変換して出力するデマ

ルチプレクサ回路と、

前記デマルチプレクサ回路の出力信号を受けて処理動作を行う内部回路と

を有し、

前記位相補間回路は、

前記位相補間コードに応じて前記第1の入力クロック信号に基づいて第1の中間電流を生成する第1の生成回路と、

前記位相補間コードに応じて前記第2の入力クロック信号に基づいて第2の中間電流を生成する第2の生成回路と、

前記第1の中間電流と前記第2の中間電流とを合成し前記出力クロック信号を生成する合成回路と、

少なくとも前記第1の位相差の所定値からのずれ量に応じて設定される補正コードに応じた補正電流に基づいて、前記第1の中間電流及び前記第2の中間電流の少なくとも一方の電流量を補正する補正回路と

を有することを特徴とする半導体集積回路。

[請求項19] 前記補正回路は、前記位相補間コードと前記補正コードとに応じて前記補正電流を生成することにより、前記電流量を補正することを特徴とする請求項18に記載の半導体集積回路。

[請求項20] 前記補正コードは、前記第1の位相差の所定値からのずれ量に応じた固定値に設定されることを特徴とする請求項19に記載の半導体集積回路。

[請求項21] 前記補正コードは、前記第1の位相差の所定値からのずれ量と前記位相補間コードとに応じた値に設定されることを特徴とする請求項19に記載の半導体集積回路。

[請求項22] 前記第1の生成回路は、前記位相補間コードに応じた第1のゲート電圧がゲートに供給され、電流源として動作する第1のトランジスタを有し、

前記第2の生成回路は、前記位相補間コードに応じた第2のゲート電圧がゲートに供給され、電流源として動作する第2のトランジスタを有し、

前記補正回路は、前記補正コードに応じた第3のゲート電圧がゲートに供給され、電流源として動作する第3のトランジスタを有することを特徴とする請求項18～20の何れか1項に記載の半導体集積回路。

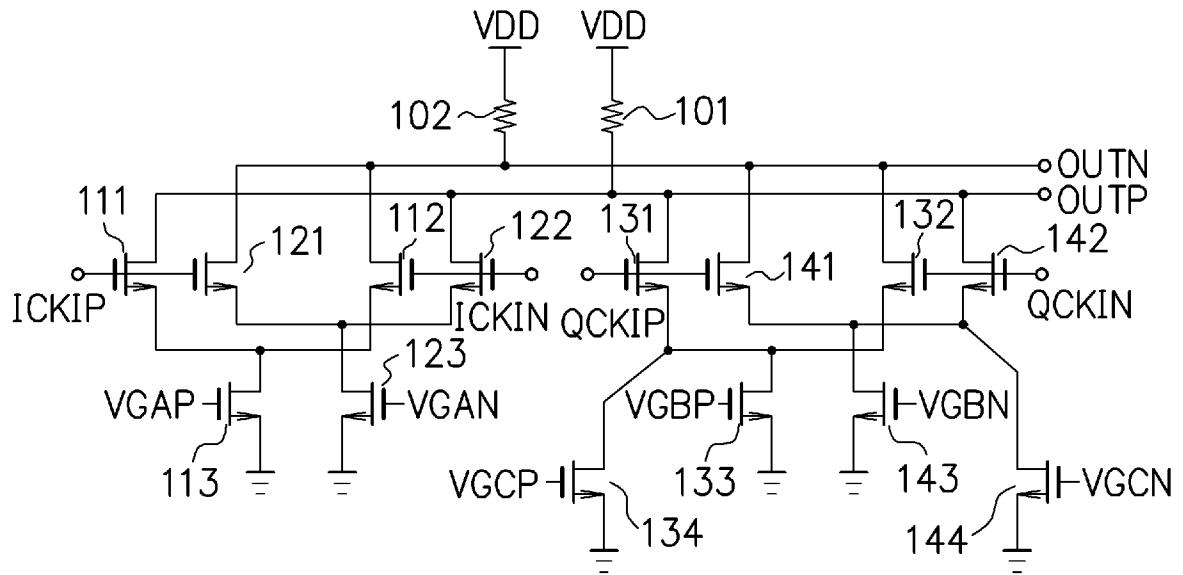
[請求項23] 前記第1の生成回路は、前記位相補間コードに応じた第1のゲート電圧がゲートに供給され、電流源として動作する第1のトランジスタを有し、

前記第2の生成回路及び前記補正回路は、前記補正コードに応じた第2のゲート電圧がゲートに供給され、電流源として動作する第2のトランジスタを共有することを特徴とする請求項18、19及び21の何れか1項に記載の半導体集積回路。

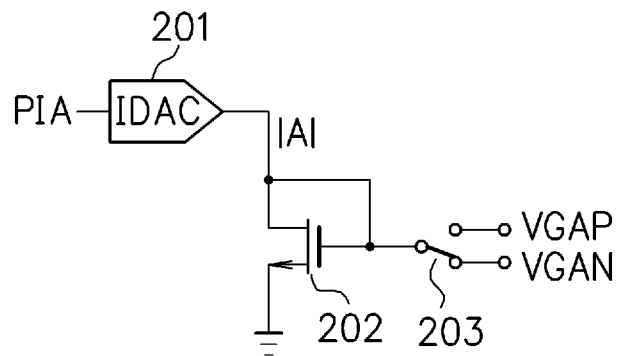
[請求項24] 前記第1の入力クロック信号、前記第2の入力クロック信号及び前記出力クロック信号はそれぞれ、差動信号であり、

前記出力クロック信号における、前記補正電流に応じたコモンモード電圧の変動を抑制するコモンモード電圧補正回路をさらに有することを特徴とする請求項18～23の何れか1項に記載の半導体集積回路。

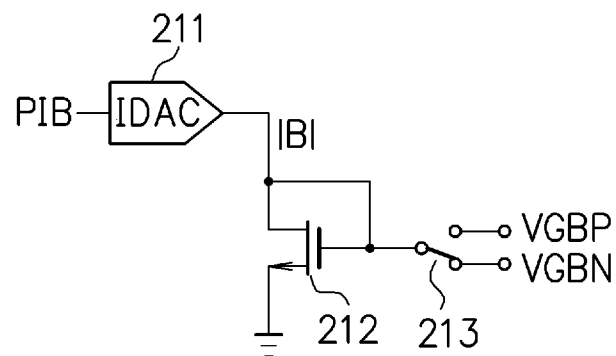
[図1]



[図2A]



[図2B]



The circuit diagram shows a differential signal output circuit. It starts with a PIA input connected to an IDAC block (301). The output of the IDAC is connected to a current source (302), which is then connected to the gates of two differential pairs of transistors. The first differential pair consists of transistors 303 and 304, with their sources connected to a common source node. The second differential pair consists of transistors 306 and 307, also with a common source node. The gates of transistors 303 and 306 are connected to a /PIAS input. The gates of transistors 304 and 307 are connected to a VGAP input. The gates of transistors 305 and 308 are connected to a /PIAS input. The gates of transistors 303 and 306 are connected to a /PIAS input. The gates of transistors 304 and 307 are connected to a VGAP input. The gates of transistors 305 and 308 are connected to a /PIAS input. The gates of transistors 303 and 306 are connected to a /PIAS input. The gates of transistors 304 and 307 are connected to a VGAP input. The gates of transistors 305 and 308 are connected to a /PIAS input.

Figure 10 is a line graph showing the relationship between PI code (X-axis, 0 to 64) and current value (Y-axis, -18 to 18). The graph displays three lines:

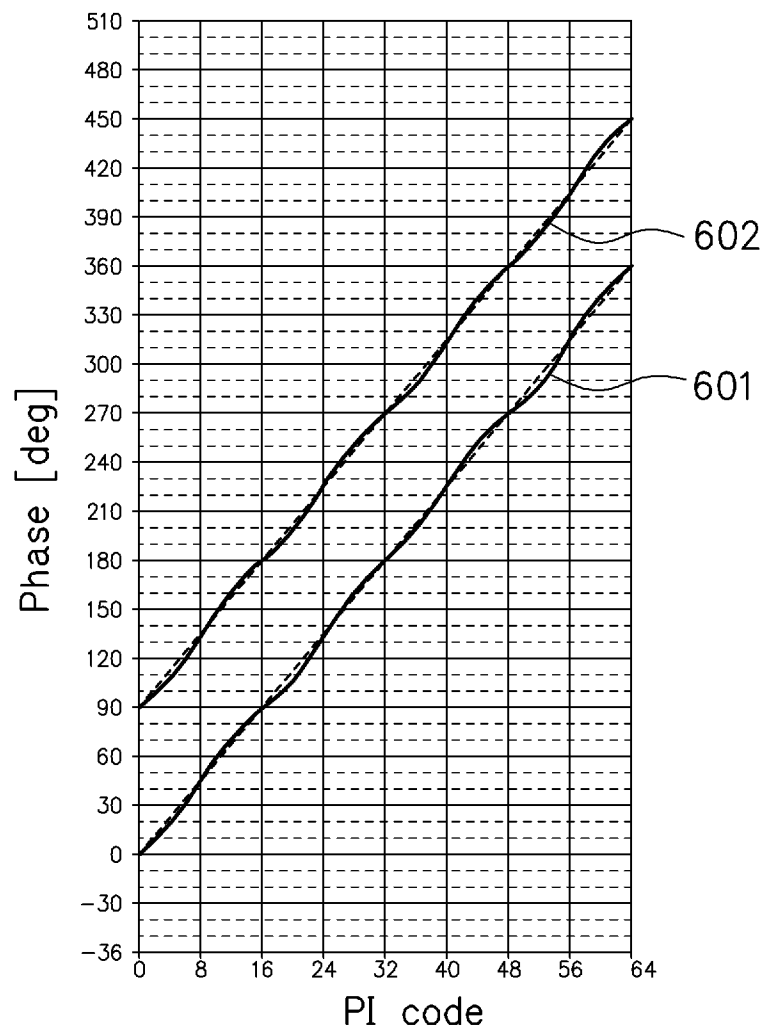
- 401: I_A (Sawtooth wave, period 32, amplitude 16)
- 402: I_B (Sawtooth wave, period 32, amplitude 16, phase-shifted)
- 403: I_{Bcal} (Linear ramp, slope 0.5)

PI code	401: I_A	402: I_B	403: I_{Bcal}
0	16	-8	-8
8	8	-4	-6
16	0	0	-4
24	8	4	-2
32	16	8	0
40	8	4	2
48	0	0	4
56	8	4	6
64	16	8	8

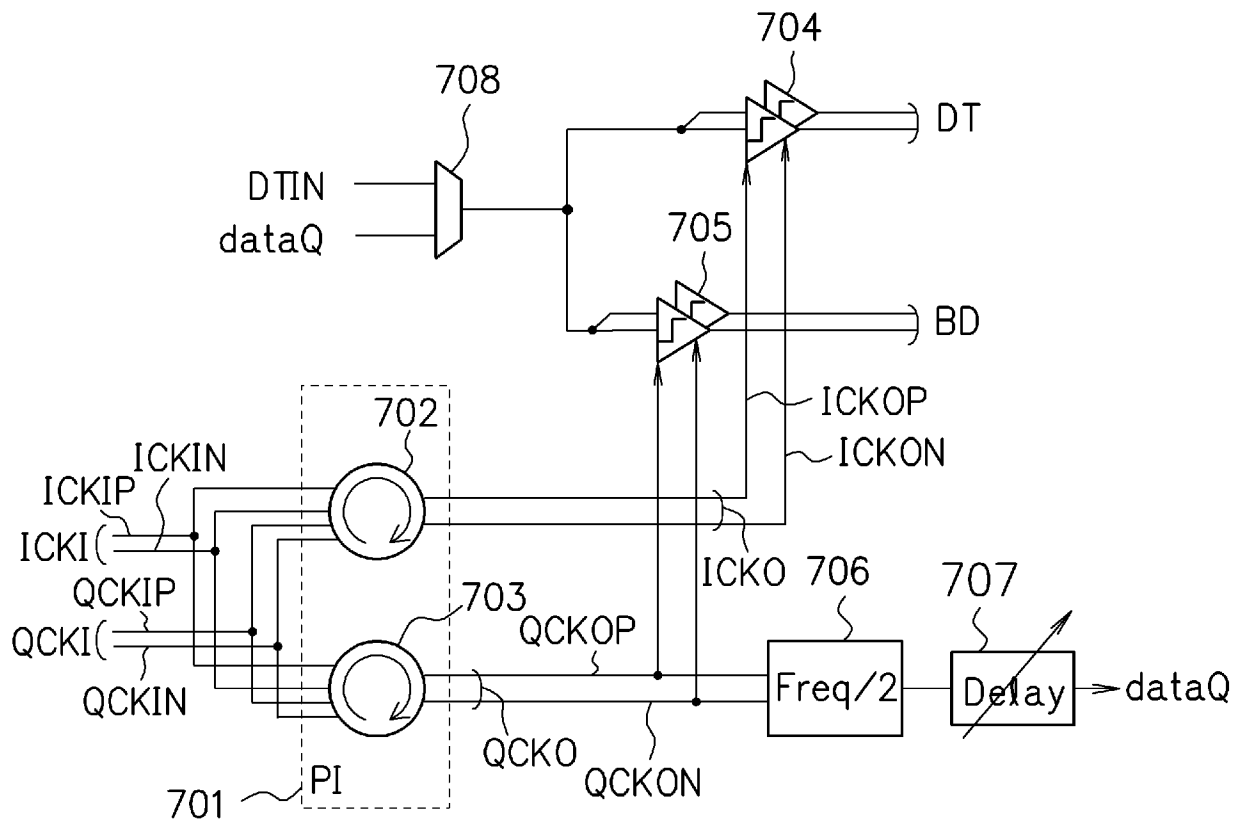
[図5]

PI	I 電流 : PIA			Q 電流 : PIB			補正 CO	Current Mirror		Q 補正電流		
code	code	sign	A	code	sign	B	code	ratio ^{ac}	code A	code	sign	C
0	16	0	16	0	0	0	-8	16/16	1.0	-8.0	1	8.0
1	15	0	15	1	0	1		15/16	0.9	-7.5	1	7.5
2	14	0	14	2	0	2		14/16	0.9	-7.0	1	7.0
3	13	0	13	3	0	3		13/16	0.8	-6.5	1	6.5
4	12	0	12	4	0	4		12/16	0.8	-6.0	1	6.0
5	11	0	11	5	0	5		11/16	0.7	-5.5	1	5.5
6	10	0	10	6	0	6		10/16	0.6	-5.0	1	5.0
7	9	0	9	7	0	7		9/16	0.6	-4.5	1	4.5
8	8	0	8	8	0	8		8/16	0.5	-4.0	1	4.0
9	7	0	7	9	0	9		7/16	0.4	-3.5	1	3.5
10	6	0	6	10	0	10		6/16	0.4	-3.0	1	3.0
11	5	0	5	11	0	11		5/16	0.3	-2.5	1	2.5
12	4	0	4	12	0	12		4/16	0.3	-2.0	1	2.0
13	3	0	3	13	0	13		3/16	0.2	-1.5	1	1.5
14	2	0	2	14	0	14		2/16	0.1	-1.0	1	1.0
15	1	0	1	15	0	15		1/16	0.1	-0.5	1	0.5
16	0	0	0	16	0	16		0/16	0.0	0.0	0	0.0
17	-1	1	1	15	0	15		-1/16	-0.1	0.5	0	0.5
18	-2	1	2	14	0	14		-2/16	-0.2	1.0	0	1.0
19	-3	1	3	13	0	13		-3/16	-0.3	1.5	0	1.5
20	-4	1	4	12	0	12		-4/16	-0.3	2.0	0	2.0
21	-5	1	5	11	0	11		-5/16	-0.4	2.5	0	2.5
22	-6	1	6	10	0	10		-6/16	-0.4	3.0	0	3.0
23	-7	1	7	9	0	9		-7/16	-0.5	3.5	0	3.5
24	-8	1	8	8	0	8		-8/16	-0.5	4.0	0	4.0
25	-9	1	9	7	0	7		-9/16	-0.6	4.5	0	4.5
26	-10	1	10	6	0	6		-10/16	-0.6	5.0	0	5.0
27	-11	1	11	5	0	5		-11/16	-0.7	5.5	0	5.5
28	-12	1	12	4	0	4		-12/16	-0.8	6.0	0	6.0
29	-13	1	13	3	0	3		-13/16	-0.8	6.5	0	6.5
30	-14	1	14	2	0	2		-14/16	-0.9	7.0	0	7.0
31	-15	1	15	1	0	1		-15/16	-0.9	7.5	0	7.5
32	-16	1	16	0	0	0		-16/16	-1.0	8.0	0	8.0

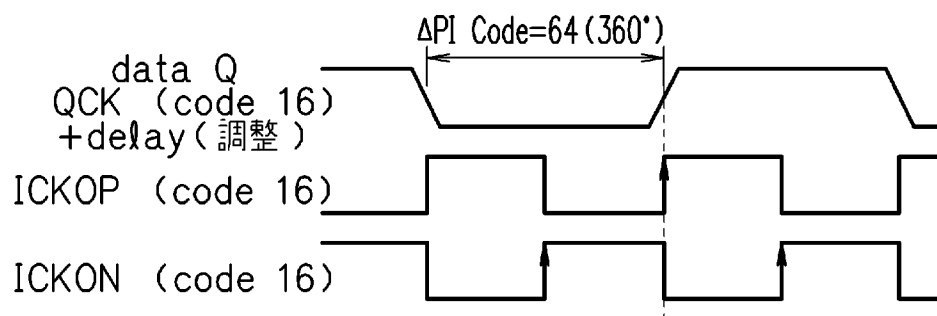
[図6]



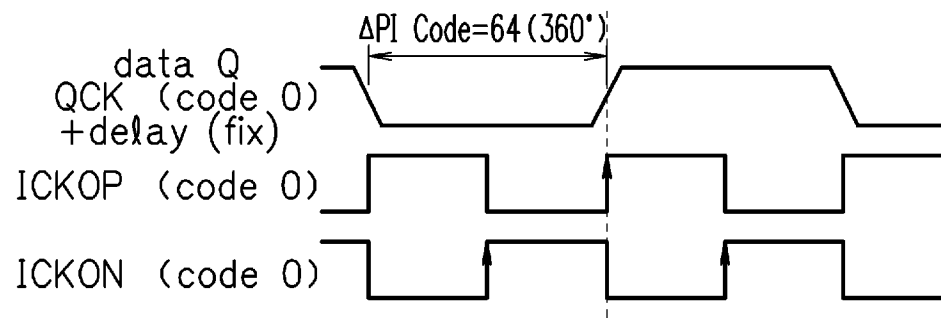
[図7]



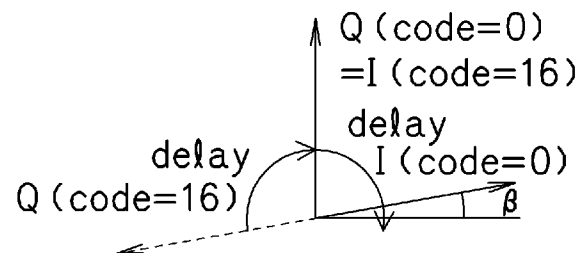
[図8A]



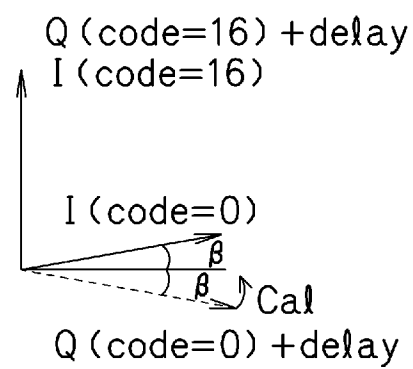
[図8B]



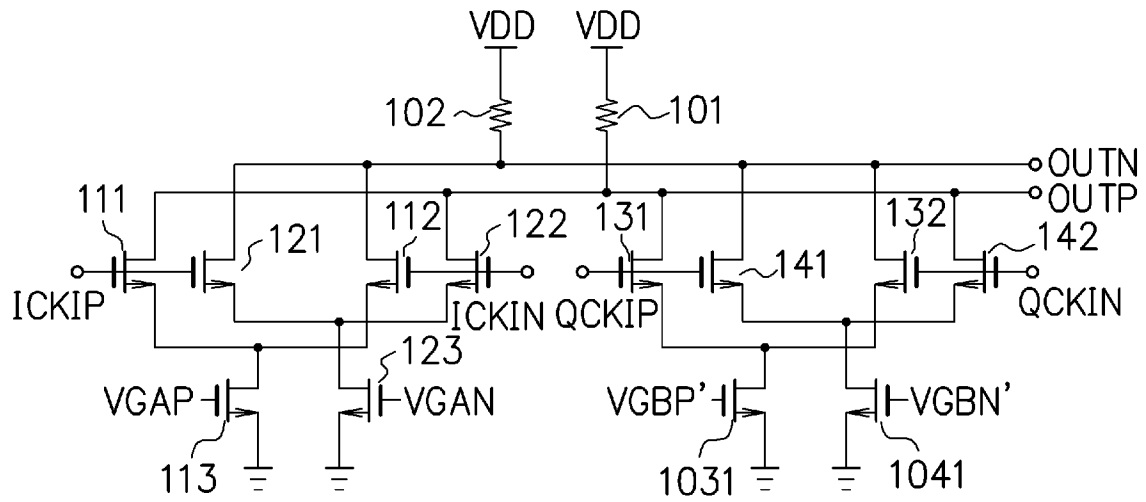
[図9A]



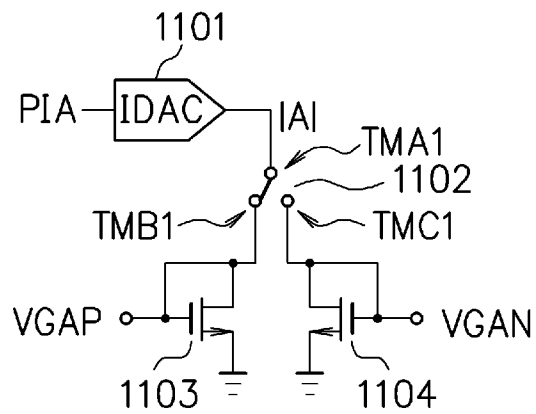
[図9B]



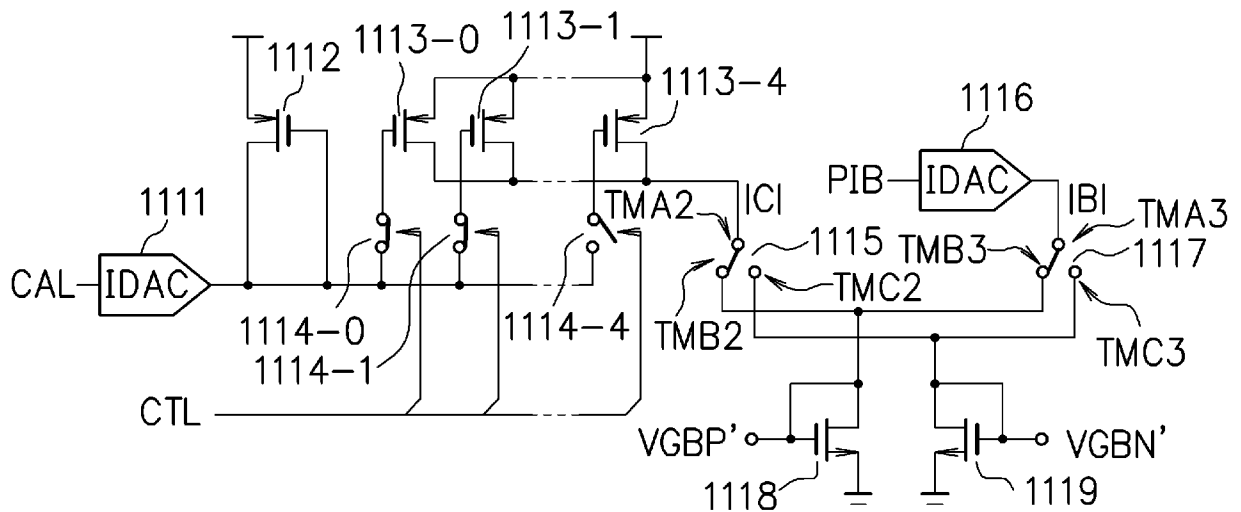
[図10]

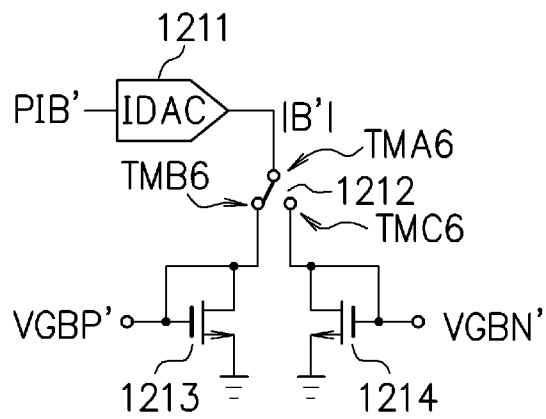
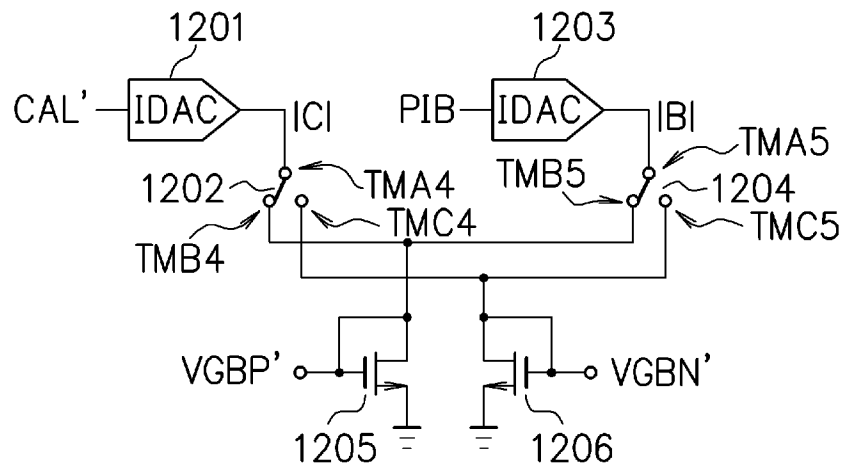


[図11A]



[図11B]

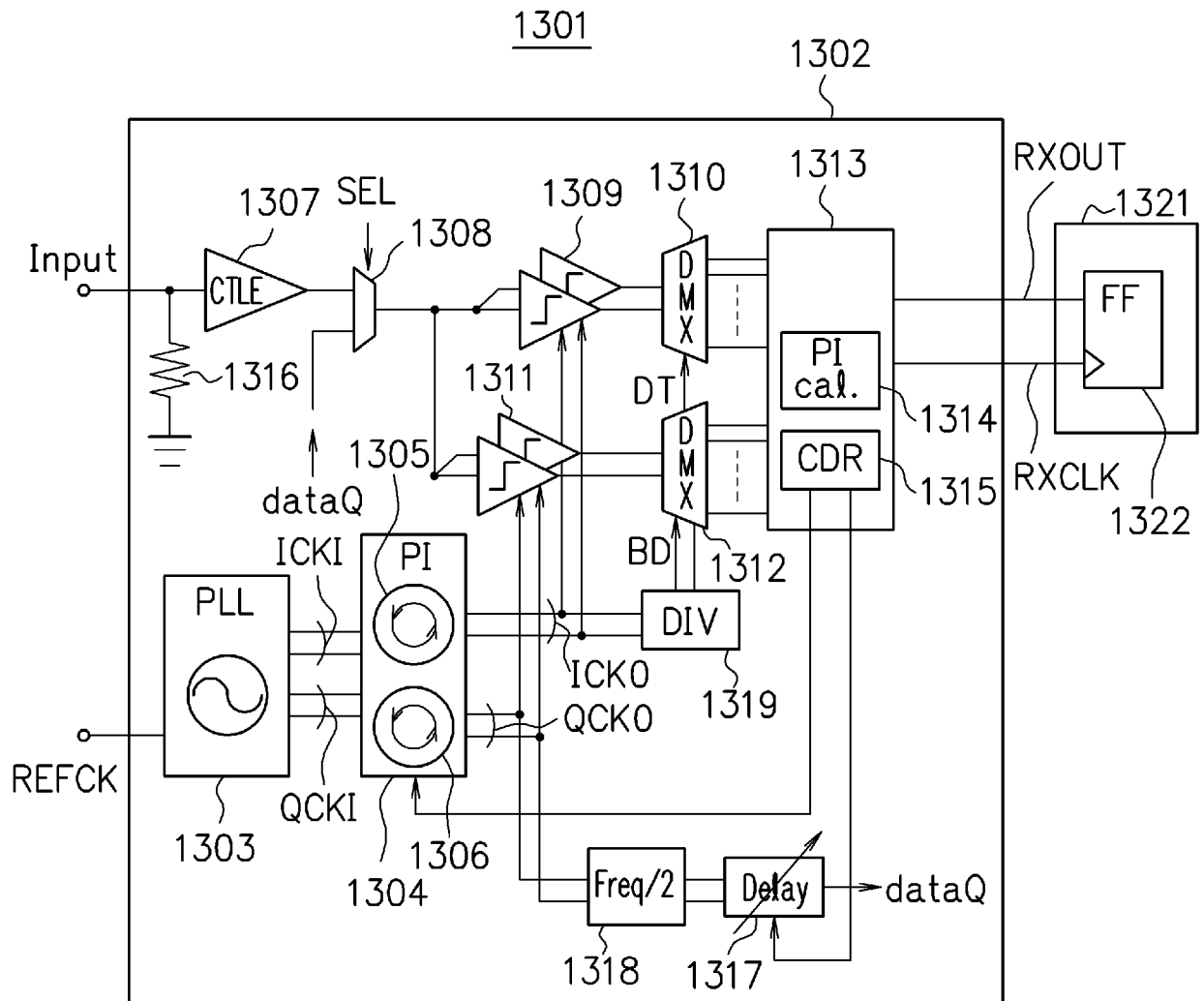




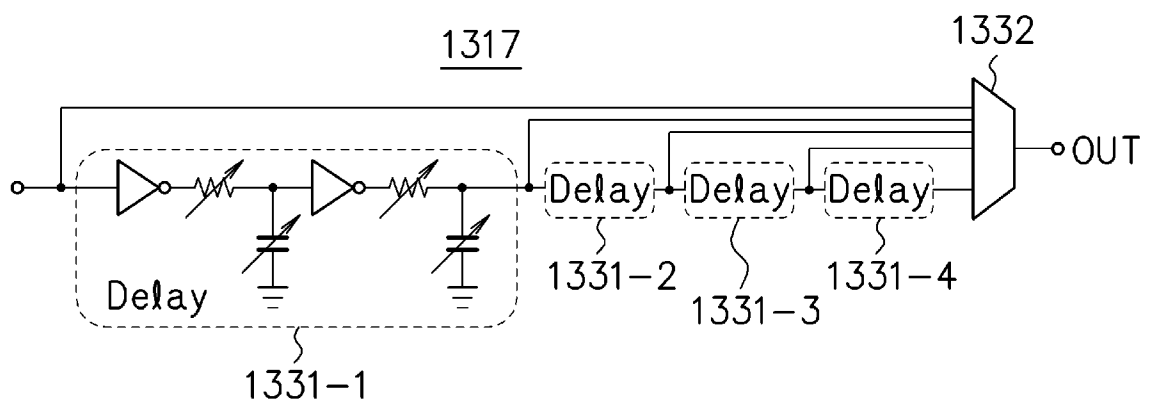
[図12C]

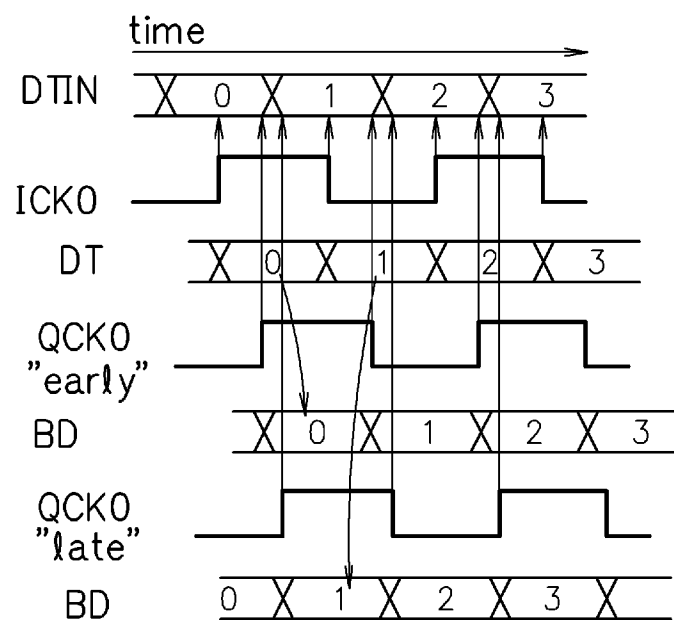
Q 電流 : PIB			補正 CO	Current Mirror		Q補正電流: CAL'			Q補正電流: PIB'		
code	sign	B	code	ratio $\propto$	code A	code	sign	C	code	sign	B'
0	0	0	-8	16/16	1.0	-8.0	1	8.0	-8.0	1	8.0
1	0	1		15/16	0.9	-7.5	1	7.5	-6.5	1	6.5
2	0	2		14/16	0.9	-7.0	1	7.0	-5.0	1	5
3	0	3		13/16	0.8	-6.5	1	6.5	-3.5	1	3.5
4	0	4		12/16	0.8	-6.0	1	6.0	-2.0	1	2
5	0	5		11/16	0.7	-5.5	1	5.5	-0.5	1	0.5
6	0	6		10/16	0.6	-5.0	1	5.0	1.0	0	1
7	0	7		9/16	0.6	-4.5	1	4.5	2.5	0	2.5
8	0	8		8/16	0.5	-4.0	1	4.0	4.0	0	4
9	0	9		7/16	0.4	-3.5	1	3.5	5.5	0	5.5
10	0	10		6/16	0.4	-3.0	1	3.0	7.0	0	7
11	0	11		5/16	0.3	-2.5	1	2.5	8.5	0	8.5
12	0	12		4/16	0.3	-2.0	1	2.0	10.0	0	10
13	0	13		3/16	0.2	-1.5	1	1.5	11.5	0	11.5
14	0	14		2/16	0.1	-1.0	1	1.0	13.0	0	13
15	0	15		1/16	0.1	-0.5	1	0.5	14.5	0	14.5
16	0	16		0/16	0.0	0.0	0	0.0	16.0	0	16
15	0	15		-1/16	-0.1	0.5	0	0.5	15.5	0	15.5
14	0	14		-2/16	-0.2	1.0	0	1.0	15.0	0	15
13	0	13		-3/16	-0.3	1.5	0	1.5	14.5	0	14.5
12	0	12		-4/16	-0.3	2.0	0	2.0	14.0	0	14
11	0	11		-5/16	-0.4	2.5	0	2.5	13.5	0	13.5
10	0	10		-6/16	-0.4	3.0	0	3.0	13.0	0	13
9	0	9		-7/16	-0.5	3.5	0	3.5	12.5	0	12.5
8	0	8		-8/16	-0.5	4.0	0	4.0	12.0	0	12
7	0	7		-9/16	-0.6	4.5	0	4.5	11.5	0	11.5
6	0	6		-10/16	-0.6	5.0	0	5.0	11.0	0	11
5	0	5		-11/16	-0.7	5.5	0	5.5	10.5	0	10.5
4	0	4		-12/16	-0.8	6.0	0	6.0	10.0	0	10
3	0	3		-13/16	-0.8	6.5	0	6.5	9.5	0	9.5
2	0	2		-14/16	-0.9	7.0	0	7.0	9.0	0	9
1	0	1		-15/16	-0.9	7.5	0	7.5	8.5	0	8.5
0	0	0		-16/16	-1.0	8.0	0	8.0	8.0	0	8

[図13A]

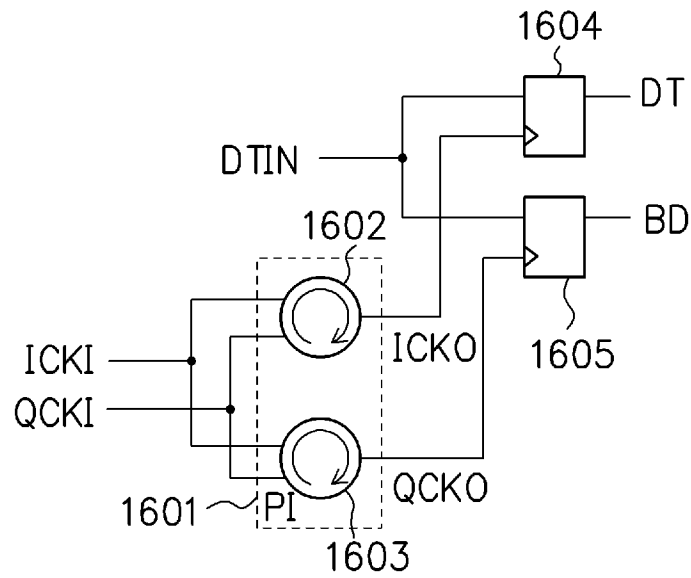


[図13B]

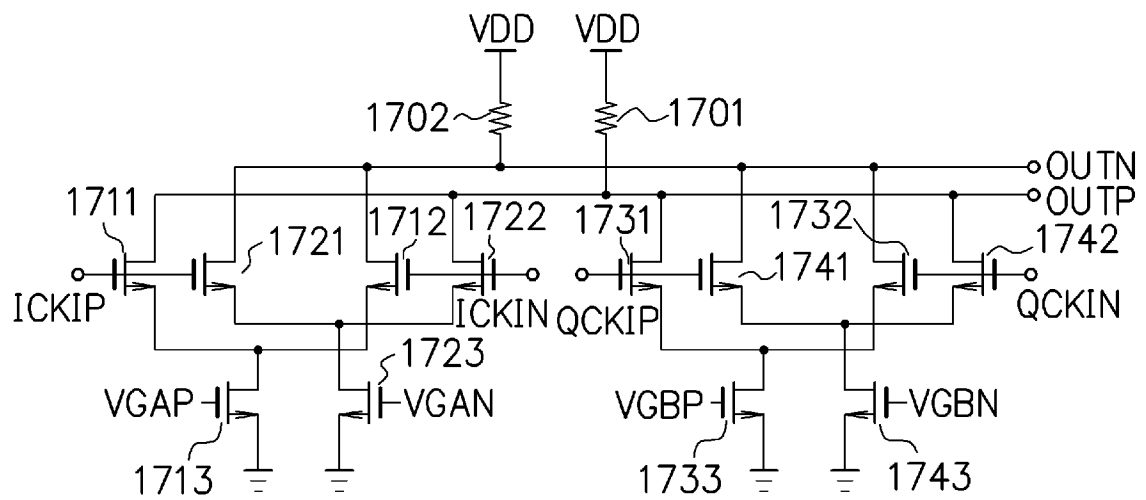




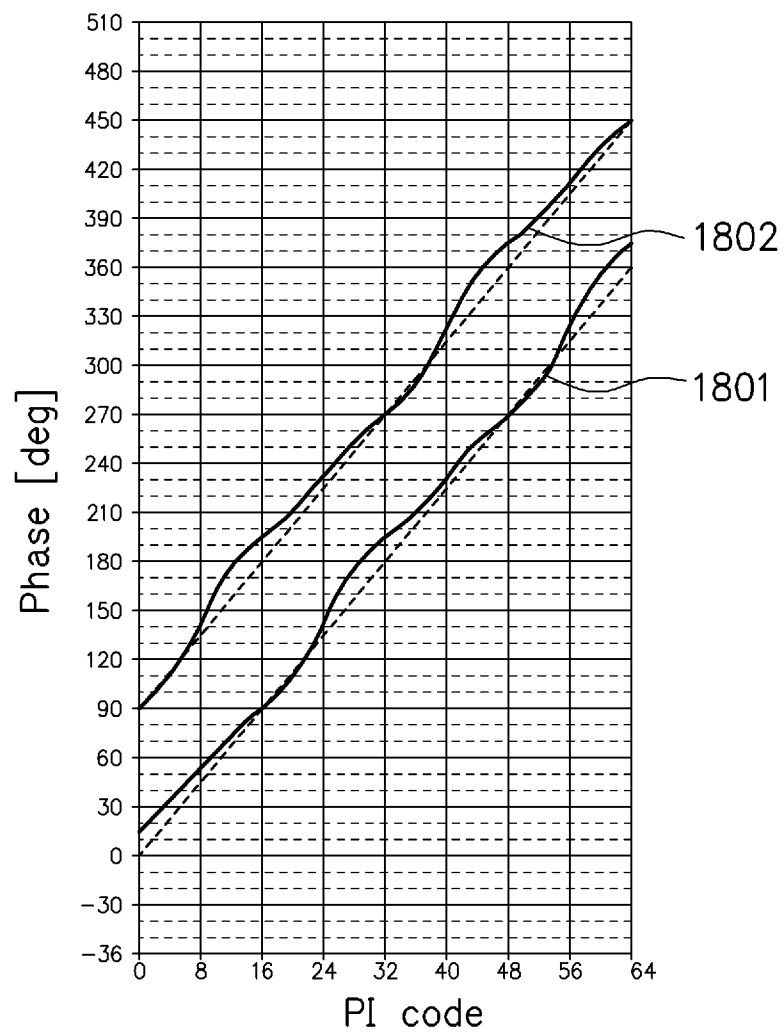
[図16]



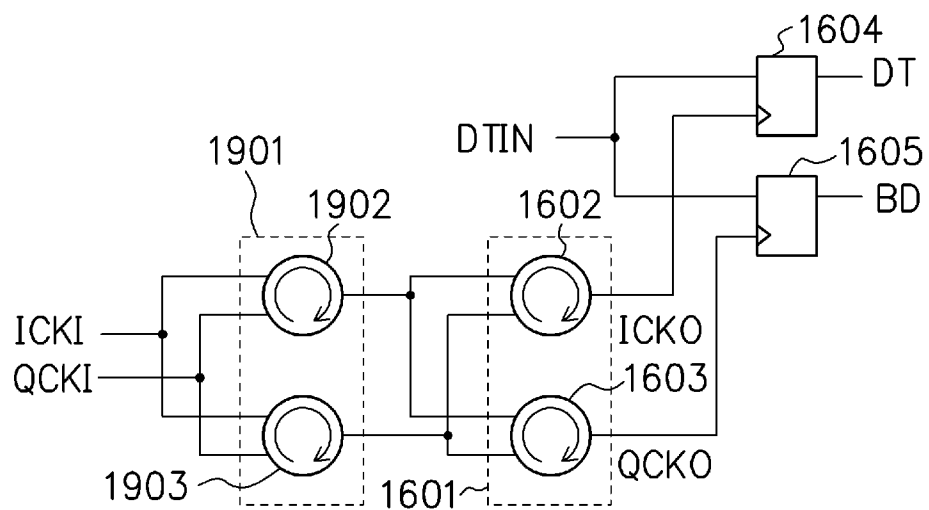
[図17]



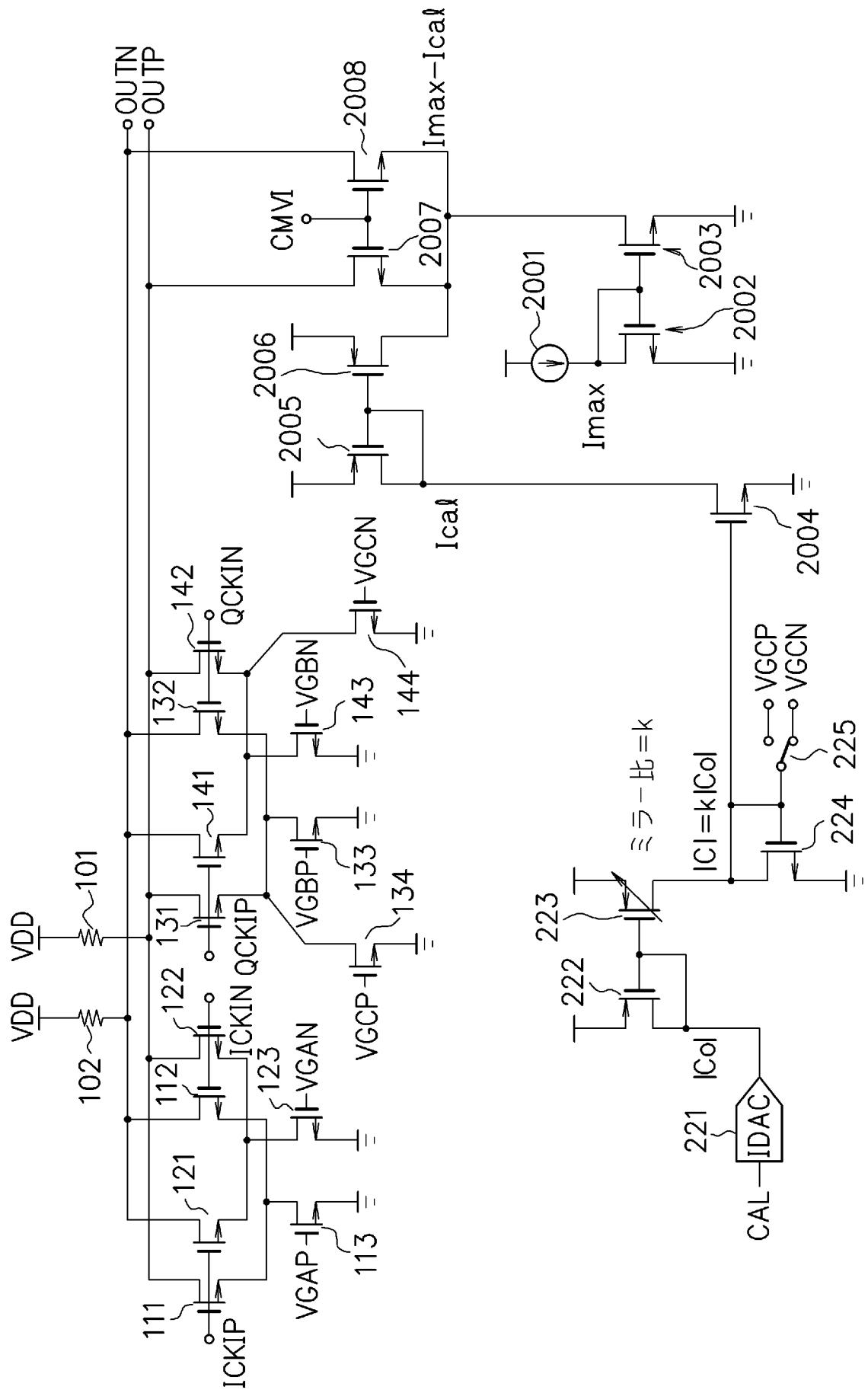
[図18]



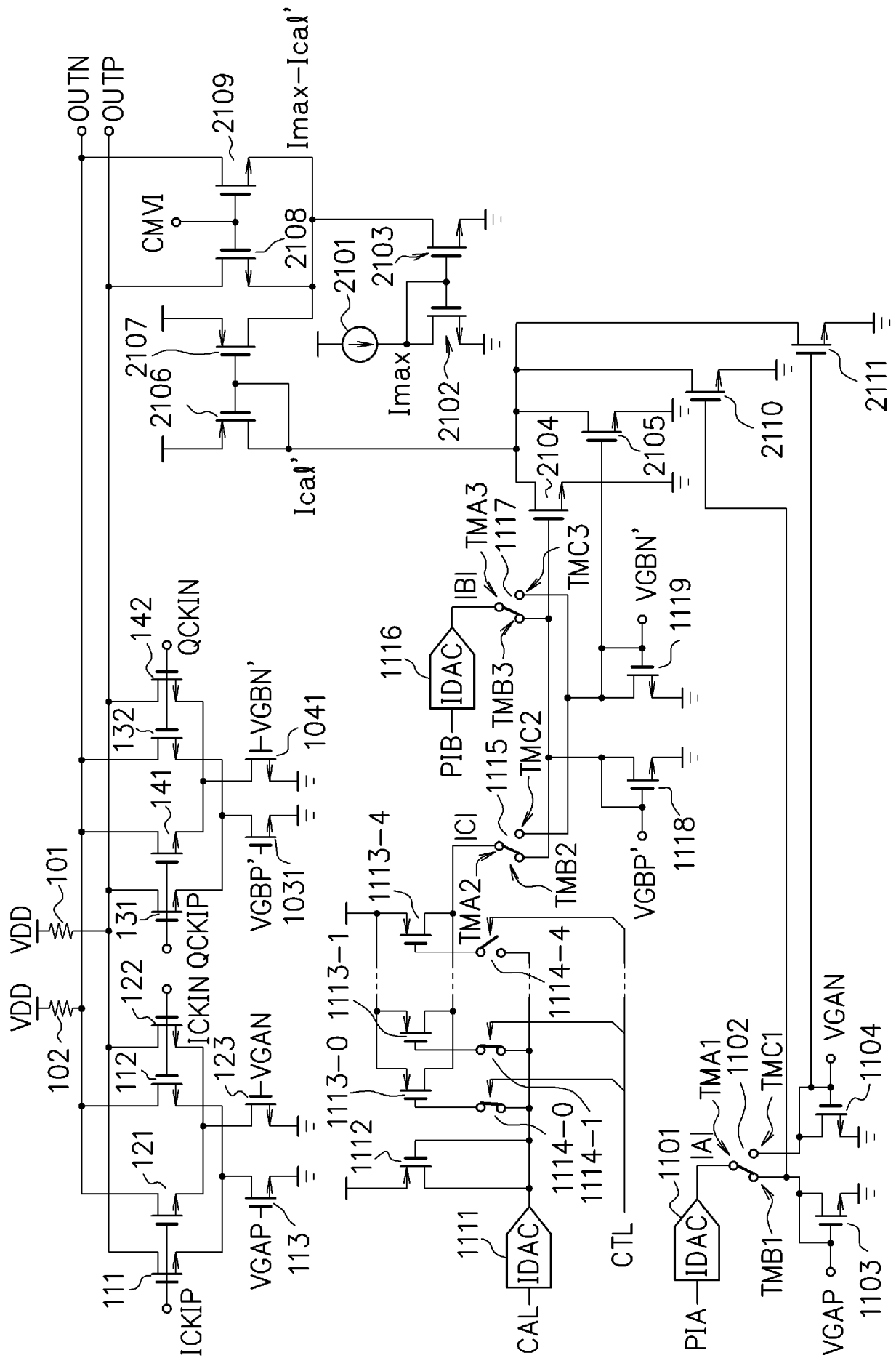
[図19]



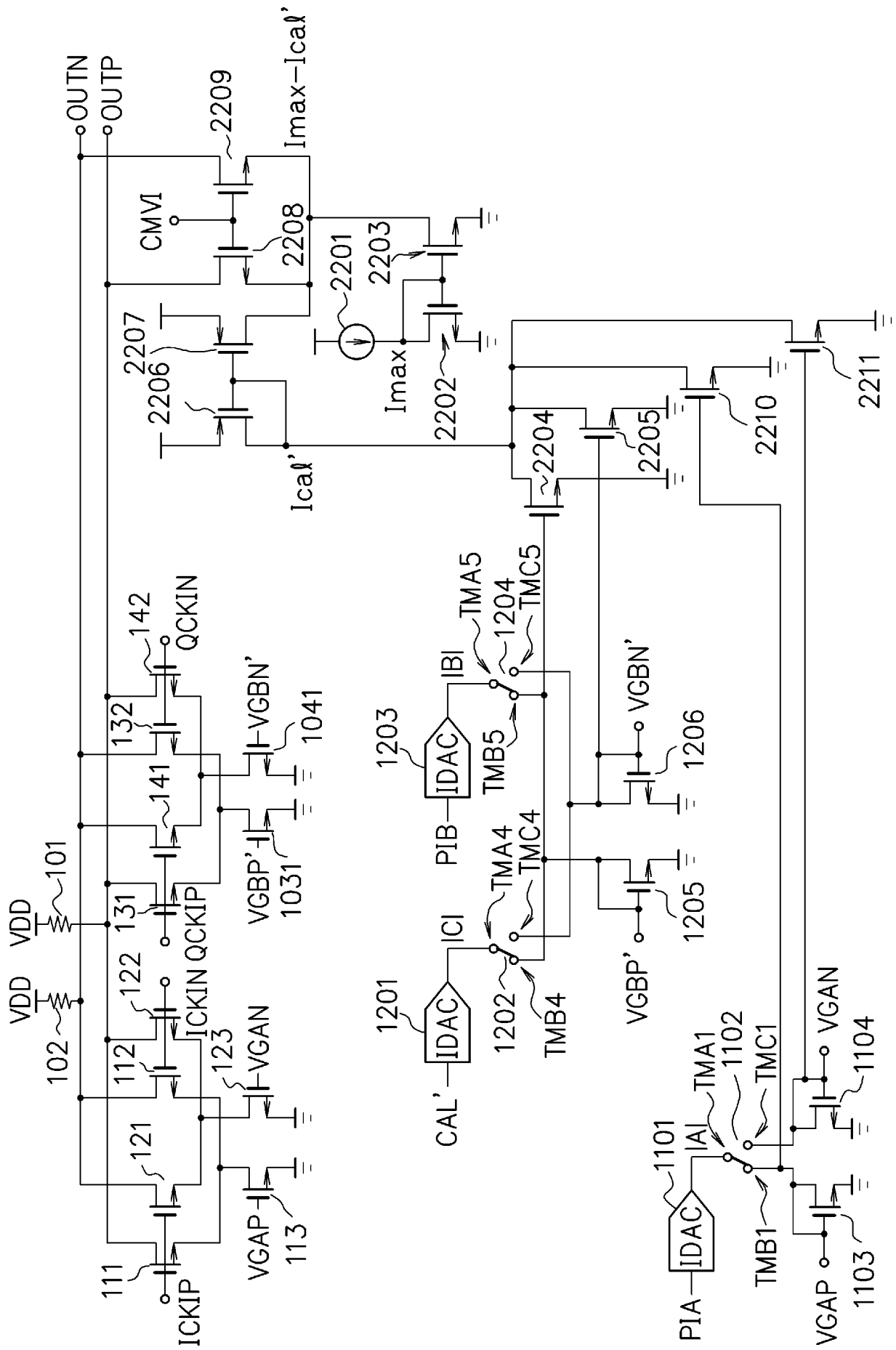
[図20]



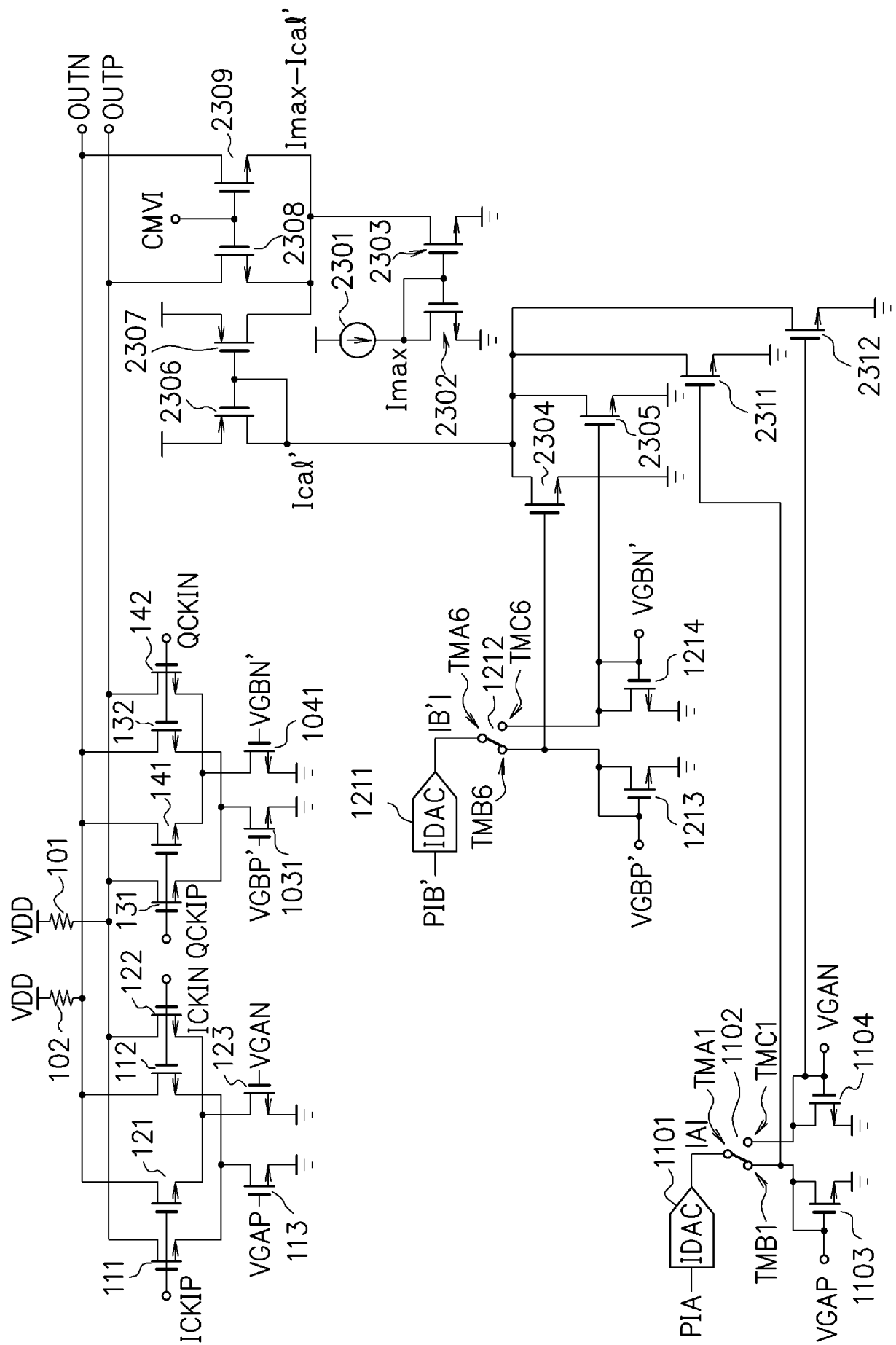
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/003969

A. CLASSIFICATION OF SUBJECT MATTER

H03L 7/081 (2006.01) i

FI: H03L7/081 180

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03L7/081

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	US 2016/0182216 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 23 June 2016 (2016-06-23) paragraphs [0035]-[0057], fig. 1-3	1-2, 4 5-12, 14-19, 21-24 3, 13, 20
Y A	JP 2014-146869 A (FUJITSU SEMICONDUCTOR LTD.) 14 August 2014 (2014-08-14) paragraphs [0014]-[0016], fig. 3	5-10, 15-17, 22-24 3, 13, 20
Y A	JP 2008-72234 A (NEC ELECTRONICS CORPORATION) 27 March 2008 (2008-03-27) paragraphs [0017]-[0027], fig. 1	9-10, 17, 24 3, 13, 20
Y A	WO 2017/154191 A1 (SOCIONEXT INC.) 14 September 2017 (2017-09-14) paragraphs [0049]-[0054], fig. 6	11-12, 14-19, 21-24 3, 13, 20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
08 March 2021 (08.03.2021)

Date of mailing of the international search report
23 March 2021 (23.03.2021)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/003969

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2016/0182216 A1	23 Jun. 2016	(Family: none)	
JP 2014-146869 A	14 Aug. 2014	US 2014/0211898 A1 paragraphs [0028]- [0030], fig. 3	
JP 2008-72234 A	27 Mar. 2008	US 2008/0061847 A1 paragraphs [0025]- [0027], fig. 1	
WO 2017/154191 A1	14 Sep. 2017	US 2019/0007056 A1 paragraphs [0061]- [0066], fig. 6 EP 3429082 A1 CN 108781080 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03L 7/081(2006.01)i FI: H03L7/081 180														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03L7/081 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X Y A	US 2016/0182216 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 23.06.2016 (2016 - 06 - 23) 段落[0035]-[0057], 図1-3	1-2, 4 5-12, 14-19, 21-24 3, 13, 20												
Y A	JP 2014-146869 A (富士通セミコンダクター株式会社) 14.08.2014 (2014 - 08 - 14) 段落[0014]-[0016], 図3	5-10, 15-17, 22-24 3, 13, 20												
Y A	JP 2008-72234 A (NECエレクトロニクス株式会社) 27.03.2008 (2008 - 03 - 27) 段落[0017]-[0027], 図1	9-10, 17, 24 3, 13, 20												
Y A	WO 2017/154191 A1 (株式会社ソシオネクスト) 14.09.2017 (2017 - 09 - 14) 段落[0049]-[0054], 図6	11-12, 14-19, 21-24 3, 13, 20												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 08.03.2021		国際調査報告の発送日 23.03.2021												
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 竹内 亨 5W 8388 電話番号 03-3581-1101 内線 3576												

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/003969

引用文献			公表日	パテントファミリー文献	公表日
US	2016/0182216	A1	23.06.2016	(ファミリーなし)	
JP	2014-146869	A	14.08.2014	US 2014/0211898 A1	
				段落[0028]-[0030], 図3	
JP	2008-72234	A	27.03.2008	US 2008/0061847 A1	
				段落[0025]-[0027], 図1	
WO	2017/154191	A1	14.09.2017	US 2019/0007056 A1	
				段落[0061]-[0066], 図6	
				EP 3429082 A1	
				CN 108781080 A	