

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成24年2月2日(2012.2.2)

【公開番号】特開2010-107976(P2010-107976A)

【公開日】平成22年5月13日(2010.5.13)

【年通号数】公開・登録公報2010-019

【出願番号】特願2009-229378(P2009-229378)

【国際特許分類】

G 0 9 F	9/30	(2006.01)
H 0 1 L	29/786	(2006.01)
H 0 1 L	27/04	(2006.01)
H 0 1 L	21/822	(2006.01)
H 0 1 L	21/768	(2006.01)
H 0 1 L	21/28	(2006.01)
H 0 1 L	29/423	(2006.01)
H 0 1 L	29/49	(2006.01)
H 0 1 L	29/417	(2006.01)
G 0 2 F	1/1368	(2006.01)

【F I】

G 0 9 F	9/30	3 3 8
H 0 1 L	29/78	6 2 3 A
H 0 1 L	29/78	6 1 8 B
H 0 1 L	27/04	H
H 0 1 L	21/90	A
H 0 1 L	21/28	3 0 1 B
H 0 1 L	29/58	G
H 0 1 L	29/50	M
H 0 1 L	21/28	3 0 1 R
G 0 2 F	1/1368	

【手続補正書】

【提出日】平成23年12月9日(2011.12.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

絶縁表面を有する基板上に、走査線、信号線、共通配線、画素部及び保護回路を有し、前記画素部は、薄膜トランジスタ及び画素電極を有し、

前記保護回路が有する第1の非線形素子は、第1のゲート電極と、前記第1のゲート電極を被覆する第1のゲート絶縁膜と、前記第1のゲート絶縁膜上の第1配線層及び第2配線層と、前記第1のゲート絶縁膜、前記第1配線層及び前記第2配線層上に、前記第1のゲート電極と重疊するように設けられた第1の酸化物半導体層とを有し、

前記第1の非線形素子の前記第1のゲート電極は、前記走査線と同層で形成されるとともに、前記走査線と電気的に接続され、

前記第1の非線形素子の前記第1配線層は前記共通配線と電気的に接続され、

前記第1の非線形素子の前記第2配線層は、前記第1のゲート電極または前記走査線と

直接接続され、

前記薄膜トランジスタは、前記走査線と電気的に接続する第2のゲート電極と、前記信号線と電気的に接続するソース電極またはドレイン電極の一方と、前記画素電極と電気的に接続する前記ソース電極または前記ドレイン電極の他方と、チャネル形成領域となる第2の酸化物半導体層とを有することを特徴とする表示装置。

【請求項2】

絶縁表面を有する基板上に、走査線、信号線、共通配線、画素部及び保護回路を有し、前記画素部は、薄膜トランジスタ及び画素電極を有し、

前記保護回路が有する第1の非線形素子は、第1のゲート電極と、前記第1のゲート電極を被覆する第1のゲート絶縁膜と、前記第1のゲート絶縁膜上の第1配線層及び第2配線層と、前記第1のゲート絶縁膜、前記第1配線層及び前記第2配線層上に、前記第1のゲート電極と重畳するように設けられた第1の酸化物半導体層とを有し、

前記第1の非線形素子の前記第1のゲート電極は、前記信号線と同層で形成されるとともに、前記信号線と電気的に接続され、

前記第1の非線形素子の前記第1配線層は前記共通配線と電気的に接続され、前記第1の非線形素子の前記第2配線層は、前記第1のゲート電極または前記信号線と直接接続され、

前記薄膜トランジスタは、前記走査線と電気的に接続する第2のゲート電極と、前記信号線と電気的に接続するソース電極またはドレイン電極の一方と、前記画素電極と電気的に接続する前記ソース電極または前記ドレイン電極の他方と、チャネル形成領域となる第2の酸化物半導体層とを有することを特徴とする表示装置。

【請求項3】

絶縁表面を有する基板上に、走査線、信号線、共通配線、画素部及び保護回路を有し、前記画素部は、薄膜トランジスタ及び画素電極を有し、

前記保護回路が有する第1の非線形素子は、第1のゲート電極と、前記第1のゲート電極を被覆する第1のゲート絶縁膜と、前記第1のゲート絶縁膜上の第1配線層及び第2配線層と、前記第1のゲート絶縁膜、前記第1配線層及び前記第2配線層上に、前記第1のゲート電極と重畳するように設けられた第1の酸化物半導体層とを有し、

前記第1の非線形素子の前記第1のゲート電極は、前記走査線と同層で形成されるとともに、前記走査線と電気的に接続され、

前記第1の非線形素子の前記第1配線層は前記共通配線と電気的に接続され、前記第1の非線形素子の前記第2配線層は、前記第1のゲート電極または前記走査線と直接接続され、

前記薄膜トランジスタは、前記走査線と電気的に接続する第2のゲート電極と、前記信号線と電気的に接続するソース電極またはドレイン電極の一方と、前記画素電極と電気的に接続する前記ソース電極または前記ドレイン電極の他方と、チャネル形成領域となる第2の酸化物半導体層とを有し、

前記第1及び前記第2の酸化物半導体層は、In、Ga、Zn及び遷移金属を含むことを特徴とする表示装置。

【請求項4】

絶縁表面を有する基板上に、走査線、信号線、共通配線、画素部及び保護回路を有し、前記画素部は、薄膜トランジスタ及び画素電極を有し、

前記保護回路が有する第1の非線形素子は、第1のゲート電極と、前記第1のゲート電極を被覆する第1のゲート絶縁膜と、前記第1のゲート絶縁膜上の第1配線層及び第2配線層と、前記第1のゲート絶縁膜、前記第1配線層及び前記第2配線層上に、前記第1のゲート電極と重畳するように設けられた第1の酸化物半導体層とを有し、

前記第1の非線形素子の前記第1のゲート電極は、前記信号線と同層で形成されるとともに、前記信号線と電気的に接続され、

前記第1の非線形素子の前記第1配線層は前記共通配線と電気的に接続され、前記第1の非線形素子の前記第2配線層は、前記第1のゲート電極または前記信号線と

直接接続され、

前記薄膜トランジスタは、前記走査線と電気的に接続する第2のゲート電極と、前記信号線と電気的に接続するソース電極またはドレイン電極の一方と、前記画素電極と電気的に接続する前記ソース電極または前記ドレイン電極の他方と、チャネル形成領域となる第2の酸化物半導体層とを有し、

前記第1及び前記第2の酸化物半導体層は、In、Ga、Zn及び遷移金属を含むことを特徴とする表示装置。

【請求項5】

請求項1または請求項3において、

前記保護回路は、前記第1の非線形素子と並列接続する第2の非線形素子を有し、

前記第2の非線形素子は、第3のゲート電極と、前記第3のゲート電極を被覆する第3のゲート絶縁膜と、前記第3のゲート絶縁膜上の第3配線層及び第4配線層と、前記第3のゲート絶縁膜、前記第3配線層及び前記第4配線層上に、前記第3ゲート電極と重畠するように設けられた第3の酸化物半導体層とを有し、

前記第2の非線形素子の前記第3のゲート電極及び前記第3配線層は前記共通配線と電気的に接続され、

前記第2の非線形素子の前記第4配線層は前記走査線と電気的に接続されることを特徴とする表示装置。

【請求項6】

請求項2または請求項4において、

前記保護回路は、前記第1の非線形素子と並列接続する第2の非線形素子を有し、

前記第2の非線形素子は、第3のゲート電極と、前記第3のゲート電極を被覆する第3のゲート絶縁膜と、前記第3のゲート絶縁膜上の第3配線層及び第4配線層と、前記第3のゲート絶縁膜、前記第3配線層及び前記第4配線層上に、前記第3ゲート電極と重畠するように設けられた第3の酸化物半導体層とを有し、

前記第2の非線形素子の前記第3のゲート電極及び前記第3配線層は前記共通配線と電気的に接続され、

前記第2の非線形素子の前記第4配線層は前記信号線と電気的に接続されることを特徴とする表示装置。

【請求項7】

請求項1乃至請求項6のいずれか一において、

前記保護回路は、前記画素部と入力端子との間に配設されていることを特徴とする表示装置。