

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成20年2月14日 (2008.2.14)

【公開番号】特開2007-335076(P2007-335076A)

【公開日】平成19年12月27日 (2007.12.27)

【年通号数】公開・登録公報2007-050

【出願番号】特願2007-204671(P2007-204671)

【国際特許分類】

G 1 1 C 27/04 (2006.01)

【 F I 】

G 1 1 C 27/04 1 0 5 Z

【手続補正書】

【提出日】平成19年12月14日 (2007.12.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

並列に配置された 1 ~ M ( M は 2 以上の自然数 ) のメモリブロックに分割され、

前記メモリの記憶場所は、前記ベクトルの長さに応じて、各々のメモリブロックに前記ベクトルの一部が配置されるように、当該一方の端部に配置されたメモリブロックから他方の端部に配置されているメモリブロックに向けて形成され、

前記ベクトルを構成する情報の連続順が分断しないように当該情報を前記メモリブロックに入力する入力バッファを有し、

少なくとも 1 つの記憶場所にベクトルを記憶させるメモリ構造において、

メモリブロックの一方の端部に配置されているメモリブロックに前記ベクトルの始点が配置され、当該一方の端部に配置されたメモリブロックから他方の端部に配置されているメモリブロックに向けて、前記ベクトルの長さに応じて、各ベクトルブロックに前記ベクトルの一部が配置され、

前記ベクトルのアドレス指定が、前記一方の端部に配置されたメモリブロックに行なわれ、

前記メモリの記憶場所は、前記一方の端部に配置されたメモリブロックから他方の端部に配置されているメモリブロックに向けて、前記ベクトルの長さに応じた長さとなるように拡張可能であること、

を特徴とする。

【請求項 2】

請求項 1 に記載のメモリ構造であって、

前記入力バッファは、シフトレジスタと同様なデータの直列入力を行い、

前記メモリフィールドは、前記入力バッファからの情報が直列的または並列的に入力されるように構成されていて、

前記制御ロジックは、入力バッファを介しての前記メモリフィールドへの情報の入力を制御し、

前記各メモリブロックは、入力バッファを介して互いにカスケード結合され、これにより、情報を異なるメモリブロックの幾つかの入力バッファを介して直列的に次々と供給でき、各メモリブロックの制御ロジックは、それ自体のメモリブロックが情報で満たされるときに、次のメモリブロックの制御ロジックに通報するように配置されており、これによ

り次のメモリブロックの制御ロジックが当該メモリブロックのメモリフィールドに情報の書込みを行なうことができることを特徴とするメモリ構造。

【請求項 3】

請求項 1 または 2 に記載のメモリ構造であって、

前記メモリブロックは、

前記メモリに記憶されているベクトルが、該ベクトルを構成する情報の連続順が分断しないで出力されるための、シフトレジスタの機能を有する出力バッファを備えることを特徴とするメモリ構造。

【請求項 4】

請求項 3 に記載のメモリ構造であって、

前記出力バッファは、シフトレジスタと同様、前記メモリフィールドに記憶されたデータの直列的出力を行い、

前記各メモリブロックの制御ロジックは、前記出力バッファを介してメモリフィールドの情報の出力を制御し、かつ、それ自体のメモリブロックの情報が空になると次のメモリブロックの制御ロジックに通報するように配置され、これにより、該次のメモリブロックのメモリフィールドから情報を読取る処理を行うことができることを特徴とするメモリ構造。

【請求項 5】

請求項 3～4 のいずれか一項に記載のメモリ構造であって、

前記メモリブロックのメモリフィールドと前記入力バッファとの間の転送は、該メモリブロックにある制御ロジックにより並列的に行なわれ、

前記メモリブロックのメモリフィールドと前記出力バッファとの間の転送は、該メモリブロックにある制御ロジックにより並列的に行なわれることを特徴とするメモリ構造。

【請求項 6】

請求項 3～5 のいずれか一項に記載のメモリ構造であって、

前記入力バッファは、前記情報が入力中に、異なるメモリブロック間でいかなるハンドシェイク作動もなく、異なるメモリブロックの入力バッファに連続的に該情報を転送されるように配置され、

前記出力バッファは、前記情報が出力中に、異なるメモリブロック間でいかなるハンドシェイク作動もなく、異なるメモリブロックの出力バッファに連続的に転送されるように配置されていること

を特徴とするメモリ構造。

【請求項 7】

請求項 3～6 のいずれか一項に記載のメモリ構造であって、

前記各メモリブロックの入力バッファは、隣接するメモリブロックの入力バッファと出力バッファとは、互いに並列に配置されかつ互いに独立的に制御でき、前記各メモリブロックの出力バッファは、隣接するメモリブロックの出力バッファと互いに並列に配置されかつ互いに独立的に制御でき、これにより、メモリの記憶場所への情報の入力と、該記憶場所からの情報の出力とを略同じタイミングに行なうことができることを特徴とするメモリ構造。

【請求項 8】

請求項 3～7 のいずれか一項に記載のメモリ構造であって、

前記各メモリブロックの出力バッファは、

前記メモリフィールドからのデータを受け付けて記憶する中間バッファと、

前記中間バッファから転送されたデータを受け付け、該受け付けたデータを隣接するメモリブロックの出力バッファに出力するシフトレジスタと、

選択的なクロックパルス数により、前記メモリフィールドから前記中間バッファへの書込み期間に対する、前記中間バッファからシフトレジスタへの読取り期間の位相シフトを

行なう手段と、を有すること  
を特徴とするメモリ構造。

【請求項 9】

請求項 8 に記載のメモリ構造であって、  
前記位相シフト手段は、所望の位相遅延に等しい遅延をもつ調節可能な遅延回路を有することを特徴とするメモリ構造。

【請求項 10】

請求項 1 ～ 9 のいずれか一項に記載のメモリ構造であって、  
前記各メモリブロックは、  
前記メモリフィールドからの情報を受け付けて記憶する処理バッファと、  
前記処理バッファに記憶された情報に所定の処理を行う信号処理ユニットと、を備え、  
前記各メモリブロックの信号処理ユニットは、自身と異なるメモリブロックの信号処理ユニットが行う処理と並列的に、前記メモリフィールドから読み出した情報を処理することが可能に構成されていること  
を特徴とするメモリ構造。

【請求項 11】

請求項 10 に記載のメモリ構造であって、  
前記信号処理ユニットが処理した情報は、処理後にメモリブロックのメモリフィールドに再記憶させることができること  
を特徴とするメモリ構造。

【請求項 12】

請求項 10 または 11 に記載のメモリ構造であって、  
前記信号処理ユニットが処理した情報は、メモリブロックからの情報と結果とを組み合わせる結果ユニットに転送できること  
を特徴とするメモリ構造。