

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6824001号
(P6824001)

(45) 発行日 令和3年2月3日 (2021. 2. 3)

(24) 登録日 令和3年1月14日 (2021.1.14)

(51) Int. Cl.	F I
H O 3 K 3/354 (2006.01)	H O 3 K 3/354 B
H O 3 K 3/014 (2006.01)	H O 3 K 3/014
H O 1 L 21/8234 (2006.01)	H O 1 L 27/06 1 O 2 A
H O 1 L 27/06 (2006.01)	H O 1 L 27/088 3 3 1 E
H O 1 L 27/088 (2006.01)	H O 1 L 27/092 G
請求項の数 7 (全 64 頁) 最終頁に続く	

(21) 出願番号 特願2016-211192 (P2016-211192)	(73) 特許権者 000153878
(22) 出願日 平成28年10月28日 (2016.10.28)	株式会社半導体エネルギー研究所
(65) 公開番号 特開2017-85571 (P2017-85571A)	神奈川県厚木市長谷398番地
(43) 公開日 平成29年5月18日 (2017.5.18)	(72) 発明者 岡本 佑樹
審査請求日 令和1年10月21日 (2019.10.21)	神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号 特願2015-213708 (P2015-213708)	半導体エネルギー研究所内
(32) 優先日 平成27年10月30日 (2015.10.30)	(72) 発明者 黒川 義元
(33) 優先権主張国・地域又は機関 日本国 (JP)	神奈川県厚木市長谷398番地 株式会社
	半導体エネルギー研究所内
	審査官 工藤 一光
	最終頁に続く

(54) 【発明の名称】 半導体装置および電子機器

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、容量素子と、を有する半導体装置であって、

前記第1のトランジスタは前記第2のトランジスタと異なる極性を有し、

前記第5のトランジスタは前記第2のトランジスタと同じ極性を有し、

前記第1のトランジスタのゲートは前記第2のトランジスタのゲートと電氣的に接続され、

前記第1のトランジスタのソースまたはドレインの一方は前記第2のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第1のトランジスタのソースまたはドレインの一方は前記第5のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第5のトランジスタのゲートは前記第1のトランジスタのソースまたはドレインの他方と電氣的に接続され、

前記第5のトランジスタのソースまたはドレインの他方は前記第3のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第3のトランジスタのゲートは前記第4のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第3のトランジスタのゲートは前記容量素子の一方の電極と電氣的に接続され、
前記容量素子の他方の電極は前記第2のトランジスタのソースまたはドレインの他方と

電氣的に接続されている半導体装置。

【請求項 2】

請求項 1 において、

前記第 3 のトランジスタ、前記第 4 のトランジスタおよび前記第 5 のトランジスタは、チャンネルが形成される領域に酸化物半導体を有する半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記第 1 のトランジスタのソースまたはドレインの他方は高電位電源線と電氣的に接続され、

前記第 2 のトランジスタのソースまたはドレインの他方は低電位電源線と電氣的に接続されている半導体装置。 10

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 2 のトランジスタは、チャンネルが形成される領域に酸化物半導体を有する半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記酸化物半導体は、In と、Zn と、M (M は Al、Ga、Y または Sn) と、を有する半導体装置。

【請求項 6】

20

請求項 1 乃至請求項 5 のいずれか一項において、

前記第 1 のトランジスタは p チャンネル型であり、

前記第 2 のトランジスタは n チャンネル型である半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項に記載の半導体装置と、表示装置と、を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置に関する。

30

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物 (コンポジション・オブ・マター) に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの動作方法、または、それらの製造方法、を一例として挙げることができる。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

40

【背景技術】

【0004】

電圧制御発振器 (VCO: Voltage Controlled Oscillator) は発振回路の 1 つであり、供給する信号電圧により出力信号の発振周波数を制御することができる。例えば、リングオシレータ型の VCO が知られており、特許文献 1 にその一例が開示されている。

【0005】

電圧制御発振器は、位相同期回路 (PLL: Phase - Locked Loop) や D

50

C - D Cコンバータに用いられている。PLLは、安定した周波数信号を生成するための回路として、CPU (Central Processing Unit) やプログラマブルロジックデバイス等に用いられる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平6 - 310994号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

10

CPUなどの高機能回路では高速化が望まれる一方で、低消費電力化が課題となっている。低消費電力化の一手段として、アイドル時に電源供給を停止するなどの制御方法がある。

【0008】

図9はリングオシレータ型電圧制御発振器の一例である。pチャンネル型のトランジスタM1およびnチャンネル型のトランジスタM2で構成されるインバータINVと、トランジスタM2と接地端子との間に接続されたnチャンネル型のトランジスタM3で信号伝達回路(遅延回路ともいう)を構成し、トランジスタM3のオン抵抗をVbiasで変化させることで発振周波数を制御する。

【0009】

20

上記の電圧制御発振器においては、電源供給を停止するとトランジスタを介して電荷が流出するため、インバータの入力電位が変化する。そのため、再度電源を投入してから発振周波数が安定化するまでに時間を要してしまう。つまり、図9に示すような電圧制御発振器は高速起動することが困難である。

【0010】

したがって、本発明の一態様では、高速起動することができる発振器を提供することを目的の一つとする。または、電源電圧の供給を停止し、電源電圧の供給を再開したときに速やかに電源電圧供給停止前の周波数で発振することのできる発振器を提供することを目的の一つとする。または、インバータの入力端子に入力信号を保持することのできる発振器を提供することを目的の一つとする。または、発振周波数を制御する信号を記憶する回路を有する発振器を提供することを目的の一つとする。または、広い温度範囲において使用可能な発振器を提供することを目的の一つとする。または、信頼性の高い発振器を提供することを目的の一つとする。または、新規な発振器などを提供することを目的の一つとする。または、上記発振器の動作方法を提供することを目的の一つとする。または、新規な半導体装置などを提供することを目的の一つとする。

30

【0011】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

40

【課題を解決するための手段】

【0012】

本発明の一態様は、高速起動することができる発振器に関する。

【0013】

本発明の一態様は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、容量素子と、を有する半導体装置であって、第1のトランジスタは第2のトランジスタと異なる極性を有し、第1のトランジスタのゲートは第2のトランジスタのゲートと電氣的に接続され、第1のトランジスタのソースまたはドレインの一方は第2のトランジスタのソースまたはドレインの一方と電氣的に接続され、第1のトランジスタのソースまたはドレインの一方は第3のトランジスタのソースまたはドレイン

50

の一方と電氣的に接続され、第3のトランジスタのゲートは第4のトランジスタのソースまたはドレインの一方と電氣的に接続され、第3のトランジスタのゲートは容量素子の一方の電極と電氣的に接続され、容量素子の他方の電極は第1のトランジスタのソースまたはドレインの他方と電氣的に接続されていることを特徴とする半導体装置である。

【0014】

また、本発明の他の一態様は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、容量素子と、を有する半導体装置であって、第1のトランジスタは第2のトランジスタと異なる極性を有し、第5のトランジスタは第2のトランジスタと同じ極性を有し、第1のトランジスタのゲートは第2のトランジスタのゲートと電氣的に接続され、第1のトランジスタのソースまたはドレインの一方は第2のトランジスタのソースまたはドレインの一方と電氣的に接続され、第1のトランジスタのソースまたはドレインの一方は第5のトランジスタのソースまたはドレインの一方と電氣的に接続され、第5のトランジスタのゲートは第1のトランジスタのソースまたはドレインの他方と電氣的に接続され、第5のトランジスタのソースまたはドレインの他方は第3のトランジスタのソースまたはドレインの一方と電氣的に接続され、第3のトランジスタのゲートは第4のトランジスタのソースまたはドレインの一方と電氣的に接続され、第3のトランジスタのゲートは容量素子の一方の電極と電氣的に接続され、容量素子の他方の電極は第2のトランジスタのソースまたはドレインの他方と電氣的に接続されていることを特徴とする半導体装置である。

【0015】

上記二つの態様の半導体装置において、第1のトランジスタのソースまたはドレインの他方は高電位電源線と電氣的に接続し、第2のトランジスタのソースまたはドレインの他方は低電位電源線と電氣的に接続することができる。

【0016】

上記二つの態様の半導体装置に用いられるトランジスタのうち、第3のトランジスタ、第4のトランジスタおよび第5のトランジスタは、チャンネルが形成される領域に酸化物半導体を有することが好ましい。

【0017】

酸化物半導体は、Inと、Znと、M(MはAl、Ga、YまたはSn)と、を有することが好ましい。また、第2のトランジスタもチャンネルが形成される領域に酸化物半導体を有していてもよい。

【発明の効果】

【0018】

本発明の一態様を用いることで、高速起動することができる発振器を提供することができる。または、電源電圧の供給を停止し、電源電圧の供給を再開したときに速やかに電源電圧供給停止前の周波数で発振することのできる発振器を提供することができる。または、インパータの入力端子に入力信号を保持することのできる発振器を提供することができる。または、発振周波数を制御する信号を記憶する回路を有する発振器を提供することができる。または、広い温度範囲において使用可能な発振器を提供することができる。または、信頼性の高い発振器を提供することができる。または、新規な発振器などを提供することができる。または、上記発振器の動作方法を提供することができる。または、新規な半導体装置などを提供することができる。

【0019】

なお、本発明の一態様はこれらの効果に限定されるものではない。例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果以外の効果を有する場合もある。または、例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果を有さない場合もある。

【図面の簡単な説明】

【0020】

【図1】信号伝達回路を説明する回路図。

- 【図 2】電圧制御発振器および PLL を説明するブロック図。
- 【図 3】信号伝達回路を説明する回路図。
- 【図 4】電圧制御発振器の動作を説明するタイミングチャート。
- 【図 5】信号伝達回路を説明する回路図。
- 【図 6】信号伝達回路を説明する回路図。
- 【図 7】電圧制御発振器を説明するブロック図。
- 【図 8】電圧制御発振器の動作を説明するタイミングチャート。
- 【図 9】信号伝達回路を説明する回路図。
- 【図 10】信号伝達回路を説明する回路図。
- 【図 11】信号伝達回路を説明する断面図。 10
- 【図 12】信号伝達回路を説明する断面図。
- 【図 13】信号伝達回路を説明する断面図。
- 【図 14】トランジスタを説明する上面図および断面図。
- 【図 15】トランジスタを説明する上面図および断面図。
- 【図 16】トランジスタのチャンネル幅方向の断面を説明する図。
- 【図 17】トランジスタのチャンネル長方向の断面を説明する図。
- 【図 18】半導体層を説明する上面図および断面図。
- 【図 19】トランジスタを説明する上面図および断面図。
- 【図 20】トランジスタを説明する上面図および断面図。
- 【図 21】トランジスタのチャンネル幅方向の断面を説明する図。 20
- 【図 22】トランジスタのチャンネル長方向の断面を説明する図。
- 【図 23】トランジスタを説明する上面図および断面図。
- 【図 24】トランジスタを説明する上面図。
- 【図 25】酸化物半導体の原子数比の範囲を説明する図。
- 【図 26】 InM ZnO_4 の結晶を説明する図。
- 【図 27】酸化物半導体の積層構造におけるバンド図。
- 【図 28】CAAC - OS および単結晶酸化物半導体の XRD による構造解析を説明する図、ならびに CAAC - OS の制限視野電子回折パターンを示す図。
- 【図 29】CAAC - OS の断面 TEM 像、ならびに平面 TEM 像およびその画像解析像 30
- 。 【図 30】nc - OS の電子回折パターンを示す図、および nc - OS の断面 TEM 像。
- 【図 31】a - like OS の断面 TEM 像。
- 【図 32】In - Ga - Zn 酸化物の電子照射による結晶部の変化を示す図。
- 【図 33】プロセッシングユニット（無線 IC）の構成例を示すブロック図。
- 【図 34】プロセッシングユニット（PLD）の構成例を示す模式図。
- 【図 35】プロセッシングユニット（MCU）の構成例を示すブロック図。
- 【図 36】表示装置の一例を示す分解斜視図。
- 【図 37】撮像装置の構成例を示すブロック図、および駆動回路の構成例を示すブロック図。
- 【図 38】電子機器の構成例を示す図。 40
- 【発明を実施するための形態】
- 【0021】
- 実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。
- 【0022】 50

なお、第 1、第 2 として付される序数詞は便宜的に用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第 1 の」を「第 2 の」または「第 3 の」などと適宜置き換えて説明することができる。また、本明細書などに記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0023】

例えば、本明細書等において、X と Y とが接続されている、と明示的に記載されている場合は、X と Y とが電氣的に接続されている場合と、X と Y とが機能的に接続されている場合と、X と Y とが直接接続されている場合とが、本明細書等を開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

10

【0024】

ここで、X、Y は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0025】

X と Y とが直接的に接続されている場合の一例としては、X と Y との電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、X と Y との間に接続されていない場合であり、X と Y との電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、X と Y とが、接続されている場合である。

20

【0026】

X と Y とが電氣的に接続されている場合の一例としては、X と Y との電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、X と Y との間に 1 個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、X と Y とが電氣的に接続されている場合は、X と Y とが直接的に接続されている場合を含むものとする。

30

【0027】

X と Y とが機能的に接続されている場合の一例としては、X と Y との機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND 回路、NOR 回路など）、信号変換回路（D/A 変換回路、A/D 変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、X と Y との間に 1 個以上接続されることが可能である。なお、一例として、X と Y との間に別の回路を挟んでいても、X から出力された信号が Y へ伝達される場合は、X と Y とは機能的に接続されているものとする。なお、X と Y とが機能的に接続されている場合は、X と Y とが直接的に接続されている場合と、X と Y とが電氣的に接続されている場合とを含むものとする。

40

【0028】

なお、X と Y とが電氣的に接続されている、と明示的に記載されている場合は、X と Y とが電氣的に接続されている場合（つまり、X と Y との間に別の素子または別の回路を挟んで接続されている場合）と、X と Y とが機能的に接続されている場合（つまり、X と Y との間に別の回路を挟んで機能的に接続されている場合）と、X と Y とが直接接続されている場合（つまり、X と Y との間に別の素子または別の回路を挟まずに接続されている場合）とが、本明細書等を開示されているものとする。つまり、電氣的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている

50

場合と同様な内容が、本明細書等の開示されているものとする。

【0029】

なお、例えば、トランジスタのソース（または第1の端子など）が、Z1を介して（または介さず）、Xと電氣的に接続され、トランジスタのドレイン（または第2の端子など）が、Z2を介して（または介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（または第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（または第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

【0030】

例えば、「XとYとトランジスタのソース（または第1の端子など）とドレイン（または第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（または第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（または第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（または第1の端子など）とドレイン（または第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（または第1の端子など）と、ドレイン（または第2の端子など）とを、区別して、技術的範囲を決定することができる。

【0031】

または、別の表現方法として、例えば、「トランジスタのソース（または第1の端子など）は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース（または第1の端子など）とトランジスタのドレイン（または第2の端子など）との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン（または第2の端子など）は、少なくとも第3の接続経路を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース（または第1の端子など）は、少なくとも第1の接続経路によって、Z1を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（または第2の端子など）は、少なくとも第3の接続経路によって、Z2を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（または第1の端子など）は、少なくとも第1の電氣的パスによって、Z1を介して、Xと電氣的に接続され、前記第1の電氣的パスは、第2の電氣的パスを有しておらず、前記第2の電氣的パスは、トランジスタのソース（または第1の端子など）からトランジスタのドレイン（または第2の端子など）への電氣的パスであり、トランジスタのドレイン（または第2の端子など）は、少なくとも第3の電氣的パスによって、Z2を介して、Yと電氣的に接続され、前記第3の電氣的パスは、第4の電氣的パスを有しておらず、前記第4の電氣的パスは、トランジスタのドレイン（または第2の端子など）からトランジスタのソース（または第1の端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（または第1の端子など）と、ドレイン（または第2の端子など）とを、区別して、技術的範囲を決定することができる。

10

20

30

40

50

【 0 0 3 2 】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z 1、Z 2 は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【 0 0 3 3 】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、および電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

10

【 0 0 3 4 】

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【 0 0 3 5 】

なお、一般的に、電位（電圧）は、相対的なものであり、基準の電位からの相対的な大きさによって大きさが決定される。したがって、「接地」「GND」「グラウンド」などと記載されている場合であっても、必ずしも、電位が0ボルトであるとは限らないものとする。例えば、回路で最も低い電位を基準として、「接地」や「GND」を定義する場合もある。または、回路で中間くらいの電位を基準として、「接地」や「GND」を定義する場合もある。その場合には、その電位を基準として、正の電位と負の電位が規定されることとなる。

20

【 0 0 3 6 】

（実施の形態1）

本実施の形態では、本発明の一態様である発振器について、図面を参照して説明する。

【 0 0 3 7 】

本発明の一態様は、発振中に電源電圧の供給を停止し、電源電圧の供給を再開したときに、電源電圧供給停止直前の周波数で速やかに発振することのできる電圧制御発振器の回路構成および動作方法である。

30

【 0 0 3 8 】

本発明の一態様を用いることによって、CPUなどにおいてアイドル時に一時的に、電圧制御発振器への電源電圧の供給を停止し、発振を停止した場合においても電源電圧の供給再開時に速やかに発振を開始することができる。つまり、特定の発振周波数の出力信号に同期して動作する回路を高速に起動することができる。

【 0 0 3 9 】

本発明の一態様では、電圧制御発振器が有する前段のインバータの出力端子と後段のインバータの入力端子との間にトランジスタを設け、当該トランジスタのオン抵抗によって出力信号の発振周波数を制御する。また、電源電圧の供給停止時には当該トランジスタをオフすることによってインバータの入力端子に電源電圧の供給停止直前に入力された信号を保持する。この動作により、電源電圧の供給再開時に電源電圧の供給停止前と同じ周波数の信号を速やかに出力することができる。

40

【 0 0 4 0 】

上記トランジスタには、チャネル形成領域に酸化物半導体を有するトランジスタを用いることができる。当該トランジスタはオフ電流が小さく、電源電圧の供給停止直前に入力された信号を保持するメモリを簡易に構成することができる。

【 0 0 4 1 】

チャネル形成領域に酸化物半導体を有するトランジスタは、シリコンを活性領域または活性層に用いたトランジスタよりも電気特性変動の温度依存性が小さいため、極めて広い温

50

度範囲で使用することができる。したがって、チャネル形成領域に酸化物半導体を有するトランジスタが設けられた発振器および半導体装置は、自動車、航空機、宇宙機などへの搭載にも適する。

【0042】

図1は、本発明の一態様の発振器が有する回路20の回路図である。回路20は、トランジスタ41、トランジスタ42と、トランジスタ43と、トランジスタ44と、容量素子C1と、を有する。ここで、トランジスタ41およびトランジスタ42は、インバータ40を構成する。

【0043】

図1に示す回路20において、トランジスタ41のゲートは、トランジスタ42のゲートと電氣的に接続される。トランジスタ41のソースまたはドレインの一方は、トランジスタ42のソースまたはドレインの一方と電氣的に接続される。トランジスタ41のソースまたはドレインの一方は、トランジスタ43のソースまたはドレインの一方と電氣的に接続される。トランジスタ43のゲートは、トランジスタ44のソースまたはドレインの一方と電氣的に接続される。トランジスタ43のゲートは、容量素子C1の一方の電極と電氣的に接続される。容量素子C1の他方の電極は、トランジスタ41のソースまたはドレインの他方と電氣的に接続される。

【0044】

なお、図1に示す構成ではトランジスタ41をpチャネル型、トランジスタ42をnチャネル型としたCMOS回路でインバータ40を構成した例を示しているが、本発明の一態様はこれに限定されず、インバータ40はNMOS型インバータまたはPMOS型インバータであってもよい。また、トランジスタ44がnチャネル型である場合の例を示しているが、pチャネル型トランジスタに置き換えてもよい。

【0045】

ここで、トランジスタ43のゲート、容量素子C1の一方の電極、トランジスタ44のソースまたはドレインの一方が接続される配線をノードFDとする。また、トランジスタ41のゲートおよびトランジスタ42のゲートが電氣的に接続される配線は、回路20の入力端子INとして機能する。また、トランジスタ43のソースまたはドレインの他方と電氣的に接続される配線は、回路20の出力端子OUTとして機能する。

【0046】

図1において、トランジスタ41のソースまたはドレインの他方は、配線71と電氣的に接続される。トランジスタ42のソースまたはドレインの他方は、配線72(GND)と電氣的に接続される。トランジスタ44のソースまたはドレインの他方は、配線73(WD)と電氣的に接続される。トランジスタ44のゲートは、配線61(W)と電氣的に接続される。

【0047】

配線71(VDD)および配線72(GND)は、電源線としての機能を有することができる。配線71(VDD)は高電位電源線として機能させることができ、例えば電源電圧VDDを供給する。配線72(GND)は低電位電源線として機能させることができ、例えば0Vまたは接地電位GNDを供給する。なお、電源電圧の供給を停止するとき、配線71(VDD)は、例えば0Vまたは接地電位GNDを供給する。

【0048】

配線61(W)は、トランジスタ44の導通を制御する信号線として機能させることができる。配線73(WD)は、ノードFDに所望の電位を供給するための信号線として機能させることができる。

【0049】

回路20は、リングオシレータの信号伝達回路として機能させることができる。図2(A)は、本発明の一態様の電圧制御発振器21の回路図であり、n段(nは奇数)の回路20を有するリングオシレータ22と、バッファ回路23を有する。前段の回路20の出力端子OUTは後段の回路20の入力端子INと電氣的に接続され、最終段の回路20の出

10

20

30

40

50

力端子OUTは1段目の回路20の入力端子INおよびバッファ回路23の入力端子と電氣的に接続される。

【0050】

回路20は入力信号に対して反転信号を出力する機能を有し、奇数段が接続されることでリングオシレータ22を構成し、特定の発振周波数の出力信号を出力することができる。バッファ回路23は、リングオシレータ22が出力する出力信号を外部へ出力する際に電流を増幅する機能を有する。なお、バッファ回路23を設けない構成とすることもできる。

【0051】

図2(B)に、本発明の一態様の電圧制御発振器21を用いることができるPLLの構成の一例を示す。PLLは位相比較器10、ループフィルタ15、電圧制御発振器21および分周器25を有する。位相比較器10は二つの入力信号の位相差を検出する機能を有し、 f_{in} （基本周波数）および f_{out}/N （比較周波数）の周波数を持つ信号の位相差を電圧信号として出力する。ループフィルタ15は、電圧制御発振器21に入力するための直流電圧信号DATAを生成する機能を有する。ループフィルタ15には、位相比較器10の出力信号に含まれる高周波数成分を取り除く必要があるため、ローパスフィルタなどが用いられる。電圧制御発振器21は、DATAに依存して特定の発振周波数を示す出力信号を出力する機能を有する。分周器25は電圧制御発振器21から出力された特定の発振周波数を示す出力信号を $1/N$ （ N は整数）倍に変化させた信号を生成する機能を有する。

【0052】

図1に示す回路20の動作、および当該回路20を適用した図2(A)に示す電圧制御発振器21の動作を説明する。まず、トランジスタ44を導通させ、配線73(WD)の電位に対応するアナログデータをノードFDに書き込む。その後、トランジスタ44を非導通として、ノードFDに当該アナログデータを保持する。

【0053】

トランジスタ43はノードFDに保持したアナログデータに応じて導通、非導通が制御される。トランジスタ43が導通する場合、回路20は入力信号に対して反転信号を出力する。すなわち、電圧制御発振器21は発振する。一方、トランジスタ43が非導通の場合、回路20の信号の伝達経路は遮断される。すなわち、電圧制御発振器21は発振しない。

【0054】

トランジスタ43のオン電流は、ノードFDに保持したアナログデータに応じて制御される。ノードFDに比較的高いアナログ電位が与えられているとき、トランジスタ43のオン抵抗は低い値をとる。すなわち、電圧制御発振器21の出力信号の発振周波数は大きくなる。一方、ノードFDに比較的低いアナログ電位が与えられているとき、トランジスタ43のオン抵抗は高い値をとる。すなわち、電圧制御発振器21の出力信号の発振周波数は小さくなる。つまり、電圧制御発振器21は、回路20のノードFDに保持させるアナログ電位に応じて発振周波数を制御することができる。

【0055】

トランジスタ43およびトランジスタ44にはオフ電流が非常に小さい、チャネル形成領域に酸化物半導体を有するトランジスタを用いることが好ましい。

【0056】

当該トランジスタを用いることで、トランジスタ44をオフ状態とした場合、ノードFDの電位は長時間保持される。また、トランジスタ43をオフ状態とした場合、回路20の出力端子OUTの電位（リングオシレータ22における後段の回路20の入力端子INの電位）は、長期間保持される。

【0057】

したがって、電圧制御発振器21が発振しているときにノードFDの電位を“L”レベルとして発振を停止させた場合、各回路20の入力端子INおよび出力端子OUTに発振を

10

20

30

40

50

停止させる直前の電圧が保持される。例えば、１段目の回路２０の出力端子ＯＵＴ（２段目の回路２０の入力端子ＩＮ）に”Ｈ”レベルの電位が保持され、２段目の回路２０の出力端子ＯＵＴ（３段目の回路２０の入力端子ＩＮ）に”Ｌ”レベルの電位が保持される。そのため、電圧制御発振器２１は、ノードＦＤの電位を”Ｌ”レベルとして発振を長時間停止させた場合でも、再びノードＦＤの電位を”Ｈ”レベルとすることで、各回路２０の入力端子ＩＮおよび出力端子ＯＵＴに保持された電圧に従って速やかに発振を開始することができる。

【００５８】

電圧制御発振器２１の発振を停止する場合には、配線７１（ＶＤＤ）から電源電圧ＶＤＤ（”Ｈ”レベル）の供給を停止することが有効である。具体的には、配線７１（ＶＤＤ）の電圧レベルを”Ｈ”レベルから”Ｌ”レベル（０ＶまたはＧＮＤ電位など）に変化させる。このとき、インバータ４０は機能しなくなるため、回路２０は信号を伝達できなくなる。すなわち、電圧制御発振器２１は発振を停止する。

10

【００５９】

また、配線７１（ＶＤＤ）の電圧レベルを”Ｈ”レベルから”Ｌ”レベルへと変化させることにより容量素子Ｃ１を介した容量結合が起こり、ノードＦＤの電位は”Ｌ”レベルへと低下する。すなわち、トランジスタ４３は非導通となる。つまり、電源電圧ＶＤＤの供給の停止とともにトランジスタ４３を非導通とすることができる。また、トランジスタ４３が非導通となると同時に、各回路２０の入力端子ＩＮおよび出力端子ＯＵＴに電圧制御発振器２１が発振を停止する直前の電圧が保持される。

20

【００６０】

配線７１（ＶＤＤ）に電源電圧ＶＤＤを再度供給したときには、配線７１（ＶＤＤ）の電圧レベルが”Ｌ”レベルから”Ｈ”レベルに変化するため、容量素子Ｃ１を介した容量結合が起こりノードＦＤの電位は”Ｈ”レベルに上昇する。したがって、トランジスタ４３は導通し、電圧制御発振器２１は発振を速やかに再開する。

【００６１】

なお、電圧制御発振器２１の発振を停止するには、配線７３（ＷＤ）を”Ｌ”レベルとし、トランジスタ４４を導通させてノードＦＤを”Ｌ”レベルとする動作を行ってもよい。この場合、再度電圧制御発振器２１を発振させる場合は、配線７１（ＶＤＤ）の電圧レベルは変化させず、配線７３（ＷＤ）を”Ｈ”レベルとし、トランジスタ４４を導通させてノードＦＤを”Ｈ”レベルとする動作を行えばよい。

30

【００６２】

図４（Ａ）は、図２（Ａ）に示す電圧制御発振器２１に図１に示す回路２０を用いた場合の駆動方法の一例を示すタイミングチャートである。ＶＤＤは配線７１（ＶＤＤ）の電位、ＷＤは配線７３（ＷＤ）の電位、Ｗは配線６１（Ｗ）の電位、ＦＤはノードＦＤの電位、ＩＮは特定の回路２０の入力端子ＩＮの電位、ＯＵＴは特定の回路２０の出力端子ＯＵＴの電位である。また、正論理を与える電圧をＶ１（”Ｈ”レベル）とし、負論理を与える電圧をＧＮＤ（”Ｌ”レベル）とする。

【００６３】

時刻Ｔ０にて、配線７１（ＶＤＤ）に”Ｈ”レベルの電位（電源電圧ＶＤＤ）、配線７３（ＷＤ）にアナログ電位Ｖ_aを供給する。なお、Ｖ_aはトランジスタ４３のしきい値電圧（Ｖ_{th}）以上の値とする。

40

【００６４】

時刻Ｔ１にて、配線６１（Ｗ）に”Ｈ”レベルの電位を供給することで、トランジスタ４４が導通し、ノードＦＤの電位がＶ_aとなる。これに伴ってトランジスタ４３が導通するため、電圧制御発振器２１は発振を開始する。ただし、初めて動作させる場合においては、回路２０の入力端子ＩＮの電位が定まっていないため、発振初期に動作が安定せず不規則な信号を出力する。

【００６５】

時刻Ｔ２にて配線６１（Ｗ）に”Ｌ”レベルの電位を供給することで、トランジスタ４４

50

は非導通となり、ノードFDにアナログ電位Vaが保持される。その後、配線73(WD)には”L”レベルの電位が供給される。

【0066】

時刻T3にて、配線71(VDD)に”L”レベルの電位を供給すると、インバータ40が非動作となるとともに、容量素子C1を介した容量結合によりノードFDの電位が低下し、”L”レベルとなる。したがって、トランジスタ43は非導通となる。トランジスタ43が非導通となることで、各回路20の入力端子INおよび出力端子OUTの電位は保持される。このとき、特定の回路20において、入力端子INには”L”レベルの電位が、出力端子OUTには”H”レベルの電位が保持されたものとする。

【0067】

時刻T4にて、配線71(VDD)に”H”レベルの電位を供給すると、インバータ40が動作状態となるとともに、容量素子C1を介した容量結合によりノードFDの電位が昇圧され、Vaとなる。したがって、トランジスタ43は導通する。トランジスタ43が導通することで、各回路20は保持されている入力信号に対して出力信号を出力する。すなわち、電圧制御発振器21は、配線71(VDD)に電源電圧VDDが再度供給されると速やかに発振することができる。

【0068】

回路20は、図3(A)に示す構成であってもよい。図3(A)に示す回路20は、トランジスタ41、トランジスタ42と、トランジスタ43と、トランジスタ44と、トランジスタ45と、容量素子C1と、を有する。

【0069】

図3(A)に示す回路20において、トランジスタ41のゲートは、トランジスタ42のゲートと電氣的に接続される。トランジスタ41のソースまたはドレインの一方は、トランジスタ42のソースまたはドレインの一方と電氣的に接続される。トランジスタ41のソースまたはドレインの一方は、トランジスタ45のソースまたはドレインの一方と電氣的に接続される。トランジスタ45のゲートはトランジスタ41のソースまたはドレインの他方と電氣的に接続される。トランジスタ45のソースまたはドレインの他方は、トランジスタ43のソースまたはドレインの一方と電氣的に接続される。トランジスタ43のゲートは、トランジスタ44のソースまたはドレインの一方と電氣的に接続される。トランジスタ43のゲートは、容量素子C1の一方の電極と電氣的に接続される。容量素子C1の他方の電極は、トランジスタ42のソースまたはドレインの他方と電氣的に接続される。

【0070】

図3(A)に示す回路20は、トランジスタ45を有する点、トランジスタ45のゲートがトランジスタ41のソースまたはドレインの他方と電氣的に接続する点、および容量素子C1の他方の電極がトランジスタ42のソースまたはドレインの他方と電氣的に接続する点が図1に示す回路20と異なる。なお、図3(B)に示すように、トランジスタ43のソースまたはドレインの一方がトランジスタ41のソースまたはドレインの一方と電氣的に接続され、トランジスタ43のソースまたはドレインの他方とトランジスタ45のソースまたはドレインの一方が電氣的に接続される構成であってもよい。

【0071】

トランジスタ45にはオフ電流が非常に小さい、チャネル形成領域に酸化物半導体を有するトランジスタを用いることが好ましい。当該トランジスタを用いることで、トランジスタ45をオフ状態とした場合、回路20の出力端子OUTの電位(リングオシレータ22における後段の回路20の入力端子INの電位)は、長期間保持される。

【0072】

図3(A)、(B)に示す回路20では、インバータ40の出力側と回路20の出力端子OUTとの間にトランジスタ45が設けられ、トランジスタ45のゲートが配線71(VDD)と電氣的に接続されている。したがって、配線71(VDD)に電源電圧VDDを供給するとインバータ40が動作状態となり、かつトランジスタ45が導通し、回路20

10

20

30

40

50

は入力信号に対して反転信号を出力する。すなわち、電圧制御発振器 2 1 は発振する。また、電源電圧 V D D の供給を停止するとインバータ 4 0 が非動作状態となり、かつトランジスタ 4 5 が非導通となるため、回路 2 0 の信号の伝達経路は遮断される。すなわち、電圧制御発振器 2 1 は発振しない。

【 0 0 7 3 】

電圧制御発振器 2 1 が発振しているときに電源電圧 V D D の供給を停止すると、配線 7 1 (V D D) の電圧レベルが " H " レベルから " L " レベルに変化する。したがって、トランジスタ 4 5 が非導通となり、各回路 2 0 の入力端子 I N および出力端子 O U T に電圧制御発振器 2 1 が発振を停止する直前の電圧が保持される。

【 0 0 7 4 】

配線 7 1 (V D D) に電源電圧 V D D を再度供給したときには、配線 7 1 (V D D) の電圧レベルが " L " レベルから " H " レベルに変化するため、トランジスタ 4 5 が導通し、電圧制御発振器 2 1 は発振を速やかに再開する。

【 0 0 7 5 】

図 4 (B) は図 2 (A) に示す電圧制御発振器 2 1 に図 3 (A) または図 3 (B) に示す回路 2 0 を用いた場合の駆動方法の一例を示すタイミングチャートである。

【 0 0 7 6 】

時刻 T 0 にて、配線 7 3 (W D) にアナログ電位 V a を供給する。なお、V a はトランジスタ 4 3 のしきい値電圧 (V_{th}) 以上の値とする。

【 0 0 7 7 】

時刻 T 1 にて、配線 6 1 (W) に " H " レベルの電位を供給することで、トランジスタ 4 4 が導通し、ノード F D の電位が V a となる。

【 0 0 7 8 】

時刻 T 2 にて、配線 6 1 (W) に " L " レベルの電位を供給することで、トランジスタ 4 4 は非導通となり、ノード F D にアナログ電位 V a が保持される。その後、配線 7 3 (W D) には " L " レベルの電位が供給される。

【 0 0 7 9 】

時刻 T 3 にて、配線 7 1 (V D D) に " H " レベルの電位 (電源電圧 V D D) を供給すると、トランジスタ 4 5 が導通するため、電圧制御発振器 2 1 は発振を開始する。ただし、初めて動作させる場合においては、回路 2 0 の入力端子 I N の電位が定まっていないため、発振初期に動作が安定せず不規則な信号を出力する。

【 0 0 8 0 】

時刻 T 4 にて、配線 7 1 (V D D) に " L " レベルの電位を供給すると、トランジスタ 4 5 は非導通となる。トランジスタ 4 5 が非導通となることで、各回路 2 0 の入力端子 I N および出力端子 O U T の電位は保持される。

【 0 0 8 1 】

時刻 T 5 にて、配線 7 1 (V D D) に " H " レベルの電位を供給すると、トランジスタ 4 5 は導通する。トランジスタ 4 5 が導通することで、各回路 2 0 は保持されている入力信号に対して出力信号を出力する。すなわち、電圧制御発振器 2 1 は、配線 7 1 (V D D) に電源電圧 V D D が再度供給されると速やかに発振することができる。

【 0 0 8 2 】

上述した回路 2 0 (図 1、図 3 (A)、(B)) は、ノード F D の電位を書き換えることによって異なる発振周波数の出力信号を出力することのできる構成であったが、マルチコンテキスト機能を備えた回路を電圧制御発振器 2 1 の信号伝達回路に用いてもよい。

【 0 0 8 3 】

マルチコンテキスト機能を有する信号伝達回路を用いることで、発振周波数の切り替えが容易になる。ここで、コンテキストとは、電圧制御発振器の発振を制御する回路構成を意味し、選択されたコンテキストに保持されたアナログ電位に従って、電圧制御発振器 2 1 は特定の発振周波数で発振する。

【 0 0 8 4 】

10

20

30

40

50

図 5 (A) は、2 つのコンテキスト機能を備えた回路 2 4 の回路図である。回路 2 4 は、トランジスタ 4 1、トランジスタ 4 2 と、トランジスタ 4 3 a と、トランジスタ 4 3 b と、トランジスタ 4 4 a と、トランジスタ 4 4 b と、トランジスタ 4 6 a と、トランジスタ 4 6 b と、容量素子 C 1 と、容量素子 C 2 と、を有する。ここで、トランジスタ 4 1 およびトランジスタ 4 2 は、インバータ 4 0 を構成する。また、トランジスタ 4 3 a、トランジスタ 4 4 a、トランジスタ 4 6 a および容量素子 C 1 は、第 1 のコンテキストを構成する。また、トランジスタ 4 3 b、トランジスタ 4 4 b、トランジスタ 4 6 b および容量素子 C 2 は、第 2 のコンテキストを構成する。

【 0 0 8 5 】

図 5 (A) に示す回路 2 4 において、トランジスタ 4 1 のゲートは、トランジスタ 4 2 のゲートと電氣的に接続される。トランジスタ 4 1 のソースまたはドレインの一方は、トランジスタ 4 2 のソースまたはドレインの一方と電氣的に接続される。トランジスタ 4 1 のソースまたはドレインの一方は、トランジスタ 4 3 a のソースまたはドレインの一方と電氣的に接続される。トランジスタ 4 3 a のゲートは、トランジスタ 4 4 a のソースまたはドレインの一方と電氣的に接続される。トランジスタ 4 3 a のソースまたはドレインの他方はトランジスタ 4 6 a のソースまたはドレインの一方と電氣的に接続される。トランジスタ 4 3 a のゲートは、容量素子 C 1 の一方の電極と電氣的に接続される。容量素子 C 1 の他方の電極は、トランジスタ 4 1 のソースまたはドレインの他方と電氣的に接続される。トランジスタ 4 1 のソースまたはドレインの一方は、トランジスタ 4 3 b のソースまたはドレインの一方と電氣的に接続される。トランジスタ 4 3 b のゲートは、トランジスタ 4 4 b のソースまたはドレインの一方と電氣的に接続される。トランジスタ 4 3 b のソースまたはドレインの他方はトランジスタ 4 6 b のソースまたはドレインの一方と電氣的に接続される。トランジスタ 4 3 b のゲートは、容量素子 C 2 の一方の電極と電氣的に接続される。容量素子 C 2 の他方の電極は、トランジスタ 4 1 のソースまたはドレインの他方と電氣的に接続される。トランジスタ 4 6 a のソースまたはドレインの他方は、トランジスタ 4 6 b のソースまたはドレインの他方と電氣的に接続される。

【 0 0 8 6 】

なお、図 5 (B) に示すように、トランジスタ 4 6 a をインバータ 4 0 の出力側とトランジスタ 4 3 a との間に設け、トランジスタ 4 6 b をインバータ 4 0 の出力側とトランジスタ 4 3 b との間に設けてもよい。この場合、トランジスタ 4 3 a のソースまたはドレインの他方とトランジスタ 4 3 b のソースまたはドレインの他方は電氣的に接続される。

【 0 0 8 7 】

ここで、トランジスタ 4 3 a のゲート、容量素子 C 1 の一方の電極、トランジスタ 4 4 a のソースまたはドレインの一方が接続される配線をノード F D 1 とする。トランジスタ 4 3 b のゲート、容量素子 C 2 の一方の電極、トランジスタ 4 4 b のソースまたはドレインの一方が接続される配線をノード F D 2 とする。また、トランジスタ 4 1 のゲートおよびトランジスタ 4 2 のゲートが電氣的に接続される配線は、回路 2 4 の入力端子 I N として機能する。また、図 5 (A) において、トランジスタ 4 6 a のソースまたはドレインの他方およびトランジスタ 4 6 b のソースまたはドレインの他方と電氣的に接続される配線は、回路 2 4 の出力端子 O U T として機能する。また、図 5 (B) において、トランジスタ 4 3 a のソースまたはドレインの他方およびトランジスタ 4 3 b のソースまたはドレインの他方と電氣的に接続される配線は、回路 2 4 の出力端子 O U T として機能する。

【 0 0 8 8 】

図 5 (A)、(B) において、トランジスタ 4 1 のソースまたはドレインの他方は、配線 7 1 (V D D) と電氣的に接続される。トランジスタ 4 2 のソースまたはドレインの他方は、配線 7 2 (G N D) と電氣的に接続される。トランジスタ 4 4 a のソースまたはドレインの他方は、配線 7 3 (W D) と電氣的に接続される。トランジスタ 4 4 a のゲートは、配線 6 2 (W 1) と電氣的に接続される。トランジスタ 4 6 a のゲートは、配線 6 4 (S E 1) と電氣的に接続される。トランジスタ 4 4 b のソースまたはドレインの他方は、配線 7 3 (W D) と電氣的に接続される。トランジスタ 4 4 b のゲートは、配線 6 3 (W

２）と電氣的に接続される。トランジスタ４６ｂのゲートは、配線６５（ＳＥ２）と電氣的に接続される。

【００８９】

配線６２（Ｗ１）は、トランジスタ４４ａの導通を制御する信号線として機能させることができる。配線６３（Ｗ２）は、トランジスタ４４ｂの導通を制御する信号線として機能させることができる。配線６４（ＳＥ１）は、トランジスタ４６ａの導通を制御する信号線として機能させることができる。配線６５（ＳＥ２）は、トランジスタ４６ｂの導通を制御する信号線として機能させることができる。配線７３（ＷＤ）は、ノードＦＤ１またはノードＦＤ２に所望の電位を供給するための信号配線として機能させることができる。

【００９０】

図７は、回路２４を適用することのできる電圧制御発振器２１であり、ｎ段（ｎは奇数）の回路２４を有するリングオシレータ２６と、バッファ回路２７を有する。前段の回路２４の出力端子ＯＵＴは後段の回路２４の入力端子ＩＮと電氣的に接続され、最終段の回路２４の出力端子ＯＵＴは１段目の回路２４の入力端子ＩＮおよびバッファ回路２７の入力端子と電氣的に接続される。なお、バッファ回路２７を設けない構成とすることもできる。

【００９１】

図５（Ａ）、（Ｂ）に示す回路２４の動作、および当該回路２４を適用した図７に示す電圧制御発振器２１の動作を説明する。まず、トランジスタ４４ａを導通させ、配線７３（ＷＤ）の電位ＶｂをノードＦＤ１に書き込む。その後、トランジスタ４４ａを非導通として、ノードＦＤ１にアナログ電位Ｖｂを保持する。また、配線７３（ＷＤ）の電位をＶｃに変化させた後、トランジスタ４４ｂを導通させ、配線７３（ＷＤ）の電位ＶｃをノードＦＤ２に書き込む。その後、トランジスタ４４ｂを非導通として、ノードＦＤ２にアナログ電位Ｖｃを保持する。

【００９２】

トランジスタ４３ａは、ノードＦＤ１に保持したアナログデータに応じて導通、非導通が制御される。また、トランジスタ４３ｂは、ノードＦＤ２に保持したアナログデータに応じて導通、非導通が制御される。

【００９３】

トランジスタ４３ａのオン電流は、ノードＦＤ１に保持したアナログデータに応じて制御される。また、トランジスタ４３ｂのオン電流は、ノードＦＤ２に保持したアナログデータに応じて制御される。第１のコンテキストにおいて、ノードＦＤ１に比較的高いアナログ電位が与えられているとき、トランジスタ４３ａのオン抵抗は低い値をとる。すなわち、電圧制御発振器２１の出力信号の発振周波数は大きくなる。一方、ノードＦＤ１に比較的低いアナログ電位が与えられているとき、トランジスタ４３ａのオン抵抗は高い値をとる。すなわち、電圧制御発振器２１の出力信号の発振周波数は小さくなる。第２のコンテキストも同様にノードＦＤ２の電位に応じて、電圧制御発振器２１の出力信号の発振周波数が変化する。

【００９４】

第１のコンテキストにおいて、トランジスタ４６ａは配線６４（ＳＥ１）から入力される信号により、導通、非導通が制御される。配線６４（ＳＥ１）の電位が“Ｈ”レベルのとき、トランジスタ４６ａは導通する。したがって、トランジスタ４３ａがノードＦＤ１の電位Ｖｂに応じたオン状態であって、かつトランジスタ４６ａが導通する場合、回路２４は入力信号に対して反転信号を出力する。すなわち、電圧制御発振器２１は、第１の発振周波数で発振する。一方、トランジスタ４６ａが非導通の場合、回路２４の信号の伝達経路は遮断される。すなわち、電圧制御発振器２１は発振しない。

【００９５】

また、第２のコンテキストにおいて、トランジスタ４６ｂは配線６５（ＳＥ２）から入力される信号により、導通、非導通が制御される。配線６５（ＳＥ２）の電位が“Ｈ”レベルのとき、トランジスタ４６ｂは導通する。したがって、トランジスタ４３ｂがノードＦ

10

20

30

40

50

D 2 の電位 V_c に応じたオン状態であって、かつトランジスタ 4 6 b が導通する場合、回路 2 4 は入力信号に対して反転信号を出力する。すなわち、電圧制御発振器 2 1 は、第 2 の発振周波数で発振する。一方、トランジスタ 4 6 b が非導通の場合、回路 2 4 の信号の伝達経路は遮断される。すなわち、電圧制御発振器 2 1 は発振しない。

【 0 0 9 6 】

つまり、第 1 のコンテキストまたは第 2 のコンテキストのいずれか一方を選択することで、電圧制御発振器 2 1 は周波数の異なる第 1 の発振周波数または第 2 の発振周波数で発振することができる。第 1 のコンテキストを選択するには、配線 6 4 (S E 1) の電位を " H " レベル、配線 6 5 (S E 2) の電位を " L " レベルとすればよい。また、第 2 のコンテキストを選択するには、配線 6 4 (S E 1) の電位を " L " レベル、配線 6 5 (S E 2) の電位を " H " レベルとすればよい。

10

【 0 0 9 7 】

トランジスタ 4 3 a、トランジスタ 4 3 b、トランジスタ 4 6 a およびトランジスタ 4 6 b にはオフ電流が非常に小さい、チャネル形成領域に酸化物半導体を有するトランジスタを用いることが好ましい。当該トランジスタを用いることで、トランジスタ 4 6 a、トランジスタ 4 6 b をオフ状態とした場合、回路 2 4 の出力端子 O U T の電位 (リングオシレータ 2 6 における後段の回路 2 4 の入力端子 I N の電位) は、長期間保持される。

【 0 0 9 8 】

したがって、第 1 のコンテキストを選択した場合、電圧制御発振器 2 1 が第 1 の発振周波数で発振しているときにトランジスタ 4 6 a を非導通として電圧制御発振器 2 1 の発振を停止させると、各回路 2 4 の入力端子 I N および出力端子 O U T に電圧制御発振器 2 1 が発振を停止する直前の電圧が保持される。そのため、電圧制御発振器 2 1 は、トランジスタ 4 6 a を非導通として発振を長時間停止させた場合でも、再びトランジスタ 4 6 a を導通することで、各回路 2 4 の入力端子 I N および出力端子 O U T に保持された電圧に従って速やかに第 1 の発振周波数で発振を開始することができる。同様に第 2 のコンテキストを選択した場合も、第 2 の発振周波数で発振しているときに、電圧制御発振器 2 1 の発振を長時間停止させた場合であっても、速やかに第 2 の発振周波数で発振を開始することができる。

20

【 0 0 9 9 】

電圧制御発振器 2 1 の発振を停止する場合には、配線 7 1 (V D D) からの電源電圧 V D D (" H " レベル) の供給を停止してもよい。具体的には、配線 7 1 (V D D) の電圧レベルを " H " レベルから " L " レベル (0 V または G N D 電位など) に変化させる。このとき、インバータ 4 0 は機能しなくなるため、回路 2 4 は信号を伝達できなくなる。すなわち、電圧制御発振器 2 1 は発振を停止する。

30

【 0 1 0 0 】

また、第 1 のコンテキストを選択した場合において、配線 7 1 (V D D) の電圧レベルを " H " レベルから " L " レベルへと変化させることにより容量素子 C 1 を介した容量結合が起こり、ノード F D 1 の電位は " L " レベルへと低下する。すなわち、トランジスタ 4 3 a は非導通となる。つまり、電源電圧 V D D の供給の停止とともにトランジスタ 4 3 a を非導通とすることができる。また、トランジスタ 4 3 a が非導通となると同時に各回路 2 4 の入力端子 I N および出力端子 O U T に、第 1 の発振周波数で発振している電圧制御発振器 2 1 が発振を停止する直前の電圧が保持される。

40

【 0 1 0 1 】

配線 7 1 (V D D) に電源電圧 V D D を再度供給したときには、配線 7 1 (V D D) の電圧レベルが " L " レベルから " H " レベルに変化するため、容量素子 C 1 を介した容量結合が起こりノード F D 1 の電位は " H " レベルに上昇する。したがって、トランジスタ 4 3 a は導通し、電圧制御発振器 2 1 は第 1 の発振周波数で発振を速やかに再開する。同様に第 2 のコンテキストを選択した場合も、各回路 2 4 の入力端子 I N および出力端子 O U T に第 2 の発振周波数で発振している電圧制御発振器 2 1 が発振を停止する直前の電圧を保持することができ、電源電圧 V D D を再度供給したときに第 2 の発振周波数で発振を速

50

やかに再開することができる。

【 0 1 0 2 】

図 8 (A) は、図 7 に示す電圧制御発振器 2 1 に図 5 (A) または図 5 (B) に示す回路 2 4 を用いた場合の駆動方法の一例を示すタイミングチャートである。V D D は配線 7 1 (V D D) の電位、W D は配線 7 3 (W D) の電位、W 1 は配線 6 2 (W 1) の電位、W 2 は配線 6 3 (W 2) の電位、F D 1 はノード F D 1 の電位、F D 2 はノード F D 2 の電位、S E 1 は配線 6 4 (S E 1) の電位、S E 2 は配線 6 5 (S E 2) の電位、I N は特定の回路 2 4 の入力端子 I N の電位、O U T は特定の回路 2 4 の出力端子 O U T の電位である。また、正論理を与える電圧を V 1 (" H " レベル) とし、負論理を与える電圧を G N D (" L " レベル) とする。

10

【 0 1 0 3 】

時刻 T 0 にて、配線 7 1 (V D D) に " H " レベルの電位 (電源電圧 V D D)、配線 7 3 (W D) にアナログ電位 V b を供給する。なお、V b はトランジスタ 4 3 a およびトランジスタ 4 3 b のしきい値電圧 (V_{th}) 以上の値とする。

【 0 1 0 4 】

時刻 T 1 にて、配線 6 2 (W 1) に " H " レベルの電位を供給することで、トランジスタ 4 4 a が導通し、ノード F D 1 の電位が V b となる。

【 0 1 0 5 】

時刻 T 2 にて、配線 6 2 (W 1) に " L " レベルの電位を供給することで、トランジスタ 4 4 a は非導通となり、ノード F D 1 にアナログ電位 V b が保持される。その後、配線 7 3 (W D) にはアナログ電位 V c が供給される。ここでは、V c はトランジスタ 4 3 a およびトランジスタ 4 3 b のしきい値電圧 (V_{th}) 以上であって V b より小さい値とする。

20

【 0 1 0 6 】

時刻 T 3 にて、配線 6 3 (W 2) に " H " レベルの電位を供給することで、トランジスタ 4 4 b が導通し、ノード F D 2 の電位が V c となる。

【 0 1 0 7 】

時刻 T 4 にて、配線 6 3 (W 2) に " L " レベルの電位を供給することで、トランジスタ 4 4 b は非導通となり、ノード F D 2 にアナログ電位 V c が保持される。その後、配線 7 3 (W D) には " L " レベルの電位が供給される。

30

【 0 1 0 8 】

時刻 T 5 にて、配線 6 4 (S E 1) に " H " レベルの電位を供給するとトランジスタ 4 6 a は導通し、回路 2 4 は入力信号に対して出力信号を出力する。すなわち、電圧制御発振器 2 1 が第 1 の発振周波数で発振し始める。ただし、初めて動作させる場合においては、回路 2 4 の入力端子 I N の電位が定まっていなかったため、発振初期に動作が安定せず不規則な信号を出力する。このとき、配線 6 4 (S E 1) に " H " レベルの電位が供給され、配線 6 5 (S E 2) に " L " レベルの電位が供給されることで、第 1 のコンテキスト回路が選択された状態となる。

【 0 1 0 9 】

時刻 T 6 にて、配線 7 1 (V D D) に " L " レベルの電位が供給されると、インバータ 4 0 が非動作となり、第 1 の発振周波数で発振している電圧制御発振器 2 1 の発振が停止するとともに、容量素子 C 1 を介した容量結合によりノード F D 1 の電位が低下し、" L " レベルとなる。したがって、トランジスタ 4 3 a は非導通となる。トランジスタ 4 3 a が非導通となることで、各回路 2 4 の入力端子 I N および出力端子 O U T の電位は保持される。

40

【 0 1 1 0 】

時刻 T 7 にて、配線 7 1 (V D D) に " H " レベルの電位が供給されると、容量素子 C 1 を介した容量結合によりノード F D 1 の電位が昇圧され、V b となる。したがって、トランジスタ 4 3 a は導通する。トランジスタ 4 3 a が導通することで、各回路 2 4 は保持されている入力信号に対して出力信号を出力する。すなわち、電圧制御発振器 2 1 は配線 7

50

1 (VDD) に電源電圧 VDD が再度供給されると、第 1 の発振周波数で速やかに発振することができる。

【0111】

時刻 T8 にて、配線 64 (SE1) に "L" レベルの電位を供給し、配線 65 (SE2) に "H" レベルの電位を供給すると、トランジスタ 46a は非導通となり、トランジスタ 46b は導通状態となる。すなわち、第 2 のコンテキスト回路が選択された状態となる。すなわち、電圧制御発振器 21 は、第 2 の発振周波数で発振する。

【0112】

このとき、ノード FD2 に保持されている電位 Vc は、ノード FD1 に保持されている電位 Vb より小さいため、トランジスタ 43b のオン抵抗はトランジスタ 43a のオン抵抗よりも大きくなる。したがって、第 2 の発振周波数は、第 1 の発振周波数よりも小さくなる。

【0113】

また、図 7 に示す電圧制御発振器 21 の信号伝達回路に用いることのできるマルチコンテキスト機能を備えた回路は、図 6 (A)、(B) に示す回路 24 であってもよい。

【0114】

図 6 (A) は、2 つのコンテキスト機能を備えた回路 24 の回路図である。回路 24 は、トランジスタ 41、トランジスタ 42 と、トランジスタ 43a と、トランジスタ 43b と、トランジスタ 44a と、トランジスタ 44b と、トランジスタ 46a と、トランジスタ 46b と、トランジスタ 47 と、容量素子 C1 と、容量素子 C2 と、を有する。ここで、トランジスタ 41 およびトランジスタ 42 は、インバータ 40 を構成する。また、トランジスタ 43a、トランジスタ 44a、トランジスタ 46a および容量素子 C1 は、第 1 のコンテキストを構成する。また、トランジスタ 43b、トランジスタ 44b、トランジスタ 46b および容量素子 C2 は、第 2 のコンテキストを構成する。

【0115】

図 6 (A) に示す回路 24 は、トランジスタ 47 を有する点、トランジスタ 47 のゲートがトランジスタ 41 のソースまたはドレインの一方と電気的に接続する点、および容量素子 C1 の他方の電極および容量素子 C2 の他方の電極がトランジスタ 42 のソースまたはドレインの他方と電気的に接続する点が図 5 (A) に示す回路 24 と異なる。

【0116】

なお、図 6 (A) では、インバータ 40 と、第 1 のコンテキストおよび第 2 のコンテキストとの間にトランジスタ 47 を設ける構成であるが、図 6 (B) に示すように第 1 のコンテキストおよび第 2 のコンテキストと、出力端子 OUT との間にトランジスタ 47 を設ける構成であってもよい。

【0117】

トランジスタ 47 にはオフ電流が非常に小さい、チャネル形成領域に酸化物半導体を有するトランジスタを用いることが好ましい。当該トランジスタを用いることで、トランジスタ 47 をオフ状態とした場合、回路 24 の出力端子 OUT の電位 (リングオシレータ 26 における後段の回路 24 の入力端子 IN の電位) は、長期間保持される。

【0118】

図 6 (A)、(B) に示す回路 24 では、インバータ 40 の出力側と回路 24 の出力端子 OUT との間にトランジスタ 47 が設けられ、トランジスタ 47 のゲートが配線 71 (VDD) と電気的に接続されている。したがって、配線 71 (VDD) に電源電圧 VDD を供給するとインバータ 40 が動作状態となり、かつトランジスタ 47 が導通する。そして、トランジスタ 46a またはトランジスタ 46b のいずれか一方が導通状態であれば、回路 24 は入力信号に対して反転信号を出力する。すなわち、電圧制御発振器 21 は発振する。また、電源電圧 VDD の供給を停止するとインバータ 40 が非動作状態となり、かつトランジスタ 47 が非導通となるため、回路 24 の信号の伝達経路は遮断される。すなわち、電圧制御発振器 21 は発振しない。

【0119】

電圧制御発振器 2 1 が発振しているときに電源電圧 V_{DD} の供給を停止すると、配線 7 1 (V_{DD}) の電圧レベルが "H" レベルから "L" レベルに変化する。したがって、トランジスタ 4 7 が非導通となり、各回路 2 4 の入力端子 I_N および出力端子 $O_U T$ に電圧制御発振器 2 1 が発振を停止する直前の電圧が保持される。

【0120】

配線 7 1 (V_{DD}) に電源電圧 V_{DD} を再度供給したときには、配線 7 1 (V_{DD}) の電圧レベルが "L" レベルから "H" レベルに変化するため、トランジスタ 4 7 が導通し、電圧制御発振器 2 1 は発振を速やかに再開する。

【0121】

図 8 (B) は図 7 に示す電圧制御発振器 2 1 に図 6 (A) または図 6 (B) に示す回路 2 4 を用いた場合の駆動方法の一例を示すタイミングチャートである。

10

【0122】

時刻 T_0 にて、配線 7 3 (W_D) にアナログ電位 V_b を供給する。なお、 V_b はトランジスタ 4 3 a およびトランジスタ 4 3 b のしきい値電圧 (V_{th}) 以上の値とする。

【0123】

時刻 T_1 にて、配線 6 2 (W_1) に "H" レベルの電位を供給することで、トランジスタ 4 4 a が導通し、ノード $F_D 1$ の電位が V_b となる。

【0124】

時刻 T_2 にて、配線 6 2 (W_1) に "L" レベルの電位を供給することで、トランジスタ 4 4 a は非導通となり、ノード $F_D 1$ にアナログ電位 V_b が保持される。その後、配線 7 3 (W_D) にはアナログ電位 V_c が供給される。ここでは、 V_c はトランジスタ 4 3 a およびトランジスタ 4 3 b のしきい値電圧 (V_{th}) 以上であって V_b より小さい値とする。

20

【0125】

時刻 T_3 にて、配線 6 3 (W_2) に "H" レベルの電位を供給することで、トランジスタ 4 4 b が導通し、ノード $F_D 2$ の電位が V_c となる。

【0126】

時刻 T_4 にて、配線 6 3 (W_2) に "L" レベルの電位を供給することで、トランジスタ 4 4 b は非導通となり、ノード $F_D 2$ にアナログ電位 V_c が保持される。その後、配線 7 3 (W_D) には "L" レベルの電位が供給される。

30

【0127】

時刻 T_5 にて、配線 7 1 (V_{DD}) に "H" レベルの電位 (電源電圧 V_{DD})、配線 6 4 (SE_1) に "H" レベルの電位を供給すると、トランジスタ 4 7 およびトランジスタ 4 6 a は導通し、回路 2 4 は入力信号に対して出力信号を出力する。すなわち、電圧制御発振器 2 1 が第 1 の発振周波数で発振し始める。ただし、初めて動作させる場合においては、回路 2 4 の入力端子 I_N の電位が定まっていなかったため、発振初期に動作が安定せず不規則な信号を出力する。このとき、配線 6 4 (SE_1) に "H" レベルの電位が供給され、配線 6 5 (SE_2) に "L" レベルの電位が供給されることで、第 1 のコンテキスト回路が選択された状態となる。

【0128】

40

時刻 T_6 にて、配線 7 1 (V_{DD}) に "L" レベルの電位が供給されると、インバータ 4 0 が非動作となり、第 1 の発振周波数で発振している電圧制御発振器 2 1 の発振が停止するとともに、トランジスタ 4 7 は非導通となる。トランジスタ 4 7 が非導通となることで、各回路 2 4 の入力端子 I_N および出力端子 $O_U T$ の電位は保持される。

【0129】

時刻 T_7 にて、配線 7 1 (V_{DD}) に "H" レベルの電位が供給されると、トランジスタ 4 7 は導通する。トランジスタ 4 7 が導通することで、各回路 2 4 は保持されている入力信号に対して出力信号を出力する。すなわち、電圧制御発振器 2 1 は、配線 7 1 (V_{DD}) に電源電圧 V_{DD} が再度供給されると、第 1 の発振周波数で速やかに発振することができる。

50

【 0 1 3 0 】

時刻 T 8 にて、配線 6 4 (S E 1) に " L " レベルの電位を供給し、配線 6 5 (S E 2) に " H " レベルの電位を供給すると、トランジスタ 4 6 a は非導通となり、トランジスタ 4 6 b は導通状態となる。すなわち、第 2 のコンテキスト回路が選択された状態となり、電圧制御発振器 2 1 は第 2 の発振周波数で発振する。

【 0 1 3 1 】

上述した図 1、図 3 (A)、(B)、図 5 (A)、(B)、図 6 (A)、(B) の構成、および動作方法を用いることで、電圧制御発振器 2 1 は一時的に電源電圧の供給を停止しても電源電圧の供給再開時に速やかに発振することができる。

【 0 1 3 2 】

また、回路 2 0 および回路 2 4 に用いるトランジスタは、バックゲートを設けた構成であってもよい。例えば、図 1 0 (A)、(B) は、図 1 に示す回路 2 0 のトランジスタ 4 3 およびトランジスタ 4 4 にバックゲートを設けた構成である。図 1 0 (A) は、当該バックゲートに定電位を印加する構成であり、しきい値電圧を制御することができる。図 1 0 (A) では、一例としてバックゲートが低電位を供給する配線 7 2 (G N D) と接続する例を示しているが、その他の配線に接続する構成であってもよい。また、図 1 0 (B) はフロントゲートと同じ電位がバックゲートに印加される構成であり、オン電流を増加させ、かつオフ電流を減少させることができる。また、所望のトランジスタが適切な電気特性を有するように、図 1 0 (A) および図 1 0 (B) の構成などを組み合わせた構成としてもよい。なお、バックゲートが設けられないトランジスタがあってもよい。また、トランジスタにバックゲートを設ける構成は、図 3 (A)、(B)、図 5 (A)、(B)、図 6 (A)、(B) の構成にも適用することができる。

【 0 1 3 3 】

本発明の一態様の発振器の具体的な構成例について、図面を参照して説明する。図 1 1 (A)、(B) は、図 1 に示す回路 2 0 におけるトランジスタ 4 1、トランジスタ 4 2、トランジスタ 4 3、トランジスタ 4 4 および容量素子 C 1 の具体的な接続形態の一例を示している。図 1 1 (A) はトランジスタのチャネル長方向を表す断面図であり、図 1 1 (B) はトランジスタのチャネル幅方向を表す断面図である。

【 0 1 3 4 】

トランジスタ 4 1 およびトランジスタ 4 2 は、高速動作と C M O S 回路での構成を両立させるため、シリコンを用いたトランジスタ (以下、S i トランジスタ) を用いて作製することが好ましい。例えば、基板 6 0 0 をシリコン基板とし、基板 6 0 0 にトランジスタ 4 1 およびトランジスタ 4 2 を形成することができる。また、トランジスタ 4 3 およびトランジスタ 4 4 は、オフ電流が低いなどの理由から酸化物半導体を用いたトランジスタ (以下、O S トランジスタ) を用いて作製することが好ましい。

【 0 1 3 5 】

基板 6 0 0 はバルクのシリコン基板に限らず、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体を材料とする基板を用いることもできる。

【 0 1 3 6 】

したがって、図 1 1 (A) に示すように、トランジスタ 4 1 およびトランジスタ 4 2 が設けられる層 1 1 0 0 と、トランジスタ 4 3 およびトランジスタ 4 4 が設けられる層 1 2 0 0 との積層構成とすることができる。当該構成とすることで、発振器の面積を小さくすることができる。

【 0 1 3 7 】

容量素子 C 1 は、例えば、トランジスタ 4 3 のゲートとトランジスタ 4 4 のソースまたはドレインの一方を接続する配線 7 5 を一方の電極、配線 7 1 (V D D) を他方の電極、絶縁層 8 4 を誘電体として、層 1 2 0 0 に設けることができる。絶縁層 8 4 には、例えば、酸化シリコン膜、酸化窒化シリコン膜などの無機絶縁膜を用いることができる。なお、容量素子 C 1 は、層 1 1 0 0 に設けてもよい。

10

20

30

40

50

【0138】

本実施の形態で説明する断面図において、配線、電極およびコンタクトプラグ（導電体 88）を個別の要素として図示しているが、それらが電氣的に接続している場合においては、同一の要素として設けられる場合もある。また、配線と電極が導電体 88 を介して接続される形態は一例であり、電極が配線と直接接続される場合もある。

【0139】

各要素上には保護膜、層間絶縁膜または平坦化膜としての機能を有する絶縁層 81 乃至絶縁層 83 等が設けられる。例えば、絶縁層 81 乃至絶縁層 83 等は、酸化シリコン膜、酸化窒化シリコン膜などの無機絶縁膜を用いることができる。または、アクリル樹脂、ポリイミド樹脂などの有機絶縁膜などを用いてもよい。絶縁層 81 乃至絶縁層 83 等の上面は、必要に応じて CMP（Chemical Mechanical Polishing）法等で平坦化処理を行ってもよい。

10

【0140】

なお、図面に示される配線等の一部が設けられない場合や、図面に示されない配線等やトランジスタ等が各層に含まれる場合もある。また、図面に示されない層が当該積層構造に含まれる場合もある。また、図面に示される層の一部が含まれない場合もある。

【0141】

図 11（A）において、トランジスタ 43 およびトランジスタ 44 はバックゲートを有する形態を例示しているがバックゲートを有さない形態であってもよい。または、一部のトランジスタ、例えばトランジスタ 43 のみにバックゲートを有するような形態であってもよい。当該バックゲートは、対向して設けられるトランジスタのフロントゲートと電氣的に接続する場合がある。または、当該バックゲートにフロントゲートとは異なる固定電位が供給される場合がある。なお、当該バックゲート有無に関する形態は、本実施の形態で説明する他の回路の構成にも適用することができる。

20

【0142】

ここで、図 11（A）、（B）において、Si トランジスタはフィン型の構成を例示しているが、図 12（A）に示すようにプレーナ型であってもよい。または、図 12（B）に示すように、シリコン薄膜の活性層 650 を有するトランジスタであってもよい。また、活性層 650 は、多結晶シリコンや SOI（Silicon on Insulator）の単結晶シリコンとすることができる。また、図 12（B）の構成において、基板 610 にはガラス基板などを用いることができる。

30

【0143】

図 11（A）、（B）に示すように、酸化物半導体を有するトランジスタ（OS トランジスタ）が形成される領域と、Si トランジスタが形成される領域との間には絶縁層 80 が設けられる。

【0144】

トランジスタ 41 およびトランジスタ 42 の活性領域近傍に設けられる絶縁層中の水素はシリコンのダングリングボンドを終端する。したがって、当該水素はトランジスタ 41 およびトランジスタ 42 の信頼性を向上させる効果がある。一方、トランジスタ 43 等の活性層である酸化物半導体層の近傍に設けられる絶縁層中の水素は、酸化物半導体層中にキャリアを生成する要因の一つとなる。そのため、当該水素はトランジスタ 43 等の信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体材料を用いたトランジスタを有する一方の層と、OS トランジスタを有する他方の層を積層する場合、これらの間に水素の拡散を防止する機能を有する絶縁層 80 を設けることが好ましい。絶縁層 80 により、一方の層に水素を閉じ込めることでトランジスタ 41 およびトランジスタ 42 の信頼性が向上することができる。また、一方の層から他方の層への水素の拡散が抑制されることでトランジスタ 41 等の信頼性も向上させることができる。

40

【0145】

絶縁層 80 としては、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化

50

窒化ハフニウム、イットリア安定化ジルコニア（ＹＳＺ）等を用いることができる。

【 0 1 4 6 】

また、本発明の一態様の発振器は、図 1 3 に示す構成とすることができる。図 1 3 に示す発振器は図 1 1 (A) に示す発振器の変形例であり、ＯＳトランジスタおよびＳｉトランジスタでＣＭＯＳインバータを構成する例を図示している。

【 0 1 4 7 】

ここで、層 1 1 0 0 に設けるＳｉトランジスタであるトランジスタ 4 1 は p - c h 型とし、層 1 2 0 0 に設けるＯＳトランジスタであるトランジスタ 4 2 は n - c h 型とする。p - c h 型トランジスタのみを基板 6 0 0 に設けることで、ウェル形成や n 型不純物層形成など工程を省くことができる。

10

【 0 1 4 8 】

図 1 3 に示す発振器において、トランジスタ 4 2 は、層 1 2 0 0 に形成するトランジスタ 4 3 およびトランジスタ 4 4 と同一の工程で作製することができる。したがって、発振器の製造工程を簡略化することができる。また、ＯＳトランジスタは極めてオフ電流が低いため、静的な消費電力が極めて少ないＣＭＯＳ回路を構成することができる。

【 0 1 4 9 】

なお、本実施の形態における発振器が有するトランジスタの構成は一例である。したがって、例えば、トランジスタ 4 1 およびトランジスタ 4 2 の両方または一方を活性層に酸化物半導体層を有するトランジスタで構成することもできる。また、トランジスタ 4 3 およびトランジスタ 4 4 の両方または一方を活性領域または活性層にシリコン等を有するトランジスタで構成することもできる。

20

【 0 1 5 0 】

なお、本実施の形態において、本発明の一態様について述べた。または、他の実施の形態において、本発明の一態様について述べる。ただし、本発明の一態様は、これらに限定されない。つまり、本実施の形態および他の実施の形態では、様々な発明の態様が記載されているため、本発明の一態様は、特定の態様に限定されない。例えば、本発明の一態様として、発振器に適用した場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様は、発振器に適用しなくてもよい。例えば、本発明の一態様は、別の機能を有する半導体装置に適用してもよい。例えば、本発明の一態様として、トランジスタのチャネル形成領域、ソースドレイン領域などは、酸化物半導体を有する場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソースドレイン領域などは、様々な半導体を有していてもよい。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソースドレイン領域などは、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、または、有機半導体などの少なくとも一つを有していてもよい。または例えば、場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソースドレイン領域などは、酸化物半導体を有していなくてもよい。

30

40

【 0 1 5 1 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【 0 1 5 2 】

(実施の形態 2)

本実施の形態では、本発明の一態様に用いることのできるＯＳトランジスタについて図面を用いて説明する。なお、本実施の形態における図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。

【 0 1 5 3 】

50

図 1 4 (A)、(B) は、本発明の一態様のトランジスタ 1 0 1 の上面図および断面図である。図 1 4 (A) は上面図であり、図 1 4 (A) に示す一点鎖線 B 1 - B 2 方向の断面が図 1 4 (B) に相当する。また、図 1 4 (A) に示す一点鎖線 B 3 - B 4 方向の断面が図 1 6 (A) に相当する。また、一点鎖線 B 1 - B 2 方向をチャネル長方向、一点鎖線 B 3 - B 4 方向をチャネル幅方向と呼称する。

【 0 1 5 4 】

トランジスタ 1 0 1 は、基板 1 1 5 と接する絶縁層 1 2 0 と、絶縁層 1 2 0 と接する酸化物半導体層 1 3 0 と、酸化物半導体層 1 3 0 と電氣的に接続する導電層 1 4 0 および導電層 1 5 0 と、酸化物半導体層 1 3 0、導電層 1 4 0 および導電層 1 5 0 と接する絶縁層 1 6 0 と、絶縁層 1 6 0 と接する導電層 1 7 0 と、導電層 1 4 0、導電層 1 5 0、絶縁層 1 6 0 および導電層 1 7 0 と接する絶縁層 1 7 5 と、絶縁層 1 7 5 と接する絶縁層 1 8 0 と、を有する。また、必要に応じて絶縁層 1 8 0 に平坦化膜としての機能を付加してもよい。

10

【 0 1 5 5 】

導電層 1 4 0 はソース電極層、導電層 1 5 0 はドレイン電極層、絶縁層 1 6 0 はゲート絶縁膜、導電層 1 7 0 はゲート電極層としてそれぞれ機能することができる。

【 0 1 5 6 】

図 1 4 (B) に示す領域 2 3 1 はソース領域、領域 2 3 2 はドレイン領域、領域 2 3 3 はチャネル形成領域として機能することができる。領域 2 3 1 および領域 2 3 2 は導電層 1 4 0 および導電層 1 5 0 とそれぞれ接しており、導電層 1 4 0 および導電層 1 5 0 として酸素と結合しやすい導電材料を用いれば領域 2 3 1 および領域 2 3 2 を低抵抗化することができる。

20

【 0 1 5 7 】

具体的には、酸化物半導体層 1 3 0 と導電層 1 4 0 および導電層 1 5 0 とが接することで酸化物半導体層 1 3 0 内に酸素欠損が生じ、当該酸素欠損と酸化物半導体層 1 3 0 内に残留または外部から拡散する水素との相互作用により、領域 2 3 1 および領域 2 3 2 は低抵抗の n 型となる。

【 0 1 5 8 】

なお、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場などには入れ替わることができる。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。また、「電極層」は、「配線」と言い換えることもできる。

30

【 0 1 5 9 】

導電層 1 7 0 は、導電層 1 7 1 および導電層 1 7 2 の二層で形成される例を図示しているが、一層または三層以上の積層であってもよい。当該構成は本実施の形態で説明する他のトランジスタにも適用できる。

【 0 1 6 0 】

導電層 1 4 0 および導電層 1 5 0 は単層で形成される例を図示しているが、二層以上の積層であってもよい。当該構成は本実施の形態で説明する他のトランジスタにも適用できる。

40

【 0 1 6 1 】

本発明の一態様のトランジスタは、図 1 4 (C)、(D) に示す構成であってもよい。図 1 4 (C) はトランジスタ 1 0 2 の上面図であり、図 1 4 (C) に示す一点鎖線 C 1 - C 2 方向の断面が図 1 4 (D) に相当する。また、図 1 4 (C) に示す一点鎖線 C 3 - C 4 方向の断面は、図 1 6 (B) に相当する。また、一点鎖線 C 1 - C 2 方向をチャネル長方向、一点鎖線 C 3 - C 4 方向をチャネル幅方向と呼称する。

【 0 1 6 2 】

トランジスタ 1 0 2 は、ゲート絶縁膜として作用する絶縁層 1 6 0 の端部とゲート電極層として作用する導電層 1 7 0 の端部とを一致させない点を除き、トランジスタ 1 0 1 と同

50

様の構成を有する。トランジスタ102の構造は、導電層140および導電層150が絶縁層160で広く覆われているため、導電層140および導電層150と導電層170との間の抵抗が高く、ゲートリーク電流の少ない特徴を有している。

【0163】

トランジスタ101およびトランジスタ102は、導電層170と導電層140および導電層150が重なる領域を有するトップゲート構造である。当該領域のチャネル長方向の幅は、寄生容量を小さくするために3nm以上300nm未満とすることが好ましい。当該構成では、酸化物半導体層130にオフセット領域が形成されないため、オン電流の高いトランジスタを形成しやすい。

【0164】

本発明の一態様のトランジスタは、図14(E)、(F)に示す構成であってもよい。図14(E)はトランジスタ103の上面図であり、図14(E)に示す一点鎖線D1-D2方向の断面が図14(F)に相当する。また、図14(E)に示す一点鎖線D3-D4方向の断面は、図16(A)に相当する。また、一点鎖線D1-D2方向をチャネル長方向、一点鎖線D3-D4方向をチャネル幅方向と呼称する。

【0165】

トランジスタ103は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130と、酸化物半導体層130と接する絶縁層160と、絶縁層160と接する導電層170と、酸化物半導体層130、絶縁層160および導電層170を覆う絶縁層175と、絶縁層175と接する絶縁層180と、絶縁層175および絶縁層180に設けられた開口部を通じて酸化物半導体層130と電氣的に接続する導電層140および導電層150を有する。また、必要に応じて絶縁層180、導電層140および導電層150に接する絶縁層(平坦化膜)などを有していてもよい。

【0166】

導電層140はソース電極層、導電層150はドレイン電極層、絶縁層160はゲート絶縁膜、導電層170はゲート電極層としてそれぞれ機能することができる。

【0167】

図14(F)に示す領域231はソース領域、領域232はドレイン領域、領域233はチャネル形成領域として機能することができる。領域231および領域232は絶縁層175と接しており、例えば絶縁層175として水素を含む絶縁材料を用いれば領域231および領域232を低抵抗化することができる。

【0168】

具体的には、絶縁層175を形成するまでの工程により領域231および領域232に生じる酸素欠損と、絶縁層175から領域231および領域232に拡散する水素との相互作用により、領域231および領域232は低抵抗のn型となる。なお、水素を含む絶縁材料としては、例えば窒化シリコンや窒化アルミニウムなどを用いることができる。

【0169】

本発明の一態様のトランジスタは、図15(A)、(B)に示す構成であってもよい。図15(A)はトランジスタ104の上面図であり、図15(A)に示す一点鎖線E1-E2方向の断面が図15(B)に相当する。また、図15(A)に示す一点鎖線E3-E4方向の断面は、図16(A)に相当する。また、一点鎖線E1-E2方向をチャネル長方向、一点鎖線E3-E4方向をチャネル幅方向と呼称する。

【0170】

トランジスタ104は、導電層140および導電層150が酸化物半導体層130の端部を覆うように接している点を除き、トランジスタ103と同様の構成を有する。

【0171】

図15(B)に示す領域331および領域334はソース領域、領域332および領域335はドレイン領域、領域333はチャネル形成領域として機能することができる。

【0172】

領域331および領域332は、トランジスタ101における領域231および領域23

10

20

30

40

50

2と同様に低抵抗化することができる。

【0173】

領域334および領域335は、トランジスタ103における領域231および領域232と同様に低抵抗化することができる。なお、チャンネル長方向における領域334および領域335の長さが100nm以下、好ましくは50nm以下の場合には、ゲート電界の寄与によりオン電流は大きく低下しない。したがって、領域334および領域335の低抵抗化を行わない場合もある。

【0174】

トランジスタ103およびトランジスタ104は、導電層170と導電層140および導電層150が重なる領域を有さないセルフアライン構造である。セルフアライン構造のトランジスタはゲート電極層とソース電極層およびドレイン電極層間の寄生容量が極めて小さいため、高速動作用途に適している。

10

【0175】

本発明の一態様のトランジスタは、図15(C)、(D)に示す構成であってもよい。図15(C)はトランジスタ105の上面図であり、図15(C)に示す一点鎖線F1-F2方向の断面が図15(D)に相当する。また、図15(C)に示す一点鎖線F3-F4方向の断面は、図16(A)に相当する。また、一点鎖線F1-F2方向をチャンネル長方向、一点鎖線F3-F4方向をチャンネル幅方向と呼称する。

【0176】

トランジスタ105は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130と、酸化物半導体層130と電氣的に接続する導電層141および導電層151と、酸化物半導体層130、導電層141、導電層151と接する絶縁層160と、絶縁層160と接する導電層170と、酸化物半導体層130、導電層141、導電層151、絶縁層160および導電層170と接する絶縁層175と、絶縁層175と接する絶縁層180と、絶縁層175および絶縁層180に設けられた開口部を通じて導電層141および導電層151とそれぞれ電氣的に接続する導電層142および導電層152を有する。また、必要に応じて絶縁層180、導電層142および導電層152に接する絶縁層などを有していてもよい。

20

【0177】

導電層141および導電層151は、酸化物半導体層130の上面と接し、側面には接しない構成となっている。

30

【0178】

トランジスタ105は、導電層141および導電層151を有する点、絶縁層175および絶縁層180に設けられた開口部を有する点、ならびに当該開口部を通じて導電層141および導電層151とそれぞれ電氣的に接続する導電層142および導電層152を有する点を除き、トランジスタ101と同様の構成を有する。導電層140(導電層141および導電層142)はソース電極層として作用させることができ、導電層150(導電層151および導電層152)はドレイン電極層として作用させることができる。

【0179】

本発明の一態様のトランジスタは、図15(E)、(F)に示す構成であってもよい。図15(E)はトランジスタ106の上面図であり、図15(E)に示す一点鎖線G1-G2方向の断面が図15(F)に相当する。また、図15(E)に示す一点鎖線G3-G4方向の断面は、図16(A)に相当する。また、一点鎖線G1-G2方向をチャンネル長方向、一点鎖線G3-G4方向をチャンネル幅方向と呼称する。

40

【0180】

トランジスタ106は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130と、酸化物半導体層130と電氣的に接続する導電層141および導電層151と、酸化物半導体層130と接する絶縁層160と、絶縁層160と接する導電層170と、絶縁層120、酸化物半導体層130、導電層141、導電層151、絶縁層160、導電層170と接する絶縁層175と、絶縁層175と接する絶縁層180と

50

、絶縁層 175 および絶縁層 180 に設けられた開口部を通じて導電層 141 および導電層 151 とそれぞれ電氣的に接続する導電層 142 および導電層 152 を有する。また、必要に応じて絶縁層 180、導電層 142 および導電層 152 に接する絶縁層（平坦化膜）などを有していてもよい。

【0181】

導電層 141 および導電層 151 は、酸化物半導体層 130 の上面と接し、側面には接しない構成となっている。

【0182】

トランジスタ 106 は、導電層 141 および導電層 151 を有する点を除き、トランジスタ 103 と同様の構成を有する。導電層 140（導電層 141 および導電層 142）はソース電極層として作用させることができ、導電層 150（導電層 151 および導電層 152）はドレイン電極層として作用させることができる。

【0183】

トランジスタ 105 およびトランジスタ 106 の構成では、導電層 140 および導電層 150 が絶縁層 120 と接しない構成であるため、絶縁層 120 中の酸素が導電層 140 および導電層 150 に奪われにくくなり、絶縁層 120 から酸化物半導体層 130 中への酸素の供給を容易とすることができる。

【0184】

トランジスタ 105 における領域 231 および領域 232、トランジスタ 104 およびトランジスタ 106 における領域 334 および領域 335 には、酸素欠損を形成し導電率を高めるための不純物を添加してもよい。酸化物半導体層に酸素欠損を形成する不純物としては、例えば、リン、砒素、アンチモン、ホウ素、アルミニウム、シリコン、窒素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、インジウム、フッ素、塩素、チタン、亜鉛、および炭素のいずれかから選択される一つ以上を用いることができる。当該不純物の添加方法としては、プラズマ処理法、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。

【0185】

不純物元素として、上記元素が酸化物半導体層に添加されると、酸化物半導体層中の金属元素および酸素の結合が切断され、酸素欠損が形成される。酸化物半導体層に含まれる酸素欠損と酸化物半導体層中に残存または後から添加される水素の相互作用により、酸化物半導体層の導電率を高くすることができる。

【0186】

不純物元素の添加により酸素欠損が形成された酸化物半導体に水素を添加すると、酸素欠損サイトに水素が入り伝導帯近傍にドナー準位が形成される。その結果、酸化物導電体を形成することができる。ここでは、導電体化された酸化物半導体を酸化物導電体という。なお、酸化物導電体は酸化物半導体と同様に透光性を有する。

【0187】

酸化物導電体は、縮退半導体であり、伝導帯端とフェルミ準位とが一致または略一致していると推定される。このため、酸化物導電体層とソース電極層およびドレイン電極層として機能する導電層との接触はオーミック接触であり、酸化物導電体層とソース電極層およびドレイン電極層として機能する導電層との接触抵抗を低減することができる。

【0188】

本発明の一態様のトランジスタは、図 17 (A)、(B)、(C)、(D)、(E)、(F) に示すチャネル長方向の断面図、ならびに図 16 (C)、(D) に示すチャネル幅方向の断面図のように、酸化物半導体層 130 と基板 115 との間に導電層 173 を備えていてもよい。当該導電層を第 2 のゲート電極層（バックゲート）として用いることで、オン電流の増加や、しきい値電圧の制御を行うことができる。なお、図 17 (A)、(B)、(C)、(D)、(E)、(F) に示す断面図において、導電層 173 の幅を酸化物半導体層 130 よりも短くしてもよい。さらに、導電層 173 の幅を導電層 170 の幅よりも短くしてもよい。

10

20

30

40

50

【0189】

オン電流を増加させるには、例えば、導電層170と導電層173を同電位とし、ダブルゲートトランジスタとして駆動させればよい。また、しきい値電圧の制御を行うには、導電層170とは異なる定電位を導電層173に供給すればよい。導電層170と導電層173を同電位とするには、例えば、図16(D)に示すように、導電層170と導電層173とをコンタクトホールを介して電氣的に接続すればよい。

【0190】

図14および図15におけるトランジスタ101乃至トランジスタ106では、酸化物半導体層130が単層である例を図示したが、酸化物半導体層130は積層であってもよい。トランジスタ101乃至トランジスタ106の酸化物半導体層130は、図18(B)、(C)または図18(D)、(E)に示す酸化物半導体層130と入れ替えることができる。

10

【0191】

図18(A)は酸化物半導体層130の上面図であり、図18(B)、(C)は、二層構造である酸化物半導体層130の断面図である。また、図18(D)、(E)は、三層構造である酸化物半導体層130の断面図である。

【0192】

酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cには、それぞれ組成の異なる酸化物半導体層などを用いることができる。

【0193】

本発明の一態様のトランジスタは、図19(A)、(B)に示す構成であってもよい。図19(A)はトランジスタ107の上面図であり、図19(A)に示す一点鎖線H1-H2方向の断面が図19(B)に相当する。また、図19(A)に示す一点鎖線H3-H4方向の断面が図21(A)に相当する。また、一点鎖線H1-H2方向をチャネル長方向、一点鎖線H3-H4方向をチャネル幅方向と呼称する。

20

【0194】

トランジスタ107は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130aおよび酸化物半導体層130bからなる積層と、当該積層と電氣的に接続する導電層140および導電層150と、当該積層、導電層140および導電層150と接する酸化物半導体層130cと、酸化物半導体層130cと接する絶縁層160と、絶縁層160と接する導電層170と、導電層140、導電層150、酸化物半導体層130c、絶縁層160および導電層170と接する絶縁層175と、絶縁層175と接する絶縁層180と、を有する。また、必要に応じて絶縁層180に平坦化膜としての機能を付加してもよい。

30

【0195】

トランジスタ107は、領域231および領域232において酸化物半導体層130が二層(酸化物半導体層130a、酸化物半導体層130b)である点、領域233において酸化物半導体層130が三層(酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c)である点、および導電層140および導電層150と絶縁層160との間に酸化物半導体層の一部(酸化物半導体層130c)が介在している点を除き、トランジスタ101と同様の構成を有する。

40

【0196】

本発明の一態様のトランジスタは、図19(C)、(D)に示す構成であってもよい。図19(C)はトランジスタ108の上面図であり、図19(C)に示す一点鎖線I1-I2方向の断面が図19(D)に相当する。また、図19(C)に示す一点鎖線I3-I4方向の断面が図21(B)に相当する。また、一点鎖線I1-I2方向をチャネル長方向、一点鎖線I3-I4方向をチャネル幅方向と呼称する。

【0197】

トランジスタ108は、絶縁層160および酸化物半導体層130cの端部が導電層170の端部と一致しない点がトランジスタ107と異なる。

50

【0198】

本発明の一態様のトランジスタは、図19(E)、(F)に示す構成であってもよい。図19(E)はトランジスタ109の上面図であり、図19(E)に示す一点鎖線J1-J2方向の断面が図19(F)に相当する。また、図19(E)に示す一点鎖線J3-J4方向の断面が図21(A)に相当する。また、一点鎖線J1-J2方向をチャネル長方向、一点鎖線J3-J4方向をチャネル幅方向と呼称する。

【0199】

トランジスタ109は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130aおよび酸化物半導体層130bからなる積層と、当該積層と接する酸化物半導体層130cと、酸化物半導体層130cと接する絶縁層160と、絶縁層160と接する導電層170と、当該積層、酸化物半導体層130c、絶縁層160および導電層170を覆う絶縁層175と、絶縁層175と接する絶縁層180と、絶縁層175および絶縁層180に設けられた開口部を通じて当該積層と電氣的に接続する導電層140および導電層150を有する。また、必要に応じて絶縁層180、導電層140および導電層150に接する絶縁層(平坦化膜)などを有していてもよい。

10

【0200】

トランジスタ109は、領域231および領域232において酸化物半導体層130が二層(酸化物半導体層130a、酸化物半導体層130b)である点、領域233において酸化物半導体層130が三層(酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c)である点を除き、トランジスタ103と同様の構成を有する。

20

【0201】

本発明の一態様のトランジスタは、図20(A)、(B)に示す構成であってもよい。図20(A)はトランジスタ110の上面図であり、図20(A)に示す一点鎖線K1-K2方向の断面が図20(B)に相当する。また、図20(A)に示す一点鎖線K3-K4方向の断面が図21(A)に相当する。また、一点鎖線K1-K2方向をチャネル長方向、一点鎖線K3-K4方向をチャネル幅方向と呼称する。

【0202】

トランジスタ110は、領域331および領域332において酸化物半導体層130が二層(酸化物半導体層130a、酸化物半導体層130b)である点、領域333において酸化物半導体層130が三層(酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c)である点を除き、トランジスタ104と同様の構成を有する。

30

【0203】

本発明の一態様のトランジスタは、図20(C)、(D)に示す構成であってもよい。図20(C)はトランジスタ111の上面図であり、図20(C)に示す一点鎖線L1-L2方向の断面が図20(D)に相当する。また、図20(C)に示す一点鎖線L3-L4方向の断面が図21(A)に相当する。また、一点鎖線L1-L2方向をチャネル長方向、一点鎖線L3-L4方向をチャネル幅方向と呼称する。

【0204】

トランジスタ111は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130aおよび酸化物半導体層130bからなる積層と、当該積層と電氣的に接続する導電層141および導電層151と、当該積層、導電層141および導電層151と接する酸化物半導体層130cと、酸化物半導体層130cと接する絶縁層160と、絶縁層160と接する導電層170と、当該積層、導電層141、導電層151、酸化物半導体層130c、絶縁層160および導電層170と接する絶縁層175と、絶縁層175と接する絶縁層180と、絶縁層175および絶縁層180に設けられた開口部を通じて導電層141および導電層151とそれぞれ電氣的に接続する導電層142および導電層152を有する。また、必要に応じて絶縁層180、導電層142および導電層152に接する絶縁層(平坦化膜)などを有していてもよい。

40

【0205】

トランジスタ111は、領域231および領域232において酸化物半導体層130が二

50

層（酸化物半導体層 130a、酸化物半導体層 130b）である点、領域 233 において酸化物半導体層 130 が三層（酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c）である点、ならびに導電層 141 および導電層 151 と絶縁層 160 との間に酸化物半導体層の一部（酸化物半導体層 130c）が介在している点を除き、トランジスタ 105 と同様の構成を有する。

【0206】

本発明の一態様のトランジスタは、図 20（E）、（F）に示す構成であってもよい。図 20（E）はトランジスタ 112 の上面図であり、図 20（E）に示す一点鎖線 M1 - M2 方向の断面が図 20（F）に相当する。また、図 20（E）に示す一点鎖線 M3 - M4 方向の断面が図 21（A）に相当する。また、一点鎖線 M1 - M2 方向をチャネル長方向、一点鎖線 M3 - M4 方向をチャネル幅方向と呼称する。

10

【0207】

トランジスタ 112 は、領域 331、領域 332、領域 334 および領域 335 において酸化物半導体層 130 が二層（酸化物半導体層 130a、酸化物半導体層 130b）である点、領域 333 において酸化物半導体層 130 が三層（酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c）である点を除き、トランジスタ 106 と同様の構成を有する。

【0208】

本発明の一態様のトランジスタは、図 22（A）、（B）、（C）、（D）、（E）、（F）に示すチャネル長方向の断面図、ならびに図 21（C）、（D）に示すチャネル幅方向の断面図のように、酸化物半導体層 130 と基板 115 との間に導電層 173 を備えていてもよい。当該導電層を第 2 のゲート電極層（バックゲート）として用いることで、オン電流の増加や、しきい値電圧の制御を行うことができる。なお、図 22（A）、（B）、（C）、（D）、（E）、（F）に示す断面図において、導電層 173 の幅を酸化物半導体層 130 よりも短くしてもよい。さらに、導電層 173 の幅を導電層 170 の幅よりも短くしてもよい。

20

【0209】

本発明の一態様のトランジスタは、図 23（A）および図 23（B）に示す構成とすることもできる。図 23（A）は上面図であり、図 23（B）は、図 23（A）に示す一点鎖線 N1 - N2、および一点鎖線 N3 - N4 に対応する断面図である。なお、図 23（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。

30

【0210】

図 23（A）および図 23（B）に示すトランジスタ 113 は、基板 115 と、基板 115 上の絶縁層 120 と、絶縁層 120 上の酸化物半導体層 130（酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c）と、酸化物半導体層 130 に接し、間隔を開けて配置された導電層 140 および導電層 150 と、酸化物半導体層 130c と接する絶縁層 160 と、絶縁層 160 と接する導電層 170 を有する。なお、酸化物半導体層 130c、絶縁層 160 および導電層 170 は、トランジスタ 113 上の絶縁層 190 に設けられた酸化物半導体層 130a、酸化物半導体層 130b および絶縁層 120 に達する開口部に設けられている。

40

【0211】

トランジスタ 113 の構成は、前述したその他のトランジスタの構成と比較して、ソースまたはドレインとなる導電体とゲート電極となる導電体の重なる領域が少ないため、寄生容量を小さくすることができる。したがって、トランジスタ 113 は、高速動作を必要とする回路の要素として適している。トランジスタ 113 の上面は、図 23（B）に示すように CMP（Chemical Mechanical Polishing）法等を用いて平坦化することが好ましいが、平坦化しない構成とすることもできる。

【0212】

本発明の一態様のトランジスタにおける導電層 140（ソース電極層）および導電層 150（ドレイン電極層）は、図 24（A）、（B）に示す上面図（酸化物半導体層 130、

50

導電層 140 および導電層 150 のみを図示) のように酸化物半導体層 130 の幅 (W_{OS}) よりも導電層 140 および導電層 150 の幅 (W_{SD}) が長く形成されていてもよいし、短く形成されていてもよい。 $W_{OS} > W_{SD}$ (W_{SD} は W_{OS} 以下) とすることで、ゲート電界が酸化物半導体層 130 全体にかかりやすくなり、トランジスタの電気特性を向上させることができる。また、図 24 (C) に示すように、導電層 140 および導電層 150 が酸化物半導体層 130 と重なる領域のみに形成されていてもよい。

【0213】

本発明の一態様のトランジスタ (トランジスタ 101 乃至トランジスタ 113) では、いずれの構成においても、ゲート電極層である導電層 170 は、ゲート絶縁膜である絶縁層 160 を介して酸化物半導体層 130 のチャネル幅方向を電氣的に取り囲み、オン電流が高められる。このようなトランジスタの構造を、*surrounded channel (s-channel)* 構造とよぶ。

10

【0214】

酸化物半導体層 130a および酸化物半導体層 130b を有するトランジスタ、ならびに酸化物半導体層 130a、酸化物半導体層 130b および酸化物半導体層 130c を有するトランジスタにおいては、酸化物半導体層 130 を構成する二層または三層の材料を適切に選択することで酸化物半導体層 130b に電流を流すことができる。酸化物半導体層 130b に電流が流れることで、界面散乱の影響を受けにくく、高いオン電流を得ることができる。したがって、酸化物半導体層 130b を厚くすることでオン電流が向上する場合がある。

20

【0215】

以上の構成とすることで、トランジスタの電気特性を向上することができる。

【0216】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0217】

(実施の形態 3)

本実施の形態では、実施の形態 2 に示したトランジスタの構成要素について詳細を説明する。

【0218】

基板 115 には、ガラス基板、石英基板、半導体基板、セラミックス基板、表面が絶縁処理された金属基板などを用いることができる。または、トランジスタやフォトダイオードが形成されたシリコン基板、および当該シリコン基板上に絶縁層、配線、コンタクトプラグとして機能を有する導電体等が形成されたものを用いることができる。なお、シリコン基板に p-ch 型のトランジスタを形成する場合は、n⁺ 型の導電型を有するシリコン基板を用いることが好ましい。または、n⁺ 型または i 型のシリコン層を有する SOI 基板であってもよい。また、シリコン基板に設けるトランジスタが p-ch 型である場合は、トランジスタを形成する面の面方位は、(110) 面であるシリコン基板を用いることが好ましい。(110) 面に p-ch 型トランジスタを形成することで、移動度を高くすることができる。

30

40

【0219】

絶縁層 120 は、基板 115 に含まれる要素からの不純物の拡散を防止する役割を有するほか、酸化物半導体層 130 に酸素を供給する役割を担うことができる。したがって、絶縁層 120 は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。例えば、膜の表面温度が 1000 以上 7000 以下、好ましくは 1000 以上 5000 以下の加熱処理で行われる TDS 法にて、酸素原子に換算した酸素の放出量が $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上である膜とする。また、基板 115 が他のデバイスが形成された基板である場合、絶縁層 120 は、層間絶縁膜としての機能も有する。その場合は、表面が平坦になるように CMP 法等で平坦化処理を行うことが好ましい。

50

【0220】

例えば、絶縁層120には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどの酸化物絶縁膜、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁膜、またはこれらの混合材料を用いることができる。また、上記材料の積層であってもよい。

【0221】

酸化物半導体層130は、酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cを絶縁層120側から順に積んだ三層構造とすることができる。

10

【0222】

なお、酸化物半導体層130が単層の場合は、本実施の形態に示す、酸化物半導体層130bに相当する層を用いればよい。

【0223】

酸化物半導体層130が二層の場合は、酸化物半導体層130aに相当する層および酸化物半導体層130bに相当する層を絶縁層120側から順に積んだ積層を用いればよい。この構成の場合、酸化物半導体層130aと酸化物半導体層130bとを入れ替えることもできる。

【0224】

一例としては、酸化物半導体層130bには、酸化物半導体層130aおよび酸化物半導体層130cよりも電子親和力（真空準位から伝導帯下端までのエネルギー差）が大きい酸化物半導体を用いる。

20

【0225】

このような構造において、導電層170に電界を印加すると、酸化物半導体層130のうち、伝導帯下端のエネルギーが最も小さい酸化物半導体層130bにチャネルが形成される。したがって、酸化物半導体層130bは半導体として機能する領域を有するといえるが、酸化物半導体層130aおよび酸化物半導体層130cは絶縁体または半絶縁体として機能する領域を有するともいえる。

【0226】

酸化物半導体層130a、酸化物半導体層130b、および酸化物半導体層130cとして用いることのできる酸化物半導体は、少なくともInもしくはZnを含むことが好ましい。または、InとZnの双方を含むことが好ましい。また、該OSトランジスタの電気特性のばらつきを減らすため、それらと共に、Al、Ga、Y、またはSn等のスタビライザーを含むことが好ましい。

30

【0227】

酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cには、結晶部が含まれることが好ましい。特にc軸に配向した結晶を用いることでトランジスタに安定した電気特性を付与することができる。また、c軸に配向した結晶は歪曲に強く、フレキシブル基板を用いた半導体装置の信頼性を向上させることができる。

【0228】

ソース電極層として作用する導電層140およびドレイン電極層として作用する導電層150には、例えば、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材料の単層、または積層を用いることができる。また、低抵抗のCuやCu-Mnなどの合金と上記材料との積層を用いてもよい。トランジスタ105、トランジスタ106、トランジスタ111、トランジスタ112においては、例えば、導電層141および導電層151にW、導電層142および導電層152にTiとAlとの積層膜などを用いることができる。

40

【0229】

上記材料は酸化物半導体層から酸素を引き抜く性質を有する。そのため、上記材料と接した酸化物半導体層の一部の領域では酸化物半導体層中の酸素が脱離し、酸素欠損が形成さ

50

れる。層の中に僅かに含まれる水素と当該酸素欠損が結合することにより当該領域は顕著にn型化する。したがって、n型化した当該領域はトランジスタのソースまたはドレインとして作用させることができる。

【0230】

導電層140および導電層150にWを用いる場合には、窒素をドーピングしてもよい。窒素をドーピングすることで酸素を引き抜く性質を適度に弱めることができ、n型化した領域がチャネル領域まで拡大することを防ぐことができる。また、導電層140および導電層150をn型の半導体層との積層とし、n型の半導体層と酸化物半導体層を接触させることによってn型化した領域がチャネル領域まで拡大することを防ぐことができる。n型の半導体層としては、窒素が添加されたIn-Ga-Zn酸化物、酸化亜鉛、酸化インジウム、酸化スズ、酸化インジウムスズなどを用いることができる。

10

【0231】

ゲート絶縁膜として作用する絶縁層160には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、絶縁層160は上記材料の積層であってもよい。なお、絶縁層160に、La、N、Zrなどを、不純物として含んでもよい。

【0232】

また、絶縁層160の積層構造の一例について説明する。絶縁層160は、例えば、酸素、窒素、シリコン、ハフニウムなどを有する。具体的には、酸化ハフニウム、および酸化シリコンまたは酸化窒化シリコンを含むと好ましい。

20

【0233】

酸化ハフニウムおよび酸化アルミニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、酸化シリコンを用いた場合と比べて、絶縁層160の膜厚を大きくできるため、トンネル電流によるリーク電流を小さくすることができる。即ち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

30

【0234】

また、酸化物半導体層130と接する絶縁層120および絶縁層160は、窒素酸化物の放出量の少ない膜を用いることが好ましい。窒素酸化物の放出量の多い絶縁層と酸化物半導体が接した場合、窒素酸化物に起因する準位密度が高くなることもある。絶縁層120および絶縁層160には、例えば、窒素酸化物の放出量の少ない酸化窒化シリコン膜または酸化窒化アルミニウム膜等の酸化物絶縁層を用いることができる。

【0235】

窒素酸化物の放出量の少ない酸化窒化シリコン膜は、TDS法において、窒素酸化物の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $5 \times 10^{19} \text{ cm}^{-3}$ 以下である。なお、アンモニアの放出量は、膜の表面温度が50 以上650 以下、好ましくは50 以上550 以下の加熱処理による放出量とする。

40

【0236】

絶縁層120および絶縁層160として、上記酸化物絶縁層を用いることで、トランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

【0237】

ゲート電極層として作用する導電層170には、例えば、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Mn、Nd、Sc、TaおよびWなどの導電膜を

50

用いることができる。また、上記材料の合金や上記材料の導電性窒化物を用いてもよい。また、上記材料、上記材料の合金、および上記材料の導電性窒化物から選ばれた複数の材料の積層であってもよい。代表的には、タングステン、タングステンと窒化チタンの積層、タングステンと窒化タンタルの積層などを用いることができる。また、低抵抗のCuまたはCu-Mnなどの合金や上記材料とCuまたはCu-Mnなどの合金との積層を用いてもよい。本実施の形態では、導電層171に窒化タンタル、導電層172にタングステンをを用いて導電層170を形成する。

【0238】

また、導電層170にはIn-Ga-Zn酸化物、酸化亜鉛、酸化インジウム、酸化スズ、酸化インジウムスズなどの酸化物導電層を用いてもよい。

10

【0239】

絶縁層175には、水素を含む窒化シリコン膜または窒化アルミニウム膜などを用いることができる。実施の形態2に示したトランジスタ103、トランジスタ104、トランジスタ106、トランジスタ109、トランジスタ110、およびトランジスタ112では、絶縁層175として水素を含む絶縁膜を用いることで酸化物半導体層の一部をn型化することができる。また、窒化絶縁膜は水分などのブロッキング膜としての作用も有し、トランジスタの信頼性を向上させることができる。

【0240】

また、絶縁層175としては酸化アルミニウム膜を用いることもできる。特に、実施の形態2に示したトランジスタ101、トランジスタ102、トランジスタ105、トランジスタ107、トランジスタ108、およびトランジスタ111では絶縁層175に酸化アルミニウム膜を用いることが好ましい。酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウム膜は、トランジスタの作製工程中および作製後において、水素、水分などの不純物の酸化物半導体層130への混入防止、酸素の酸化物半導体層からの放出防止、絶縁層120からの酸素の不必要な放出防止の効果を有する保護膜として用いることに適している。

20

【0241】

絶縁層175上には絶縁層180が形成されていることが好ましい。当該絶縁層には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、当該絶縁層は上記材料の積層であってもよい。

30

【0242】

ここで、絶縁層180は絶縁層120と同様に化学量論組成よりも多くの酸素を有することが好ましい。絶縁層180から放出される酸素は絶縁層160を経由して酸化物半導体層130のチャネル形成領域に拡散させることができることから、チャネル形成領域に形成された酸素欠損に酸素を補填することができる。したがって、安定したトランジスタの電気特性を得ることができる。

【0243】

半導体装置を高集積化するにはトランジスタの微細化が必須である。一方、トランジスタの微細化によりトランジスタの電気特性は悪化する傾向にあり、例えばチャネル幅を小さくするとオン電流は低下してしまう。

40

【0244】

本発明の一態様のトランジスタ107乃至トランジスタ112では、チャネルが形成される酸化物半導体層130bを覆うように酸化物半導体層130cが形成されており、チャネル形成層とゲート絶縁膜が接しない構成となっている。そのため、チャネル形成層とゲート絶縁膜との界面で生じるキャリアの散乱を抑えることができ、トランジスタのオン電流を大きくすることができる。

【0245】

50

本発明の一態様のトランジスタでは、前述したように酸化物半導体層 130 のチャネル幅方向を電氣的に取り囲むようにゲート電極層（導電層 170）が形成されているため、酸化物半導体層 130 に対しては上面に垂直な方向からのゲート電界に加えて、側面に垂直な方向からのゲート電界が印加される。すなわち、チャネル形成層に対して全体的にゲート電界が印加されることになり実効チャネル幅が拡大するため、さらにオン電流を高められる。

【0246】

本実施の形態で説明した金属膜、半導体膜、無機絶縁膜など様々な膜は、代表的にはスパッタ法やプラズマ CVD 法により形成することができるが、他の方法、例えば、熱 CVD 法により形成してもよい。熱 CVD 法の例としては、MOCVD (Metal Organic Chemical Vapor Deposition) 法や ALD (Atomic Layer Deposition) 法などがある。

10

【0247】

熱 CVD 法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

【0248】

また、熱 CVD 法では、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0249】

20

ALD 法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスをチャンバーに導入・反応させ、これを繰り返すことで成膜を行う。原料ガスと一緒に不活性ガス（アルゴン、或いは窒素など）をキャリアガスとして導入しても良い。例えば 2 種類以上の原料ガスを順番にチャンバーに供給してもよい。その際、複数種の原料ガスが混ざらないように第 1 の原料ガスの反応後、不活性ガスを導入し、第 2 の原料ガスを導入する。あるいは、不活性ガスを導入する代わりに真空排気によって第 1 の原料ガスを排出した後、第 2 の原料ガスを導入してもよい。第 1 の原料ガスが基板の表面に吸着・反応して第 1 の層を成膜し、後から導入される第 2 の原料ガスが吸着・反応して、第 2 の層が第 1 の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入の繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細な FET を作製する場合に適している。

30

【0250】

MOCVD 法や ALD 法などの熱 CVD 法は、これまでに記載した実施形態に開示された金属膜、半導体膜、無機絶縁膜など様々な膜を形成することができ、例えば、In-Ga-Zn-O 膜を成膜する場合には、トリメチルインジウム ($\text{In}(\text{CH}_3)_3$)、トリメチルガリウム ($\text{Ga}(\text{CH}_3)_3$)、およびジメチル亜鉛 ($\text{Zn}(\text{CH}_3)_2$) を用いることができる。これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム ($\text{Ga}(\text{C}_2\text{H}_5)_3$) を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛 ($\text{Zn}(\text{C}_2\text{H}_5)_2$) を用いることもできる。

40

【0251】

例えば、ALD を利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体を含む液体（ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム (TDMAH 、 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$) やテトラキス（エチルメチルアミド）ハフニウムなどのハフニウムアミド）を気化させた原料ガスと、酸化剤としてオゾン (O_3) の 2 種類のガスを用いる。

【0252】

例えば、ALD を利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体を含む液体（トリメチルアルミニウム (TMA 、 $\text{Al}(\text{CH}_3)_3$) など）を気化させた原料ガスと、酸化剤として H_2O の 2 種類のガスを用いる。他の材

50

料としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（2，2，6，6-テトラメチル-3，5-ヘプタンジオナート）などがある。

【0253】

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、酸化性ガス（ O_2 、一酸化二窒素）のラジカルを供給して吸着物と反応させる。

【0254】

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを順次導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

10

【0255】

例えば、ALDを利用する成膜装置により酸化物半導体層、例えば $In-Ga-Zn-O$ 膜を成膜する場合には、 $In(CH_3)_3$ ガスと O_3 ガスを順次導入して $In-O$ 層を形成し、その後、 $Ga(CH_3)_3$ ガスと O_3 ガスを順次導入して GaO 層を形成し、さらにその後 $Zn(CH_3)_2$ ガスと O_3 ガスを順次導入して ZnO 層を形成する。なお、これらの層の順番はこの例に限らない。これらのガスを用いて $In-Ga-O$ 層や $In-Zn-O$ 層、 $Ga-Zn-O$ 層などの混合化合物層を形成しても良い。なお、 O_3 ガスに変えて Ar 等の不活性ガスでバブリングして得られた H_2O ガスを用いても良いが、 H を含まない O_3 ガスを用いる方が好ましい。

20

【0256】

酸化物半導体層の成膜には、対向ターゲット式スパッタ装置を用いることもできる。当該対向ターゲット式スパッタ装置を用いた成膜法を、 $VDS P(vapor deposition SP)$ と呼ぶこともできる。

【0257】

対向ターゲット式スパッタ装置を用いて酸化物半導体層を成膜することによって、酸化物半導体層の成膜時におけるプラズマ損傷を低減することができる。そのため、膜中の酸素欠損を低減することができる。また、対向ターゲット式スパッタ装置を用いることで低圧での成膜が可能となるため、成膜された酸化物半導体層中の不純物濃度（例えば水素、希ガス（アルゴンなど）、水など）を低減させることができる。

30

【0258】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0259】

（実施の形態4）

本実施の形態では、本発明の一態様に用いることのできる酸化物半導体の材料について説明する。

【0260】

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、元素Mとしてアルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、元素Mとしては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

40

【0261】

ここで、酸化物半導体が、インジウム、元素Mおよび亜鉛を有する場合を考える。

【0262】

まず、図25（A）、図25（B）、および図25（C）を用いて、本発明に係る酸化物半導体が有するインジウム、元素Mおよび亜鉛の原子数比の好ましい範囲について説明す

50

る。なお、酸素の原子数比については記載しない。また、酸化物半導体が有するインジウム、元素M、および亜鉛の原子数比のそれぞれの項を $[In]$ 、 $[M]$ 、および $[Zn]$ とする。

【0263】

図25(A)、図25(B)、および図25(C)において、破線は、 $[In] : [M] : [Zn] = (1 + \quad) : (1 - \quad) : 1$ の原子数比 $(-1 \quad 1)$ となるライン、 $[In] : [M] : [Zn] = (1 + \quad) : (1 - \quad) : 2$ の原子数比となるライン、 $[In] : [M] : [Zn] = (1 + \quad) : (1 - \quad) : 3$ の原子数比となるライン、 $[In] : [M] : [Zn] = (1 + \quad) : (1 - \quad) : 4$ の原子数比となるライン、および $[In] : [M] : [Zn] = (1 + \quad) : (1 - \quad) : 5$ の原子数比となるラインを表す。

10

【0264】

また、一点鎖線は、 $[In] : [M] : [Zn] = 1 : 1 : \quad$ の原子数比 $(\quad 0)$ となるライン、 $[In] : [M] : [Zn] = 1 : 2 : \quad$ の原子数比となるライン、 $[In] : [M] : [Zn] = 1 : 3 : \quad$ の原子数比となるライン、 $[In] : [M] : [Zn] = 1 : 4 : \quad$ の原子数比となるライン、および $[In] : [M] : [Zn] = 5 : 1 : \quad$ の原子数比となるラインを表す。

【0265】

また、図25に示す、 $[In] : [M] : [Zn] = 0 : 2 : 1$ の原子数比またはその近傍値の酸化物半導体は、スピネル型の結晶構造をとりやすい。

20

【0266】

図25(A)および図25(B)では、本発明の一態様の酸化物半導体が有する、インジウム、元素M、および亜鉛の原子数比の好ましい範囲の一例について示している。

【0267】

一例として、図26に、 $[In] : [M] : [Zn] = 1 : 1 : 1$ である、 $InMZO_4$ の結晶構造を示す。また、図26は、b軸に平行な方向から観察した場合の $InMZO_4$ の結晶構造である。なお、図26に示すM、Zn、酸素を有する層(以下、 (M, Zn) 層)における金属元素は、元素Mまたは亜鉛を表している。この場合、元素Mと亜鉛の割合が等しいものとする。元素Mと亜鉛とは、置換が可能であり、配列は不規則である。

30

【0268】

$InMZO_4$ は、層状の結晶構造(層状構造ともいう)をとり、図26に示すように、インジウム、および酸素を有する層(以下、In層)が1に対し、元素M、亜鉛、および酸素を有する (M, Zn) 層が2となる。

【0269】

また、インジウムと元素Mは、互いに置換可能である。そのため、 (M, Zn) 層の元素Mがインジウムと置換し、 (In, M, Zn) 層と表すこともできる。その場合、In層が1に対し、 (In, M, Zn) 層が2である層状構造をとる。

【0270】

$[In] : [M] : [Zn] = 1 : 1 : 2$ となる原子数比の酸化物半導体は、In層が1に対し、 (M, Zn) 層が3である層状構造をとる。つまり、 $[In]$ および $[M]$ に対し $[Zn]$ が大きくなると、酸化物半導体が結晶化した場合、In層に対する (M, Zn) 層の割合が増加する。

40

【0271】

ただし、酸化物半導体中において、In層が1層に対し、 (M, Zn) 層の層数が非整数である場合、In層が1層に対し、 (M, Zn) 層の層数が整数である層状構造を複数種有する場合がある。例えば、 $[In] : [M] : [Zn] = 1 : 1 : 1.5$ である場合、In層が1に対し、 (M, Zn) 層が2である層状構造と、 (M, Zn) 層が3である層状構造とが混在する層状構造となる場合がある。

50

【0272】

例えば、酸化物半導体をスパッタリング装置にて成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される。特に、成膜時の基板温度によっては、ターゲットの[Zn]よりも、膜の[Zn]が小さくなる場合がある。

【0273】

また、酸化物半導体中に複数の相が共存する場合がある（二相共存、三相共存など）。例えば、[In] : [M] : [Zn] = 0 : 2 : 1 の原子数比の近傍値である原子数比では、スピネル型の結晶構造と層状の結晶構造との二相が共存しやすい。また、[In] : [M] : [Zn] = 1 : 0 : 0 を示す原子数比の近傍値である原子数比では、ピクスパイト型の結晶構造と層状の結晶構造との二相が共存しやすい。酸化物半導体中に複数の相が共存する場合、異なる結晶構造の間において、粒界（グレインバウンダリーともいう）が形成される場合がある。

10

【0274】

また、インジウムの含有率を高くすることで、酸化物半導体のキャリア移動度（電子移動度）を高くすることができる。これは、インジウム、元素Mおよび亜鉛を有する酸化物半導体では、主として重金属のs軌道がキャリア伝導に寄与しており、インジウムの含有率を高くすることにより、s軌道が重なる領域がより大きくなるため、インジウムの含有率が高い酸化物半導体はインジウムの含有率が低い酸化物半導体と比較してキャリア移動度が高くなるためである。

【0275】

20

一方、酸化物半導体中のインジウムおよび亜鉛の含有率が低くなると、キャリア移動度が低くなる。したがって、[In] : [M] : [Zn] = 0 : 1 : 0 を示す原子数比、およびその近傍値である原子数比（例えば図25（C）に示す領域C）では、絶縁性が高くなる。

【0276】

したがって、本発明の一態様の酸化物半導体は、キャリア移動度が高く、かつ、粒界が少ない層状構造となりやすい、図25（A）の領域Aで示される原子数比を有することが好ましい。

【0277】

また、図25（B）に示す領域Bは、[In] : [M] : [Zn] = 4 : 2 : 3 から 4 . 1、およびその近傍値を示している。近傍値には、例えば、原子数比が[In] : [M] : [Zn] = 5 : 3 : 4 が含まれる。領域Bで示される原子数比を有する酸化物半導体は、特に、結晶性が高く、キャリア移動度も高い優れた酸化物半導体である。

30

【0278】

なお、酸化物半導体が、層状構造を形成する条件は、原子数比によって一義的に定まらない。原子数比により、層状構造を形成するための難易の差はある。一方、同じ原子数比であっても、形成条件により、層状構造になる場合も層状構造にならない場合もある。したがって、図示する領域は、酸化物半導体が層状構造を有する原子数比を示す領域であり、領域A乃至領域Cの境界は厳密ではない。

【0279】

40

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0280】

なお、上記酸化物半導体をトランジスタに用いることで、粒界におけるキャリア散乱等を減少させることができるため、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0281】

また、トランジスタには、キャリア密度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

50

【 0 2 8 2 】

なお、高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる。また、高純度真性または実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いいため、トラップ準位密度も低くなる場合がある。

【 0 2 8 3 】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

10

【 0 2 8 4 】

したがって、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【 0 2 8 5 】

ここで、酸化物半導体中における各不純物の影響について説明する。

【 0 2 8 6 】

酸化物半導体において、第 1 4 族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体または酸化物半導体と接する層との界面近傍においては、シリコンや炭素の濃度（二次イオン質量分析法（S I M S : S e c o n d a r y I o n M a s s S p e c t r o m e t r y）により得られる濃度）が、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下となる領域を有するように制御する。

20

【 0 2 8 7 】

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金属が含まれている O S トランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度（S I M S 分析により得られる濃度）が、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下となる領域を有するように制御する。

30

【 0 2 8 8 】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n 型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。したがって、該酸化物半導体において、窒素はできる限り低減されていることが好ましい。具体的には、酸化物半導体中の窒素濃度（S I M S 分析により得られる濃度）が、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下となる領域を有するように制御する。

40

【 0 2 8 9 】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。したがって、水素が含まれている O S トランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体中の水素濃度（S I M S 分析により得られる濃度）が、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに

50

好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満となる領域を有するように制御する。

【0290】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。また、高純度化された酸化物半導体をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を 0.1 V、5 V、または、10 V 程度とした場合に、トランジスタのチャネル幅あたりのオフ電流を数 y A / μm 乃至数 z A / μm にまで低減することが可能となる。

【0291】

続いて、該酸化物半導体を 2 層構造、または 3 層構造とした場合について述べる。酸化物半導体 S1、酸化物半導体 S2、および酸化物半導体 S3 の積層構造に接する絶縁体のバンド図と、酸化物半導体 S2 および酸化物半導体 S3 の積層構造に接する絶縁体のバンド図と、について、図 27 を用いて説明する。なお、酸化物半導体 S1 は酸化物半導体層 130a、酸化物半導体 S2 は酸化物半導体層 130b、酸化物半導体 S3 は酸化物半導体層 130c に相当する。

10

【0292】

図 27 (A) は、絶縁体 I1、酸化物半導体 S1、酸化物半導体 S2、酸化物半導体 S3、および絶縁体 I2 を有する積層構造の膜厚方向のバンド図の一例である。また、図 27 (B) は、絶縁体 I1、酸化物半導体 S2、酸化物半導体 S3、および絶縁体 I2 を有する積層構造の膜厚方向のバンド図の一例である。なお、バンド図は、理解を容易にするため絶縁体 I1、酸化物半導体 S1、酸化物半導体 S2、酸化物半導体 S3、および絶縁体 I2 の伝導帯下端のエネルギー準位 (E_c) を示す。

20

【0293】

酸化物半導体 S1、酸化物半導体 S3 は、酸化物半導体 S2 よりも伝導帯下端のエネルギー準位が真空準位に近く、代表的には、酸化物半導体 S2 の伝導帯下端のエネルギー準位と、酸化物半導体 S1、酸化物半導体 S3 の伝導帯下端のエネルギー準位との差が、0.15 eV 以上、または 0.5 eV 以上、かつ 2 eV 以下、または 1 eV 以下であることが好ましい。すなわち、酸化物半導体 S1、酸化物半導体 S3 の電子親和力よりも、酸化物半導体 S2 の電子親和力が大きく、酸化物 S1、酸化物 S3 の電子親和力と、酸化物 S2 の電子親和力との差は、0.15 eV 以上、または 0.5 eV 以上、かつ 2 eV 以下、または 1 eV 以下であることが好ましい。

30

【0294】

図 27 (A)、および図 27 (B) に示すように、酸化物半導体 S1、酸化物半導体 S2、酸化物半導体 S3 において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようなバンド図を有するためには、酸化物半導体 S1 と酸化物半導体 S2 との界面、または酸化物半導体 S2 と酸化物半導体 S3 との界面において形成される混合層の欠陥準位密度を低くするとよい。

【0295】

具体的には、酸化物半導体 S1 と酸化物半導体 S2、酸化物半導体 S2 と酸化物半導体 S3 が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物半導体 S2 が In-Ga-Zn 酸化物半導体の場合、酸化物半導体 S1、酸化物半導体 S3 として、In-Ga-Zn 酸化物半導体、Ga-Zn 酸化物半導体、酸化ガリウムなどを用いるとよい。

40

【0296】

このとき、キャリアの主たる経路は酸化物半導体 S2 となる。酸化物半導体 S1 と酸化物半導体 S2 との界面、および酸化物半導体 S2 と酸化物半導体 S3 との界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

【0297】

50

トラップ準位に電子が捕獲されることで、捕獲された電子は固定電荷のように振る舞うため、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。酸化物半導体 S 1、酸化物半導体 S 3 を設けることにより、トラップ準位を酸化物半導体 S 2 より遠ざけることができる。当該構成とすることで、トランジスタのしきい値電圧がプラス方向にシフトすることを防止することができる。

【0298】

酸化物半導体 S 1、酸化物半導体 S 3 は、酸化物半導体 S 2 と比較して、導電率が十分に低い材料を用いる。このとき、酸化物半導体 S 2、酸化物半導体 S 2 と酸化物半導体 S 1 との界面、および酸化物半導体 S 2 と酸化物半導体 S 3 との界面が、主にチャネル領域として機能する。例えば、酸化物半導体 S 1、酸化物半導体 S 3 には、図 25 (C) において、絶縁性が高くなる領域 C で示す原子数比の酸化物半導体を用いればよい。

10

【0299】

特に、酸化物半導体 S 2 に領域 A で示される原子数比の酸化物半導体を用いる場合、酸化物半導体 S 1 および酸化物半導体 S 3 には、 $[M]/[In]$ が 1 以上、好ましくは 2 以上となる原子数比の酸化物半導体を用いることが好ましい。また、酸化物半導体 S 3 として、十分に高い絶縁性を得ることができる $[M]/([Zn] + [In])$ が 1 以上となるような原子数比の酸化物半導体を用いることが好適である。

【0300】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

20

【0301】

(実施の形態 5)

以下では、本発明の一態様に用いることのできる酸化物半導体の構造について説明する。

【0302】

なお、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。

【0303】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

30

【0304】

< 酸化物半導体の構造 >

以下では、酸化物半導体の構造について説明する。

【0305】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC-OS (c-axis-aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) および非晶質酸化物半導体などがある。

40

【0306】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体および nc-OS などがある。

【0307】

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

50

【0308】

逆の見方をすると、安定な酸化物半導体を完全な非晶質 (completely amorphous) 酸化物半導体とは呼べない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a-like OSは、等方的でないが、鬆 (ポイドともいう。) を有する不安定な構造である。不安定であるという点では、a-like OSは、物性的に非晶質酸化物半導体に近い。

【0309】

<CAAC-OS>

まずは、CAAC-OSについて説明する。

10

【0310】

CAAC-OSは、c軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一種である。

【0311】

CAAC-OSをX線回折 (XRD: X-Ray Diffraction) によって解析した場合について説明する。例えば、空間群R-3mに分類されるInGaZnO₄の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図28(A)に示すように回折角(2θ)が31°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OSでは、結晶がc軸配向性を有し、c軸がCAAC-OSの膜を形成する面 (被形成面ともいう。)、または上面に略垂直な方向を向いていることが確認できる。なお、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、空間群Fd-3mに分類される結晶構造に起因する。そのため、CAAC-OSは、該ピークを示さないことが好ましい。

20

【0312】

一方、CAAC-OSに対し、被形成面に平行な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(110)面に帰属される。そして、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行っても、図28(B)に示すように明瞭なピークは現れない。一方、単結晶InGaZnO₄に対し、2θを56°近傍に固定してスキャンした場合、図28(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、a軸およびb軸の配向が不規則であることが確認できる。

30

【0313】

次に、電子回折によって解析したCAAC-OSについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-OSに対し、CAAC-OSの被形成面に平行にプローブ径が300nmの電子線を入射させると、図28(D)に示すような回折パターン (制限視野電子回折パターンともいう。) が現れる場合がある。この回折パターンには、InGaZnO₄の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図28(E)に示す。図28(E)より、リング状の回折パターンが確認される。したがって、プローブ径が300nmの電子線を用いた電子回折によっても、CAAC-OSに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図28(E)における第1リングは、InGaZnO₄の結晶の(010)面および(100)面などに起因すると考えられる。また、図28(E)における第2リングは(110)面などに起因すると考えられる。

40

【0314】

50

また、透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OSの明視野像と回折パターンとの複合解析像 (高分解能TEM像ともいう。) を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像であってもペレット同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を明確に確認することができない場合がある。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0315】

図29(A)に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正 (Spherical Aberration Corrector) 機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。

10

【0316】

図29(A)より、金属原子が層状に配列している領域であるペレットを確認することができる。ペレット一つの大きさは1nm以上のものや、3nm以上のものがあることがわかる。したがって、ペレットを、ナノ結晶 (nc: nanocrystal) と呼ぶこともできる。また、CAAC-OSを、CANO (C-Axis Aligned nanocrystals) を有する酸化物半導体と呼ぶこともできる。ペレットは、CAAC-OSの被形成面または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

20

【0317】

また、図29(B)および図29(C)に、試料面と略垂直な方向から観察したCAAC-OSの平面のCs補正高分解能TEM像を示す。図29(D)および図29(E)は、それぞれ図29(B)および図29(C)を画像処理した像である。以下では、画像処理の方法について説明する。まず、図29(B)を高速フーリエ変換 (FFT: Fast Fourier Transform) 処理することでFFT像を取得する。次に、取得したFFT像において原点を基準に、 2.8 nm^{-1} から 5.0 nm^{-1} の間の範囲を残すマスク処理をする。次に、マスク処理したFFT像を、逆高速フーリエ変換 (IFFT: Inverse Fast Fourier Transform) 処理することで画像処理した像を取得する。こうして取得した像をFFTフィルタリング像と呼ぶ。FFTフィルタリング像は、Cs補正高分解能TEM像から周期成分を抜き出した像であり、格子配列を示している。

30

【0318】

図29(D)では、格子配列の乱れた箇所を破線で示している。破線で囲まれた領域が、一つのペレットである。そして、破線で示した箇所がペレットとペレットとの連結部である。破線は、六角形状であるため、ペレットが六角形状であることがわかる。なお、ペレットの形状は、正六角形状とは限らず、非正六角形状である場合が多い。

【0319】

図29(E)では、格子配列の揃った領域と、別の格子配列の揃った領域と、の間を点線で示している。点線近傍においても、明確な結晶粒界を確認することはできない。点線近傍の格子点を中心に周囲の格子点を繋ぐと、歪んだ六角形や、五角形またはノおよび七角形などが形成できる。即ち、格子配列を歪ませることによって結晶粒界の形成を抑制していることがわかる。これは、CAAC-OSが、a-b面方向において原子間の結合距離が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

40

【0320】

以上に示すように、CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のペレット (ナノ結晶) が連結し、歪みを有した結晶構造となっている。よって、CAAC-OSを、CAA crystal (c-axis-aligned a-b-pl

50

ane - anchored crystal) を有する酸化物半導体と称することもできる。

【0321】

C A A C - O S は結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をすると C A A C - O S は不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。

【0322】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0323】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。例えば、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【0324】

不純物および酸素欠損の少ない C A A C - O S は、キャリア密度の低い酸化物半導体である。具体的には、 $8 \times 10^{11} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 未満、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。C A A C - O S は、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

【0325】

< n c - O S >

次に、n c - O S について説明する。

【0326】

n c - O S を X R D によって解析した場合について説明する。例えば、n c - O S に対し、out - of - plane 法による構造解析を行うと、配向性を示すピークが現れない。即ち、n c - O S の結晶は配向性を有さない。

【0327】

また、例えば、 InGaZnO_4 の結晶を有する n c - O S を薄片化し、厚さが 34 nm の領域に対し、被形成面に平行にプローブ径が 50 nm の電子線を入射させると、図 30 (A) に示すようなリング状の回折パターン（ナノビーム電子回折パターン）が観測される。また、同じ試料にプローブ径が 1 nm の電子線を入射させたときの回折パターン（ナノビーム電子回折パターン）を図 30 (B) に示す。図 30 (B) より、リング状の領域内に複数のスポットが観測される。したがって、n c - O S は、プローブ径が 50 nm の電子線を入射させることでは秩序性が確認されないが、プローブ径が 1 nm の電子線を入射させることでは秩序性が確認される。

【0328】

また、厚さが 10 nm 未満の領域に対し、プローブ径が 1 nm の電子線を入射させると、図 30 (C) に示すように、スポットが略正六角状に配置された電子回折パターンを観測される場合がある。したがって、厚さが 10 nm 未満の範囲において、n c - O S が秩序性の高い領域、即ち結晶を有することがわかる。なお、結晶が様々な方向を向いているため、規則的な電子回折パターンが観測されない領域もある。

【0329】

図 30 (D) に、被形成面と略平行な方向から観察した n c - O S の断面の Cs 補正高分解能 T E M 像を示す。n c - O S は、高分解能 T E M 像において、補助線で示す箇所など

のように結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-OSに含まれる結晶部は、1 nm以上10 nm以下の大きさであり、特に1 nm以上3 nm以下の大きさであることが多い。なお、結晶部の大きさが10 nmより大きく100 nm以下である酸化半導体を微結晶酸化半導体(microcrystalline oxide semiconductor)と呼ぶことがある。nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-OSにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-OSの結晶部をペレットと呼ぶ場合がある。

【0330】

このように、nc-OSは、微小な領域(例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域)において原子配列に周期性を有する。また、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化半導体と区別が付かない場合がある。

【0331】

なお、ペレット(ナノ結晶)間で結晶方位が規則性を有さないことから、nc-OSを、RANC(Random Aligned nanocrystals)を有する酸化半導体、またはNANC(Non-Aligned nanocrystals)を有する酸化半導体と呼ぶこともできる。

【0332】

nc-OSは、非晶質酸化半導体よりも規則性の高い酸化半導体である。そのため、nc-OSは、a-like OSや非晶質酸化半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

【0333】

<a-like OS>

a-like OSは、nc-OSと非晶質酸化半導体との間の構造を有する酸化半導体である。

【0334】

図31に、a-like OSの高分解能断面TEM像を示す。ここで、図31(A)は電子照射開始時におけるa-like OSの高分解能断面TEM像である。図31(B)は $4.3 \times 10^8 \text{ e}^-/\text{nm}^2$ の電子(e^-)照射後におけるa-like OSの高分解能断面TEM像である。図31(A)および図31(B)より、a-like OSは電子照射開始時から、縦方向に延伸する縞状の明領域が観察されることがわかる。また、明領域は、電子照射後に形状が変化することがわかる。なお、明領域は、鬆または低密度領域と推測される。

【0335】

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0336】

試料として、a-like OS、nc-OSおよびCAAC-OSを準備する。いずれの試料もIn-Ga-Zn酸化物である。

【0337】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有する。

【0338】

なお、InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同

10

20

30

40

50

程度であり、結晶構造解析からその値は 0.29 nm と求められている。したがって、以下では、格子縞の間隔が 0.28 nm 以上 0.30 nm 以下である箇所を、 InGaZnO_4 の結晶部と見なした。なお、格子縞は、 InGaZnO_4 の結晶の $a-b$ 面に対応する。

【0339】

図32は、各試料の結晶部（22箇所から30箇所）の平均の大きさを調査した例である。なお、上述した格子縞の長さを結晶部の大きさとしている。図32より、 $a\text{-like OS}$ は、TEM像の取得などに係る電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。図32より、TEMによる観察初期においては 1.2 nm 程度の大きさだった結晶部（初期核ともいう。）が、電子（ e^- ）の累積照射量が $4.2 \times 10^8 e^- / \text{nm}^2$ においては 1.9 nm 程度の大きさまで成長していることがわかる。一方、 $nc\text{-OS}$ および $CAC\text{-OS}$ は、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 e^- / \text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。図32より、電子の累積照射量によらず、 $nc\text{-OS}$ および $CAC\text{-OS}$ の結晶部の大きさは、それぞれ 1.3 nm 程度および 1.8 nm 程度であることがわかる。なお、電子線照射およびTEMの観察は、日立透過電子顕微鏡H-9000NARを用いた。電子線照射条件は、加速電圧を 300 kV 、電流密度を $6.7 \times 10^5 e^- / (\text{nm}^2 \cdot \text{s})$ 、照射領域の直径を 230 nm とした。

【0340】

このように、 $a\text{-like OS}$ は、電子照射によって結晶部の成長が見られる場合がある。一方、 $nc\text{-OS}$ および $CAC\text{-OS}$ は、電子照射による結晶部の成長がほとんど見られない。即ち、 $a\text{-like OS}$ は、 $nc\text{-OS}$ および $CAC\text{-OS}$ と比べて、不安定な構造であることがわかる。

【0341】

また、鬆を有するため、 $a\text{-like OS}$ は、 $nc\text{-OS}$ および $CAC\text{-OS}$ と比べて密度の低い構造である。具体的には、 $a\text{-like OS}$ の密度は、同じ組成の単結晶酸化物半導体の密度の 78.6% 以上 92.3% 未満となる。また、 $nc\text{-OS}$ の密度および $CAC\text{-OS}$ の密度は、同じ組成の単結晶酸化物半導体の密度の 92.3% 以上 100% 未満となる。単結晶酸化物半導体の密度の 78% 未満となる酸化物半導体は、成膜すること自体が困難である。

【0342】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は 6.357 g/cm^3 となる。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、 $a\text{-like OS}$ の密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満となる。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、 $nc\text{-OS}$ の密度および $CAC\text{-OS}$ の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

【0343】

なお、同じ組成の単結晶酸化物半導体が存在しない場合、任意の割合で組成の異なる単結晶酸化物半導体を組み合わせることにより、所望の組成における単結晶酸化物半導体に相当する密度を見積もることができる。所望の組成の単結晶酸化物半導体に相当する密度は、組成の異なる単結晶酸化物半導体を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶酸化物半導体を組み合わせで見積もることが好ましい。

【0344】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、 $a\text{-like OS}$ 、 $nc\text{-OS}$ 、 $CAC\text{-OS}$ のうち、二種以上を有する積層膜であってもよい。

【0345】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0346】

(実施の形態6)

本実施の形態では、本発明の一態様の発振器、または当該発振器を有するPLLをクロック信号の生成回路として用いることのできる半導体装置の例について説明する。

【0347】

PLLは、例えば、プロセッシングユニットに組み込まれ、クロック生成回路として機能させることができる。プロセッシングユニットとして、例えば、CPU(中央演算装置)、GPU(Graphics Processing Unit)、PLD(Programmable Logic Device)、DSP(Digital Signal Processor)、MCU(Micro Controller Unit)、カスタムLSIなどがある。また、無線でデータを送受信することが可能な無線ICがある。

10

【0348】

図33に無線ICの一例を示す。無線ICは、無線チップ、RFIC、RFチップなどと呼ばれる場合がある。無線ICにPLLを組み込むことで、例えば、搬送波もしくは復調信号に同期したクロック信号を生成することができる。

【0349】

図33に示す無線IC1000は、整流回路1001、電源回路1002、復調回路1003、変調回路1004、PLL1005、論理回路1006、記憶装置1007、およびROM(読み取り専用メモリ)1008を有する。これらの回路は、必要に応じて、適宜、取捨することができる。無線IC1000は、アンテナ1010と電氣的に接続されている。PLL1005として、本発明の一態様の発振器、または当該発振器を有するPLLを適用することができる。

20

【0350】

本実施の形態に示す無線IC1000の種類は特段の制約はない。図33の例では無線IC1000は、パッシブ型であるが、もちろん、無線IC1000は、電池を内蔵したアクティブ型でもよい。また、使用する周波数帯域によって、無線IC1000の通信方式や、アンテナ1010の構造等を決定すればよい。

30

【0351】

アンテナ1010は、通信器1012に接続されたアンテナ1011との間で無線信号1013の送受信を行うためのものである。アンテナ1010は通信帯域に応じた性能を有する。データの伝送方式は、一対のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式などがある。

【0352】

整流回路1001は、アンテナ1010で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波2倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。整流回路1001の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

40

【0353】

電源回路1002は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。電源回路1002は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路1006のリセット信号を生成するための回路である。

【0354】

復調回路1003は、入力交流信号を包絡線検出することにより復調し、復調信号を生成

50

するための回路である。変調回路1004は、アンテナ1010から出力するデータに応じて変調を行うための回路である。PLL1005は、復調信号に同期したクロック信号を生成するための回路である。

【0355】

論理回路1006は復調信号を解読し、解読結果に基づき処理を行うことができる機能を有する。論理回路1006は、例えば、コード認識および判定回路、符号化回路等を有する。コード認識および判定回路は、クロック信号に基づき、復調信号のコードを解析し、対応するデータ情報を得る。論理回路1006は、解析された情報に応じて、記憶装置1007とデータのやりとりを行う。記憶装置1007から出力されたデータは、符号化回路において符号化される。符号化された信号は、変調回路1004に出力される。

10

【0356】

記憶装置1007は、入力されたデータを保持する回路であり、ロウデコード、カラムデコード、記憶領域などを有する。また、ROM1008は、固有番号(ID)などを保持するための回路であり論理回路1006の処理に応じて、ROM1008はデータを出力する。

【0357】

図34にプログラマブルロジックデバイス(PLD)の一例を示す。図34では、プログラマブルロジックデバイス1050は、I/O(入出力)エレメント1051、ランダムアクセスメモリ(RAM)1052、乗算器1053、PLL1054、およびプログラマブルロジックエレメント(PLE)1055を有する。I/Oエレメント1051は、プログラマブルロジックデバイス1050の外部回路からの信号の入力、および外部回路への信号の出力を制御するインターフェイスの機能を有する。PLL1054は、クロック信号を生成する機能を有する。RAM1052は、論理演算に用いられるデータを保持する機能を有する。乗算器1053は、乗算専用の論理回路に相当する。プログラマブルロジックデバイス1050に乗算を行う機能が含まれていれば、乗算器1053は必ずしも設ける必要はない。

20

【0358】

図35にマイクロコントローラユニット(MCU)1070の一例を示す。MCU1070はCPUコア1071、電源管理装置(PMU)1072、パワーゲート1073、タイマー1074、PLL1075、アナログーデジタル変換器(ADC)1081、ウォッチドッグタイマー1082、ROM1083、不揮発性記憶装置(Non-Volatile Memory、NVMともいう)1084、電源回路1085、IF(インターフェイス)エレメント1086等を有する。

30

【0359】

PLL1075は、クロック信号を生成し、CPUコア1071、タイマー1074等の内部回路に出力する。CPUコア1071、タイマー1074は、クロック信号を用いて処理を行うことができる機能を有する。PMU1072はパワーゲート1073を制御し、MCU1070の内部回路への電源電圧VDDの供給を制御する。タイマー1074およびPLL1075は、パワーゲート1073を介さずにVDDを供給することが可能となっている。PMU1072はパワーゲート1073を制御して、動作させる必要がない内部回路への電源供給を遮断する。

40

【0360】

図35は、MCU1070は無線通信が可能な無線モジュール1080を制御する例を示している。ADC1081には、センサユニット等の半導体装置が接続されている。MCU1070は、ADC1081に入力される信号を処理して、処理結果を無線モジュール1080によって、他の無線モジュールに送信するための制御を行うことができる。あるいは、MCU1070は、無線モジュール1080の受信信号を処理して、処理結果を無線モジュール1080によって他の無線モジュールに送信するための制御を行うことができる。

【0361】

50

P M U 1 0 7 2 によってパワーゲート 1 0 7 3 がオンになる。それによって C P U コア 1 0 7 1、ウオッチドッグタイマー 1 0 8 2、R O M 1 0 8 3、電源回路 1 0 8 5、I F エレメント 1 0 8 6 が稼働する。C P U コア 1 0 7 1 で演算処理されたデータは I F エレメント 1 0 8 6 から無線モジュール 1 0 8 0 に出力される。無線モジュール 1 0 8 0 は無線送信を行う。無線モジュール 1 0 8 0 の出力信号は、I F エレメント 1 0 8 6 を介して A D C 1 0 8 1 に入力される。A D C 1 0 8 1 は入力信号をデジタル信号に変換して、C P U コア 1 0 7 1 に出力する。C P U コア 1 0 7 1 は、入力信号を演算処理する。演算処理された信号は、I F エレメント 1 0 8 6 を介して無線モジュール 1 0 8 0 に出力される。無線モジュール 1 0 8 0 は無線送信を行う。送信終了後、P M U 1 0 7 2 はパワーゲート 1 0 7 3 をオフし、C P U コア 1 0 7 1 等への電源供給を停止する。電源供給の停止後、P M U 1 0 7 2 はタイマー 1 0 7 4 を制御し、時間計測を開始させる。P M U 1 0 7 2 は、タイマー 1 0 7 4 の計測時間が設定値に達すると、再びパワーゲート 1 0 7 3 をオンにして、C P U コア 1 0 7 1 等へ電源の供給を再開する。

10

【 0 3 6 2 】

図 3 6 に表示装置の一例を示す。図 3 6 は表示装置の分解斜視図である。P L L は、表示装置の駆動回路にクロック信号を供給するために組み込まれる。

【 0 3 6 3 】

図 3 6 に示す表示装置 1 4 0 0 は、上部カバー 1 4 2 1 と下部カバー 1 4 2 2 との間に、F P C 1 4 2 3 に接続されたタッチパネルユニット 1 4 2 4、F P C 1 4 2 5 に接続された表示パネル 1 4 1 0、バックライトユニット 1 4 2 6、フレーム 1 4 2 8、プリント基板 1 4 2 9、バッテリー 1 4 3 0 を有する。なお、バックライトユニット 1 4 2 6、バッテリー 1 4 3 0、タッチパネルユニット 1 4 2 4 など、設けられてない場合もある。例えば、表示装置 1 4 0 0 が反射型の液晶表示装置やエレクトロルミネセンス (E L) 表示装置の場合は、バックライトユニット 1 4 2 6 は必要のない部品である。また、表示装置 1 4 0 0 には、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

20

【 0 3 6 4 】

上部カバー 1 4 2 1 および下部カバー 1 4 2 2 は、タッチパネルユニット 1 4 2 4 および表示パネル 1 4 1 0 のサイズに合わせて、形状や寸法を適宜変更することができる。

【 0 3 6 5 】

タッチパネルユニット 1 4 2 4 は、抵抗膜方式または静電容量方式のタッチパネルを表示パネル 1 4 1 0 に重畳して用いることができる。また、表示パネル 1 4 1 0 の対向基板 (封止基板) に、タッチパネル機能を持たせるようにすることも可能である。または、表示パネル 1 4 1 0 の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。または、表示パネル 1 4 1 0 の各画素内にタッチセンサ用電極を設け、静電容量方式のタッチパネルとすることも可能である。

30

【 0 3 6 6 】

バックライトユニット 1 4 2 6 は、光源 1 4 2 7 を有する。光源 1 4 2 7 をバックライトユニット 1 4 2 6 の端部に設け、光拡散板を用いる構成としてもよい。

【 0 3 6 7 】

フレーム 1 4 2 8 は、表示パネル 1 4 1 0 の保護機能の他、プリント基板 1 4 2 9 の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム 1 4 2 8 は、放熱板としての機能を有していてもよい。

40

【 0 3 6 8 】

プリント基板 1 4 2 9 は、電源回路、ビデオ信号およびクロック信号を出力するための信号処理回路を有する。信号処理回路に P L L が組み込まれる。P L L で生成されるクロック信号は、表示パネル 1 4 1 0 の駆動回路、およびタッチパネルユニット 1 4 2 4 の駆動回路に供給される。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー 1 4 3 0 による電源であってもよい。バッテリー 1 4 3 0 は、商用電源を用いる場合には、省略可能である。

【 0 3 6 9 】

50

図37(A)に示す撮像装置1500は、画素部1510と、駆動回路1521、駆動回路1522、駆動回路1523、および駆動回路1524を有する。撮像装置にPLLを組み込むことができる。PLLは画素部を駆動する駆動回路にクロック信号を生成する。

【0370】

画素部1510は、 p 行 q 列(p および q は2以上の自然数)のマトリクス状に配置された複数の画素1511(撮像素子)を有する。駆動回路1521乃至駆動回路1524は、画素部1510と電氣的に接続し、画素部1510を駆動するための信号を供給する機能を有する。画素1511は、光電変換素子、および画素回路を有する。画素回路は、光電変換素子の受光量に応じたアナログ信号を生成する機能を有する。

【0371】

また、例えば、駆動回路1522または駆動回路1523は、信号を読み出す画素1511を選択する選択信号を生成して出力する機能を有する。なお、駆動回路1522または駆動回路1523を、行選択回路、または垂直駆動回路と呼ぶ場合がある。駆動回路1521乃至駆動回路1524のうち、少なくとも1つを省略してもよい。例えば、駆動回路1521または駆動回路1524の一方の機能を、駆動回路1521または駆動回路1524の他方に付加して、駆動回路1521または駆動回路1524の一方を省略してもよい。また、例えば、駆動回路1522または駆動回路1523の一方の機能を、駆動回路1522または駆動回路1523の他方に付加して、駆動回路1522または駆動回路1523の一方を省略してもよい。また、例えば、駆動回路1521乃至駆動回路1524のいずれか1つに、他の回路の機能を付加して、駆動回路1521乃至駆動回路1524のいずれか1つ以外を省略してもよい。

【0372】

例えば、駆動回路1521または駆動回路1524は、画素1511から出力されたアナログ信号を処理する機能を有する。例えば、図37(B)に駆動回路1521の構成例を示す。図37(B)示す駆動回路1521は、信号処理回路1531、列駆動回路1532、および出力回路1533などを有する。

【0373】

信号処理回路1531は、列ごとに設けられた回路1534を有する。回路1534は、ノイズの除去、アナログ-デジタル変換などの信号処理を行う機能を有することができる。図37(B)に示す回路1534は、アナログ-デジタル変換の機能を有する。信号処理回路1531は列並列型(カラム型)アナログ-デジタル変換装置として機能することができる。

【0374】

回路1534は、コンパレータ1541とカウンタ回路1542を有する。コンパレータ1541は、列ごとに設けられた配線1540から入力されるアナログ信号と、配線1537から入力される参照用電位信号(例えば、ランプ波信号)の電位を比較する機能を有する。配線1538には、PLLからクロック信号が入力される。カウンタ回路1542は、クロック信号を用いて、コンパレータ1541での比較動作により第1の値が出力されている期間を計測し、計測結果を N ビットデジタル値として保持する機能を有する。

【0375】

列駆動回路1532は、列選択回路、水平駆動回路等とも呼ばれる。列駆動回路1532は、信号を読み出す列を選択する選択信号を生成する。列駆動回路1532は、シフトレジスタなどで構成することができる。列駆動回路1532により列が順次選択され、選択された列の回路1534から出力された信号が、配線1539を介して出力回路1533に入力される。配線1539は水平転送線として機能することができる。

【0376】

出力回路1533に入力された信号は、出力回路1533で処理されて、撮像装置1500の外部に出力される。出力回路1533は、例えばバッファ回路で構成することができる。また、出力回路1533は、撮像装置1500の外部に信号を出力するタイミングを制御できる機能を有していてもよい。

10

20

30

40

50

【 0 3 7 7 】

上述した各種のプロセッシングユニットや、表示装置等の半導体装置は、様々な電子機器に組み込むことができる。例えば、図 3 3 に示す無線チップを組み込むことで、電子機器に無線通信機能を持たせることができる。例えば、図 3 6 に示す表示装置を組み込むことで、電子機器に情報の表示機能を持たせることができる。例えば、図 3 7 (A)、(B) に示す撮像素子を組み込むことで、電子機器に撮像機能を持たせることができる。

【 0 3 7 8 】

電子機器としては、例えば、表示機器、パーソナルコンピュータ、記録媒体を備えた画像記憶装置または画像再生装置、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機などが挙げられる。これら電子機器の具体例を図 3 8 に示す。

【 0 3 7 9 】

図 3 8 (A) は携帯型ゲーム機であり、筐体 9 0 1、筐体 9 0 2、表示部 9 0 3、表示部 9 0 4、マイクロフォン 9 0 5、スピーカー 9 0 6、操作キー 9 0 7、スタイラス 9 0 8、カメラ 9 0 9 等を有する。なお、図 3 8 (A) に示した携帯型ゲーム機は、2つの表示部 9 0 3 と表示部 9 0 4 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【 0 3 8 0 】

図 3 8 (B) はビデオカメラであり、第 1 筐体 9 1 1、第 2 筐体 9 1 2、表示部 9 1 3、操作キー 9 1 4、レンズ 9 1 5、接続部 9 1 6 等を有する。操作キー 9 1 4 およびレンズ 9 1 5 は第 1 筐体 9 1 1 に設けられており、表示部 9 1 3 は第 2 筐体 9 1 2 に設けられている。そして、第 1 筐体 9 1 1 と第 2 筐体 9 1 2 とは、接続部 9 1 6 により接続されており、第 1 筐体 9 1 1 と第 2 筐体 9 1 2 の間の角度は、接続部 9 1 6 により変更が可能である。表示部 9 1 3 における映像を、接続部 9 1 6 における第 1 筐体 9 1 1 と第 2 筐体 9 1 2 との間の角度に従って切り替える構成としても良い。

【 0 3 8 1 】

図 3 8 (C) はノート型パーソナルコンピュータであり、筐体 9 2 1、表示部 9 2 2、キーボード 9 2 3、ポインティングデバイス 9 2 4 等を有する。

【 0 3 8 2 】

図 3 8 (D) は腕時計型の情報端末であり、筐体 9 3 1、表示部 9 3 2、リストバンド 9 3 3、操作用のボタン 9 3 5、竜頭 9 3 6、カメラ 9 3 9 等を有する。表示部 9 3 2 はタッチパネルとなってもよい。当該情報端末における画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

【 0 3 8 3 】

図 3 8 (E) は携帯データ端末であり、第 1 筐体 9 4 1、表示部 9 4 2、カメラ 9 4 9 等を有する。表示部 9 4 2 が有するタッチパネル機能により情報の入力を行うことができる。

【 0 3 8 4 】

図 3 8 (F) は自動車であり、車体 9 5 1、車輪 9 5 2、ダッシュボード 9 5 3、ライト 9 5 4 等を有する。

【 0 3 8 5 】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【 符号の説明 】

【 0 3 8 6 】

- 1 0 位相比較器
- 1 5 ループフィルタ

10

20

30

40

50

2 0	回路	
2 1	電圧制御発振器	
2 2	リングオシレータ	
2 3	バッファ回路	
2 4	回路	
2 5	分周器	
2 6	リングオシレータ	
2 7	バッファ回路	
4 0	インバータ	
4 1	トランジスタ	10
4 2	トランジスタ	
4 3	トランジスタ	
4 3 a	トランジスタ	
4 3 b	トランジスタ	
4 4	トランジスタ	
4 4 a	トランジスタ	
4 4 b	トランジスタ	
4 5	トランジスタ	
4 6 a	トランジスタ	
4 6 b	トランジスタ	20
4 7	トランジスタ	
6 1	配線	
6 2	配線	
6 3	配線	
6 4	配線	
6 5	配線	
7 1	配線	
7 2	配線	
7 3	配線	
7 5	配線	30
8 0	絶縁層	
8 1	絶縁層	
8 3	絶縁層	
8 4	絶縁層	
8 8	導電体	
1 0 1	トランジスタ	
1 0 2	トランジスタ	
1 0 3	トランジスタ	
1 0 4	トランジスタ	
1 0 5	トランジスタ	40
1 0 6	トランジスタ	
1 0 7	トランジスタ	
1 0 8	トランジスタ	
1 0 9	トランジスタ	
1 1 0	トランジスタ	
1 1 1	トランジスタ	
1 1 2	トランジスタ	
1 1 3	トランジスタ	
1 1 5	基板	
1 2 0	絶縁層	50

1 3 0	酸化物半導体層	
1 3 0 a	酸化物半導体層	
1 3 0 b	酸化物半導体層	
1 3 0 c	酸化物半導体層	
1 4 0	導電層	
1 4 1	導電層	
1 4 2	導電層	
1 5 0	導電層	
1 5 1	導電層	
1 5 2	導電層	10
1 6 0	絶縁層	
1 7 0	導電層	
1 7 1	導電層	
1 7 2	導電層	
1 7 3	導電層	
1 7 5	絶縁層	
1 8 0	絶縁層	
1 9 0	絶縁層	
2 3 1	領域	
2 3 2	領域	20
2 3 3	領域	
3 3 1	領域	
3 3 2	領域	
3 3 3	領域	
3 3 4	領域	
3 3 5	領域	
6 0 0	基板	
6 1 0	基板	
6 5 0	活性層	
9 0 1	筐体	30
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	
9 0 9	カメラ	
9 1 1	筐体	
9 1 2	筐体	40
9 1 3	表示部	
9 1 4	操作キー	
9 1 5	レンズ	
9 1 6	接続部	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	表示部	50

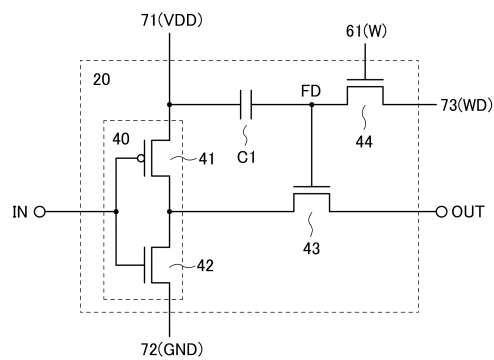
9 3 3	リストバンド	
9 3 5	ボタン	
9 3 6	竜頭	
9 3 9	カメラ	
9 4 1	筐体	
9 4 2	表示部	
9 4 9	カメラ	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	10
9 5 4	ライト	
1 0 0 0	無線 I C	
1 0 0 1	整流回路	
1 0 0 2	電源回路	
1 0 0 3	復調回路	
1 0 0 4	変調回路	
1 0 0 5	P L L	
1 0 0 6	論理回路	
1 0 0 7	記憶装置	
1 0 0 8	R O M	20
1 0 1 0	アンテナ	
1 0 1 1	アンテナ	
1 0 1 2	通信器	
1 0 1 3	無線信号	
1 0 5 0	プログラマブルロジックデバイス	
1 0 5 1	I / O エlement	
1 0 5 2	R A M	
1 0 5 3	乗算器	
1 0 5 4	P L L	
1 0 7 0	M C U	30
1 0 7 1	C P U コア	
1 0 7 2	P M U	
1 0 7 3	パワーゲート	
1 0 7 4	タイマー	
1 0 7 5	P L L	
1 0 8 0	無線モジュール	
1 0 8 1	A D C	
1 0 8 2	ウォッチドッグタイマー	
1 0 8 3	R O M	
1 0 8 5	電源回路	40
1 0 8 6	I F エlement	
1 1 0 0	層	
1 2 0 0	層	
1 4 0 0	表示装置	
1 4 1 0	表示パネル	
1 4 2 1	上部カバー	
1 4 2 2	下部カバー	
1 4 2 3	F P C	
1 4 2 4	タッチパネルユニット	
1 4 2 5	F P C	50

1 4 2 6	バックライトユニット
1 4 2 7	光源
1 4 2 8	フレーム
1 4 2 9	プリント基板
1 4 3 0	バッテリー
1 5 0 0	撮像装置
1 5 1 0	画素部
1 5 1 1	画素
1 5 2 1	駆動回路
1 5 2 2	駆動回路
1 5 2 3	駆動回路
1 5 2 4	駆動回路
1 5 3 1	信号処理回路
1 5 3 2	列駆動回路
1 5 3 3	出力回路
1 5 3 4	回路
1 5 3 7	配線
1 5 3 8	配線
1 5 3 9	配線
1 5 4 0	配線
1 5 4 1	コンパレータ
1 5 4 2	カウンタ回路

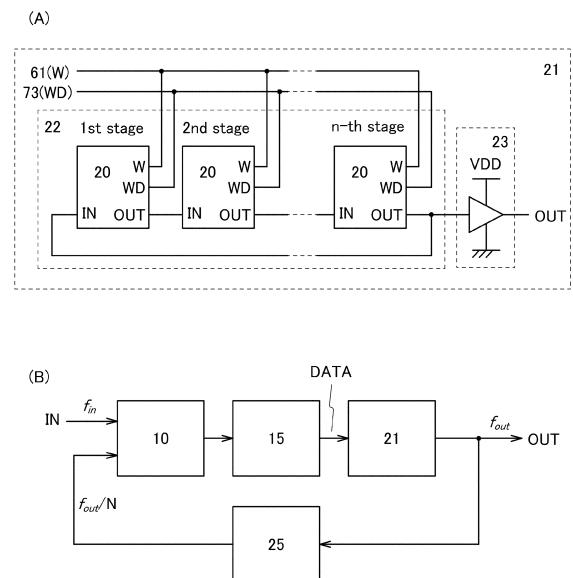
10

20

【図 1】

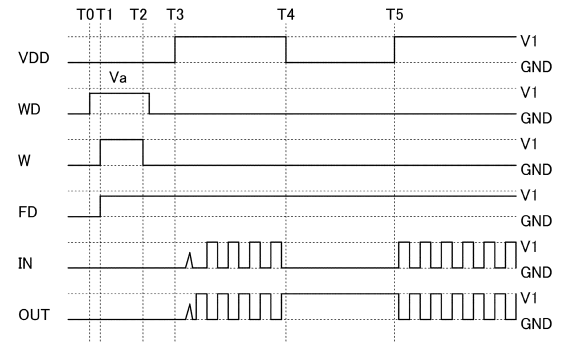
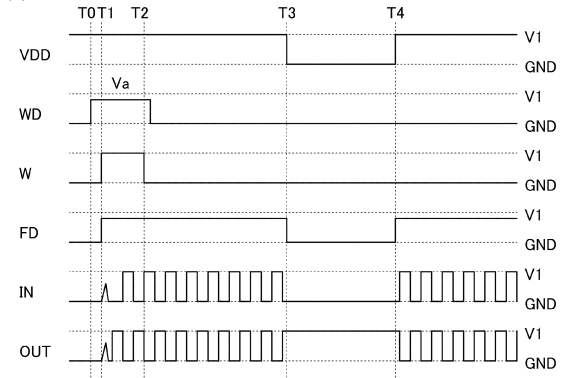


【図 2】



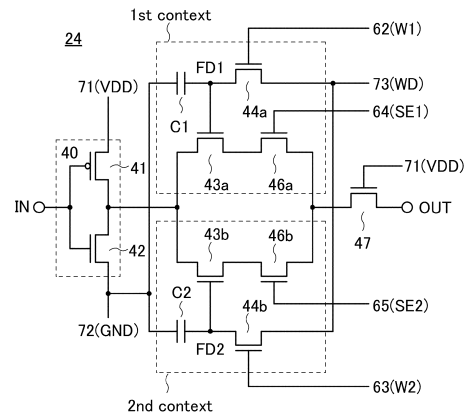
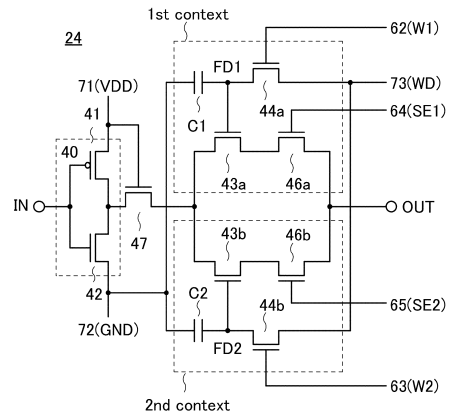
【 図 4 】

(A)

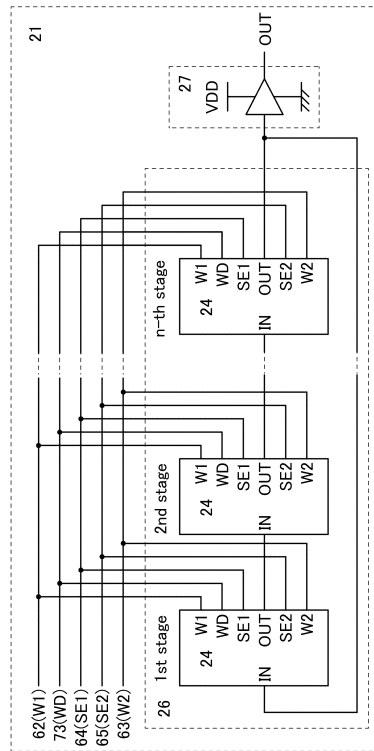


【 図 6 】

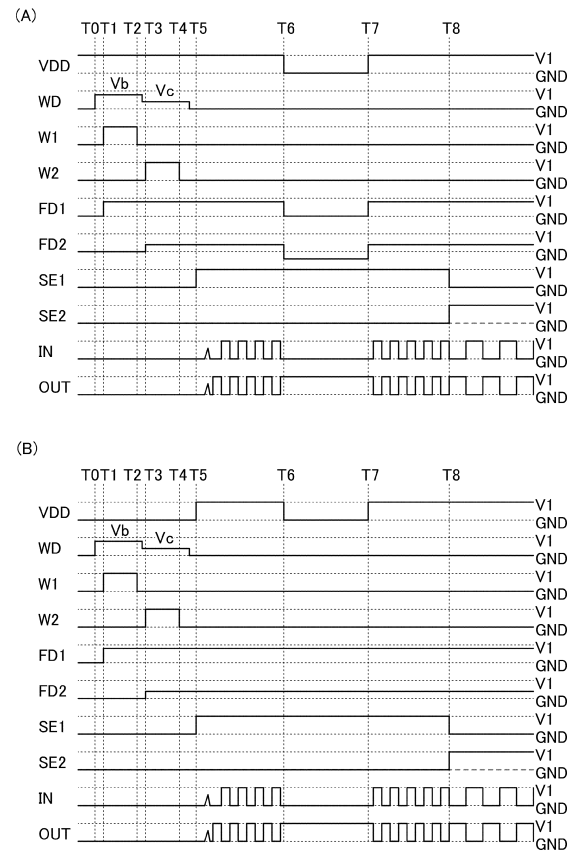
(A



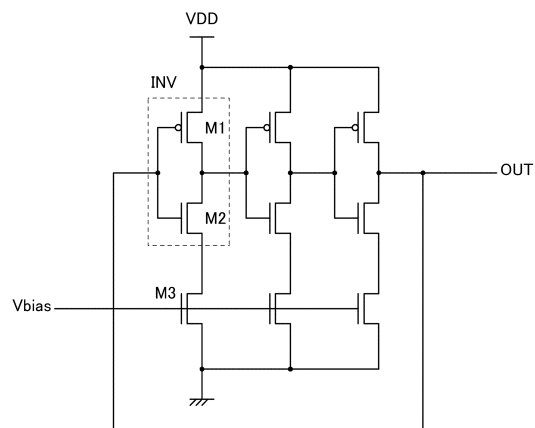
【図 7】



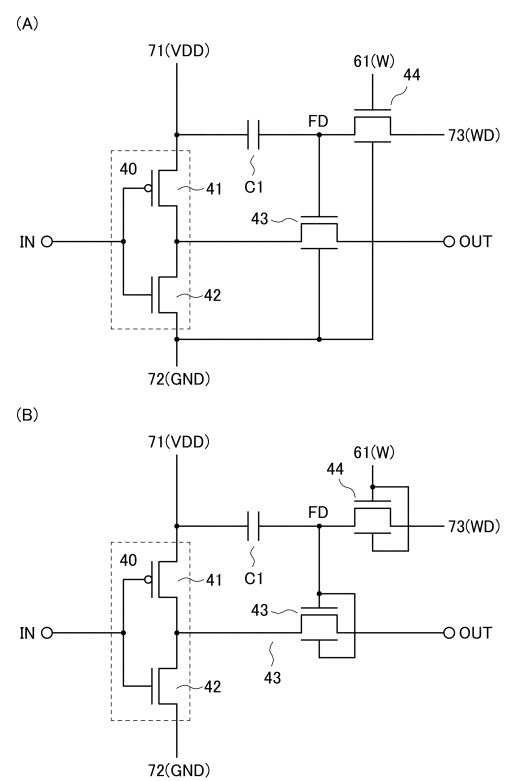
【図 8】



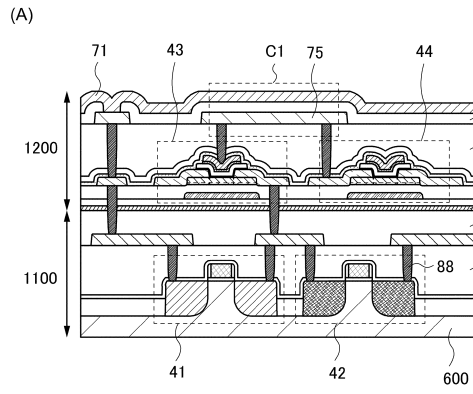
【図 9】



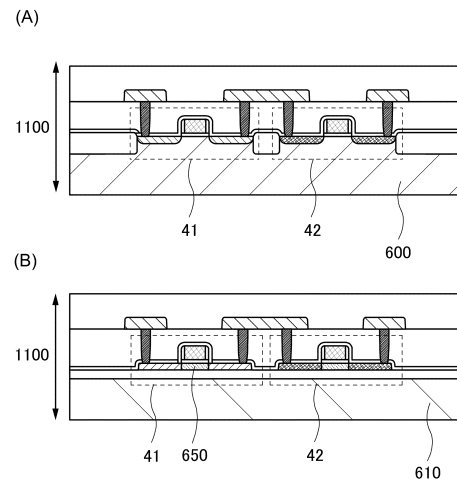
【図 10】



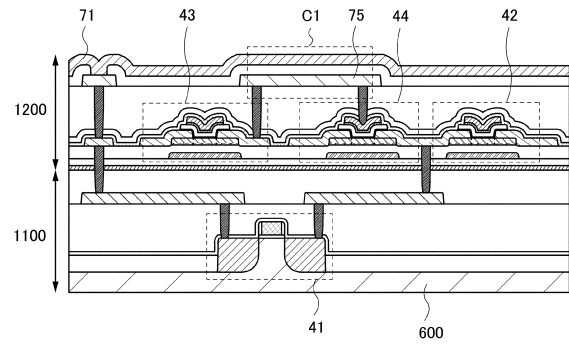
【図 1 1】



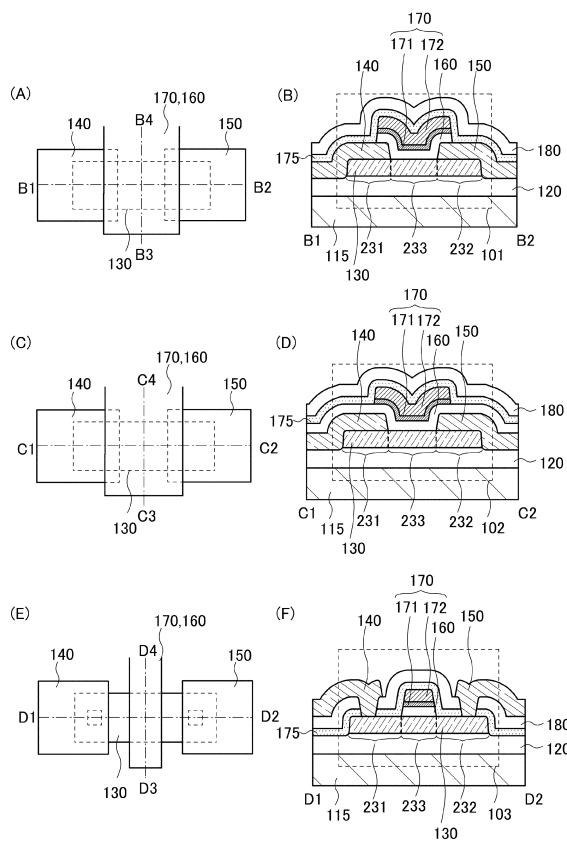
【図 1 2】



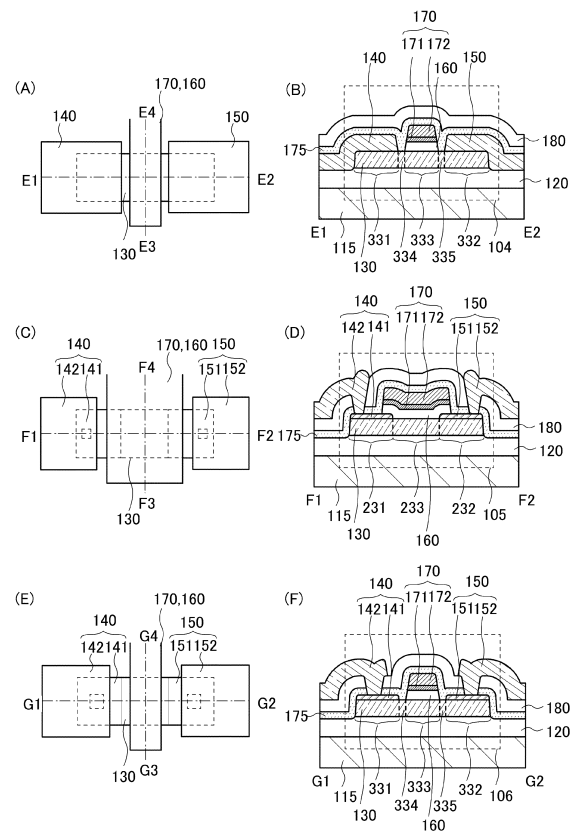
【図 1 3】



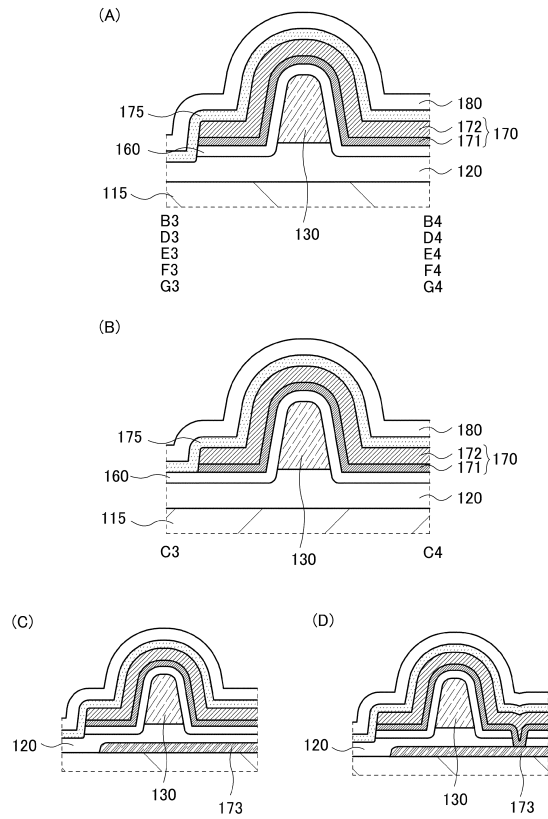
【図 1 4】



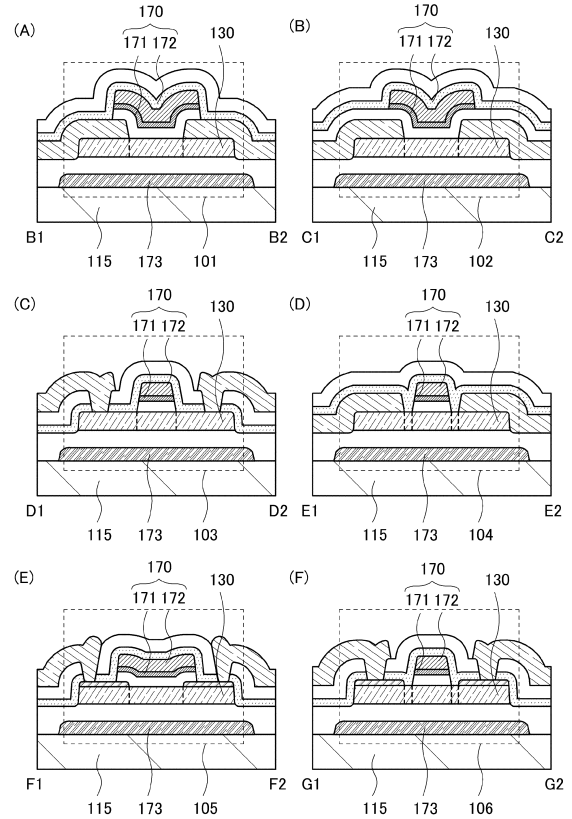
【図 1 5】



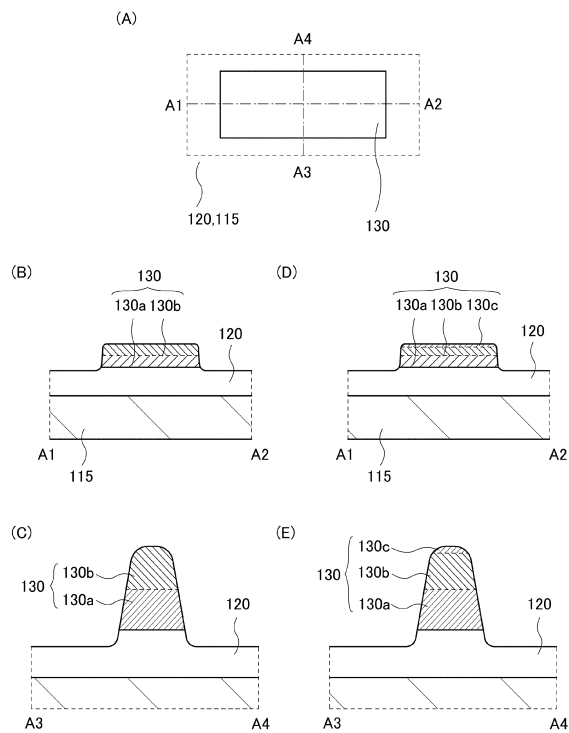
【図 16】



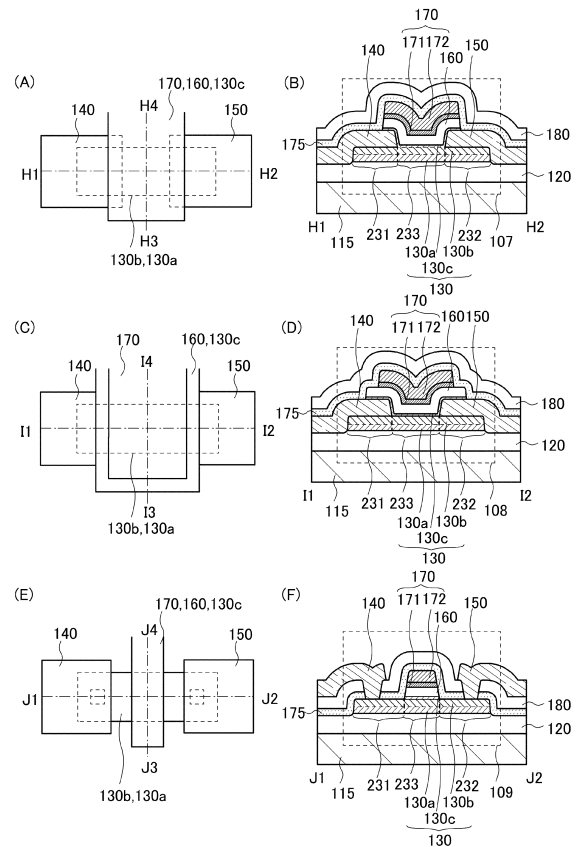
【図 17】



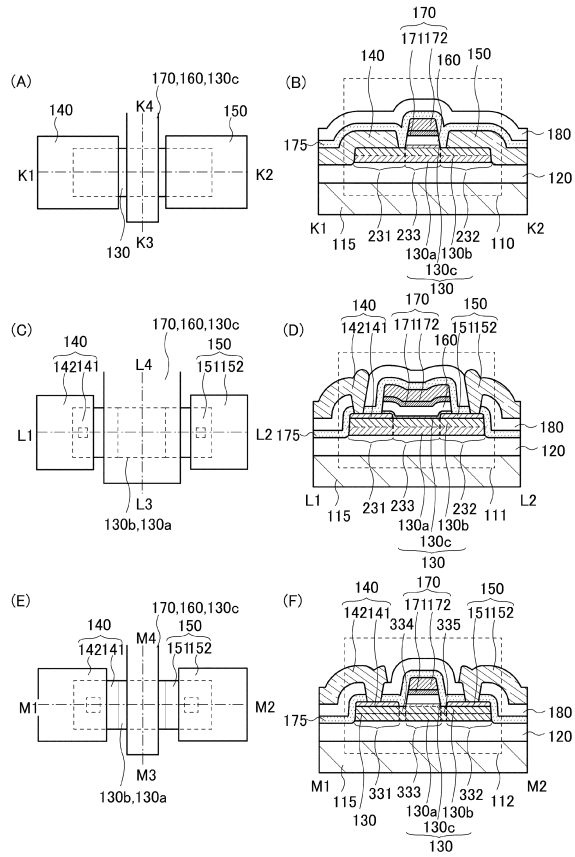
【図 18】



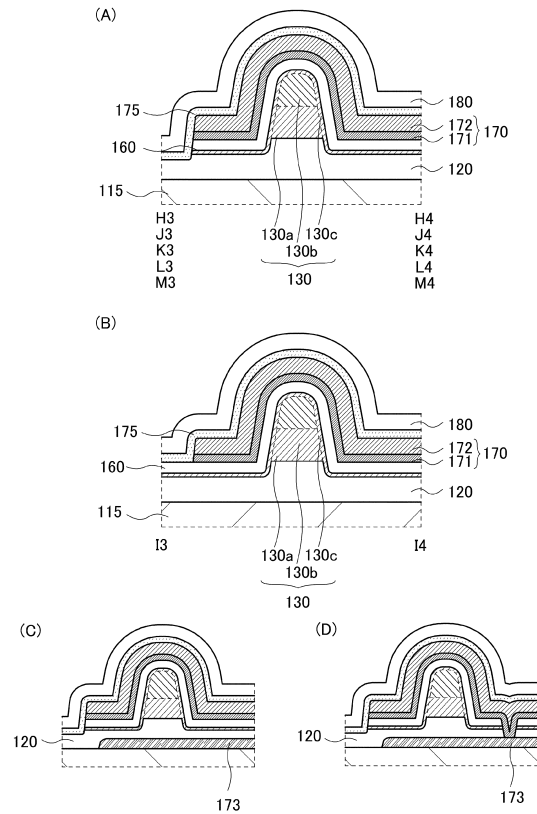
【図 19】



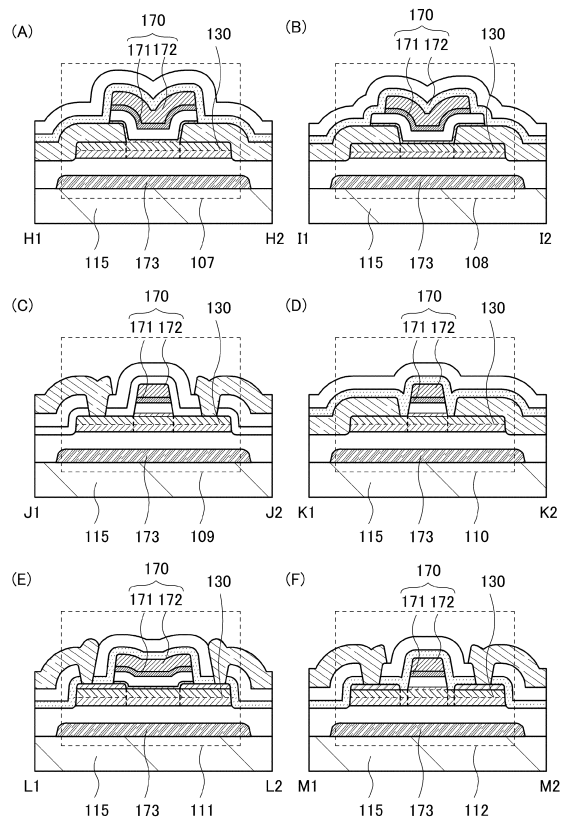
【図 20】



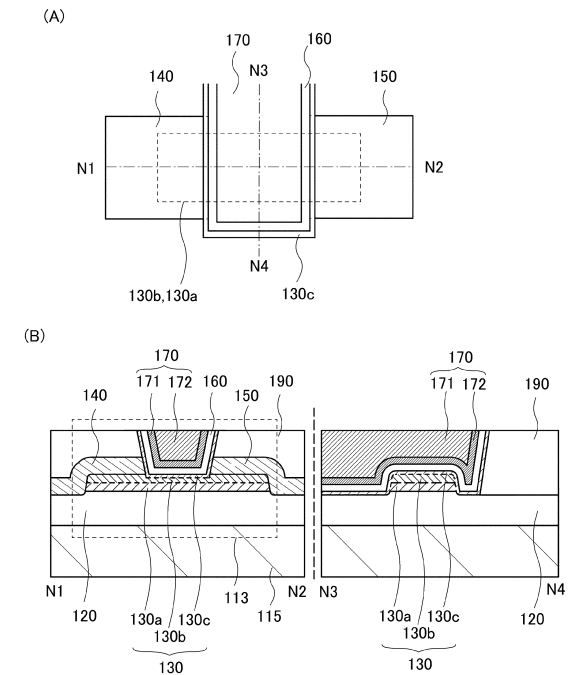
【図 21】



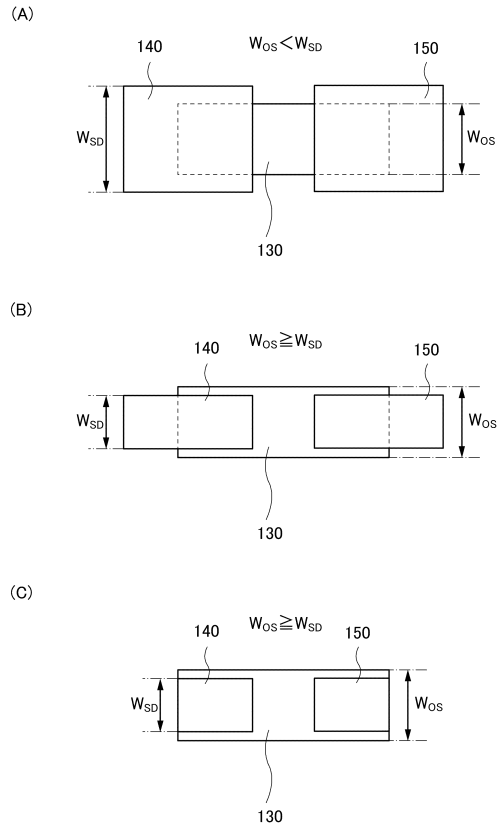
【図 22】



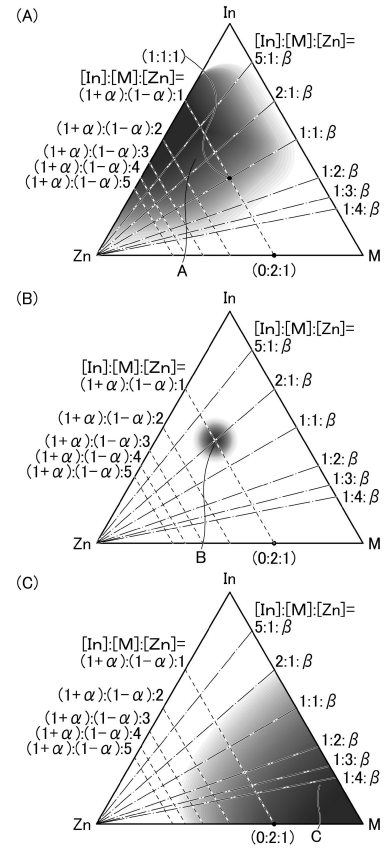
【図 23】



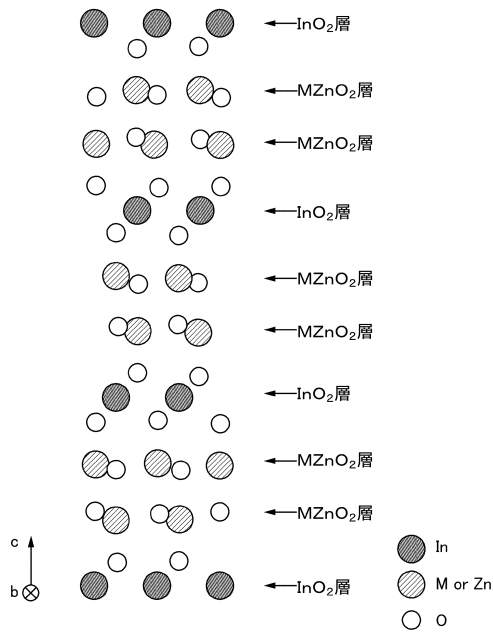
【図 24】



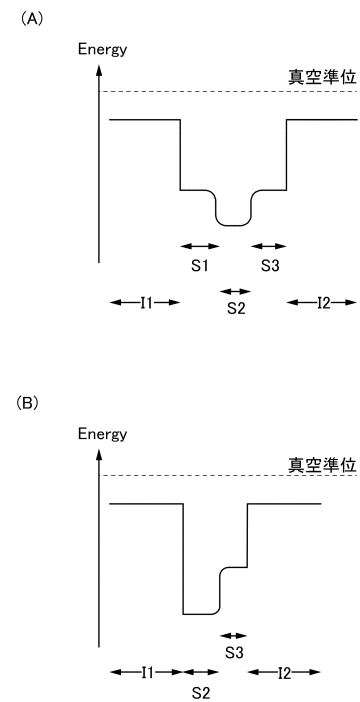
【図 25】



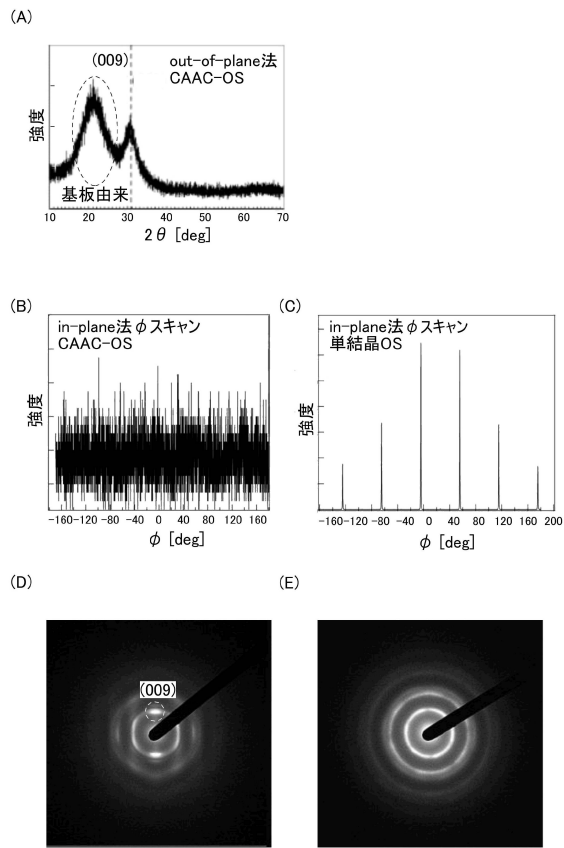
【図 26】

InM₂ZnO₄の結晶構造

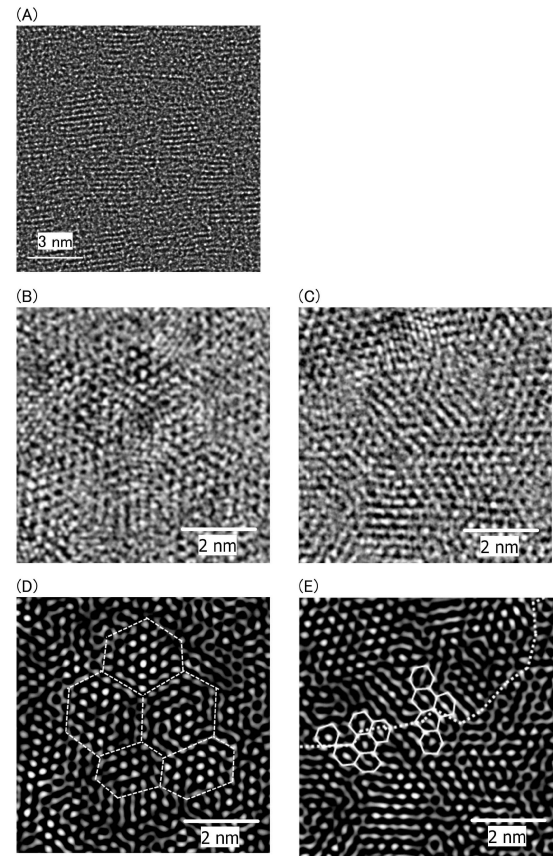
【図 27】



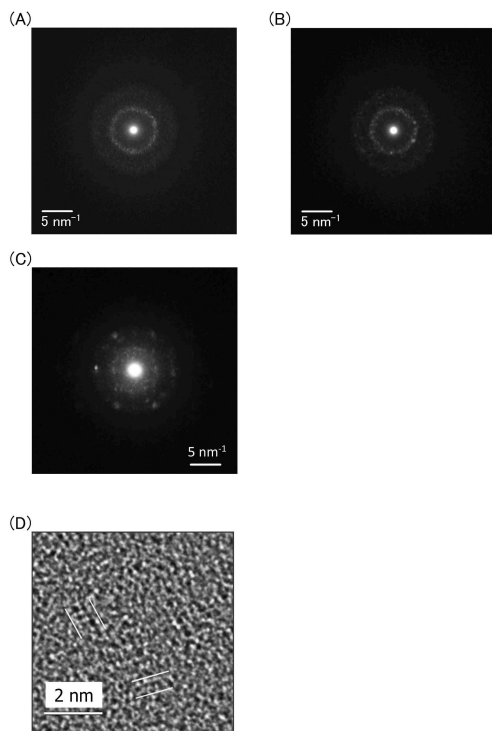
【図 28】



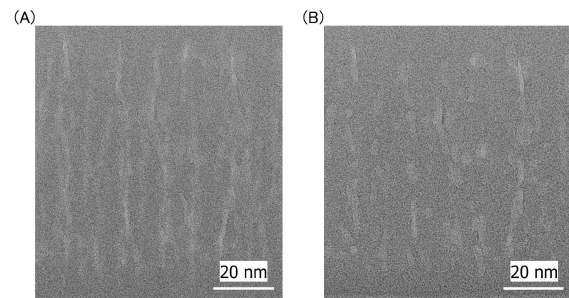
【図 29】



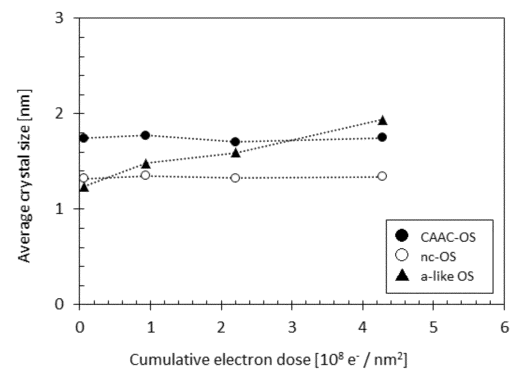
【図 30】



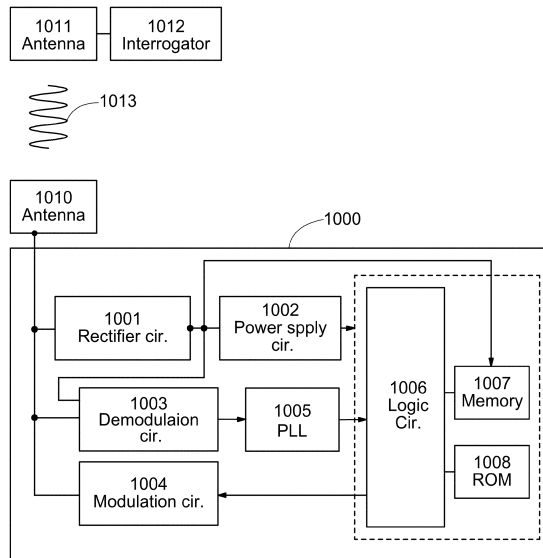
【図 31】



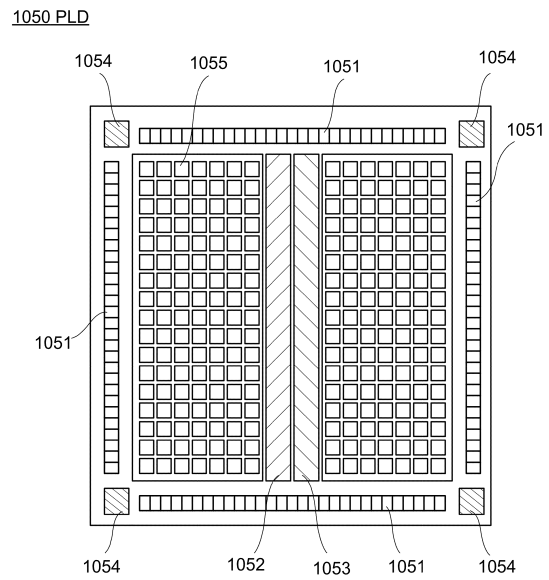
【図 32】



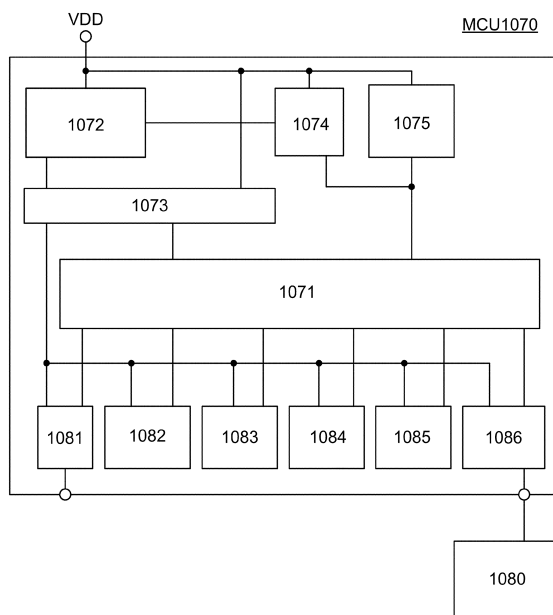
【図 3 3】



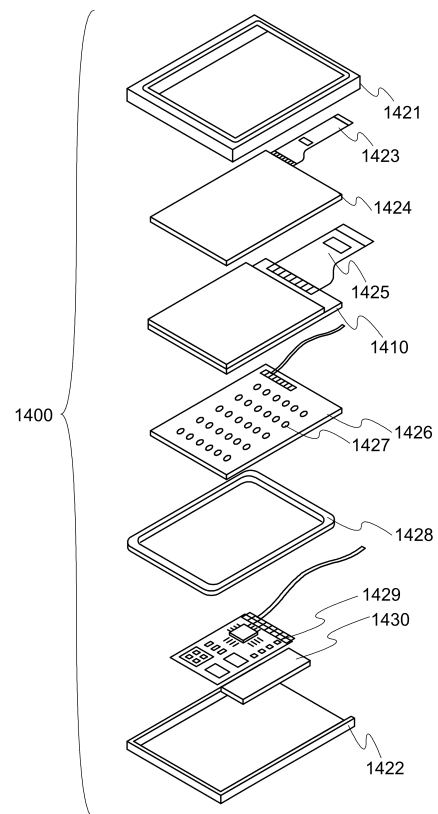
【図 3 4】



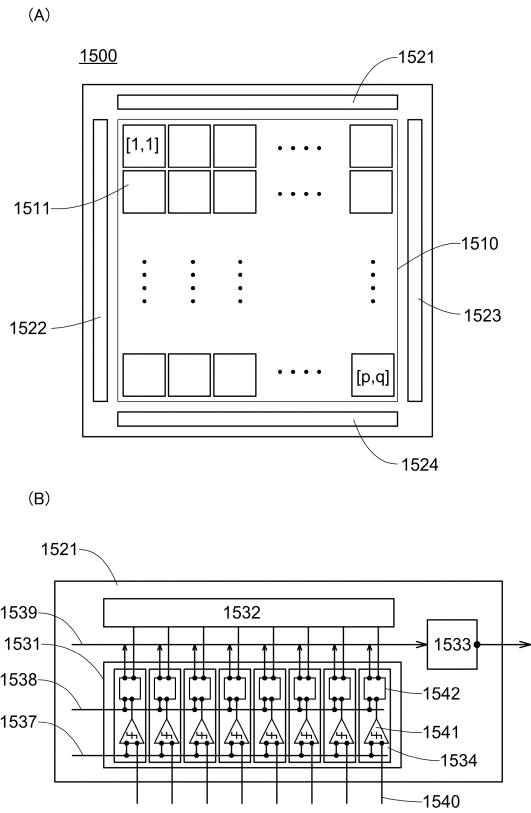
【図 3 5】



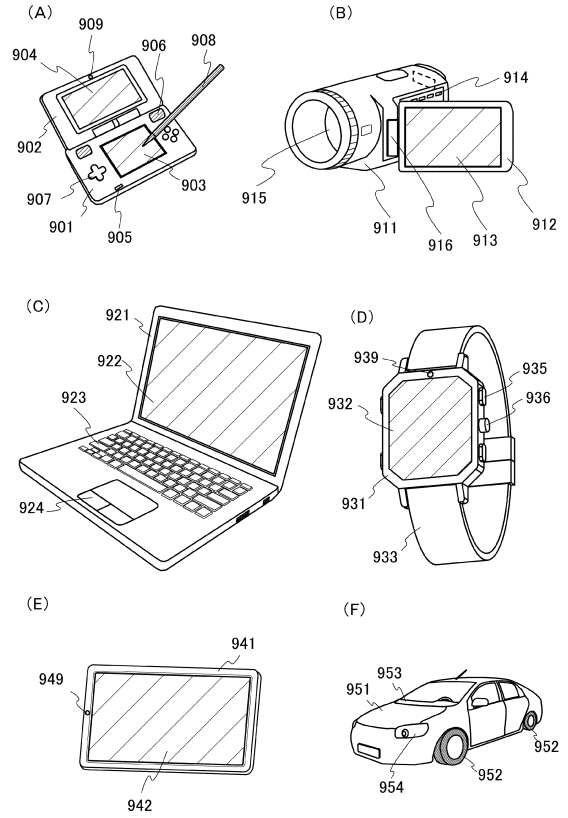
【図 3 6】



【図 37】



【図 38】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L 21/8238 (2006.01)		H 0 1 L 27/092		K
H 0 1 L 27/092 (2006.01)		H 0 1 L 29/78	6 1 4	
H 0 1 L 29/786 (2006.01)		H 0 1 L 29/78	6 1 8 B	

(56)参考文献 特開 2 0 1 4 - 2 4 0 8 3 3 (J P , A)
特開平 9 - 8 3 3 0 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

- H 0 3 K 3 / 0 1 4
- H 0 3 K 3 / 0 3
- H 0 3 K 3 / 3 5 4
- H 0 1 L 2 1 / 8 2 3 4 - 2 1 / 8 2 3 8
- H 0 1 L 2 7 / 0 4 - 2 7 / 0 6
- H 0 1 L 2 7 / 0 8 8 - 2 7 / 0 9 2
- H 0 1 L 2 9 / 7 8 6