



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I708134 B

(45)公告日：中華民國 109 (2020) 年 10 月 21 日

(21)申請案號：108133693

(22)申請日：中華民國 108 (2019) 年 09 月 18 日

(51)Int. Cl. : **G05F3/26 (2006.01)**(71)申請人：新唐科技股份有限公司 (中華民國) NUVOTON TECHNOLOGY CORPORATION
(TW)

新竹市東區研新三路 4 號

(72)發明人：黃銘信 HUANG, MING-HSIN (TW)

(74)代理人：楊長峯

(56)參考文獻：

TW 486808

TW I225763

TW 200912598A

TW 201901333A

US 9088280B2

US RE46498

US 2010/0007382A1

審查人員：林明立

申請專利範圍項數：8 項 圖式數：7 共 22 頁

(54)名稱

基體偏壓產生電路

(57)摘要

本發明提供一種基體偏壓產生電路，用以提供一基體偏壓至一功能電路之一電晶體之基體。此基體偏壓產生電路包含：一第一電晶體以及一第二電晶體，其串聯連接於一供應電壓端以及一接地端之間，且第一電晶體之一控制端係耦接該第二電晶體之一控制端；一第三電晶體，其一端係電性耦接該第一電晶體與該第二電晶體其中之一的基體，且該第三電晶體之另一端係耦接該第三電晶體之基體；一電阻元件，其耦接於該第三電晶體之該端以及該第一電晶體之一電流流入端或是該第二電晶體之一電流流出端之間。第三電晶體之該端上的電壓係為基體偏壓。

The present disclosure illustrates a body bias generator circuit for generating a body bias voltage to body of a transistor of a functional circuit. The body bias generator circuit includes: a first transistor and a second transistor which are connected in series between a power supply terminal and a ground terminal, and control terminals of the first transistor and the second transistor are connected to each other; a third transistor including a terminal electrically connected to body of one of the first transistor and the second transistor, and other terminal connected to the body thereof; a resistor element, connected between the terminal of the third transistor and a current input terminal of the first transistor or a current output terminal of the second transistor.

指定代表圖：

符號簡單說明：

10:基體偏壓產生電路

101:NMOS 電晶體

102、103:PMOS 電晶體

R1:電阻元件

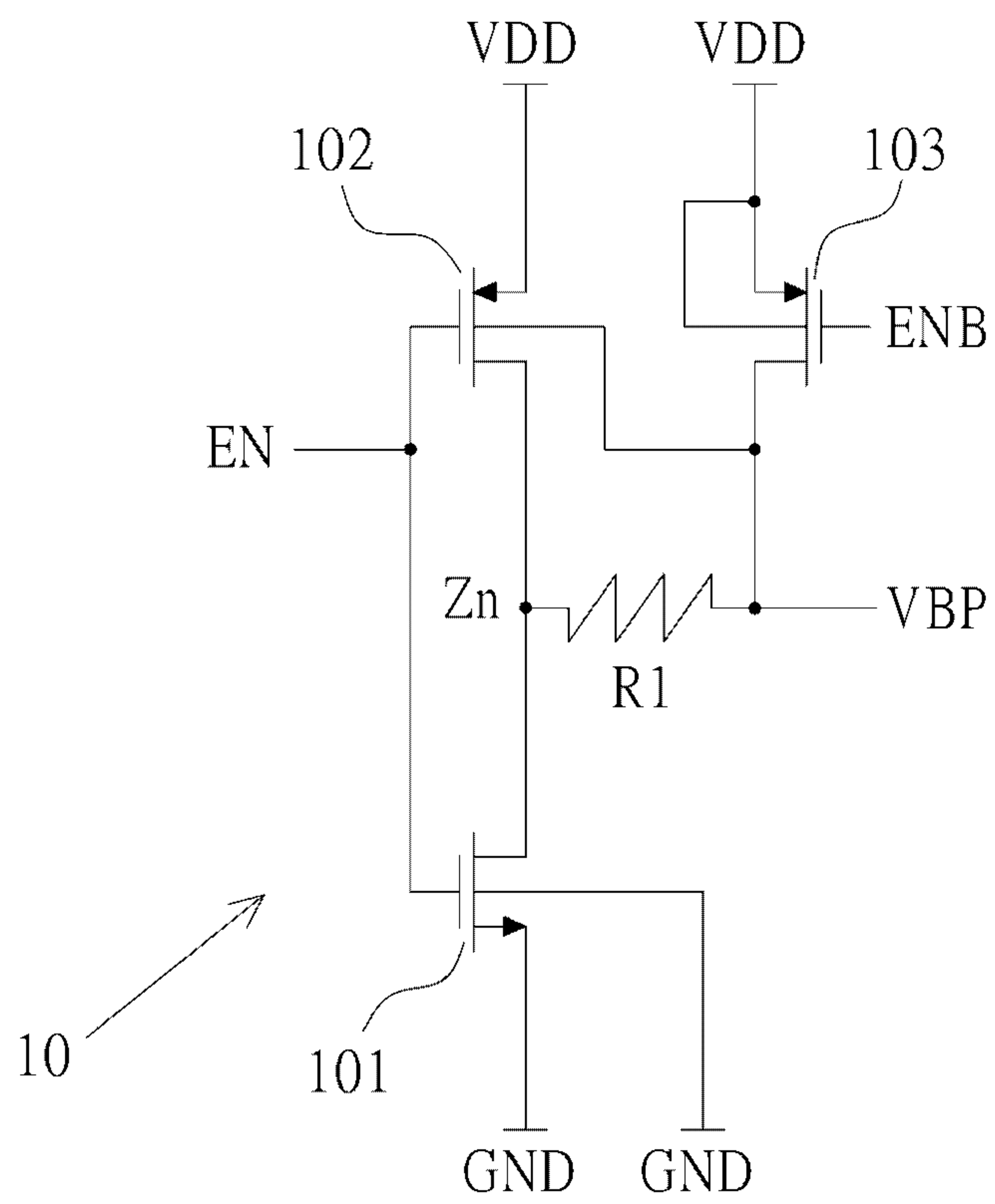
EN:致能訊號

ENB:反致能訊號

GND:接地端

VDD:供應電壓端

Zn:端點



第1圖



I708134

【發明摘要】

【中文發明名稱】 基體偏壓產生電路

【英文發明名稱】 BODY BIAS VOLTAGE GENERATING CIRCUIT

【中文】

本發明提供一種基體偏壓產生電路，用以提供一基體偏壓至一功能電路之一電晶體之基體。此基體偏壓產生電路包含：一第一電晶體以及一第二電晶體，其串聯連接於一供應電壓端以及一接地端之間，且第一電晶體之一控制端係耦接該第二電晶體之一控制端；一第三電晶體，其一端係電性耦接該第一電晶體與該第二電晶體其中之一的基體，且該第三電晶體之另一端係耦接該第三電晶體之基體；一電阻元件，其耦接於該第三電晶體之該端以及該第一電晶體之一電流流入端或是該第二電晶體之一電流流出端之間。第三電晶體之該端上的電壓係為基體偏壓。

【英文】

The present disclosure illustrates a body bias generator circuit for generating a body bias voltage to body of a transistor of a functional circuit. The body bias generator circuit includes: a first transistor and a second transistor which are connected in series between a power supply terminal and a ground terminal, and control terminals of the first transistor and the second transistor are connected to each other; a third transistor including a terminal electrically connected to body of one of the first transistor and the second transistor, and other terminal connected to the body thereof; a resistor element, connected between the terminal of the third transistor and a current input terminal of the first transistor or a current output terminal of the second transistor.

【指定代表圖】 (第1圖)

【代表圖之符號簡單說明】

10：基體偏壓產生電路

101：NMOS電晶體

102、103：PMOS電晶體

R1：電阻元件

EN：致能訊號

ENB：反致能訊號

GND：接地端

VDD：供應電壓端

Zn：端點

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 基體偏壓產生電路

【英文發明名稱】 BODY BIAS VOLTAGE GENERATING CIRCUIT

【技術領域】

【0001】 本發明係有關於一種基體偏壓產生電路，特別是有關於一種能隨著供應電源電壓的變化而提供適當之基體偏壓的基體偏壓產生電路。

【先前技術】

【0002】 近年來，物聯網應用受到很大的矚目，不過仍有關鍵技術須克服。例如，物聯網應用所採用的元件必須有極低的功耗，即表示整體電路必須在供應電源電壓(VDD)低於電晶體的標準臨界電壓(threshold voltage)的情況下還能正常啟動。因此，目前亟需要的是一種基體偏壓產生電路，其能讓整體電路在較低的供應電源電壓下還能正常啟動，而當VDD恢復到標準臨界電壓以上後又能讓電路恢復成在臨界電壓下的正常操作狀態，而且盡可能沒有漏電流產生。

【發明內容】

【0003】 本發明之目的在於提供一種基體偏壓產生電路，其可在當供應電源電壓低於電晶體之標準臨界電壓時提供適當的基體偏壓，讓功能電路的電晶體之臨界電壓降低以利於啟動，以及當供應電源電壓高於電晶體之臨界電壓時，本發明之基體偏壓產生電路提供適當的基體偏壓以減少漏電流。

【0004】 基於上述目的，本發明係提供一種基體偏壓產生電路，其用以提供一基體偏壓至一功能電路之一電晶體之基體，該基體偏壓產生電路包含第一電晶體、第二電晶體、第三電晶體以及一電阻元件。第一電晶體以及第二電晶體係串聯連接於高電壓端以及低電壓端之間，且第一電晶體之控制端係耦接第二電晶體之控制端。第一電晶體之控制端以及第二電晶體之控制端係接收一致能訊號。第三電晶體之一端係電性耦接第一電晶體與第二電晶體之一的基體，且第三電晶體之另一端係耦接第三電晶體之基體，第三電晶體之一控制端係接收一反致能訊號，而反致能訊號係為致能訊號之反相訊號。電阻元件耦接於第三電晶體之該端以及第一電晶體之電流流入端或是第二電晶體之電流流出端之間。第三電晶體之該端上的電壓係為基體偏壓。

【0005】 較佳地，第一電晶體係為NMOS電晶體，第二電晶體係為PMOS電晶體，第三電晶體係為PMOS電晶體，且第三電晶體之該端為汲極，該第三電晶體之該汲極係電性耦接該第二電晶體之基體，第三電晶體之基體係電性耦接第三電晶體之源極，而第一電晶體之源極係耦接低電壓端或一預設偏壓端，第二電晶體之源極係耦接高電壓端。

【0006】 較佳地，電阻元件之兩端係分別耦接於第三電晶體之汲極以及第二電晶體之汲極。

【0007】 較佳地，第三電晶體之汲極以及第二電晶體之汲極係電性連接，且電阻元件之兩端係分別耦接於第三電晶體之汲極以及第一電晶體之汲極。

【0008】 較佳地，第一電晶體係為NMOS電晶體，第二電晶體係為PMOS電晶體，第三電晶體係為NMOS電晶體，且第三電晶體之該端為汲極，第三電晶體之汲極係電性耦接第一電晶體之基體，第三電晶體之基體係電性耦接第三電晶體之汲極，而第一電晶體之源極係電性耦接低電壓端，第二電晶體之源極係耦接高電壓端或一預設偏壓端。

【0009】 較佳地，電阻元件之兩端係分別耦接於第三電晶體之汲極以及第一電晶體之汲極。

【0010】 較佳地，第三電晶體之汲極以及第一電晶體之汲極係電性連接，且電阻元件之兩端係分別耦接於第三電晶體之汲極以及第二電晶體之汲極。

【0011】 較佳地，高電壓端係為一供應電壓端，該低電壓端係為一接地端。

【圖式簡單說明】

【0012】 第1圖係繪示本發明之基體偏壓產生電路之第一實施例之電路圖。

【0013】 第2圖係繪示本發明之基體偏壓產生電路之第二實施例之電路圖。

【0014】 第3圖係繪示本發明之基體偏壓產生電路之第一實施例應用於功能電路之示意圖。

【0015】 第4圖係繪示本發明之基體偏壓產生電路之第三實施例之電路圖。

【0016】 第5圖係繪示本發明之基體偏壓產生電路之第四實施例之電路圖。

【0017】 第6圖係繪示本發明之基體偏壓產生電路之第三實施例應用於功能電路之示意圖。

【0018】 第7圖係繪示本發明之基體偏壓產生電路之第五實施例應用於功能電路之示意圖。

【實施方式】

【0019】 以下將配合圖式及實施例來詳細說明本發明的實施方式，藉此對本發明如何應用技術手段來解決技術問題並達成技術功效的實現過程能充分理解並據以實施。

【0020】 在說明本發明之技術特徵之前，先說明相關的名詞定義。在下文中，所謂電晶體的”臨界電壓”，係為電晶體的閘極源極之間的電壓(VGS)是否能導通電晶體的判斷基準，以NMOS電晶體為例，其臨界電壓為正值，當NMOS電晶體的閘極源極之間的電壓大於臨界電壓，則NMOS電晶體導通。臨界電壓會隨NMOS電晶體之基體的電壓而改變。通常NMOS電晶體之基體係電性連接源極而連接供應電源或是接地，所以臨界電壓為固定值。

【0021】 本發明之基體偏壓產生電路係用以提供一基體偏壓至一功能電路之一電晶體之基體，讓功能電路在供應電源電壓過低而處於次臨界電壓(sub threshold)的狀態下，仍能維持以較高頻率操作。基體偏壓產生電路包含第一電晶體、第二電晶體、第三電晶體以及電阻元件。第一電晶體以及第二電晶體係串聯連接於一高電壓端以及一低電壓端之間。在以下說明中，高電壓端係為供應電壓端VDD作為舉例說明，而低電壓端係為接地端GND作為舉例說明。第一電晶體之控制端係耦接第二電晶體之控制端。第一電晶體之該控制端以及第二電晶體之該控制端係接收一致能訊號。第三電晶體之一端係電性耦接第一電晶體與第二電晶體中其中之一的基體，且第三電晶體之另一端係耦接第三電晶體之基體。第三電晶體之一控制端係接收一反致能訊號，而反致能訊號

係為致能訊號之反相訊號。電阻元件係耦接於第三電晶體之該端以及第一電晶體之電流流入端或是第二電晶體之電流流出端之間。

【0022】 以下將以多個實施例說明本發明的各種實施態樣。

【0023】 請參閱第1圖，其繪示本發明之基體偏壓產生電路之第一實施例之電路圖。圖中，基體偏壓產生電路10所包含的電晶體係以金屬氧化物半導體場效電晶體(MOSFET，以下簡稱MOS電晶體)來實現，但此僅為舉例，而非為限制本發明。第一電晶體係為一N型金屬氧化物半導體場效電晶體(以下簡稱NMOS電晶體)101，第二電晶體係為一P型金屬氧化物半導體場效電晶體(以下簡稱PMOS電晶體)102，第三電晶體係為一PMOS電晶體103，且PMOS電晶體103之基體(body)係電性耦接PMOS電晶體103之源極(source)。

【0024】 NMOS電晶體101之源極以及基體係耦接接地端GND，PMOS電晶體102之源極以及PMOS電晶體103之源極係耦接供應電壓端VDD，PMOS電晶體102的基體係耦接PMOS電晶體103的汲極(drain)。電阻元件R1之兩端係分別耦接於PMOS電晶體103之汲極、NMOS電晶體101之汲極、以及PMOS電晶體102之汲極。PMOS電晶體103之汲極係耦接一功能電路之電晶體之基體，所以PMOS電晶體103之汲極上的電壓VBP係輸出提供給功能電路做為一基體偏壓。

【0025】 NMOS電晶體101之閘極(gate)以及PMOS電晶體102之閘極係接收一致能訊號EN，而PMOS電晶體103之一閘極係接收一反致能訊號ENB。反致能訊號ENB係為致能訊號EN之反相訊號。當致能訊號EN為高電壓位準，可啟動本發明之基體偏壓產生電路。

【0026】 請參閱第2圖，其繪示本發明之基體偏壓產生電路之第二實施例之電路圖。第二實施例與上述實施例不同之處在於電阻元件的連接方式。在第2圖之實施例中，PMOS電晶體103之汲極以及PMOS電晶體102之汲極係電性連

接，且電阻元件R2之兩端係分別耦接於PMOS電晶體103之汲極以及NMOS電晶體101之汲極。

【0027】 請參閱第3圖，其繪示本發明之基體偏壓產生電路之第一實施例應用於功能電路之示意圖。在第3圖中，功能電路60係為一邏輯運算電路，為NAND電路以及NOT電路的組合；但此僅為舉例，而非為限制本發明。在其他實施例中，功能電路60可為任何類型的電路。基體偏壓產生電路10係輸出一基體偏壓VBP給功能電路60之PMOS電晶體T3、T4以及T6的基體，而功能電路60之NMOS電晶體T1、T2以及T5的基體係耦接接地端GND。

【0028】 當致能訊號EN為高電壓位準 (high)且反致能訊號ENB位於低電壓位準 (low)，NMOS電晶體101導通，端點Zn電位為0。當系統上電後，供應電壓端VDD的電壓從0V開始上升，因此，一開始供應電壓端VDD的電壓會小於PMOS電晶體103之臨界電壓，所以PMOS電晶體103僅微弱導通或甚至在截止狀態(cut-off state)，因此電阻元件R1上產生的跨壓只會與PMOS電晶體103的漏電流有關，PMOS電晶體103的漏電流會流經電阻元件R1，經過NMOS電晶體101流向接地端GND。當供應電壓端VDD的電壓逐漸上升但仍小於PMOS電晶體103之臨界電壓時，PMOS電晶體103的漏電流與供應電壓端VDD的電壓為正相關，因此，在系統上電後的初始階段，基體偏壓VBP會與成供應電壓端VDD的電壓正比，但是幾乎等於0。

【0029】 例如，當供應電壓端VDD的電壓過小，例如為0.3V，則PMOS電晶體103截止，基體偏壓VBP幾乎等於0。功能電路60的PMOS電晶體T3、T4以及T6的源極接收供應電壓端VDD的電壓而其基體係接收基體偏壓VBP，所以基體偏壓VBP維持在接近0電壓而供應電壓端VDD的電壓持續上升，會導致PMOS電晶體T3、T4以及T6的臨界電壓降低。上述電晶體臨界電壓會隨著基極電壓而變化的技術係為此領域之技術者所熟知，在此不再贅述。

【0030】 相比於PMOS電晶體T3、T4以及T6的基體連接其源極而臨界電壓幾乎維持在固定值的情況，本發明之基體偏壓產生電路提供基體偏壓VBP，可以在供應電壓端VDD的電壓上升的初始階段讓PMOS電晶體T3、T4以及T6的臨界電壓降低，進而使得PMOS電晶體T3、T4以及T6較早導通。

【0031】 PMOS電晶體T3、T4以及T6導通後，其操作頻率會變快。當供應電壓端VDD的電壓低於臨界電壓時功能電路60僅能以較低的頻率進行操作，當調整後的臨界電壓低於供應電壓端VDD的電壓，則功能電路60能以較高的頻率進行操作。因此本發明之基體偏壓產生電路可讓功能電路60較早以較快頻率進行操作，有助於提高功能電路60的效率。

【0032】 接著，當供應電壓端VDD的電壓大於臨界電壓，則PMOS電晶體103完全導通，所以基體偏壓VBP等於供應電壓端VDD的電壓，使得功能電路60的PMOS電晶體T3、T4以及T6恢復成正常的連接方式，即源極與基體為相同電位，藉此可避免漏電流。此外，而因為PMOS電晶體103與接收基體偏壓的功能電路60的PMOS電晶體為相同類型且為相同製程所製造，所以處於相同溫度狀態下，本發明之基體偏壓產生電路會自行產生合適位準的電壓，因此可忽略溫度及製程效應。

【0033】 致能訊號EN為低電位而反致能訊號ENB為高電位時，基體偏壓產生電路10關閉。當致能訊號EN為低電位時，PMOS電晶體102導通而NMOS電晶體101截止，同時反致能訊號ENB為高電位，PMOS電晶體103截止，因此端點Zn由PMOS電晶體102接至供應電壓端VDD，亦即基體偏壓VBP為供應電壓端VDD之電壓，所以當基體偏壓產生電路10關閉時不會產生漏電路徑。

【0034】 上述電路操作過程係以基體偏壓產生電路10進行說明；同樣地，第2圖的基體偏壓產生電路11也以相同的方式提供基體偏壓VBP以改變功能電路的電晶體的臨界電壓。當系統上電後，供應電壓端VDD的電壓從0V開始上升，

因此，在初始階段且致能訊號EN為高電位而反致能訊號ENB為低電位時，PMOS電晶體103僅微弱導通或甚至在截止狀態(cut-off state)，PMOS電晶體103的漏電流會流經電阻元件R2，經過NMOS電晶體101流向接地端GND，因此電阻元件R2上產生的跨壓只會與PMOS電晶體103的漏電流有關，而PMOS電晶體103的漏電流與供應電壓端VDD的電壓為正相關。當供應電壓端VDD的電壓大於臨界電壓，則PMOS電晶體103完全導通，所以基體偏壓VBP等於供應電壓端VDD的電壓。

【0035】 請參閱第4圖，其係繪示本發明之基體偏壓產生電路之第三實施例之電路圖。圖中，在基體偏壓產生電路20中，第一電晶體係為一NMOS電晶體301，第二電晶體係為一PMOS電晶體302，第三電晶體係為一NMOS電晶體303。NMOS電晶體303之基體以及源極係電性耦接接地端GND。NMOS電晶體301之源極係耦接接地端GND，NMOS電晶體301之基體耦接NMOS電晶體303之汲極，PMOS電晶體302之源極以及基體係耦接供應電壓端VDD，PMOS電晶體302之汲極耦接NMOS電晶體301之汲極。電阻元件R3之兩端係分別耦接於NMOS電晶體303之汲極以及NMOS電晶體301之汲極。NMOS電晶體303之汲極係耦接功能電路之電晶體之基體，藉此NMOS電晶體303之汲極上的電壓VBN係輸出提供給功能電路做為一基體偏壓。

【0036】 NMOS電晶體301之閘極(gate)以及PMOS電晶體302之閘極係接收反致能訊號ENB，而NMOS電晶體303之一閘極係接收一致能訊號EN。反致能訊號ENB係為致能訊號EN之反相訊號。當致能訊號EN為高電壓位準，可啟動本發明之基體偏壓產生電路。

【0037】 請參閱第5圖，其係繪示本發明之基體偏壓產生電路之第四實施例之電路圖。第四實施例之基體偏壓產生電路21與第三實施例不同之處在於電阻元件的連接方式。在第5圖之實施例中，NMOS電晶體303之汲極以及NMOS

電晶體301之汲極係電性連接，且電阻元件R4之兩端係分別耦接於NMOS電晶體303之汲極以及PMOS電晶體302之汲極。

【0038】 請參閱第6圖，其繪示本發明之基體偏壓產生電路之第三實施例應用於功能電路之示意圖。如第6圖所示，基體偏壓產生電路20係輸出基體偏壓VBN至功能電路70的NMOS電晶體T1、T2以及T5的基體。當致能訊號EN為高電壓位準 (high)且反致能訊號ENB位於低電壓位準 (low)，而供應電壓端VDD的電壓小於PMOS電晶體302之臨界電壓，PMOS電晶體302僅微弱導通或甚至在截止狀態(cut-off state)，因此電阻元件R3上產生的跨壓與NMOS電晶體303的漏電流有關，由於漏電流很小，所以基體偏壓VBN幾乎等於供應電壓端VDD的電壓。由於功能電路70的NMOS電晶體T1、T2以及T5的源極接地而其基體係接收基體偏壓VBN幾乎等於供應電壓端VDD的電壓，所以NMOS電晶體T1、T2以及T5的臨界電壓降低，使得持續上升的供應電壓端VDD的電壓可以較早大於調整後的臨界電壓，NMOS電晶體T1、T2以及T5導通而能以較高的頻率進行操作。

【0039】 接著，當供應電壓端VDD的電壓持續上升而大於電晶體的原本臨界電壓，NMOS電晶體303完全導通，所以基體偏壓VBN等於0，使得功能電路60的NMOS電晶體T1、T2以及T5恢復成正常的連接方式，即源極與基體為相同電位，藉此可避免漏電流。此外，而因為NMOS電晶體303與接收基體偏壓的功能電路60的NMOS電晶體為相同類型且為相同製程所製造，所以處於相同溫度狀態下，本發明之基體偏壓產生電路會自行產生合適位準的電壓，因此可忽略溫度及製程效應。

【0040】 致能訊號EN為低電位而反致能訊號ENB為高電位時，基體偏壓產生電路20關閉。當反致能訊號ENB為高電位時，PMOS電晶體302截止而NMOS電晶體301導通，同時致能訊號EN為低電位，NMOS電晶體303截止，因此端點

Zn由NMOS電晶體301接地，亦即基體偏壓VBN為0，所以當基體偏壓產生電路20關閉時不會產生漏電路徑。

【0041】 上述電路操作過程係以基體偏壓產生電路20進行說明；同樣地，第6圖的基體偏壓產生電路21也以相同的方式提供基體偏壓VBN以改變功能電路的電晶體的臨界電壓，故在此不再贅述。

【0042】 請參閱第7圖，其係繪示本發明之基體偏壓產生電路之第五實施例之電路圖。如第7圖所示，第五實施例之基體偏壓產生電路30係為基體偏壓產生電路10或基體偏壓產生電路11，以及基體偏壓產生電路20或基體偏壓產生電路21的組合，藉此可同時提供基體偏壓VBP給功能電路80之電晶體T3、T4與T6，以及提供基體偏壓VBN給功能電路80之電晶體T1、T2與T5。基體偏壓產生電路30的運作方式與上述基體偏壓產生電路相同，故在此不再贅述。

【0043】 雖然本發明以前述之實施例揭露如上，然其並非用以限定本發明，任何熟習相像技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之專利保護範圍須視本說明書所附之申請專利範圍所界定者為準。

【符號說明】

【0044】

10、11、20、21、30：基體偏壓產生電路

101、301、303：NMOS電晶體

102、103、302：PMOS電晶體

60、70：功能電路

R1、R2、R3、R4：電阻元件

EN：致能訊號

ENB：反致能訊號

VBP、VBN：基體偏壓

GND：接地端

VDD：供應電壓端

T1~T6：電晶體

Zn：端點

【發明申請專利範圍】

【第1項】一種基體偏壓產生電路，用以提供一基體偏壓至一功能電路之一電晶體之基體，該基體偏壓產生電路包含：

一第一電晶體以及一第二電晶體，係串聯連接於一高電壓端以及一低電壓端之間，且該第一電晶體之一控制端係耦接該第二電晶體之一控制端，而該第一電晶體之該控制端以及該第二電晶體之該控制端係接收一致能訊號；

一第三電晶體，該第三電晶體之一端係電性耦接該第一電晶體與該第二電晶體其中之一的基體，且該第三電晶體之另一端係耦接該第三電晶體之該基體，且該第三電晶體之一控制端係接收一反致能訊號，而該反致能訊號係為該致能訊號之反相訊號；以及

一電阻元件，耦接於該第三電晶體之該端以及該第一電晶體之一電流流入端或是該第二電晶體之一電流流出端之間；

其中該第三電晶體之該端上的電壓係為該基體偏壓。

【第2項】如申請專利範圍第 1 項所述之基體偏壓產生電路，其中該第一電晶體係為一 NMOS 電晶體，該第二電晶體係為一 PMOS 電晶體，該第三電晶體係為一 PMOS 電晶體，且該第三電晶體之該端為汲極，該第三電晶體之該汲極係電性耦接該第二電晶體之基體，該第三電晶體之該基體係電性耦接該第三電晶體之源極，而該第一電晶體之源極係耦接該低電壓端或一預設偏壓端，該第二電晶體之源極係耦接該高電壓端。

【第3項】如申請專利範圍第 2 項所述之基體偏壓產生電路，其中該電阻元件之兩端係分別耦接於該第三電晶體之汲極以及該第二電晶

體之汲極。

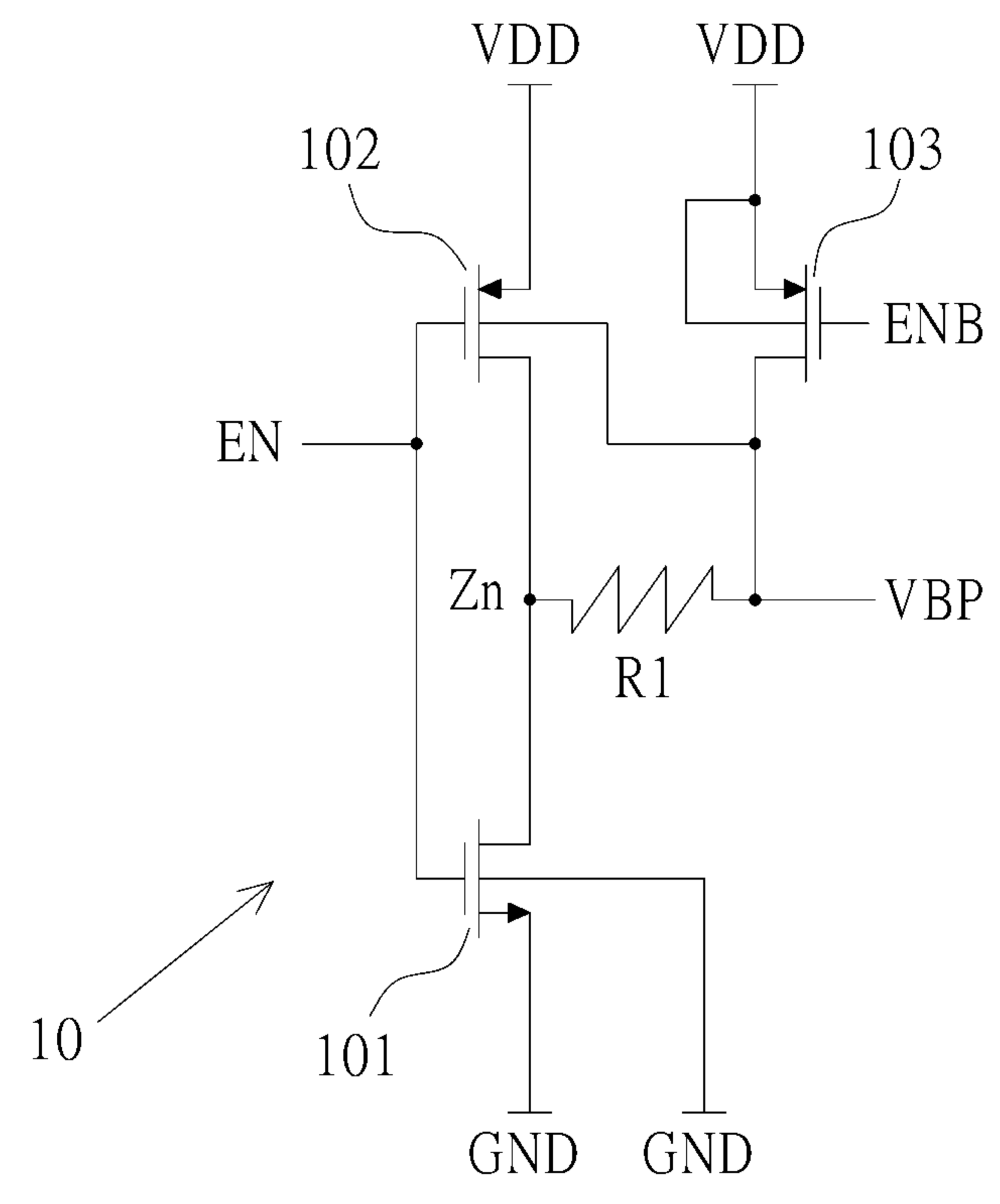
【第4項】如申請專利範圍第 2 項所述之基體偏壓產生電路，其中該第三電晶體之汲極以及該第二電晶體之汲極係電性連接，且該電阻元件之兩端係分別耦接於該第三電晶體之汲極以及該第一電晶體之汲極。

【第5項】如申請專利範圍第 1 項所述之基體偏壓產生電路，其中該第一電晶體係為一 NMOS 電晶體，該第二電晶體係為一 PMOS 電晶體，該第三電晶體係為一 NMOS 電晶體，且該第三電晶體之該端為汲極，該第三電晶體之該汲極係電性耦接該第一電晶體之該基體，該第三電晶體之該基體係電性耦接該第三電晶體之汲極，而該第一電晶體之源極係電性耦接該低電壓端，該第二電晶體之源極係耦接該高電壓端或一預設偏壓端。

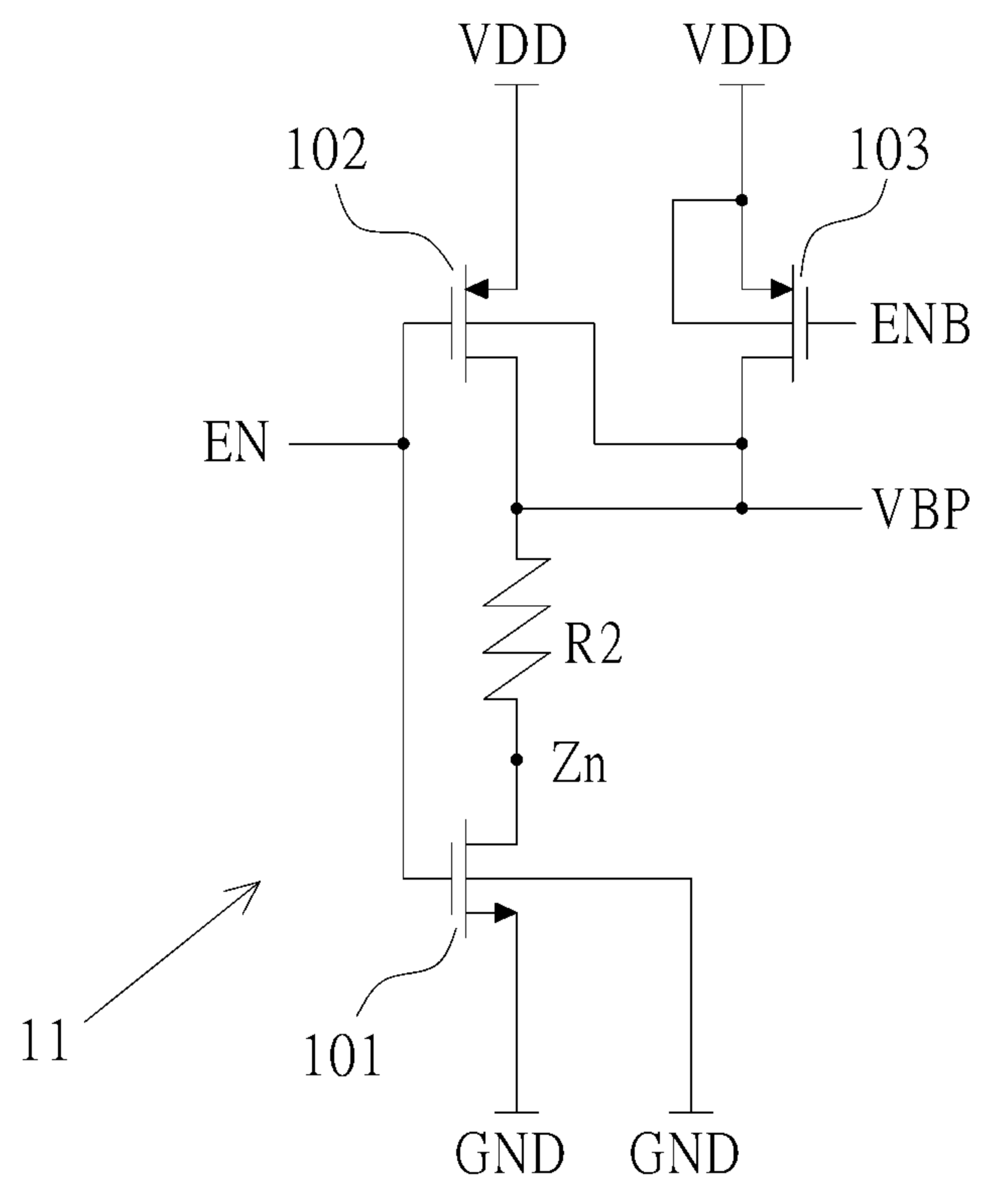
【第6項】如申請專利範圍第 5 項所述之基體偏壓產生電路，其中該電阻元件之兩端係分別耦接於該第三電晶體之汲極以及該第一電晶體之汲極。

【第7項】如申請專利範圍第 5 項所述之基體偏壓產生電路，其中該第三電晶體之汲極以及該第一電晶體之汲極係電性連接，且該電阻元件之兩端係分別耦接於該第三電晶體之汲極以及該第二電晶體之汲極。

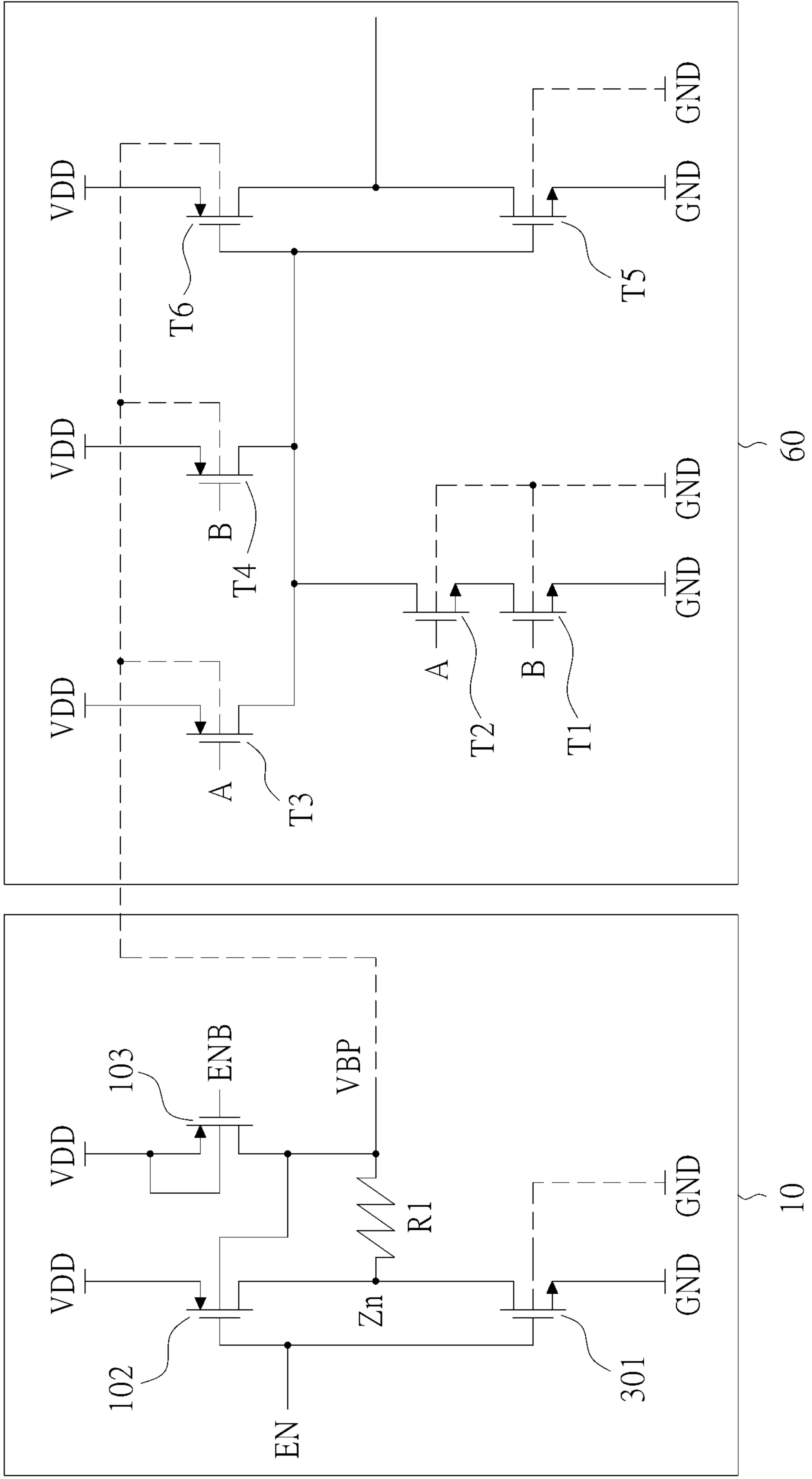
【第8項】如申請專利範圍第 5 項所述之基體偏壓產生電路，其中該高電壓端係為一供應電壓端，該低電壓端係為一接地端。



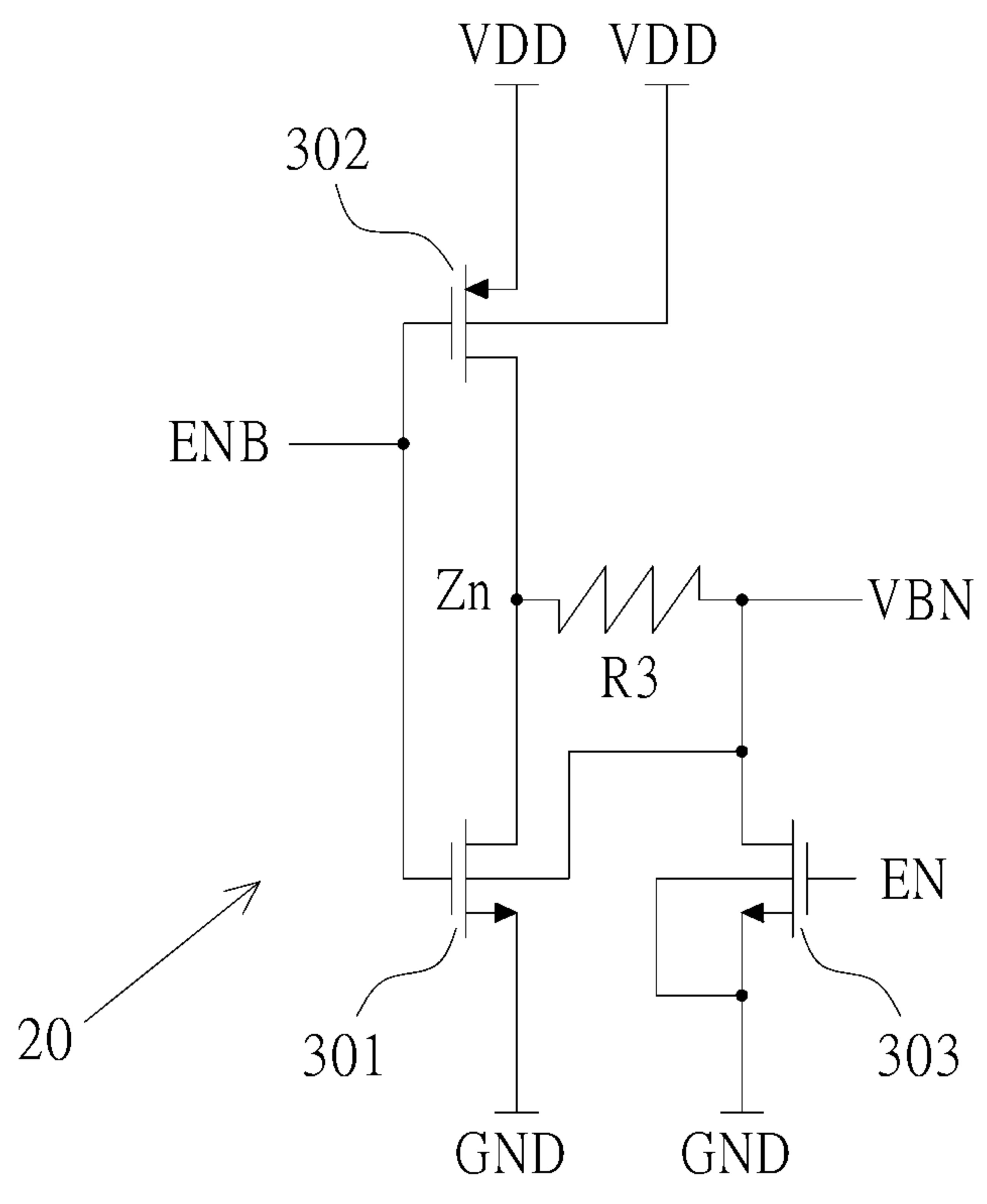
第1圖



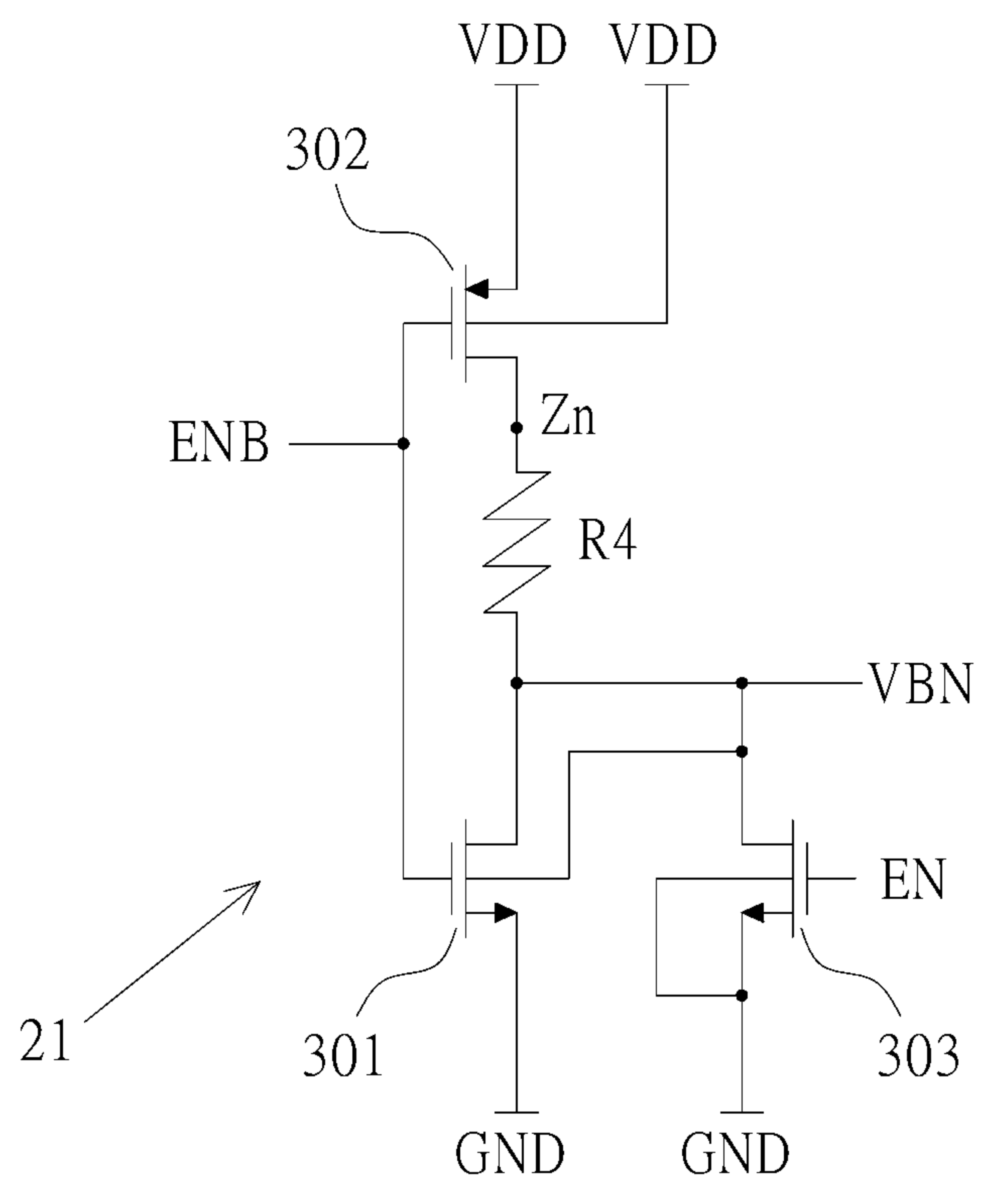
第2圖



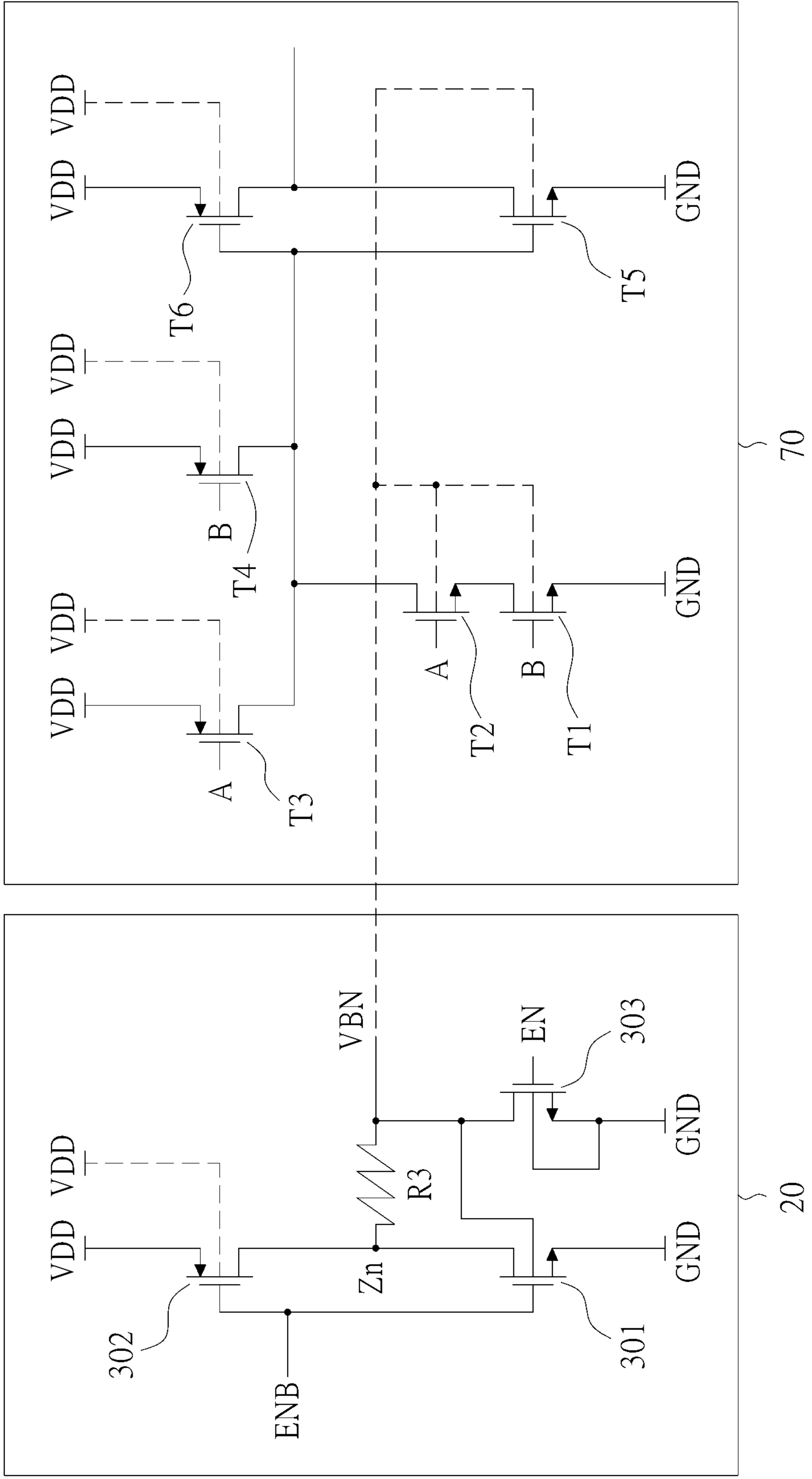
第3圖



第4圖



第5圖



第6圖

