

1.一种半导体装置,包括:

衬底上的第一导电膜;

所述衬底上的电容线;

所述第一导电膜和所述电容线上的第一绝缘膜;

所述第一绝缘膜上的第一金属氧化物膜;

所述第一绝缘膜上的第二金属氧化物膜;

所述第一金属氧化物膜上的第二导电膜;

所述第一金属氧化物膜上的第三导电膜;

所述第一金属氧化物膜、所述第二导电膜和所述第三导电膜上的第二绝缘膜;

所述第二绝缘膜和所述第二金属氧化物膜上的第三绝缘膜;以及

所述第三绝缘膜上的像素电极,

其中,所述第一金属氧化物膜包括与所述第一导电膜重叠的区域,

其中,所述第二金属氧化物膜包括通过所述第一绝缘膜的第一开口与所述电容线接触的区域,

其中,所述第二导电膜和所述第三导电膜中的每一个电连接到所述第一金属氧化物膜,

其中,所述第二绝缘膜的端部位于所述第二金属氧化物膜上,

其中,所述第三绝缘膜包括与所述第二金属氧化物膜接触的区域,

其中,所述像素电极电连接到所述第三导电膜,

其中,所述像素电极包括隔着所述第三绝缘膜的所述区域与所述第二金属氧化物膜重叠的区域,

其中,所述第一金属氧化物膜包括:

第一层;以及

所述第一层上的第二层,

其中,所述第一层和所述第二层中的每一个包含In、Ga及Zn,

其中,所述第一层包括In与Ga的原子数比满足 $In \geq Ga$ 关系的区域,并且

其中,所述第二层包括In与Ga的原子数比满足 $In < Ga$ 关系的区域。

2.一种半导体装置,包括:

第一绝缘膜;

所述第一绝缘膜上的第一金属氧化物膜、第二金属氧化物膜、第三金属氧化物膜及第四金属氧化物膜;

第一栅电极,其包括与所述第一金属氧化物膜重叠的区域;

第二栅电极,其包括与所述第三金属氧化物膜重叠的区域;

所述第一金属氧化物膜上的第一导电膜;

所述第一金属氧化物膜上的第二导电膜;

所述第二金属氧化物膜和所述第四金属氧化物膜上的第三导电膜;

所述第三金属氧化物膜上的第四导电膜;

所述第三金属氧化物膜上的第五导电膜;

所述第一导电膜至所述第五导电膜和所述第一金属氧化物膜至所述第四金属氧化物

膜上的第二绝缘膜；以及

所述第二绝缘膜上的第一像素电极和第二像素电极，

其中，所述第一导电膜电连接到所述第一金属氧化物膜，

其中，所述第二导电膜电连接到所述第一金属氧化物膜，

其中，所述第三导电膜电连接到所述第二金属氧化物膜和所述第四金属氧化物膜，

其中，所述第四导电膜电连接到所述第三金属氧化物膜，

其中，所述第五导电膜电连接到所述第三金属氧化物膜，

其中，所述第一像素电极电连接到所述第一导电膜，

其中，所述第二像素电极电连接到所述第四导电膜，

其中，所述第一金属氧化物膜至所述第四金属氧化物膜包含In、Ga及Zn，

其中，所述第二金属氧化物膜包括具有比所述第一金属氧化物膜的沟道形成区更高导电率的区域，

其中，所述第四金属氧化物膜包括具有比所述第三金属氧化物膜的沟道形成区更高导电率的区域，

其中，所述第一像素电极包括隔着所述第二绝缘膜与所述第二金属氧化物膜重叠的区域；

其中，所述第二像素电极包括隔着所述第二绝缘膜与所述第四金属氧化物膜重叠的区域；并且

其中，所述第二导电膜电连接到所述第五导电膜。

3. 根据权利要求2所述的半导体装置，

其中，所述第一导电膜至所述第五导电膜具有相同的导电材料。

4. 根据权利要求1或2所述的半导体装置，

其中，所述第二金属氧化物膜是透光性导电膜，并且

其中，所述第二金属氧化物膜是电容器的一个电极。

5. 根据权利要求1或2所述的半导体装置，

其中，所述第二金属氧化物膜中的掺杂剂浓度高于所述第一金属氧化物膜中的掺杂剂浓度。

6. 根据权利要求1或2所述的半导体装置，

其中，所述第二金属氧化物膜中的掺杂剂浓度大于 $1 \times 10^{19} \text{ atoms/cm}^3$ 并且小于或等于 $1 \times 10^{22} \text{ atoms/cm}^3$ 。

7. 根据权利要求1或2所述的半导体装置，

其中，所述第一绝缘膜包括氮化绝缘膜以及层叠在所述氮化绝缘膜上的氧化绝缘膜。

8. 根据权利要求1或2所述的半导体装置，

其中，所述第二绝缘膜包括第一氧化绝缘膜以及层叠在所述第一氧化绝缘膜上的第二氧化绝缘膜。

9. 根据权利要求1或2所述的半导体装置，

其中，所述第二金属氧化物膜中的氢浓度高于所述第一金属氧化物膜中的氢浓度。

10. 根据权利要求1或2所述的半导体装置，

其中，所述第二金属氧化物膜中的氮浓度高于所述第一金属氧化物膜中的氮浓度。

- 11.一种包括根据权利要求1或2所述的半导体装置的显示装置。
- 12.一种包括根据权利要求1或2所述的半导体装置的电子设备。

半导体装置

[0001] 本申请是如下发明专利申请的分案申请：

[0002] 发明名称：半导体装置；申请日：2013年9月2号；申请号：201380047860.4。

技术领域

[0003] 本说明书等所公开的发明涉及一种半导体装置。

背景技术

[0004] 近年来，如液晶显示器(LCD)等的平板显示器得到广泛普及。在如平板显示器等的显示装置中的行方向及列方向上配置的各像素中，设置有用作开关元件的晶体管、与该晶体管电连接的液晶元件、以及与该液晶元件并联连接的电容器。

[0005] 作为该晶体管的半导体膜的半导体材料，通常使用如非晶硅或多晶硅(polycrystalline silicon)等的硅半导体。

[0006] 具有半导体特性的金属氧化物(以下称为氧化物半导体)能够用于晶体管的半导体膜。例如，已公开有一种使用氧化锌或In-Ga-Zn类氧化物半导体形成晶体管的技术(参照专利文献1及2)。

[0007] 已经公开有一种具有电容器的显示装置，在该电容器中，设置在与晶体管的氧化物半导体膜同一表面上的氧化物半导体膜与连接于晶体管的像素电极以一定距离分开放置，以提高开口率，(参照专利文献3)。

[0008] [参考文献]

[0009] [专利文献]

[0010] [专利文献1]日本专利申请公开2007-123861号

[0011] [专利文献2]日本专利申请公开2007-96055号

[0012] [专利文献3]美国专利第8102476号。

发明内容

[0013] 在电容器中，介电膜设置在一对电极之间，在很多情况下，该一对电极中的至少一个电极使用用作晶体管的栅电极、源电极或漏电极等具有遮光性的导电膜而形成。

[0014] 随着电容器的电容值增大，在施加电场的情况下能够将液晶元件的液晶分子的取向保持为固定的期间能够延长。当在显示静态图像的显示装置中能够延长该期间时，可以减少重写图像数据的次数，从而实现耗电量的降低。

[0015] 但是，在电容器的一个电极使用半导体膜形成的情况下，根据施加到该半导体膜的电位，充电子电容器中的电容值有可能低于规定的值，因此液晶元件的液晶分子的取向被保持为一定的期间变短。其结果是，图像数据的重写次数增加，而耗电量增大。

[0016] 增大电容器的电荷容量的一个方法是增大电容器的占有面积，具体来说，增大电容器的两个电极彼此重叠的面积。但是，当增大遮光性导电膜的面积以增大两个电极彼此重叠的部分的面积时，像素的开口率降低，图像显示质量下降。

[0017] 鉴于上述课题,本发明的一个方式的目的是提供开口率高且包括电荷容量得到增大的电容器的半导体装置。另外,本发明的一个方式的目的是提供低耗电量的半导体装置。

[0018] 本发明的一个方式包括包含透光性半导体膜的晶体管、在一对电极之间设置有介电膜的电容器、设置于透光性半导体膜上的绝缘膜、以及设置于绝缘膜上的第一透光性导电膜。该电容器包括用作一个电极的第一透光性导电膜、用作电介质的绝缘膜、以及隔着该绝缘膜与第一透光性导电膜对置的用作另一个电极的第二透光性导电膜。第二透光性导电膜形成在与晶体管的透光性半导体膜同一表面上且是含有掺杂剂的金属氧化物膜。

[0019] 此外,包括于晶体管中的透光性半导体膜可以使用氧化物半导体形成。这是由于氧化物半导体具有3.0eV或更大的能隙以及高可见光透射率的缘故。另外,在本说明书中,如包括于晶体管中的透光性半导体膜那样的呈现半导体特性的金属氧化物称为氧化物半导体。另外,由于包括于电容器中的第二透光性导电膜呈现导电特性,因此称为金属氧化物。

[0020] 在形成晶体管中的半导体膜的工序中形成的半导体膜用于用作电容器的另一个电极的第二透光性导电膜,并且掺杂剂添加于该半导体膜以增大该半导体膜的导电率,由此,该半导体膜可以为具有导电体的电特性的金属氧化物膜。例如,选自氢、硼、氮、氟、铝、磷、砷、铟、锡、锑及稀有气体元素中的一种或更多种掺杂剂可以通过离子注入法或离子掺杂法等添加到半导体膜中。或者,也可以通过将该半导体膜暴露于含有上述元素的等离子体中来添加上述掺杂剂。此时,用作电容器的另一个电极的第二透光性导电膜的导电率大于或等于 $10S/cm$ 且小于或等于 $1000S/cm$,优选大于或等于 $100S/cm$ 且小于或等于 $1000S/cm$ 。

[0021] 在电容器中,设置在包括在晶体管中的半导体膜上的绝缘膜被用于介电膜;因此,该介电膜可以具有与该绝缘膜相同的叠层结构。例如,在设置在包括在晶体管中的半导体膜上的绝缘膜具有氧化绝缘膜及氮化绝缘膜的叠层结构的情况下,电容器的介电膜可以具有氧化绝缘膜及氮化绝缘膜的叠层结构。

[0022] 在电容器中设置于包括于晶体管中的半导体膜之上的绝缘膜具有氧化绝缘膜及氮化绝缘膜的情况下,在形成该氧化绝缘膜之后仅去除形成有电容器的区域的该氧化绝缘膜,由此,电容器的介电膜可以具有氮化绝缘膜的单层结构。换言之,该氮化绝缘膜接触于用作电容器的另一个电极的第二透光性导电膜。第二透光性导电膜使用与形成包括于晶体管中的透光性半导体膜同时形成的半导体膜形成,并且该半导体膜接触于氮化绝缘膜,由此,缺陷能级(界面能级)形成在该氮化绝缘膜与该半导体膜之间的界面。或者/并且,当通过等离子体CVD法或溅射法形成氮化绝缘膜时,该半导体膜暴露于等离子体中而生成氧缺陷。此外,包含于该氮化绝缘膜中的氮或/及氢移动到该半导体膜。由于包含于氮化绝缘膜中的氢进入缺陷能级或氧缺陷中,生成作为载流子的电子。因此,该半导体膜成为导电率得到增大的n型半导体膜;由此,获得具有导电性的膜。即,可以形成具有导电体特性的金属氧化物膜。另外,可以减小介电膜的厚度;因此可以实现电容器的电荷容量的增大。

[0023] 当如上所述在电容器中氮化绝缘膜接触于半导体膜时,可以省略通过离子注入法或离子掺杂法等将用来增大导电率的掺杂剂添加到上述半导体膜的工序;因此,可以提高半导体装置的成品率,并且可以降低其制造成本。

[0024] 在包括在晶体管中的半导体膜是氧化物半导体膜,并且在该半导体膜上的绝缘膜

具有氧化绝缘膜及氮化绝缘膜的叠层结构的情况下,该氧化绝缘膜优选不容易使氮透过,即,该氧化绝缘膜优选具有氮阻挡性。

[0025] 通过上述结构,可以抑制氮及氢中的一方或双方扩散到包括在晶体管中的半导体膜的氧化物半导体膜中,从而可以抑制晶体管的电特性变动。

[0026] 在第一透光性导电膜连接于晶体管的情况下,第一透光性导电膜用作像素电极。

[0027] 在第一透光性导电膜用作像素电极的情况下,电容线在平行于扫描线的方向上且与扫描线在同一表面上延伸。电容器的另一个电极(第二透光性导电膜)通过与形成晶体管的源电极或漏电极的同时形成的导电膜电连接于电容线。

[0028] 电容线不局限于在平行于扫描线的方向上且与扫描线在同一表面上延伸。电容线也可以在平行于包括晶体管的源电极或漏电极的信号线方向上且与信号线同一表面上延伸,并也可以电连接于电容器的另一个电极(第二透光性导电膜)。

[0029] 电容线也可以使用包括在电容器中的第二透光性导电膜形成。

[0030] 此外,电容线也可以连接于包括在多个邻接的像素中的各电容器。在此情况下,电容线也可以设置在邻接的像素之间。

[0031] 第二透光性导电膜也可以与晶体管连接。在此情况下,第二透光性导电膜用作像素电极,第一透光性导电膜用作公共电极及电容线。

[0032] 通过采用上述结构,电容器具有透光性,所以可以大面积地形成在像素内的形成有晶体管的区域以外的像素区中。根据上述理由,半导体装置可以提高开口率的同时具有增大的电荷容量。由此,半导体装置可以具有优良的显示质量。

[0033] 透光性电容器可以使用晶体管的形成工序来形成。电容器的一个电极可以利用形成用作像素电极或公共电极的透光性导电膜的工序来形成。电容器的另一个电极可以利用形成包括于晶体管中的半导体膜的工序来形成。由此,包括于晶体管中的半导体膜及电容器的另一个电极含有相同的金属元素。

[0034] 本发明的一个方式的半导体装置的形成方法是本发明的一个方式。

[0035] 根据本发明的一个方式,可以提供一种开口率得到提高且具有增大的电荷容量的电容器的半导体装置。可以提供低耗电量的半导体装置。

附图说明

[0036] 图1A示出本发明的一个方式的半导体装置,图1B是示出像素的电路图。

[0037] 图2是示出本发明的一个方式的半导体装置的俯视图。

[0038] 图3是示出本发明的一个方式的半导体装置的截面图。

[0039] 图4是示出本发明的一个方式的半导体装置的俯视图。

[0040] 图5是示出本发明的一个方式的半导体装置的截面图。

[0041] 图6A和6B是示出本发明的一个方式的半导体装置的制造方法的截面图。

[0042] 图7A和7B是示出本发明的一个方式的半导体装置的制造方法的截面图。

[0043] 图8A和8B是示出本发明的一个方式的半导体装置的制造方法的截面图。

[0044] 图9是示出本发明的一个方式的半导体装置的截面图。

[0045] 图10是示出本发明的一个方式的半导体装置的截面图。

[0046] 图11是示出本发明的一个方式的半导体装置的俯视图。

- [0047] 图12是示出本发明的一个方式的半导体装置的俯视图。
- [0048] 图13是示出本发明的一个方式的半导体装置的俯视图。
- [0049] 图14是示出本发明的一个方式的半导体装置的俯视图。
- [0050] 图15是示出本发明的一个方式的半导体装置的截面图。
- [0051] 图16A和16B是示出本发明的一个方式的半导体装置的制造方法的截面图。
- [0052] 图17A和17B是示出本发明的一个方式的半导体装置的制造方法的截面图。
- [0053] 图18A和18B是示出本发明的一个方式的半导体装置的俯视图。
- [0054] 图19是示出本发明的一个方式的半导体装置的截面图。
- [0055] 图20是示出本发明的一个方式的半导体装置的截面图。
- [0056] 图21A至21C是示出本发明的一个方式的半导体装置的俯视图。
- [0057] 图22A和22B是示出本发明的一个方式的半导体装置的截面图。
- [0058] 图23A至23C是示出本发明的一个方式的半导体装置的截面图及俯视图。
- [0059] 图24A至24C示出包含本发明的一个方式的半导体装置的电子设备。
- [0060] 图25A至25C示出包含本发明的一个方式的半导体装置的电子设备。
- [0061] 图26A至26D示出样品结构。
- [0062] 图27是示出薄层电阻的图。
- [0063] 图28A和28B是示出SIMS测量的结果的图。
- [0064] 图29A至29C是示出ESR测量的结果的图。
- [0065] 图30是示出ESR测量的结果的图。
- [0066] 图31是示出薄层电阻的图。
- [0067] 图32是示出薄层电阻的图。
- [0068] 图33A至33D示出 InGaZnO_4 结晶的块体模型。
- [0069] 图34A和34B分别示出 V_{OH} 的形成能量及热力学迁移能级 (Thermodynamic transition level)。
- [0070] 图35A示出样品的形成方法,图35B示出样品的薄层电阻。
- [0071] 图36A至36D示出样品的形成工序以及样品结构。
- [0072] 图37A至37C是示出样品的透射率的图。

具体实施方式

[0073] 下面,将参照附图详细地说明本发明的实施方式。但是,本发明不局限于以下说明,所属技术领域的普通技术人员可以很容易地理解一个事实,就是在此所公开的方式和详细内容可以被变换为各种各样的形式。此外,本发明不应该被解释为仅限定在实施方式及实施例的记载的内容中。

[0074] 在以下说明的本发明的结构中,在不同附图中共同使用同一符号表示同一部分或具有同样功能的部分,而不进行重复说明。另外,有时将相同的阴影线应用于具有相同功能的部分,并对该部分不特别附加附图标记。

[0075] 此外,在本说明书所说明的各附图中,各构成要素的大小、膜的厚度或区域有时为了明确起见而被夸大。因此,本发明的实施方式及实施例并不一定限定于上述附图中的比例。

[0076] 此外，在本说明书等中的如“第一”、“第二”等序数词是为了方便而使用的，且并不表示工序顺序或层的层叠顺序。此外，本说明书等中的序数词不表示特定本发明的固有名称。

[0077] 另外，本发明中的“源极”及“漏极”的功能，例如当在电路工作中电流方向变化时，有时互相调换。因此，在本说明书中“源极”及“漏极”可以互相调换。

[0078] 另外，电压是指两个点的电位之间的差，电位是指静电场中的某一点的单位电荷的静电能（电位能量）。注意，一般来说，一个点的电位与标准电位（例如，接地电位）之间的差简单地称为电位或电压，在很多情况下，电位和电压被用作同义词。因此，在本说明书中，除了特别指定的情况以外，“电位”也可以换称为“电压”，“电压”也可以换称为“电位”。

[0079] 在本说明书中，在光刻步骤之后进行蚀刻处理的情况下，光刻步骤中形成的掩模在蚀刻处理后被去除。

[0080] 实施方式1

[0081] 在本实施方式中，将参照附图说明本发明的一个方式的半导体装置。此外，在本实施方式中，以液晶显示装置为例子说明本发明的一个方式的半导体装置。

[0082] <半导体装置的结构>

[0083] 图1A示出半导体装置的例子。图1A中的半导体装置包括像素部100、扫描线驱动电路104、信号线驱动电路106、被配置为平行或大致平行的其电位由扫描线驱动电路104控制的m个扫描线107、以及被配置为平行或大致平行的其电位由信号线驱动电路106控制的n个信号线109。此外，像素部100包括以矩阵状配置的多个像素201。另外，沿着扫描线107设置有被配置为平行或大致平行的电容线115。另外，电容线115也可以沿着信号线109被配置为平行或大致平行。

[0084] 各扫描线107电连接到在像素部100中配置为m行n列的像素201中的相对应的行的n个像素201。各信号线109电连接到配置为m行n列的像素201中的相对应的列的m个像素201。注意，m和n都是1或更大的整数。各电容线115电连接到配置为m行n列的像素201中的相对应的行的n个像素201。另外，在电容线115沿着信号线109被配置为平行或大致平行的情况下，各电容线115电连接到配置为m行n列的像素201中的相对应的列的m个像素201。

[0085] 图1B是图1A所示的半导体装置所具有的像素201的电路图的例子。图1B中的像素201包括与扫描线107及信号线109电连接的晶体管103、电容器205，该电容器205的一个电极与晶体管103的漏电极电连接，该电容器205的另一个电极与供应固定电位的电容线115电连接、以及液晶元件108。该液晶元件108的像素电极与晶体管103的漏电极及电容器205的一个电极电连接，并且与像素电极对置的电极（对置电极）与供应反电位的布电线连接。

[0086] 液晶元件108是如下元件，通过夹在形成有晶体管103及像素电极的衬底与形成有对置电极的衬底之间的液晶的光学调制作用来控制光的透射。液晶的光学调制作用由施加到液晶的电场（包括纵向电场及斜向电场）控制。此外，在对置电极（也称为公共电极）设置在形成有像素电极的衬底上的情况下，施加到液晶的电场为横向电场。

[0087] 接着，将说明液晶显示装置的像素201的具体例子。图2是像素201的俯视图。注意，在图2中，省略对置电极及液晶元件。

[0088] 在图2中，扫描线107被设置为在垂直于或大致垂直于信号线109的方向（图中的水平方向）上延伸。信号线109被设置为在垂直于或大致垂直于扫描线107的方向（图中的上下

方向)上延伸。电容线115被设置为在平行于扫描线107的方向上延伸。扫描线107及电容线115与扫描线驱动电路104(参照图1A)电连接,信号线109与信号线驱动电路106(参照图1A)电连接。

[0089] 晶体管103设置于扫描线107及信号线109彼此交叉的区域中。晶体管103至少包括具有沟道形成区的半导体膜111、栅电极、栅极绝缘膜(图2中未图示)、源电极、以及漏电极。扫描线107的与半导体膜111重叠的部分用作晶体管103的栅电极。信号线109的与半导体膜111重叠的部分用作晶体管103的源电极。导电膜113的与半导体膜111重叠的部分用作晶体管103的漏电极。由此,栅电极、源电极及漏电极也可以分别表示为扫描线107、信号线109及导电膜113。此外,在图2中,当从上方看时,扫描线107的端部位于半导体膜的端部的外侧。由此,扫描线107用作遮挡来自如背光灯等的光源的光的遮光膜。其结果是,包括在晶体管中的半导体膜111不被光照射,由此可以降低晶体管的电特性的变动。

[0090] 此外,在适当的条件下对氧化物半导体进行处理来可以显著地降低晶体管的截止态电流(off-state current);因此,在本发明的一个方式中使用上述氧化物半导体作为半导体膜111。因此,可以减少半导体装置的耗电量。

[0091] 此外,导电膜113通过开口117与使用透光性导电膜形成的像素电极221电连接。在图2中,未图示出像素电极221的阴影图案。

[0092] 电容器205设置在像素201的区域中且位于由电容线115及信号线109围绕的区域中。电容器205通过设置于开口123中且设置在开口123上的导电膜125与电容线115电连接。电容器205包括透光性导电膜119、透光性像素电极221、以及作为介电膜形成于晶体管103上的透光性绝缘膜(图2中未图示)。总之,电容器205使光透射。

[0093] 通过电容器205的透光性,电容器205可以在像素201中形成大尺寸(覆盖大面积)。由此,可以获得在使开口率典型地提高至55%或更高,优选为60%或更高的同时增大电荷容量的半导体装置。例如,在分辨率高的半导体装置诸如液晶显示装置中,像素的面积小,电容器的面积也小。根据上述理由,电容器的电荷容量小。但是,由于本实施方式的电容器205具有透光性,所以当设置在像素中时,可以在各像素中获得充分的电荷容量,并可以提高开口率。典型的是,电容器105可以适当地用于像素密度为200ppi或更高,优选为300ppi或更高的高分辨率的半导体装置。另外,根据本发明的一个方式,即使在高分辨率的显示装置中也可以提高开口率,因此可以有效地使用来自如背光灯等光源的光,由此可以降低显示装置的耗电量。

[0094] 在此,将说明包含氧化物半导体的晶体管的特性。包含氧化物半导体的晶体管是n沟道型晶体管。另外,氧化物半导体中的氧缺陷有可能生成载流子,而有可能导致晶体管的电特性及可靠性的降低。例如,有时,晶体管的阈值电压向负方向漂移,当栅电压为0V时漏极电流流过。这种当栅电压为0V时漏极电流流过的晶体管称为常导通型晶体管,并具有该特性的晶体管称为耗尽型晶体管。当栅电压为0V时没有流过漏极电流的晶体管的特性称为常截止特性,并具有该特性的晶体管称为增强型晶体管。

[0095] 鉴于上述观点,优选的是,当使用氧化物半导体作为半导体膜111时,尽可能地减少作为半导体膜111的氧化物半导体膜中的缺陷,该缺陷典型的是氧缺陷。例如,优选的是,利用对膜表面施加平行方向的磁场的电子自旋共振法得到的g值为1.93时的自旋密度(氧化物半导体膜中的缺陷密度)降低到低于或等于测量器的检测下限。当尽可能地减少以氧

缺陷为代表的氧化物半导体膜中的缺陷,可以防止晶体管103成为常导通特性,由此半导体装置的电特性及可靠性得到提高。此外,可以降低半导体装置的耗电量。

[0096] 除了氧缺陷之外,包含在氧化物半导体中的氢(包括如水等氢化合物)也引起晶体管的阈值电压向负方向移动。包含在氧化物半导体中的氢与键合于金属原子的氧起反应而生成水,与此同时,缺陷(也称为氧缺陷)形成在氧脱离的晶格(或氧脱离的部分)中。另外,氢和氧的一部分的反应生成作为载流子的电子。因此,具有含有氢的氧化物半导体的晶体管容易具有常导通特性。

[0097] 鉴于上述观点,当使用氧化物半导体作为半导体膜111时,优选的是,尽量降低作为半导体膜111的氧化物半导体膜中的氢。具体而言,通过二次离子质谱分析法(SIMS: Secondary Ion Mass Spectrometry)得到的在半导体膜111中的氢浓度设定为低于 $5 \times 10^{18} \text{ atoms/cm}^3$,优选低于或等于 $1 \times 10^{18} \text{ atoms/cm}^3$,更优选低于或等于 $5 \times 10^{17} \text{ atoms/cm}^3$,进一步优选低于或等于 $1 \times 10^{16} \text{ atoms/cm}^3$ 。

[0098] 通过二次离子质谱分析法(SIMS)得到的在半导体膜111中的碱金属或碱土金属的浓度设定为低于或等于 $1 \times 10^{18} \text{ atoms/cm}^3$,优选低于或等于 $2 \times 10^{16} \text{ atoms/cm}^3$ 。这是因为碱金属及碱土金属当与氧化物半导体键合时有可能生成载流子,此时,晶体管103的截止态电流有可能增大。

[0099] 另外,当氮包含在作为半导体膜111的氧化物半导体膜中时,作为载流子的电子生成,载流子密度增加,因此氧化物半导体膜容易成为n型。由此,具有含有氮的氧化物半导体的晶体管容易具有常导通特性。根据上述理由,优选尽可能减少在该氧化物半导体膜中的氮;例如,氮浓度优选设定为低于或等于 $5 \times 10^{18} \text{ atoms/cm}^3$ 。

[0100] 当尽量地减少了杂质(例如,氢、氮、碱金属及碱土金属)而被高度纯化的氧化物半导体膜用作半导体膜111时,晶体管103成为增强型晶体管,可以防止具有常导通特性,由此显著地降低晶体管103的截止态电流。由此,可以制造具有良好电特性的半导体装置。此外,可以制造高可靠性的半导体装置。

[0101] 各种试验可以证明包含被高度纯化的氧化物半导体膜的晶体管的低截止态电流。例如,即使元件具有 $1 \times 10^6 \mu\text{m}$ 的沟道宽度及 $10 \mu\text{m}$ 的沟道长度(L),在从1V至10V的源电极与漏电极之间的电压(漏极电压)下,截止态电流也可以小于或等于半导体参数分析仪的测量极限,即,小于或等于 $1 \times 10^{-13} \text{ A}$ 。在此情况下,可知,相当于截止态电流除以晶体管的沟道宽度而得到的数值的截止态电流为 $100 \text{ zA}/\mu\text{m}$ 或更小。另外,通过使用如下电路测量截止态电流,该电路中电容器与晶体管彼此连接,并且流入或从电容器流出的电荷由该晶体管控制。在该测量中,被纯化的氧化物半导体膜用于上述晶体管的沟道形成区,并且根据电容器的单位时间的电荷量推移测量该晶体管的截止态电流。其结果是,在晶体管的源电极与漏电极之间的电压为3V的情况下,可以获得几十幺安每微米($\text{yA}/\mu\text{m}$)的更低的截止态电流。由此,包含被高度纯化的氧化物半导体膜的晶体管具有显著低的截止态电流。

[0102] 接着,图3是沿着图2中的点划线A1-A2及点划线B1-B2的截面图。

[0103] 液晶显示装置的像素201的截面结构是如下。液晶显示装置包括衬底102上的元件部、衬底150上的元件部以及位于该两个元件部之间的液晶层。

[0104] 首先,说明衬底102上的元件部的结构。包括晶体管103的栅电极107a的扫描线107、以及位于与扫描线107同一表面上的电容线115设置在衬底102上。栅极绝缘膜127设置

在扫描线107及电容线115上。半导体膜111设置在栅极绝缘膜127的与扫描线107重叠的区域上，并且透光性导电膜119设置在栅极绝缘膜127上。包括晶体管103的源电极109a的信号线109、以及包括晶体管103的漏电极113a的导电膜113设置在半导体膜111及栅极绝缘膜127上。到达电容线115的开口123设置在栅极绝缘膜127中，并且导电膜125设置在开口123中、开口123之上、栅极绝缘膜127及透光性导电膜119上。用作晶体管103的保护绝缘膜的绝缘膜229、绝缘膜231及绝缘膜232设置在栅极绝缘膜127、信号线109、半导体膜111、导电膜113、导电膜125上。另外，至少在成为电容器205的区域中设置有接触于透光性导电膜119的绝缘膜232。到达导电膜113的开口117设置在绝缘膜229、绝缘膜231及绝缘膜232中，并且像素电极221设置在开口117中及绝缘膜232上。用作取向膜的绝缘膜158设置在像素电极221及绝缘膜232上。此外，基底绝缘膜也可以设置在衬底102与扫描线107、电容线115及栅极绝缘膜127之间。

[0105] 在本实施方式所示的电容器205中，一对电极中的一个电极为像素电极221，一对电极中的另一个电极为透光性导电膜119，该导电膜119是通过使用与半导体膜111在同一工序中形成的半导体膜得到的具有导电特性的金属氧化物膜，通过将设置于一对电极间的介电膜用作绝缘膜232，可以减薄介电膜的厚度。由此，可以增大电容器205的电荷容量。

[0106] 绝缘膜232优选为氮化绝缘膜。

[0107] 此外，在图2中，没有设置绝缘膜229(未图示)及绝缘膜231(未图示)的区域(由双点虚线表示)的端部位于透光性导电膜119的外侧；但是，如图4所示，没有设置绝缘膜279(未图示)及绝缘膜281(未图示)的区域(由双点虚线表示)的端部也可以位于透光性导电膜119上。

[0108] 图5是沿着图4的点划线A1-A2及B1-B2的截面图。

[0109] 在图5中，用作晶体管103的保护绝缘膜的绝缘膜279、绝缘膜281及绝缘膜282设置在栅极绝缘膜127、信号线109、半导体膜111、导电膜113、导电膜125及透光性导电膜119上。绝缘膜279及绝缘膜281的端部位于透光性导电膜119上。绝缘膜282设置在透光性导电膜119上。电容器255包括透光性导电膜119、绝缘膜282及像素电极271。另外，绝缘膜279、绝缘膜281及绝缘膜282可以分别使用与绝缘膜229、绝缘膜231及绝缘膜232相同的材料形成。此外，像素电极271可以使用与像素电极221相同的材料形成。如图5所示，由于绝缘膜279及绝缘膜281的端部位于透光性导电膜119上，所以可以防止进行绝缘膜279及绝缘膜281的蚀刻时栅极绝缘膜127被过度蚀刻。

[0110] 下面对上述结构的构成要素进行详细记载。

[0111] 虽然对衬底102的材料等没有特别的限制，但是该衬底至少需要具有足够承受半导体装置的制造工序中进行的热处理程度的耐热性。衬底的例子是玻璃衬底、陶瓷衬底、塑料衬底，作为玻璃衬底优选可以使用如硼硅酸钡玻璃、硼硅酸铝玻璃或铝硅酸玻璃等的无碱玻璃衬底。另外，也可以使用如不锈钢合金等非透光性衬底，此时，该衬底的表面优选设置有绝缘膜。作为衬底102，还可以使用如下衬底：石英衬底、蓝宝石衬底、单晶半导体衬底、多晶半导体衬底、化合物半导体衬底、绝缘体上硅(Silicon On Insulator:SOI)衬底。

[0112] 流过大电流的扫描线107及电容线115优选使用金属膜形成；典型地是，具有使用钼(Mo)、钛(Ti)、钨(W)、钽(Ta)、铝(Al)、铜(Cu)、铬(Cr)、钕(Nd)、钪(Sc)等中的任何金属材料或包含上述元素作为主要成分的合金材料的单层结构或叠层结构。

[0113] 扫描线107及电容线115的例子是使用包含硅的铝的单层结构、在铝上层叠钛的两层结构、在氮化钛上层叠钛的两层结构、在氮化钛上层叠钨的两层结构、在氮化钽上层叠钨的两层结构、在Cu-Mg-Al合金上层叠铜的两层结构、以及依次层叠氮化钛、铜和钨的三层结构。

[0114] 作为扫描线107及电容线115的材料,可以使用能够用于像素电极221的透光性导电材料。

[0115] 另外,作为扫描线107及电容线115的材料,可以使用包含氮的金属氧化物,具体地说,包含氮的In-Ga-Zn类氧化物、包含氮的In-Sn类氧化物、包含氮的In-Ga类氧化物、包含氮的In-Zn类氧化物、包含氮的Sn类氧化物、包含氮的In类氧化物以及金属氮化膜(InN, SnN等)。上述材料都具有高于或等于5eV(电子伏特)的功函数。当使用上述氧化物半导体作为晶体管103中的半导体膜111时,通过使用含有氮的金属氧化物作为扫描线107(晶体管103的栅电极),可以使晶体管103的阈值电压向正方向变动,即,晶体管可以成为常截止特性。例如,在使用包含氮的In-Ga-Zn类氧化物的情况下,可以使用氮浓度至少比半导体膜111的氧化物半导体膜高的In-Ga-Zn类氧化物,具体来说,氮浓度为7at.%或更高的In-Ga-Zn类氧化物。

[0116] 扫描线107及电容线115优选使用低电阻材料的铝或铜而形成。通过使用铝或铜,信号迟延降低,从而可以获得高显示质量。另外,铝具有低耐热性,因此容易产生因小丘、晶须或迁移(migration)引起的不良。为了防止铝迁移,优选在铝上层叠如钼、钛、钨等熔点比铝高的金属材料。在使用铜的情况下,为了防止因迁移引起的不良或者铜元素的扩散,优选在铜上层叠如钼、钛、钨等熔点比铜高的金属材料。

[0117] 栅极绝缘膜127例如可以具有使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧化铪、氧化镓或Ga-Zn类金属氧化物等的任何绝缘材料的单层结构或叠层结构。为了提高栅极绝缘膜127与作为半导体膜111的氧化物半导体膜之间的界面特性,栅极绝缘膜127中的至少接触于半导体膜111的区域使用氧化绝缘膜形成。

[0118] 另外,通过在栅极绝缘膜127下设置对氧、氢、水等具有阻挡性的绝缘膜,可以防止作为半导体膜111的氧化物半导体膜中的氧向外扩散并可以防止氢、水等从外部侵入到该氧化物半导体膜中。对氧、氢、水等具有阻挡性的绝缘膜的例子是氧化铝、氧氮化铝、氧化镓、氧氮化镓、氧化钇、氧氮化钇、氧化铪、氧氮化铪、以及氮化硅。

[0119] 栅极绝缘膜127也可以使用如硅酸铪(HfSi_xO_y)、含有氮的硅酸铪(HfSi_xO_yN_z)、含有氮的铝酸铪(HfAl_xO_yN_z)、氧化铪、氧化钇等high-k材料,此时,可以降低晶体管103的栅极泄漏电流。

[0120] 栅极绝缘膜127优选具有如下叠层结构。优选的是,作为第一氮化硅膜设置缺陷量少的氮化硅膜、在第一氮化硅膜上作为第二氮化硅膜设置氢及氨脱离量少的氮化硅膜、以及在第二氮化硅膜上设置作为上述栅极绝缘膜127的例子举出的氧化绝缘膜中的任一种。

[0121] 作为第二氮化硅膜,优选使用通过热脱附谱分析法中的氢分子的脱离量低于 5×10^{21} 分子/cm³,优选低于或等于 3×10^{21} 分子/cm³,更优选低于或等于 1×10^{21} 分子/cm³,并且,氨分子的脱离量低于 1×10^{22} 分子/cm³,优选低于或等于 5×10^{21} 分子/cm³,更优选为低于或等于 1×10^{21} 分子/cm³的氮化绝缘膜。上述第一氮化硅膜及第二氮化硅膜用作栅极绝缘膜127的一部分,由此可以形成缺陷量少且氢及氨的脱离量少的栅极绝缘膜作为栅极绝缘膜

127。由此,可以降低包含在栅极绝缘膜127中的氢及氮的侵入半导体膜111中的量。

[0122] 在陷阱能级(也称为界面能级)存在于包含氧化物半导体的晶体管中的氧化物半导体膜与栅极绝缘膜之间的界面或栅极绝缘膜中的情况下,导致晶体管的阈值电压的变动,典型的是,阈值电压负向漂移、以及示出当晶体管导通时为了使漏极电流变化一位数而所需的栅电压的亚阈值摆幅(S值)的增大。其结果是,存在有各晶体管之间电特性有偏差的问题。为此,通过使用缺陷量少的氮化硅膜作为栅极绝缘膜,并且通过设置与半导体膜111接触的氧化绝缘膜,可以降低阈值电压的负向漂移,且使S值的增大最小化。

[0123] 栅极绝缘膜127的厚度大于或等于5nm且小于或等于400nm,优选大于或等于10nm且小于或等于300nm,更优选大于或等于50nm且小于或等于250nm。

[0124] 半导体膜111是氧化物半导体膜,该氧化物半导体膜可以为非晶体、单晶体或多晶体。另外,半导体膜111的厚度大于或等于1nm且小于或等于100nm,优选大于或等于1nm且小于或等于50nm,更优选大于或等于1nm且小于或等于30nm,进一步优选大于或等于3nm且小于或等于20nm。

[0125] 可以用于半导体膜111的氧化物半导体具有大于或等于2eV,优选大于或等于2.5eV,更优选大于或等于3eV的能隙。通过使用能隙宽的氧化物半导体可以降低晶体管103的截止态电流。

[0126] 用于半导体膜111的氧化物半导体优选至少含有铟(In)或锌(Zn)。或者,优选包含In和Zn双方。为了减少包含该氧化物半导体的晶体管的电特性偏差,除了In和Zn中的一方或双方以外优选还含有一种或多种稳定剂(stabilizer)。

[0127] 稳定剂的例子是镓(Ga)、锡(Sn)、铪(Hf)、铝(Al)以及锆(Zr)。稳定剂的其他例子是镧系元素,诸如镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)以及镥(Lu)。

[0128] 作为可以用于半导体膜111的氧化物半导体,例如,可以使用如下物质:氧化铟;氧化锡;氧化锌;含有两种金属的氧化物,如In-Zn类氧化物、Sn-Zn类氧化物、Al-Zn类氧化物、Zn-Mg类氧化物、Sn-Mg类氧化物、In-Mg类氧化物、In-Ga类氧化物;含有三种金属的氧化物,如In-Ga-Zn类氧化物(也称为IGZO)、In-Al-Zn类氧化物、In-Sn-Zn类氧化物、Sn-Ga-Zn类氧化物、Al-Ga-Zn类氧化物、Sn-Al-Zn类氧化物、In-Hf-Zn类氧化物、In-Zr-Zn类氧化物、In-Ti-Zn类氧化物、In-Sc-Zn类氧化物、In-Y-Zn类氧化物、In-La-Zn类氧化物、In-Ce-Zn类氧化物、In-Pr-Zn类氧化物、In-Nd-Zn类氧化物、In-Sm-Zn类氧化物、In-Eu-Zn类氧化物、In-Gd-Zn类氧化物、In-Tb-Zn类氧化物、In-Dy-Zn类氧化物、In-Ho-Zn类氧化物、In-Er-Zn类氧化物、In-Tm-Zn类氧化物、In-Yb-Zn类氧化物、In-Lu-Zn类氧化物;含有四种金属的氧化物,如In-Sn-Ga-Zn类氧化物、In-Hf-Ga-Zn类氧化物、In-Al-Ga-Zn类氧化物、In-Sn-Al-Zn类氧化物、In-Sn-Hf-Zn类氧化物、In-Hf-Al-Zn类氧化物。

[0129] 在此,“In-Ga-Zn类氧化物”是指包含In、Ga以及Zn作为主要成分的氧化物,并且对In、Ga及Zn的比率没有特别的限制。此外,In-Ga-Zn类氧化物也可以包含In、Ga、Zn以外的金属元素。

[0130] 另外,也可以使用以 $InM_0_3(ZnO)_m$ ($m > 0$)表示的材料作为氧化物半导体。注意,M表示选自Ga、Fe、Mn及Co中的一种或更多种金属元素或者作为上述稳定剂的元素。

[0131] 例如,可以使用In:Ga:Zn=1:1:1(=1/3:1/3:1/3)、In:Ga:Zn=2:2:1(=2/5:2/5:1/

5)或In:Ga:Zn=3:1:2(=1/2:1/6:1/3)的原子数比的In-Ga-Zn类金属氧化物。或者,也可以使用In:Sn:Zn=1:1:1(=1/3:1/3:1/3)、In:Sn:Zn=2:1:3(=1/3:1/6:1/2)或In:Sn:Zn=2:1:5(=1/4:1/8:5/8)的原子数比的In-Sn-Zn类氧化物。另外,金属氧化物的原子数比中的各原子的比例在±20%的范围内变动作为误差。

[0132] 注意,不局限于上述材料,也可以根据半导体特性及电特性(场效应迁移率、阈值电压等)使用具有适当的原子数比的材料。另外,优选的是,适当地设定载流子密度、杂质浓度、缺陷密度、金属元素及氧的原子数比、原子间距离、密度等,以得到所需要的半导体特性。例如,在使用In-Sn-Zn类氧化物的情况下可以较容易地获得高场效应迁移率。在使用In-Ga-Zn类氧化物的情况下也可以通过降低块体内缺陷密度来提高场效应迁移率。

[0133] 透光性导电膜119包含与半导体膜111相同的材料作为主要成分,并且由通过含有氮或/及氢导电性得到提高而具有导电特性的金属氧化物形成。

[0134] 半导体膜111及透光性导电膜119形成在栅极绝缘膜上且由含有相同金属元素的金属氧化物膜形成,但是其杂质浓度不同。具体而言,透光性导电膜119具有高于半导体膜111的杂质浓度。例如,半导体膜111所包含的氢浓度低于 $5 \times 10^{19} \text{ atoms/cm}^3$,优选低于 $5 \times 10^{18} \text{ atoms/cm}^3$,更优选低于或等于 $1 \times 10^{18} \text{ atoms/cm}^3$,进一步优选低于或等于 $5 \times 10^{17} \text{ atoms/cm}^3$,更进一步优选低于或等于 $1 \times 10^{16} \text{ atoms/cm}^3$ 。透光性导电膜119所包含的氢浓度高于或等于 $8 \times 10^{19} \text{ atoms/cm}^3$,优选高于或等于 $1 \times 10^{20} \text{ atoms/cm}^3$,更优选高于或等于 $5 \times 10^{20} \text{ atoms/cm}^3$ 。透光性导电膜119所包含的氢浓度是大于或等于半导体膜111的2倍,优选大于或等于10倍。

[0135] 另外,透光性导电膜119具有低于半导体膜111的电阻率。透光性导电膜119的电阻率优选大于或等于半导体膜111的电阻率的 1×10^{-8} 倍且小于或等于 1×10^{-1} 倍。透光性导电膜119的电阻率典型地为大于或等于 $1 \times 10^{-3} \Omega \text{ cm}$ 且小于 $1 \times 10^{-4} \Omega \text{ cm}$,更优选大于或等于 $1 \times 10^{-3} \Omega \text{ cm}$ 且小于 $1 \times 10^{-1} \Omega \text{ cm}$ 。

[0136] 包括晶体管103的源电极109a的信号线109、包括晶体管103的漏电极的导电膜113以及电容器205中的透光性导电膜119与电容线115电连接的导电膜125可以被形成为具有能够用于扫描线107及电容线115的材料的单层结构或叠层结构。

[0137] 用作晶体管103的保护绝缘膜及电容器205的介电膜的绝缘膜229、绝缘膜231、绝缘膜232是使用能够用于栅极绝缘膜127的材料形成的绝缘膜。尤其优选的是,绝缘膜229及231为氧化绝缘膜,绝缘膜232为氮化绝缘膜。另外,通过使用氮化绝缘膜作为绝缘膜232,可以抑制来自外部的氢或水等杂质侵入晶体管103(特别是,半导体膜111)。另外,也可以不设置绝缘膜229。

[0138] 另外,氧含量高于化学计量组成的氧化绝缘膜选用作绝缘膜229及绝缘膜231中的一方或双方。在此情况下,可以防止氧从该氧化物半导体膜脱离,并且氧化绝缘膜中含有的过剩的氧可以移动到氧化物半导体膜中来减少氧缺陷。例如,当使用具有如下特征的氧化绝缘膜时,可以减少氧化物半导体膜中的氧缺陷。该氧化绝缘膜的特征是,当通过热脱附谱分析(以下称为TDS分析)进行测量时,从氧化绝缘膜释放出的氧分子量大于或等于 $1.0 \times 10^{18}/\text{cm}^3$ 。注意,其部分包含高于化学计量组成的氧含量的区域(氧过剩区域)的氧化绝缘膜也可以用作绝缘膜229和绝缘膜231中的一方或双方。当氧过剩区域存在于至少与半导体膜111重叠的区域中时,防止氧从该氧化物半导体膜脱离,并且包含在氧过剩区域中的氧可以

侵入氧化物半导体膜中来减少氧缺陷。

[0139] 在绝缘膜231为高于化学计量组成的氧含量的氧化绝缘膜的情况下，绝缘膜229优选为可以使氧透过的氧化绝缘膜。从外部进入绝缘膜229的氧不都穿过绝缘膜229而释放到半导体膜111中，其一部分留在绝缘膜229中。此外，还有一开始包含于绝缘膜229中且从绝缘膜229释放至外部的氧。因此，绝缘膜229优选具有高氧扩散系数。

[0140] 由于绝缘膜229接触于作为半导体膜111的氧化物半导体膜，所以绝缘膜229优选为能使氧透过且与半导体膜111之间的界面能级密度低的氧化绝缘膜。例如，绝缘膜229优选为具有低于绝缘膜231的缺陷密度的氧化绝缘膜。具体来说，通过电子自旋共振法测量的g值为2.001(E⁻-center)时的自旋密度低于或等于 3.0×10^{17} spins/cm³，优选低于或等于 5.0×10^{16} spins/cm³。通过电子自旋共振法测量的g值为2.001时的自旋密度相当于绝缘膜229中的悬空键的数量。

[0141] 绝缘膜229可以具有大于或等于5nm且小于或等于150nm，优选大于或等于5nm且小于或等于50nm，更优选大于或等于10nm且小于或等于30nm的厚度。绝缘膜231可以具有大于或等于30nm且小于或等于500nm，优选大于或等于150nm且小于或等于400nm的厚度。

[0142] 在氮化绝缘膜用作绝缘膜232的情况下，优选使用具有对氮的阻挡性的绝缘膜作为绝缘膜229和绝缘膜231中的一方或双方。例如，致密的氧化绝缘膜可以具有对氮的阻挡性。具体来说，优选采用当温度为25℃时通过0.5wt%的氢氟酸以小于或等于10nm/分的蚀刻速率被蚀刻的氧化绝缘膜。

[0143] 在如氧氮化硅或氮氧化硅等含有氮的氧化绝缘膜用作绝缘膜229和绝缘膜231中的一方或双方的情况下，通过SIMS测出的氮浓度大于或等于通过SIMS的测定的检出下限且低于 3×10^{20} atoms/cm³，更优选大于或等于 1×10^{18} atoms/cm³且小于或等于 1×10^{20} atoms/cm³。在此情况下，可以减少侵入包含在晶体管103中的半导体膜111的氮量，并且，可以减少含有氮的氧化绝缘膜自身的缺陷数量。

[0144] 作为绝缘膜232，也可以设置氢含量少的氮化绝缘膜。该氮化绝缘膜是如下，例如：当通过TDS分析进行测量时从氮化绝缘膜释放出的氢分子的量低于 $5.0 \times 10^{21}/\text{cm}^3$ ，优选低于 $3.0 \times 10^{21}/\text{cm}^3$ ，更优选低于 $1.0 \times 10^{21}/\text{cm}^3$ 。

[0145] 绝缘膜232具有足够抑制来自外部的如氢和水等杂质侵入的厚度。例如，该厚度大于或等于50nm且小于或等于200nm，优选大于或等于50nm且小于或等于150nm，更优选大于或等于50nm且小于或等于100nm。

[0146] 此外，通过CVD法使用有机硅烷气体形成的氧化硅膜也可以设置在绝缘膜231与绝缘膜232之间或在绝缘膜232上。该氧化硅膜具有优良的台阶覆盖性，所以可以有效地用作晶体管103的保护绝缘膜。该氧化硅膜可以形成为大于或等于300nm且小于或等于600nm的厚度。作为有机硅烷气体，可以使用如下含有硅的化合物：正硅酸乙酯(TEOS)(化学式： $\text{Si}(\text{OC}_2\text{H}_5)_4$)；四甲基硅烷(TMS)(化学式为 $\text{Si}(\text{CH}_3)_4$)；四甲基环四硅氧烷(TMCTS)；八甲基环四硅氧烷(OMCTS)；六甲基二硅氮烷(HMDS)；三乙氧基硅烷($\text{SiH}(\text{OC}_2\text{H}_5)_3$)；三(二甲氨基)硅烷($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)；等。

[0147] 当上述氧化硅膜设置在绝缘膜231与绝缘膜232之间或者在绝缘膜232上时，可以提高设置有晶体管及电容器的元件部表面的平坦性。当上述氮化绝缘膜设置在绝缘膜231与绝缘膜232之间并且上述氮化绝缘膜用作绝缘膜232时，可以进一步抑制如氢和水等杂质

从外部侵入半导体膜111及透光性导电膜119中。

[0148] 另外,当氧化硅膜设置在绝缘膜232上时,绝缘膜232及氧化硅膜被用作电容器205的介电膜。绝缘膜232由氮化绝缘膜形成,氮化绝缘膜与氧化硅等氧化绝缘膜相比有相对介电常数高且内部应力大的倾向。因此,在仅使用绝缘膜232作为电容器205的介电膜而不使用氧化硅膜的情况下,当绝缘膜232的膜厚度小时,电容器205的电容值过大而难以以低耗电量提高对图像信号的像素进行写入的速度。相反地,当绝缘膜232的膜厚度大时,内部应力过大而有可能导致晶体管的阈值电压发生变动等电特性劣化。另外,当绝缘膜232的内部应力过大时,绝缘膜232有从衬底102剥离而使成品率下降的倾向。但是,通过与绝缘膜232一起使用相对介电常数比绝缘膜232低的氧化硅膜作为像素的电容器的介电膜,由此介电膜的介电常数可以控制为所希望的值而不增大绝缘膜232的膜厚度。

[0149] 像素电极221使用透光性导电膜形成。透光性导电膜使用如铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等透光性导电材料形成。

[0150] 接着,说明衬底150上的元件部的结构。元件部包括接触于衬底150的遮光膜152、接触于遮光膜152且被设置为对置于像素电极221的电极(对置电极154)、以及接触于对置电极154且被用作取向膜的绝缘膜156。

[0151] 遮光膜152防止来自如背光灯等光源或外部的光照射到晶体管103。遮光膜152可以使用如金属或含有颜料的有机树脂等的材料形成,且除了像素201的晶体管103上以外也可以设置在像素部100的外部区域,诸如扫描线驱动电路104上、信号线驱动电路106上(参照图1A)。

[0152] 此外,使具有预定波长的光透射的着色膜也可以设置在彼此邻接的遮光膜152之间。再者,覆盖膜也可以设置在对置电极154与遮光膜152及着色膜之间。

[0153] 对置电极154适当地使用作为用于像素电极221的材料所举出的透光性导电材料来形成。

[0154] 液晶元件108包括像素电极221、对置电极154及液晶层160。液晶层160位于设置于衬底102上的元件部中的用作取向膜的绝缘膜158与设置于衬底150上的元件部中的用作取向膜的绝缘膜156之间。此外,像素电极221隔着液晶层160与对置电极154重叠。

[0155] 用作取向膜的绝缘膜156及158可以使用如聚酰胺等通用的材料形成。

[0156] 当使氧透过且与半导体膜111及氧化物半导体膜之间的界面能级密度低的氧化绝缘膜用作半导体膜111上的绝缘膜229并且具有氧过剩区域的氧化绝缘膜或者含有多于化学计量组成的氧的氧化绝缘膜用作绝缘膜231时,氧可以更易于供应至作为半导体膜111的氧化物半导体膜,可以防止氧从该氧化物半导体膜脱离,包含于绝缘膜231中的氧侵入氧化物半导体膜中,使得减少氧化物半导体膜中的氧缺陷。其结果是,晶体管103成为增强型晶体管,并防止具有常导通特性,由此可以提高半导体装置的电特性及可靠性,并且可以降低半导体装置的耗电量。

[0157] 通过使用氮化绝缘膜作为绝缘膜231上的绝缘膜232,可以抑制来自外部的如氢和水等杂质侵入半导体膜111及透光性导电膜119。再者,通过使用氢含量少的氮化绝缘膜作为绝缘膜232,可以减小晶体管的电特性变动。

[0158] 此外,电容器205可以在像素201内被形成为大尺寸(形成在大面积中)。因此,半

体装置可以提高开口率的同时可以增大电荷容量。其结果是，半导体装置可以具有优良的显示质量。

[0159] 另外，电容器205的两个电极具有导电性，因此即使电容器205具有较小的平面面积也可以得到充分的电荷容量。此外，氧化物半导体膜使80%至90%的光透射；当缩小透光性导电膜119的面积并没有设置透光性导电膜119的区域被形成在像素201中时，可以提高相对于从背光灯等光源发射出的光的透射率。即，可以减弱如背光灯等光源的亮度，由此可以减少半导体装置的耗电量。

[0160] <半导体装置的制造方法>

[0161] 接着，参照图6A和6B、图7A和7B以及图8A和8B说明上述半导体装置中的衬底102上的元件部的制造方法。

[0162] 首先，在衬底102上形成扫描线107及电容线115。形成后面被加工为栅极绝缘膜127的绝缘膜126以覆盖扫描线107及电容线115。在绝缘膜126的与扫描线107重叠的区域上形成半导体膜111。形成半导体膜118，以与后面被形成为像素电极221的区域重叠（参照图6A）。

[0163] 扫描线107及电容线115可以通过如下方式形成，使用上述材料形成导电膜，在该导电膜上形成掩模，使用该掩模进行处理。该导电膜可以通过如蒸镀法、CVD法、溅射法、旋涂法等各种成膜方法形成。注意，对该导电膜的厚度没有特别的限定，可以考虑形成时间以及所希望的电阻率等而决定。作为该掩模，可以使用通过第一光刻工序形成的抗蚀剂掩模。该导电膜可以通过干蚀刻及湿蚀刻中的一方或双方来形成。

[0164] 绝缘膜126可以使用能够用于栅极绝缘膜127的材料通过如CVD法及溅射法等各种成膜方法形成。

[0165] 在使用氧化嫁作为栅极绝缘膜127的情况下，绝缘膜126可以通过有机金属气相沉积（Metal Organic Chemical Vapor Deposition:MOCVD）法形成。

[0166] 半导体膜111及半导体膜118可以通过如下方式形成，使用上述氧化物半导体形成氧化物半导体膜，在该氧化物半导体膜上形成掩模，并且使用该掩模进行处理。由此，半导体膜111及半导体膜118使用同一金属元素形成。氧化物半导体膜可以通过溅射法、涂敷法、脉冲激光蒸镀法、激光烧蚀法等形成。或者，当采用印刷法时，彼此分离的半导体膜111和半导体膜118可以直接形成于绝缘膜126上。在通过溅射法形成该氧化物半导体膜的情况下，可以适当地使用RF电源装置、AC电源装置或DC电源装置等作为生成等离子体的电源装置。作为溅射气体，适当地使用稀有气体（典型为氩）、氧气体、稀有气体及氧的混合气体。在使用稀有气体和氧的混合气体的情况下，氧的比例优选增高相对于稀有气体的氧气体比例。另外，根据所形成的氧化物半导体膜的组成可以适当地选择靶材。作为该掩模，可以使用通过第二光刻工序形成的抗蚀剂掩模。该氧化物半导体膜可以通过干蚀刻和湿蚀刻中的一方或双方而被处理。根据材料适当地设定蚀刻条件（蚀刻气体、蚀刻液、蚀刻时间、温度等），以能够蚀刻成所希望的形状。

[0167] 加热处理优选在形成半导体膜111及118之后进行，来使氧化物半导体膜脱氢化或脱水化。该加热处理的温度典型地高于或等于150℃且低于衬底的应变点，优选高于或等于200℃且低于或等于450℃，更优选高于或等于300℃且低于或等于450℃。另外，该加热处理也可以对被加工为半导体膜111及118之前的氧化物半导体膜进行。

[0168] 用于上述加热处理的加热处理装置不限于电炉；作为加热处理装置，也可以使用通过如来自被加热的气体等的媒介而实现的热传导或热辐射来加热对象物的装置。例如，可以使用如气体快速热退火(Gas Rapid Thermal Annealing:GRTA)装置以及灯快速热退火(Lamp Rapid Thermal Annealing:LRTA)装置等的快速热退火(Rapid Thermal Annealing:RTA)装置。LRTA装置是通过从灯如卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯发出的光(电磁波)的辐射加热对象物的装置。GRTA装置是使用高温气体进行加热处理的装置。

[0169] 该加热处理也可以在氮、氧、超干燥空气(水含量小于或等于20ppm，优选小于或等于1ppm，更优选小于或等于10ppb的空气)或稀有气体(例如，氩或氦)的气氛下进行。上述氮、氧、超干燥空气或稀有气体的气氛优选不包含氢、水等。或者，加热也可以先在惰性气体气氛中进行，然后在氧气气氛中进行。该处理时间为3分钟至24小时。

[0170] 在基底绝缘膜设置于衬底102与扫描线107、电容线115及栅极绝缘膜127之间的情况下，该基底绝缘膜可以使用如下任何材料形成：氧化硅、氧氮化硅、氮化硅、氮氧化硅、氧化稼、氧化铪、氧化钇、氧化铝、氧氮化铝等。通过使用氮化硅、氧化稼、氧化铪、氧化钇、氧化铝等作为基底绝缘膜，可以抑制以碱金属、水、氢为代表的杂质的从衬底102至半导体膜111中的扩散。基底绝缘膜可以通过溅射法或CVD法形成。

[0171] 在绝缘膜126中形成到达电容线115的开口123来形成栅极绝缘膜127之后，形成包括晶体管103的源电极的信号线109、包括晶体管103的漏电极的导电膜113、以及使半导体膜118与电容线115电连接的导电膜125(参照图6B)。

[0172] 上述开口123可以被形成为使绝缘膜126的与电容线115重叠的区域的一部分露出，该开口123通过第三光刻工序形成掩模，利用该掩模进行加工来形成。该掩模的形成及该加工可以与扫描线107及电容线115同样的方式进行。

[0173] 信号线109、导电膜113及导电膜125可以通过如下方式形成，使用能够用于信号线109、导电膜113及导电膜125的材料形成导电膜，在该导电膜上通过第四光刻工序形成掩模，使用该掩模进行加工。该掩模的形成及该加工可以与扫描线107及电容线115同样地进行。

[0174] 接着，在半导体膜111、半导体膜118、信号线109、导电膜113、导电膜125及栅极绝缘膜127上形成绝缘膜128，在绝缘膜128上形成绝缘膜130(参照图7A)。优选连续地形成绝缘膜128及绝缘膜130，此时，可以抑制杂质的对各界面的混入。

[0175] 绝缘膜128可以使用能够用于绝缘膜229的材料并通过如CVD法或溅射法等各种成膜方法形成。绝缘膜130可以使用能够用于绝缘膜231的材料形成。

[0176] 在使用与半导体膜111之间的界面处的界面能级密度低的氧化绝缘膜作为绝缘膜229的情况下，可以利用如下条件形成绝缘膜128。这里，作为该氧化绝缘膜，形成氧化硅膜或氧氮化硅膜。作为形成条件，设置于等离子体CVD装置的被真空排气的处理室内的衬底保持在高于或等于180℃且低于或等于400℃，优选高于或等于200℃且低于或等于370℃的温度下，向处理室中引入含有硅的沉积气体及氧化性气体作为原料气体，处理室内的压力高于或等于20Pa且低于或等于250Pa，优选高于或等于40Pa且低于或等于200Pa，对设置于处理室内的电极供应高频电力。

[0177] 含有硅的沉积气体的代表例是硅烷、乙硅烷、丙硅烷及氟化硅烷。氧化性气体的例

子是氧、臭氧、一氧化二氮及二氧化氮。

[0178] 通过将氧化性气体量的比例设定为包含硅的沉积气体的100倍或更高,包含在绝缘膜128(绝缘膜229)中的氢可以减少,并且绝缘膜128(绝缘膜229)中的悬空键可以减少。从绝缘膜130(绝缘膜231)释放出的氧有时被绝缘膜128(绝缘膜229)中的悬空键俘获;由此,在绝缘膜128(绝缘膜229)中的悬空键减少的情况下,绝缘膜130(绝缘膜231)中的氧可以有效地进入半导体膜111中,以减少作为半导体膜111的氧化物半导体膜中的氧缺陷。其结果是,可以减少进入该氧化物半导体膜中的氢量,并且可以减少氧化物半导体膜中的氧缺陷。

[0179] 在使用上述包括氧过剩区域的氧化绝缘膜或上述氧含量高于化学计量组成的氧化绝缘膜作为绝缘膜231的情况下,绝缘膜130可以以下形成条件形成。这里,作为该氧化绝缘膜,形成氧化硅膜或氧氮化硅膜。作为该形成条件,设置于等离子体CVD装置的被真空排气的处理室内的衬底保持在高于或等于180℃且低于或等于260℃,优选高于或等于180℃且低于或等于230℃,向处理室中引入原料气体,处理室内的压力高于或等于100Pa且低于或等于250Pa,优选高于或等于100Pa且低于或等于200Pa,对设置于处理室内的电极供应高于或等于 $0.17W/cm^2$ 且低于或等于 $0.5W/cm^2$,优选高于或等于 $0.25W/cm^2$ 且低于或等于 $0.35W/cm^2$ 的高频电力。

[0180] 作为绝缘膜130的原料气体,可以使用能够用于绝缘膜128的原料气体。

[0181] 作为绝缘膜130的形成条件,具有上述功率密度的高频电力供应给上述压力的处理室,由此,在等离子体中原料气体的分解效率得到提高,氧自由基增加,原料气体的氧化进展;因此,绝缘膜130中的氧含量高于化学计量组成的氧含量。另一方面,在以上述范围内的衬底温度形成的膜中,硅与氧的键合力弱,由此,膜中的氧的一部分由后面的工序中的加热处理脱离。由此,可以形成具有高于化学计量组成的氧含量且通过加热氧的一部分脱离的氧化绝缘膜。绝缘膜128设置在半导体膜111上。因此,在绝缘膜130的形成工序中,绝缘膜128用作半导体膜111的保护膜。由此,即使使用具有高功率密度的高频电力形成绝缘膜130,对半导体膜111的损伤不太大。

[0182] 通过增大绝缘膜130的厚度,通过加热脱离多量的氧;因此,绝缘膜130优选形成为厚于绝缘膜128。由于设置由绝缘膜128,即使绝缘膜130被形成得较厚也可以实现良好的覆盖性。

[0183] 优选的是,在至少形成绝缘膜130之后进行加热处理,使得包含在绝缘膜128或绝缘膜130中的过剩氧进入半导体膜111,以降低氧化物半导体膜中的氧缺陷。此外,该加热处理可以根据对半导体膜111及透光性导电膜119的脱氢化或脱水化的加热处理的详细内容而适当地进行。

[0184] 接着,在至少与透光性导电膜119重叠的绝缘膜130的区域上形成掩模,使用该掩模进行加工,来形成具有开口部的绝缘膜228及230。由于该掩模在露出透光性导电膜119的区域具有开口,因此可以使用通过第五光刻工序形成的抗蚀剂掩模,并且该加工可以通过干蚀刻和湿蚀刻中的一方或双方而进行。在通过干蚀刻形成开口部的情况下,氧化物半导体膜被暴露于等离子体中并受损,而缺陷、典型地为氧缺陷形成在氧化物半导体膜中。因此,形成电阻低的透光性导电膜119。然后,在绝缘膜228、绝缘膜230、导电膜125及透光性导电膜119上形成绝缘膜233(参照图7B)。

[0185] 绝缘膜233可以使用能够用于绝缘膜232的材料形成。绝缘膜233可以通过溅射法或CVD法等形成。

[0186] 在使用氢含量少的氮化绝缘膜作为绝缘膜233的情况下,可以在如下形成条件下形成绝缘膜233。这里,作为该氮化绝缘膜,形成氮化硅膜。作为该形成条件,设置于等离子体CVD装置的被真空排气的处理室内的衬底保持在高于或等于180℃且低于或等于400℃,优选高于或等于200℃且低于或等于370℃,向处理室中引入原料气体,处理室内的压力高于或等于100Pa且低于或等于250Pa,优选高于或等于100Pa且低于或等于200Pa,对设置于处理室内的电极供应高频电力。

[0187] 作为绝缘膜233的原料气体,优选使用包含硅的沉积气体、氮气体及氨气体。包含硅的沉积气体的典型例子是硅烷、乙硅烷、丙硅烷及氟化硅烷。另外,相对于氨的氮流量比优选为高于或等于5且低于或等于50,更优选高于或等于10且低于或等于50。通过使用氨作为原料气体,促进氮和含有硅的沉积气体的分解。这是因为,氨因等离子体能或热能而离解,由离解产生的能量有助于含有硅的沉积气体分子的键合及氮分子的键合的分解。在上述条件下,可以形成氢含量少且能抑制来自外部的如氢和水等杂质的侵入的氮化硅膜。

[0188] 当通过等离子体CVD法或溅射法使用氮化绝缘膜形成绝缘膜233时,半导体膜118被暴露于等离子体中,并且氧缺陷生成于半导体膜118中。另外,当半导体膜118与使用氮化绝缘膜形成的绝缘膜233接触时,氮及/或氢从绝缘膜233移动至半导体膜118。由于绝缘膜233所包含的氢进入氧缺陷,生成作为载流子的电子。由此,半导体膜118的导电性提高,而获得由具有导电特性的金属氧化物膜形成的透光性导电膜119。

[0189] 此外,加热处理也可以在形成绝缘膜233之后,在绝缘膜233与透光性导电膜119接触的状态下进行。其结果是,可以进一步提高透光性导电膜119的导电性。

[0190] 注意,根据从绝缘膜233的氮及/或氢的移动距离,有时半导体膜118中的与导电膜125重叠的区域的一部分作为氧化物半导体残留。

[0191] 氧化硅膜也可以在绝缘膜130与绝缘膜233之间通过CVD法使用有机硅烷气体来形成。

[0192] 在绝缘膜130与绝缘膜233之间通过CVD法使用有机硅烷气体形成氧化硅膜的情况下,形成具有高于化学计量组成的氧含量且通过加热氧的一部分脱离的氧化绝缘膜作为绝缘膜130,然后进行350℃的加热处理,由此包含在绝缘膜130中的过剩氧进入半导体膜111。在通过CVD法使用上述有机硅烷气体中的任一种以350℃的衬底温度形成氧化硅膜之后,以350℃的衬底温度形成氢含量少的氮化绝缘膜作为绝缘膜233。

[0193] 然后,在绝缘膜228、230及233的重叠于导电膜113的区域通过第六光刻工序形成掩模之后,蚀刻绝缘膜228、230及233来形成具有到达导电膜113的开口117的绝缘膜229、231及232(参照图8A)。开口117可以与开口123同样的方式形成。

[0194] 最后,形成像素电极221,而可以形成设置在衬底102上的元件部(参照图8B)。像素电极221可以以下方法形成,使用上述材料中的任一种形成通过开口117接触于导电膜113的导电膜,通过第七光刻工序在该导电膜上形成掩模,使用该掩模进行加工。该掩模的形成及该加工可以与扫描线107及电容线115同样地进行。

[0195] <变形例1>

[0196] 在本发明的一个方式的半导体装置中,可以适当地改变电容器的结构。参照图9说

明本结构的具体例子。这里。仅说明与参照图2及图3说明的电容器205不同的电容器245。

[0197] 棚极绝缘膜227具有使用氮化绝缘膜形成的绝缘膜225与使用氧化绝缘膜形成的绝缘膜226的叠层结构，并且至少在设置有透光性导电膜119的区域中仅设置绝缘膜225。通过该结构，为绝缘膜225的氮化绝缘膜接触于透光性导电膜119的下表面；由此，与半导体膜111同时形成在绝缘膜225上的半导体膜可以为由具有导电特性的金属氧化物膜形成的透光性导电膜119(参照图9)。此时，电容器245的介电膜为绝缘膜229、231及232。作为绝缘膜225及226可以适当地使用能够用作棚极绝缘膜127的绝缘膜，绝缘膜225也可以使用与绝缘膜232相同的绝缘膜形成。图9所示的结构可以防止伴随绝缘膜129及131的蚀刻的透光性导电膜119的厚度的减少，由此与图3所示的半导体装置相比，成品率提高。

[0198] 此外，在图9所示的结构中，透光性导电膜119的上表面也可以与绝缘膜132接触。即，也可以去除图9中的绝缘膜129及131的接触于透光性导电膜119的区域。在此情况下，电容器245的介电膜是绝缘膜132。当透光性导电膜119的上表面及下表面接触于氮化绝缘膜时，透光性导电膜119可以具有比只有上表面及下表面中的一个面接触于氮化绝缘膜的情况更高的导电性。

[0199] <变形例2>

[0200] 在本发明的一个方式的半导体装置中，可以适当地改变电容线与用作电容器的一个电极的透光性导电膜的连接。例如，为了提高开口率，可以采用透光性导电膜不隔着导电膜直接接触于电容线的结构。参照图10说明本结构的具体例子。这里仅说明与参照图2及图3说明的电容器205不同的电容器145。图10是半导体装置的截面图。

[0201] 在像素中，用作电容器145的另一个电极的透光性导电膜119通过开口143直接接触于电容线115。与图3的电容器205不同，透光性导电膜119不隔着导电膜125直接接触于电容线115，没有形成作为遮光膜的导电膜125，由此可以实现像素141的高开口率。

[0202] <变形例3>

[0203] 在本发明的一个方式的半导体装置中，可以适当地改变包括于电容器中的透光性导电膜及电容线的结构。参照图11说明本结构的具体例子。注意，这里仅说明与图2及图3中说明的透光性导电膜119及电容线115不同的透光性导电膜178及电容线176。

[0204] 图11是像素172的俯视图，电容线176在与信号线109平行的方向上延伸地设置。信号线109及电容线176与信号线驱动电路106(参照图1A)电连接。如图11所示的像素172，也可以采用平行于扫描线107的边长于平行于信号线109的边的形状，并且电容线176也可以在与信号线109平行的方向上延伸。

[0205] 电容器174连接于平行于信号线109的方向延伸的电容线176。电容器174包括透光性导电膜178、透光性像素电极221、以及作为介电膜的设置于晶体管103上的透光性绝缘膜(图11中未图示)。即，电容器174具有透光性。

[0206] 电容线176可以与信号线109及导电膜113同时形成。当电容线176被设置为接触于透光性导电膜178时，可以增大透光性导电膜178与电容线176彼此接触的面积。此外，像素172具有平行于信号线109的边短于平行于扫描线107的边的形状；因此，可以缩小像素电极与电容线176重叠的面积，而实现高开口率。

[0207] 在图3中，由于电容线115与扫描线107同时形成，所以需要进行光刻工序，以在栅极绝缘膜127中设置开口部，来实现电容线115与透光性导电膜119之间的连接。但是，如图

11所示,通过同时形成信号线109及电容线176,透光性导电膜119与电容线176可以连接。其结果是,可以削减光刻工序的次数。即,通过六次光刻工序可以制造晶体管、与晶体管连接的像素电极以及电容器。

[0208] <变形例4>

[0209] 在本发明的一个方式的半导体装置中,电容器所包含的电极及电容线可以使用透光性导电膜形成。使用图12说明其具体例子。这里,仅说明与参照图2说明的透光性导电膜119及电容线115不同的透光性导电膜198。图12是像素196的俯视图,用作电容器197的一个电极及电容线的透光性导电膜198设置在像素196中。透光性导电膜198具有在与信号线109平行的方向上延伸的区域,该区域用作电容线。在透光性导电膜198中,与像素电极221重叠的区域用作电容器197的电极。另外,透光性导电膜198可以与图2所示的透光性导电膜119相同的方式形成。

[0210] 在连续膜形成在1行中的像素196中作为透光性导电膜198的情况下,透光性导电膜198与扫描线107重叠。根据上述理由,由于扫描线107的电位变化的影响透光性导电膜198有可能不能发挥电容线及电容器197的电极的功能。因此,如图12所示,透光性导电膜198优选在各像素196之间彼此相离地设置,并且该透光性导电膜通过可以利用形成信号线109及导电膜113的工序形成的导电膜199彼此电连接。通过上述结构,透光性导电膜198中的不连接于导电膜199的区域重叠于像素电极221,由此,可以降低该区域中的透光性导电膜198的电阻,所以透光性导电膜198用作电容线及电容器197中的一个电极。

[0211] 虽然未图示,但是在透光性导电膜198中的重叠于扫描线107的区域不受到扫描线107的电位变化的情况下,一个透光性导电膜可以设置作为像素196中的透光性导电膜198以重叠于扫描线107。换言之,透光性导电膜198可以连续地且没有间隔地设置在1行中的所有像素196中。

[0212] 在图12中,透光性导电膜198的用作电容线的区域在与信号线109平行的方向上延伸;但是,用作电容线的区域可以在与扫描线107平行的方向上延伸。在透光性导电膜198的用作电容线的区域在与扫描线107平行的方向上延伸的情况下,通过在晶体管103及电容器197中,需要在半导体膜111及透光性导电膜198与信号线109及导电膜113之间设置绝缘膜来使半导体膜111及透光性导电膜198与信号线109及导电膜113电分离。

[0213] 根据上述说明,当如像素196那样设置透光性导电膜作为设置在像素中的电容器的电极及电容线,该像素可以具有高开口率。

[0214] <变形例5>

[0215] 在本发明的一个方式的半导体装置中,可以适当地改变电容线的结构。参照图13说明本结构。在图13中,与参照图2说明的电容线115不同地,电容线位于彼此邻接的两个像素之间。

[0216] 图13示出电容线设置在信号线409的延伸方向上相邻的像素之间的结构。此外,也可以采用电容线设置在扫描线437的延伸方向上相邻的像素之间的结构。

[0217] 图13是在信号线409的延伸方向上彼此邻接的像素401_1及像素401_2的俯视图。

[0218] 扫描线407_1及扫描线407_2被设置为在大致垂直于信号线409的方向上互相平行延伸。电容线415设置在扫描线407_1与407_2之间,使得与扫描线407_1及407_2平行。电容线415与设置于像素401_1中的电容器405_1以及设置于像素401_2中的电容器405_2连接。

像素401_1的上表面形状以及构成要素的配置位置与像素401_2相对于电容线415相互对称。

[0219] 像素401_1设置有晶体管403_1、与该晶体管403_1连接的像素电极421_1以及电容器405_1。

[0220] 晶体管403_1设置于扫描线407_1及信号线409交叉的区域中。晶体管403_1至少包括具有沟道形成区的半导体膜411_1、栅电极、栅极绝缘膜(图13中未图示)、源电极及漏电极。扫描线407_1的与半导体膜411_1重叠的区域用作晶体管403_1的栅电极。信号线409的与半导体膜411_1重叠的区域用作晶体管403_1的源电极。导电膜413_1的与半导体膜411_1重叠的区域用作晶体管403_1的漏电极。导电膜413_1与像素电极421_1通过开口417_1连接。

[0221] 电容器405_1通过设置在开口423中和其上的导电膜425与电容线415电连接。电容器405_1包括透光性导电膜419_1、透光性像素电极421_1、作为介电膜的形成于晶体管403_1上的透光性绝缘膜(图13中未图示)。即,电容器405_1具有透光性。

[0222] 像素401_2设置有晶体管403_2、与该晶体管403_2电连接的像素电极421_2及电容器405_2。

[0223] 晶体管403_2设置于扫描线407_2及信号线409交叉的区域中。晶体管403_2至少包括具有沟道形成区的半导体膜411_2、栅电极、栅极绝缘膜(图13中未图示)、源电极及漏电极。扫描线407_2的与半导体膜411_2重叠的区域用作晶体管403_2的栅电极。信号线409的与半导体膜411_2重叠的区域用作晶体管403_2的源电极。导电膜413_2的与半导体膜411_2重叠的区域用作晶体管403_2的漏电极。导电膜413_2与像素电极421_2通过开口417_2连接。

[0224] 电容器405_2与电容器405_1同样,通过设置于开口423中和其上的导电膜425与电容线415电连接。电容器405_2包括透光性导电膜419_2、透光性像素电极421_2、以及作为介电膜的包含于晶体管403_2中的透光性绝缘膜(图13中未图示)。即,电容器405_2具有透光性。

[0225] 晶体管403_1及403_2以及电容器405_1及405_2的截面结构与图3所示的晶体管103及电容器205相同,因此在此省略其说明。

[0226] 从上面看的结构中,电容线设置在彼此邻接的两个像素之间,使得包含于各像素中的电容器及该电容线连接,由此可以减少电容线的个数。其结果是,与各像素设置有电容线的结构相比,可以提高像素的开口率。

[0227] <变形例6>

[0228] 在本发明的一个方式的半导体装置中,设置在像素内的晶体管的形状不局限于图2、图4、图11、图12及图13所示的晶体管的形状,可以适当地改变形状。例如,晶体管也可以具有包括在信号线109中的源电极也可以具有围绕包括漏电极的导电膜的U字型(或C字型、方括号型或马蹄型)的形状。通过这种形状,即使晶体管的面积小,也可以确保充分的沟道宽度,可以增加晶体管的导通时流过的漏极电流(也称为导通态电流)量。

[0229] <变形例7>

[0230] 虽然上面使用氧化物半导体膜设置于栅极绝缘膜与包括源电极的信号线109及包括漏电极的导电膜113之间的晶体管,但是代替上述晶体管,也可以使用半导体膜设置于绝

缘膜229与包括源电极的信号线及包括漏电极的导电膜之间的晶体管。

[0231] <变形例8>

[0232] 虽然上面说明沟道蚀刻型晶体管,但是也可以使用沟道保护型晶体管而代替沟道蚀刻型晶体管。当设置沟道保护膜时,半导体膜111的表面可以不暴露于信号线及导电膜的形成工序中使用的蚀刻剂或蚀刻气体中,由此可以减少半导体膜111与沟道保护膜之间的杂质。因此,可以减少晶体管的源电极和漏电极之间流过的泄漏电流。

[0233] <变形例9>

[0234] 虽然上面说明具有一个栅电极的晶体管,但是具有隔着半导体膜111互相对置的两个栅电极的晶体管也可以代替使用。

[0235] 该晶体管是在本实施方式中说明的晶体管103的绝缘膜232上设置有导电膜的晶体管。导电膜至少与半导体膜111的沟道形成区重叠。优选的是,导电膜设置在与半导体膜111的沟道形成区重叠的位置上,使得导电膜的电位等于输入到信号线109的视频信号的最低电位。在此情况下,可以控制与导电膜对置的半导体膜111的表面中的源电极和漏电极之间流过的电流,并且可以降低晶体管的电特性偏差。另外,通过设置导电膜,周围电场变化对半导体膜111的影响减轻;由此,可以提高晶体管的可靠性。

[0236] 设置在绝缘膜232上的导电膜可以适当地使用与扫描线107、信号线109、像素电极121等相同的材料及制造方法而形成。

[0237] 如上所述,使用以接触于与包括于晶体管中的半导体膜在同一形成工序中形成的半导体膜的方式设置氮化绝缘膜而得到的具有导电特性的金属氧化物作为电容器的电极。其结果是,可以制造开口率提高到典型地50%或更高,优选为55%或更高,更优选为60%或更高且具有电荷容量增大了的电容器的半导体装置。由此,该半导体装置可以具有优良的显示质量。

[0238] 另外,包括在晶体管中的为半导体膜的氧化物半导体膜中的氧缺陷以及如氢等杂质被减少,因此,本发明的一个方式的半导体装置具有良好的电特性且耗电量小。

[0239] 另外,本实施方式所述的结构等可以适当地与其它实施方式及实施例所述的任何结构等组合。

[0240] <变形例10>

[0241] 另外,在上述晶体管的制造方法中,作为透光性导电膜119的形成方法,在图6B的工序之后形成覆盖半导体膜111并具有使半导体膜118露出的开口的掩模。接着,将半导体膜118暴露于稀有气体、氢及稀有气体的混合气体、稀有气体及氨的混合气体、氨气体、氮气体等气氛中生成的等离子体中,由此,可以形成透光性导电膜119,而不进行如图7B所示的在半导体膜118上形成氮化绝缘膜的工序。

[0242] 此外,在晶体管的制造方法中,作为透光性导电膜119的形成方法,在图7A的工序之后形成覆盖半导体膜111并具有使半导体膜118露出的开口的掩模。然后,透过绝缘膜130,将半导体膜118暴露于稀有气体、氢及稀有气体的混合气体、稀有气体及氨的混合气体、氨气体、氮气体等的气氛中生成的等离子体中,由此,可以形成透光性导电膜119,而不进行如图7B所示的在半导体膜118上形成氮化绝缘膜的工序。

[0243] 当半导体膜118暴露于等离子体时,作为半导体膜118形成的氧化物半导体膜受到损伤,并且,缺陷、典型地是氧缺陷生成于该氧化物半导体膜中。其结果是,具有低电阻率的

透光性导电膜119被形成。

[0244] 实施方式2

[0245] 在本实施方式中,参照附图说明本发明的一个方式的半导体装置,该半导体装置具有与上述实施方式不同的结构。在本实施方式中采用液晶显示装置作为例子说明本发明的一个方式的半导体装置。此外,在本实施方式所说明的半导体装置中,包括在电容器中的透光性导电膜与上述实施方式不同。在本实施方式的半导体装置中的与上述实施方式的半导体装置同样的构成要素可以参照上述实施方式。

[0246] <半导体装置的结构>

[0247] 说明设置在本实施方式所说明的液晶显示装置的像素部中的像素301的结构的具体例子。图14是像素301的俯视图。图14所示的像素301包括电容器305,该电容器305设置在像素301的由电容线115及信号线109围绕的区域。电容器305通过设置在开口123中和其上的导电膜125电连接于电容线115。电容器305包括透光性导电膜319、透光性像素电极221以及作为介电膜的形成在晶体管103上的透光性绝缘膜(图14中未图示)。即,电容器305具有透光性。

[0248] 作为电容器的电极,使用透光性导电膜319。也就是说,电容器305可以在像素301内形成为大尺寸(覆盖大面积)。由此,可以获得开口率典型地提高至55%或更高,优选为60%或更高且增大了电荷容量的半导体装置。

[0249] 接着,图15是沿着图14中的点划线A1-A2及B1-B2的截面图。

[0250] 液晶显示装置的像素301的截面结构是如下。包括晶体管103的栅电极的扫描线107设置在衬底102上。栅极绝缘膜127设置在扫描线107上。半导体膜111设置在栅极绝缘膜127的与扫描线107重叠的区域上,透光性导电膜319设置在栅极绝缘膜127上。包括晶体管103的源电极的信号线109及包括晶体管103的漏电极的导电膜113设置在半导体膜111及栅极绝缘膜127上。连接透光性导电膜319及电容线115的导电膜125设置在栅极绝缘膜127上。用作晶体管103的保护绝缘膜的绝缘膜129、绝缘膜131及绝缘膜132设置在栅极绝缘膜127、信号线109、半导体膜111、导电膜113、导电膜125以及透光性导电膜319上。到达导电膜113的开口117设置在绝缘膜129、绝缘膜131及绝缘膜132中,像素电极221设置在开口117中及绝缘膜132上。此外,基底绝缘膜也可以设置在衬底102与扫描线107及栅极绝缘膜127之间。

[0251] 在本结构中的电容器305中,一对电极中的一个电极为像素电极121,一对电极中的另一个电极为透光性导电膜319,设置在一对电极之间的介电膜是绝缘膜129、131及132。

[0252] 透光性导电膜319是通过对与半导体膜111同时形成的半导体膜添加元素(掺杂剂)而得到的具有导体特性的金属氧化物膜。即,透光性导电膜319包括包含在半导体膜111中的氧化物半导体的金属元素以及掺杂剂。该掺杂剂是选自氢、硼、氮、氟、铝、磷、砷、铟、锡、锑和稀有气体元素中的一种或更多种。包含在透光性导电膜319中的掺杂剂浓度优选高于或等于 $1 \times 10^{19} \text{ atoms/cm}^3$ 且低于或等于 $1 \times 10^{22} \text{ atoms/cm}^3$ 。由此,透光性导电膜319的导电率可以大于或等于 10 S/cm 且小于或等于 1000 S/cm ,优选大于或等于 100 S/cm 且小于或等于 1000 S/cm ,由此,透光性导电膜319可以充分用作电容器305的电极。

[0253] <半导体装置的制造方法>

[0254] 下面,参照图16A和16B以及图17A和17B说明本实施方式的半导体装置的制造方法。

[0255] 首先,在衬底102上形成扫描线107及电容线115,在衬底102、扫描线107及电容线上形成加工为栅极绝缘膜127的绝缘膜126。在该绝缘膜126上形成半导体膜111及半导体膜118(参照图16A)。上述工序可以参照实施方式1来进行。

[0256] 然后,对半导体膜118添加掺杂剂来形成透光性导电膜319,在绝缘膜126中形成到达电容线115的开口123来形成栅极绝缘膜127,然后形成包括晶体管103的源电极的信号线109、包括晶体管103的漏电极的导电膜113、电连接透光性导电膜319与电容线115的导电膜125(参照图16B)。

[0257] 对半导体膜118添加掺杂剂的方法是如下:在半导体膜118以外的区域设置掩模,通过离子注入法或离子掺杂法等添加选自氢、硼、氮、氟、铝、磷、砷、铟、锡、锑和稀有气体元素中的一种或更多种的掺杂剂。此外,也可以将半导体膜118暴露于包含上述掺杂剂的等离子体来添加该掺杂剂,代替采用离子注入法或离子掺杂法。此外,也可以在对半导体膜118添加掺杂剂之后进行加热处理。该加热处理可以根据半导体膜111及透光性导电膜319的脱氢化或脱水化的加热处理的详细内容适当地进行。

[0258] 此外,添加掺杂剂的工序也可以在形成信号线109、导电膜113及导电膜125之后进行。在此情况下,掺杂剂不添加于透光性导电膜319的与信号线109、导电膜113及导电膜125接触的区域中。

[0259] 然后,在栅极绝缘膜127、信号线109、半导体膜111、导电膜113、导电膜125及透光性导电膜319上形成绝缘膜128。在绝缘膜128上形成绝缘膜130,在绝缘膜130上形成绝缘膜133(参照图17A)。上述工序可以参照实施方式1来进行。

[0260] 然后,在绝缘膜128、绝缘膜130及绝缘膜133中形成到达导电膜113的开口117,来形成绝缘膜129、绝缘膜131及绝缘膜132(参照图17B)。形成通过开口117接触于导电膜113的像素电极221(参照图15)。上述工序也可以参照实施方式1来进行。

[0261] 通过上述工序,可以制造本实施方式的半导体装置。

[0262] 如上所述,对使用与晶体管中的半导体膜相同的工序形成的半导体添加掺杂剂得到的具有导体特性的金属氧化物被用作电容器的透光性电极。其结果是,可以制造开口率得到提高且具有电荷容量增大了的电容器的半导体装置。由此,半导体装置可以具有优良的显示质量。

[0263] 另外,电容器305的一对电极具有导电性,因此即使电容器305的平面面积小也可以得到充分的电荷容量。此外,氧化物半导体膜使光的80%至90%透射;由此,当缩小透光性导电膜319的面积并在像素301中形成不设置有透光性导电膜319的区域时,可以提高相对于从背光灯等光源照射的光的透射率。即,可以减弱背光灯等光源的亮度,由此可以减少半导体装置的耗电量。

[0264] 另外,在包括于晶体管中的半导体膜的氧化物半导体膜中,氧缺陷及如氢等杂质被减少。其结果是,可以防止晶体管具有常导通特性,由此可以提高半导体装置的电特性及可靠性,并且可以降低半导体装置的耗电量。

[0265] 注意,本实施方式所示的结构等可以与其他实施方式及实施例所示的结构及其变形例的任一种适当地组合。

[0266] 实施方式3

[0267] 在本实施方式中,参照图6A和6B说明与实施方式1及2不同的透光性导电膜的形成

方法。

[0268] 在本实施方式中,通过以对半导体膜照射如可见光、紫外线、X线等的电磁波的方式提高氧化物半导体膜的导电性来获得具有导电性的金属氧化物。使用图6A和6B说明透光性导电膜的制造方法。

[0269] 如图6A所示,与实施方式1同样地,在衬底102上形成包括栅电极的扫描线107及电容线115。接着,在衬底102、包括栅电极的扫描线107及电容线115上形成绝缘膜126。然后,在绝缘膜126上形成半导体膜111及半导体膜118。

[0270] 接着,从衬底102一侧对半导体膜118照射如可见光、紫外线、X线等电磁波。在该工序中,半导体膜111被包括栅电极的扫描线107遮住光,因此没有被照射上述电磁波,所以其导电性没有提高。

[0271] 当对半导体膜118照射电磁波时,缺陷生成在半导体膜118中。该缺陷成为载流子路径,而半导体膜118的导电性提高,并半导体膜118变为具有导电特性的金属氧化物。该金属氧化物可以用作作为电容器的电极的透光性导电膜。

[0272] 注意,与实施方式1不同,在本实施方式中不需要蚀刻绝缘膜128的一部分及绝缘膜130的一部分的工序。另外,与实施方式2不同,不需要进行形成掩模以对半导体膜118添加掺杂剂的工序。由此,可以削减光掩模个数,并且可以实现制造工序的简化和成本降低。

[0273] 实施方式4

[0274] 在本实施方式中,将作为例子采用使用横向电场使液晶分子取向的端部电场转换(Fringe Field Switching:FFS)模式液晶显示装置来说明本发明的一个方式的半导体装置。注意,在本实施方式中说明的半导体装置中的构成要素可以参照上述实施方式。

[0275] <半导体装置的结构>

[0276] 图18A和18B是本实施方式中说明的像素501的俯视图。图18A是没有设置公共电极521的像素501的俯视图,图18B是在图18A中设置公共电极521的像素501的俯视图。

[0277] 图18A和18B所示的像素501包括晶体管103、与该晶体管103连接的电容器505。电容器505包括透光性导电膜519、使用透光性导电膜形成的公共电极521、设置于晶体管103上的透光性绝缘膜(图18A和18B中未图示)。也就是说,电容器505具有透光性。另外,透光性导电膜519与晶体管103中的导电膜113连接并用作像素电极。公共电极521具有开口部(狭缝)。通过对公共电极与像素电极之间施加电场,透光性导电膜519、透光性绝缘膜及公共电极521彼此重叠的区域用作电容器,并且液晶分子可以被控制为与衬底平行的方向上取向。因此,FFS模式液晶显示装置实现广视角和高图像质量。

[0278] 图19是沿着图18B中的点划线A1-A2的衬底102的截面图。

[0279] 本实施方式的像素501的截面结构如下。包括晶体管103的栅电极的扫描线107设置在衬底102上。栅极绝缘膜127设置在扫描线107上。半导体膜111设置在栅极绝缘膜127的与扫描线107重叠的区域上,透光性导电膜519设置在栅极绝缘膜127上。包括晶体管103的源电极的信号线109以及包括晶体管103的漏电极的导电膜113设置在半导体膜111及栅极绝缘膜127上。包括漏电极的导电膜113与透光性导电膜519连接,透光性导电膜519用作像素电极。用作保护绝缘膜的绝缘膜229、绝缘膜231及绝缘膜232设置在栅极绝缘膜127、信号线109、半导体膜111及导电膜113上。绝缘膜232设置在透光性导电膜519上,公共电极521设置在绝缘膜232上。公共电极521在像素部中连续地设置而在各像素之间分离。注意,基底

绝缘膜也可以设置在衬底102与扫描线107及栅极绝缘膜127之间。

[0280] 透光性导电膜519可以与实施方式1至3中的任一个说明的透光性导电膜319同样地形成。公共电极521可以使用与实施方式1中说明的像素电极221相同的材料形成。

[0281] 如本实施方式中的电容器505，透光性导电膜519与晶体管的导电膜113连接，由此不设置开口部而可以直接连接导电膜113和透光性导电膜519，由此可以提高晶体管103及电容器505的平坦性。另外，不设置电容线并且透光性公共电极521用作电容线，由此可以进一步提高像素501的开口率。

[0282] 实施方式5

[0283] 在本实施方式中，将说明在上述实施方式所说明的包括在半导体装置中的晶体管及电容器中，可以应用于作为半导体膜的氧化物半导体膜的一个方式。

[0284] 上述氧化物半导体膜优选使用非晶氧化物半导体、单晶氧化物半导体、多晶氧化物半导体以及包括结晶部的氧化物半导体(C Axis Aligned Crystalline Oxide Semiconductor:CAAC-OS,c轴取向结晶氧化物半导体)中的任一种形成。

[0285] CAAC-OS膜是包含多个结晶部的氧化物半导体膜的一种，大部分的结晶部能够容纳在一边短于100nm的立方体内。因此，有时包括在CAAC-OS膜中的结晶部能够容纳在一边短于10nm、短于5nm或短于3nm的立方体内。CAAC-OS膜的缺陷态密度低于微晶氧化物半导体膜。下面，详细说明CAAC-OS膜。

[0286] 在CAAC-OS膜的透射电子显微镜(TEM:Transmission Electron Microscope)图像中，观察不到结晶部之间的明确的边界，即，晶界(grain boundary)。因此，在CAAC-OS膜中，不容易发生起因于晶界的电子迁移率的降低。

[0287] 根据在大致平行于样品面的方向上进行观察的CAAC-OS膜的TEM图像(截面TEM图像)，在结晶部中金属原子排列为层状。各金属原子层具有反映被形成CAAC-OS膜的面(以下，被形成CAAC-OS膜的面称为形成面)或CAAC-OS膜的顶面的形状，并被排列为平行于CAAC-OS膜的形成面或顶面。

[0288] 另一方面，根据在大致垂直于样品面的方向观察的CAAC-OS膜的TEM图像(平面TEM图像)，在结晶部中金属原子排列为三角形状或六角形状。但是，在不同的结晶部之间，金属原子的排列没有规律性。

[0289] 根据截面TEM图像以及平面TEM图像的结果，在CAAC-OS膜的结晶部中观察到取向性。

[0290] 使用X射线衍射(XRD:X-Ray Diffraction)装置对CAAC-OS膜进行结构分析。例如，当通过out-of-plane法(面外法)来分析具有 InGaZnO_4 结晶的CAAC-OS膜时，在衍射角度(2θ)为31°附近时频繁地出现峰值。该峰值来源于 InGaZnO_4 结晶的(009)面，由此可知CAAC-OS膜中的结晶具有c轴取向性，并且该c轴在大致垂直于CAAC-OS膜的形成面或顶面的方向上取向。

[0291] 另一方面，当通过在大致垂直于c轴的方向上X线入射到样品的in-plane法(面内法)分析CAAC-OS膜时，在 2θ 为56°附近时频繁地出现峰值。该峰值来源于 InGaZnO_4 结晶的(110)面。在此，在 2θ 固定为56°附近并在以样品面的法线向量为轴(Φ 轴)旋转样品的条件下进行分析(Φ 扫描)。在该样品是 InGaZnO_4 的单晶氧化物半导体膜的情况下，出现六个峰值。该六个峰值来源于相等于(110)面的结晶面。另一方面，在该样品是CAAC-OS膜的情况下

下,即使在 2θ 固定为 56° 附近的状态下进行 ϕ 扫描也不能观察到明确的峰值。

[0292] 根据上述结果,在具有c轴取向的CAAC-OS膜中,虽然a轴及b轴的方向在结晶部之间不同,但是c轴在平行于形成面的法线向量或顶面的法线向量的方向上取向。因此,在上述截面TEM图像中观察到的排列为层状的各金属原子层相当于与结晶的a-b面平行的面。

[0293] 注意,结晶部在形成CAAC-OS膜的同时或通过如加热处理等晶化处理形成。如上所述,结晶的c轴在平行于CAAC-OS膜的形成面的法线向量或顶面的法线向量的方向上取向。由此,例如,在CAAC-OS膜的形状因蚀刻等变化的情况下,结晶的c轴不一定平行于CAAC-OS膜的形成面的法线向量或顶面的法线向量。

[0294] 此外,CAAC-OS膜中的晶化度不一定均匀。例如,在形成CAAC-OS膜的结晶部的结晶成长从膜的顶面附近开始的情况下,顶面附近的晶化度有时高于形成面附近的晶化度。另外,当杂质添加于CAAC-OS膜时,添加有杂质的区域中的晶化度变化,CAAC-OS膜中的晶化度根据区域而变化。

[0295] 注意,当通过out-of-plane法分析包含 $InGaZnO_4$ 结晶的CAAC-OS膜时,除了 31° 附近的 2θ 峰值之外,还可以观察到 36° 附近的 2θ 峰值。 36° 附近的 2θ 峰值示出没有c轴取向性的结晶包含在CAAC-OS膜的一部分中。优选的是,在CAAC-OS膜中,出现 31° 附近的 2θ 峰值而不出现 36° 附近的 2θ 峰值。

[0296] 作为形成CAAC-OS膜的方法有三个方法。

[0297] 第一方法是,在 $100^\circ C$ 至 $450^\circ C$ 的范围的温度下形成氧化物半导体膜,在该氧化物半导体膜中,形成有包括在氧化物半导体膜中的结晶部的c轴在平行于形成面的法线向量或表面的法线向量的方向上取向的结晶部。

[0298] 第二方法是,以薄厚度形成氧化物半导体膜,然后在 $200^\circ C$ 至 $700^\circ C$ 的范围的温度下进行加热,以在氧化物半导体膜中形成形成有c轴在平行于被形成氧化物半导体膜的面的法线向量或氧化物半导体膜的表面的法线向量的方向上取向的结晶部。

[0299] 第三方法是,以薄厚度形成第一氧化物半导体膜,然后在 $200^\circ C$ 至 $700^\circ C$ 的范围的温度下进行加热,并形成第二二氧化物半导体膜,来在第二二氧化物半导体膜中形成形成有c轴在平行于被形成第二二氧化物半导体膜的面的法线向量或第二二氧化物半导体膜的表面的法线向量的方向上取向的结晶部。

[0300] 在使用CAAC-OS作为氧化物半导体膜的晶体管中,起因于可见光或紫外光的照射的电特性的变动小。因此,使用CAAC-OS作为氧化物半导体膜的晶体管具有高可靠性。

[0301] 此外,优选的是,CAAC-OS通过溅射法使用多晶的氧化物半导体溅射靶材形成。当离子碰撞到该溅射靶材时,包含在溅射靶材中的结晶区域有可能沿着a-b面劈开;换言之,具有平行于a-b面的面的平板状或颗粒状的溅射粒子有可能从溅射靶材剥离。此时,该平板状或颗粒状的溅射粒子在保持结晶状态的同时到达被形成CAAC-OS膜的面,由此可以形成CAAC-OS膜。

[0302] 为了形成CAAC-OS,优选使用如下条件。

[0303] 通过降低成膜时的杂质的混入,可以防止因杂质导致的结晶状态的破坏。例如,也可以降低存在于成膜室内的杂质(例如,氢、水、二氧化碳或氮)的浓度。另外,也可以降低成膜气体中的杂质浓度。具体而言,使用露点为 $-80^\circ C$ 或更低,优选为 $-100^\circ C$ 或更低的成膜气体。

[0304] 通过增高成膜时的被形成CAAC-OS膜的面的加热温度(例如,衬底加热温度),在溅射粒子到达被形成CAAC-OS膜的面之后容易发生溅射粒子的迁移(migration)。具体而言,成膜时的被CAAC-OS膜的形成面的加热温度高于或等于100°C且低于或等于740°C,优选高于或等于150°C且低于或等于500°C。通过增高成膜时的被形成CAAC-OS膜的面的温度,当平板状或颗粒状的溅射粒子到达被形成CAAC-OS膜的面时,在该面上发生迁移,使得溅射粒子的平坦的面附着到上述面上。

[0305] 另外,优选的是,增高成膜气体中的氧比例并使电力最优化,以减轻成膜时的等离子体损伤。成膜气体中的氧比例为30vol.%或更高,优选为100vol.%。

[0306] 作为溅射靶材的一个例子,以下说明In-Ga-Zn-O氧化物靶材。

[0307] 通过以规定的摩尔数比混合InOX粉末、GaOY粉末及ZnOZ粉末,施加压力,并在高于或等于1000°C且低于或等于1500°C的温度下进行加热处理,来制造多晶的In-Ga-Zn化合物靶材。该加压处理也可以与进行冷却的同时进行,或者也可以与进行加热的同时进行。X、Y及Z都是任意正数。在此,InOX粉末与GaOY粉末及ZnOZ粉末的规定的摩尔数比例如为2:2:1、8:4:3、3:1:1、1:1:1、4:2:3或3:1:2。粉末的种类及混合粉末时的摩尔数比也可以根据所希望的溅射靶材适当地决定。

[0308] 另外,氧化物半导体膜也可以具有层叠有多个氧化物半导体膜的结构。例如,氧化物半导体膜也可以具有使用彼此不同的原子数比的金属氧化物的第一氧化物半导体膜和第二氧化物半导体膜的叠层。例如,第一氧化物半导体膜可以使用包含两种金属的氧化物、包含三种金属的氧化物、以及包含四种金属的氧化物中之一而形成,并且,第二氧化物半导体膜可以使用与用于第一氧化物半导体膜的氧化物不同的氧化物而形成。

[0309] 或者,氧化物半导体膜也可以具有两层结构,其中,第一氧化物半导体膜和第二氧化物半导体膜的构成元素相同,而该第一氧化物半导体膜和第二氧化物半导体膜的构成元素的原子数比不同。例如,第一氧化物半导体膜也可以具有原子数比为3:1:2的In、Ga和Zn,第二氧化物半导体膜也可以具有原子数比为1:1:1的In、Ga和Zn。此外,第一氧化物半导体膜也可以具有原子数比为2:1:3的In、Ga和Zn,第二氧化物半导体膜也可以具有原子数比为1:3:2的In、Ga和Zn。注意,各氧化物半导体膜的原子数比在20的范围内变动作为误差。

[0310] 此时,在第一氧化物半导体膜与第二氧化物半导体膜中的离栅电极近的一个氧化物半导体膜(沟道一侧的氧化物半导体膜)中,In与Ga的原子数比优选为如下:In \geqslant Ga。在离栅电极远的另一个氧化物半导体膜(背沟道一侧的氧化物半导体膜)中,In与Ga的原子数比优选为如下:In<Ga。通过使用这些氧化物半导体膜的叠层结构,可以形成场效应迁移率高的晶体管。另一方面,离栅电极近的氧化物半导体膜(沟道一侧的氧化物半导体膜)中的In与Ga的原子数比满足In<Ga的关系,并且,背沟道一侧的氧化物半导体膜中的In与Ga的原子数比满足In \geqslant Ga的关系,由此,可以减少晶体管的阈值电压的随时间或因可靠性测试导致的变动。

[0311] 具有原子数比为1:3:2的In、Ga和Zn的第一氧化物半导体膜可以通过溅射法使用原子数比为1:3:2的氧化物靶材在如下条件下形成,衬底温度为室温,溅射气体为氩或氩及氧的混合气体。具有原子数比为3:1:2的In、Ga和Zn的第二氧化物半导体膜可以通过溅射法使用原子数比为3:1:2的氧化物靶材以与第一氧化物半导体膜相同的方式形成。

[0312] 此外,氧化物半导体膜也可以具有第一氧化物半导体膜、第二氧化物半导体膜及

第三氧化物半导体膜的三层结构,其中,各膜中的构成元素相同,并且,第一氧化物半导体膜、第二氧化物半导体膜和第三氧化物半导体膜的原子数比不同。参照图20说明氧化物半导体膜具有三层结构的情况。

[0313] 在图20所示的晶体管中,从栅极绝缘膜127一侧依次层叠有第一氧化物半导体膜199a、第二氧化物半导体膜199b及第三氧化物半导体膜199c。作为构成第一氧化物半导体膜199a及第三氧化物半导体膜199c的材料,使用以 $\text{InM}_1\text{xZn}_y\text{O}_z$ ($x \geq 1, y > 0, M \text{Ga or Hf}$)表示的材料。注意,在第一氧化物半导体膜199a及第三氧化物半导体膜199c的材料包含Ga的情况下,包含大比例Ga的材料,具体而言,可以以 $\text{InM}_1\text{xZn}_y\text{O}_z$ 表示且x大于10的材料是不适合的,因为在成膜时有可能产生粉末。

[0314] 作为第二氧化物半导体膜199b的材料,使用可以以 $\text{InM}_2\text{xZn}_y\text{O}_z$ ($x \geq 1, y \geq x, z > 0, M \text{2Ga or Sn}$)表示的材料。

[0315] 适当地选择第一至第三氧化物半导体膜199a至199c的材料以形成阱(well)结构,在该阱结构中,与第一及第三氧化物半导体膜199a及199c中的传导带相比第二氧化物半导体膜199b中的传导带离真空能级更深。

[0316] 此外,在氧化物半导体膜中第14族元素的硅和碳是施主供应源,由此,包含在氧化物半导体膜中的硅或碳使该氧化物半导体膜为n型。由此,包含在氧化物半导体膜中的硅浓度及包含在氧化物半导体膜中的碳浓度小于或等于 $3 \times 10^{18}/\text{cm}^3$,优选小于或等于 $3 \times 10^{17}/\text{cm}^3$ 。尤其优选的是,采用第一及第三氧化物半导体膜199a及199c夹住或围绕用作载流子路径的第二氧化物半导体膜199b的结构,以不使多量的第14族元素混入到第二氧化物半导体膜199b中。也就是说,第一及第三氧化物半导体膜199a及199c也可以称为阻挡膜,该阻挡膜防止如硅和碳的第14族元素混入到第二氧化物半导体膜199b中。

[0317] 例如,第一氧化物半导体膜199a中的In、Ga和Zn的原子数比可以为1:3:2,第二氧化物半导体膜199b中的In、Ga和Zn的原子数比可以为3:1:2,第三氧化物半导体膜199c中的In、Ga和Zn的原子数比可以为1:1:1。此外,第三氧化物半导体膜199c可以通过溅射法使用包含原子数比为1:1:1的In、Ga和Zn的氧化物靶材来形成。

[0318] 或者,也可以采用三层结构,其中,第一氧化物半导体膜199a包含原子数比为1:3:2的In、Ga和Zn,第二氧化物半导体膜199b包含原子数比为1:1:1或1:3:2的In、Ga和Zn,并且第三氧化物半导体膜199c包含原子数比为1:3:2的In、Ga和Zn。

[0319] 由于第一至第三氧化物半导体膜199a至199c的构成元素相同,所以第二氧化物半导体膜199b在与第一氧化物半导体膜199a之间的界面处很小具有缺陷能级密度(陷阱能级密度)。详细地说,该缺陷能级(陷阱能级)比栅极绝缘膜127与第一氧化物半导体膜199a之间的界面处的缺陷能级小。由此,当通过上述方式层叠氧化物半导体膜时,可以减少晶体管的阈值电压的随时间或因可靠性测试导致的变动。

[0320] 此外,当适当地选择第一至第三氧化物半导体膜199a至199c的材料以形成阱结构,在该阱结构中,与第一及第三氧化物半导体膜199a及199c中的传导带相比第二氧化物半导体膜199b中的传导带离真空能级更深时,可以提高晶体管的场效应迁移率,并可以减少晶体管的阈值电压的随时间或因可靠性测试导致的变动。

[0321] 另外,第一至第三氧化物半导体膜199a至199c也可以使用结晶性不同的氧化物半导体而形成。也就是说,第一至第三氧化物半导体膜199a至199c也可以适当地使用单晶氧

化物半导体、多晶氧化物半导体、非晶氧化物半导体及CAAC-OS而形成。当使用非晶氧化物半导体作为第一至第三氧化物半导体膜199a至199c中的任一个时，氧化物半导体膜的内部应力或外部应力缓和，晶体管的特性偏差减小，并且，可以减少晶体管的阈值电压的随时间或因可靠性测试导致的变动。

[0322] 至少可用作沟道形成区的第二氧化物半导体膜199b优选为CAAC-OS膜。背沟道一侧的氧化物半导体膜，在本实施方式中，第三氧化物半导体膜199c优选为非晶氧化物半导体膜或CAAC-OS膜。通过上述结构，可以减少晶体管的阈值电压的随时间或因可靠性测试导致的变动。

[0323] 本实施方式所示的结构等可以与其他实施方式和实施例所示的结构适当地组合。

[0324] 实施方式6

[0325] 使用上述实施方式所示的晶体管及电容器的例子可以制造具有显示功能的半导体装置（也称为显示装置）。此外，包括晶体管的驱动电路的一部分或全部可以形成在形成有像素部的同一个衬底上，来可以形成系统整合型面板（system-on-panel）。在本实施方式中，参照图21A至21C、图22A和22B、以及图23A至23C说明使用上述实施方式所示的晶体管例子的显示装置的例子。图22A和图22B是示出沿着图21B中的点划线M-N的截面结构的截面图。此外，图22A及22B示出像素部的结构的仅一部分。

[0326] 在图21A中，密封剂905被设置为围绕设置在第一衬底901上的像素部902，并且该像素部902由密封剂905和第二衬底906密封。在图21A中，信号线驱动电路903及扫描线驱动电路904使用单晶半导体或多晶半导体形成在另行准备的衬底上，且安装在第一衬底901上的与由密封剂905围绕的区域不同的区域中。此外，各种信号及电位从柔性印刷电路（Flexible printed circuit:FPC）918a和FPC 918b供应给信号线驱动电路903、扫描线驱动电路904以及像素部902。

[0327] 在图21B和21C中，密封剂905被设置为围绕设置在第一衬底901上的像素部902和扫描线驱动电路904。第二衬底906设置在像素部902和扫描线驱动电路904上。因此，像素部902及扫描线驱动电路904与显示元件一起由第一衬底901、密封剂905以及第二衬底906密封。在图21B和21C中，使用单晶半导体或多晶半导体形成在另行准备的衬底上的信号线驱动电路903安装在第一衬底901上的与由密封剂905围绕的区域不同的区域中。在图21B和21C中，各种信号及电位从FPC 918供应给信号线驱动电路903、扫描线驱动电路904以及像素部902。

[0328] 虽然图21B和21C示出另行形成信号线驱动电路903并且将其安装在第一衬底901的例子，但是不一定需要采用该结构。可以另行形成扫描线驱动电路并进行安装，或者，也可以仅另行形成信号线驱动电路的一部分或扫描线驱动电路的一部分并进行安装。

[0329] 另外，对另行形成的驱动电路的连接方法没有特别的限制，而可以使用玻璃覆晶封装（Chip On Glass:COG）方法、引线接合方法或卷带式自动接合（Tape Automated Bonding:TAB）方法等。图21A示出通过COG方法安装信号线驱动电路903及扫描线驱动电路904的例子，图21B示出通过COG方法安装信号线驱动电路903的例子。图21C示出通过TAB方法安装信号线驱动电路903的例子。

[0330] 显示装置在其范围内包括密封有显示元件的面板、以及包括控制器的IC等安装在该面板上的模块。

[0331] 注意,本说明书中的显示装置是指图像显示装置或显示装置。该显示装置也可以用作光源(包括照明装置)。另外,显示装置在其范畴内还包括以下模块:安装有如FPC或TCP的连接器的模块;具有TCP的模块,在该TCP的端部设置有印刷线路板;集成电路(IC)通过COG方法直接安装在显示元件上的模块。

[0332] 设置在第一衬底上的像素部及扫描线驱动电路具有多个晶体管;上述实施方式所示的晶体管中的任一个可以用于该多各晶体管。

[0333] 作为设置在显示装置中的显示元件,可以使用液晶元件(也称为液晶显示元件)、发光元件(也称为发光显示元件)。发光元件在其范畴内包括由电流或电压控制亮度的元件,并且,具体而言在其范畴内包括无机电致发光(Electro Luminescence:EL)元件以及有机EL元件。此外,可以使用电子墨水等由于电作用而改变对比度的显示媒介。图22A和22B示出包含液晶元件作为显示元件的液晶显示装置的例子。

[0334] 图22A所示的液晶显示装置是垂直电场方式的液晶显示装置。该液晶显示装置包括连接端子电极915及端子电极916。连接端子电极915及端子电极916通过各向异性导电剂919电连接到FPC 918所具有的端子。

[0335] 连接端子电极915使用与第一电极930相同的导电膜形成。端子电极916使用与晶体管910及911的源电极及漏电极相同的导电膜形成。

[0336] 此外,设置在第一衬底901上的像素部902和扫描线驱动电路904包括多个晶体管,并且,示出包括在像素部902中的晶体管910以及包括在扫描线驱动电路904中的晶体管911作为例子。相当于实施方式1中的绝缘膜229及绝缘膜231的绝缘膜924以及相当于绝缘膜232的绝缘膜934设置在晶体管910及晶体管911上。此外,绝缘膜923用作基底膜。

[0337] 在本实施方式中,可以使用实施方式1所示的晶体管作为晶体管910。电容器926使用透光性导电膜927、绝缘膜924及第一电极930形成。透光性导电膜927通过电极928电连接于电容布线929。电极928使用与晶体管910及911的源电极及漏电极相同的材料及工序形成。电容布线929使用与晶体管910及911的栅电极相同的材料及工序形成。虽然在此示出了实施方式1所示的电容器作为电容器926,但是也可以适当地使用其他实施方式中的电容器。

[0338] 包含在像素部902中的晶体管910与显示元件电连接,以形成显示面板。对显示元件只要能够进行显示就没有特别的限制,而可以使用各种各样的显示元件。

[0339] 用作显示元件的液晶元件913包括第一电极930、第二电极931以及液晶层908。用作取向膜的绝缘膜932及绝缘膜933被设置为夹持液晶层908。第二电极931设置在第二衬底906一侧,并且,第一电极930隔着液晶层908与第二电极931重叠。

[0340] 用来对显示元件施加电压的第一电极及第二电极(也称为像素电极、公共电极、对置电极等)也可以根据取出光的方向、设置电极的位置以及电极的图案结构具有透光性或反光性。

[0341] 第一电极930及第二电极931可以适当地使用与实施方式1所示的像素电极221及对置电极154相同的材料。

[0342] 间隔物935是通过选择性地蚀刻绝缘膜而得到的柱状间隔物,且是为了控制第一电极930与第二电极931之间的距离(单元间隙;cell gap)而设置的。此外,也可以使用球状间隔物。

[0343] 在使用液晶元件作为显示元件的情况下,可以使用热致液晶、低分子液晶、高分子液晶、高分子分散型液晶、铁电液晶、反铁电液晶等。上述液晶材料根据条件呈现出胆甾相、近晶相、立方相、手向列相、各向同性相等。

[0344] 另外,也可以使用不需要取向膜的呈现蓝相的液晶。蓝相是液晶相的一种,且是在胆甾相液晶的温度升高的期间中,在即将胆甾相转变成各向同性相之前呈现的。蓝相只出现在较窄的温度范围内;所以,为了扩大温度范围混合有手性试剂的液晶组成物用于液晶层。此外,取向膜使用包含氢或水等的有机树脂形成,该氢或水等有可能降低本发明的一个方式的半导体装置的晶体管的电特性。鉴于上述理由,通过使用呈现蓝相的液晶作为液晶层160,可以制造本发明的一个方式的半导体装置而不使用有机树脂,由此,该半导体装置可以具有高可靠性。

[0345] 第一衬底901和第二衬底906由密封剂925固定。作为密封剂925,可以使用有机树脂,诸如热固化树脂或光固化树脂。密封剂925接触于绝缘膜924。密封剂925相当于图21A至21C所示的密封剂905。

[0346] 在液晶显示装置中,适当地设置黑矩阵(遮光膜)、光学构件(光学衬底)诸如偏振构件、相位差构件或抗反射构件等。例如,也可以通过使用偏振衬底以及相位差衬底而得到圆偏振。此外,也可以使用背光灯、侧光灯等作为光源。

[0347] 由于晶体管容易由静电等损坏,所以优选设置用来保护驱动电路的保护电路。保护电路优选使用非线性元件形成。

[0348] 接着,参照图22B说明横向电场方式的液晶显示装置。图22B是横向电场方式的液晶显示装置的一个例子的FFS模式的液晶显示装置。说明与实施方式4所示的横向电场方式的液晶显示装置不同的结构。

[0349] 在图22B所示的液晶显示装置中,连接端子电极915使用与第一电极940相同的材料及工序形成,端子电极916使用与晶体管910及911的源电极及漏电极相同的材料及工序形成。

[0350] 液晶元件943包括形成在绝缘膜924上的第一电极940、第二电极941以及液晶层908。另外,液晶元件943可以具有与实施方式1的电容器205相同的结构。第一电极940可以适当地使用图22A所示的第一电极930的材料形成。第一电极940的平面形状为梳齿状、阶梯状、梯子状等。第二电极941用作公共电极,且可以以与实施方式1至3中的任一个所示的透光性导电膜同样的方式形成。绝缘膜924设置在第一电极940与第二电极941之间。

[0351] 第二电极941通过电极945与公共布线946连接。另外,电极945使用与晶体管910及911的源电极及漏电极相同的导电膜形成。公共布线946使用与晶体管910及911的栅电极相同的材料及工序形成。虽然在此使用实施方式1所示的电容器作为液晶元件943而进行说明,但是也可以适当地使用其他实施方式所示的电容器。

[0352] 图23A至23C示出图22A的液晶显示装置的例子,其中,与设置在衬底906上的第二电极931电连接的公共连接部(焊盘部)形成在衬底901上。

[0353] 公共连接部设置于与用来粘结衬底901和衬底906的密封剂重叠的位置,且通过密封剂所包含的导电粒子与第二电极931电连接。或者,公共连接部设置在不与密封剂重叠的位置(除了像素部以外),并且,包含导电粒子的膏剂与密封剂另行设置,以与公共连接部重叠,由此,公共连接部与第二电极931电连接。

[0354] 图23A是沿着图23B的俯视图中的I-J的公共连接部的截面图。

[0355] 公共电位线975设置在栅极绝缘膜922上且使用与图23A和23C所示的晶体管910的源电极和漏电极971和973相同的材料及工序形成。

[0356] 此外,公共电位线975由绝缘膜924及934覆盖,并且,在重叠于公共电位线975的位置,多个开口形成在绝缘膜924及934中。该开口通过与连接第一电极930与晶体管910的源电极971和漏电极973中的一个的接触孔相同的工序来形成。

[0357] 此外,公共电位线975通过上述开口与公共电极977连接。公共电极977设置在绝缘膜934上,且使用与连接端子电极915及像素部的第一电极930相同的材料及工序形成。

[0358] 在上述方式中,公共连接部可以在与像素部902的开关元件相同的工序中形成。

[0359] 公共电极977与包括在密封剂中的导电粒子接触,且与衬底906的第二电极931电连接。

[0360] 此外,如图23C所示,公共电位线985也可以使用与晶体管910的栅电极相同的材料及工序形成。

[0361] 在图23C的公共连接部中,公共电位线985设置在栅极绝缘膜922、绝缘膜924及绝缘膜934之下,并且,在重叠于公共电位线985的位置,多个开口形成在栅极绝缘膜922、绝缘膜924及绝缘膜934中。这些开口以与连接第一电极930与晶体管910的源电极971和漏电极973中的一个的接触孔相同的工序通过蚀刻绝缘膜924,还选择性地蚀刻栅极绝缘膜922来形成。

[0362] 此外,公共电位线985通过上述开口与公共电极987连接。公共电极987设置在绝缘膜924上,且使用与连接端子电极915及像素部的第一电极930相同的材料及工序形成。

[0363] 如上所述,通过使用上述实施方式所示的晶体管及电容器,可以制造开口率得到提高且具有电荷容量增大的电容器的半导体装置。其结果是,该半导体装置可以具有优良的显示质量。

[0364] 另外,包括在晶体管中的半导体膜的氧化物半导体膜中的氧缺陷及如氢等杂质得到减少,因此,本发明的一个方式的半导体装置具有良好的电特性且耗电量低。

[0365] 本实施方式所示的结构等可以适当地与其他实施方式所示的结构等组合。

[0366] 实施方式7

[0367] 本发明的一个方式的半导体装置可以用于各种电子设备(包括游戏机)。电子设备的例子是电视装置(也称为电视或电视接收机)、计算机等的显示器、影像拍摄装置诸如数码相机或数码摄像机、数码相框、移动电话机、便携式游戏机、便携式信息终端、声音再现装置、游戏机(例如,弹珠机(pachinko machine)及投币游戏机(slot machine))、游戏控制台。图24A至24C示出上述电子设备的例子。

[0368] 图24A示出具有显示部的桌子9000。在桌子9000中,显示部9003组装在框体9001中,并且,映像可以显示在显示部9003上。另外,框体9001由四个桌腿部9002支撑。另外,用于供应电力的电源线9005设置在框体9001中。

[0369] 上述实施方式所示的半导体装置中的任一个可以用于显示部9003。由此,显示部9003可以具有高显示质量。

[0370] 显示部9003用作触摸屏。当使用者用他/她的手指等接触显示于桌子9000的显示部9003上显示的显示按钮9004时,使用者可以进行屏面操作以及信息输入。并且,当该桌子

具有与家电产品进行通信或控制家电产品的功能时,该桌子9000可以用作通过屏面操作控制家电产品的控制装置。例如,通过使用具有图像传感器功能的半导体装置,显示部9003可以用作触摸屏。

[0371] 另外,显示部9003的屏面也可以通过设置于框体9001的铰链被设置为垂直于地板;由此,该桌子9000也可以用作电视装置。当在小房间里设置大屏面的电视装置时,自由使用的空间减小;但是,当显示部安装在桌子内时,可以有效地利用房间的空间。

[0372] 图24B示出电视装置9100。在电视装置9100中,显示部9103组装在框体9101中,并且映像可以显示在显示部9103上。此外,框体9101由支架9105支撑。

[0373] 通过使用框体9101的操作开关或离开的遥控器9110,可以操作电视装置9100。通过使用遥控器9110的操作键9109,可以控制频道及音量,由此,可以控制显示在显示部9103上的映像。此外,遥控器9110也可以设置有显示从该遥控器9110输出的数据的显示部9107。

[0374] 图24B所示的电视装置9100设置有接收机及调制解调器等。通过使用该接收机,电视装置9100可以接收一般的电视广播。再者,当电视装置9100通过调制解调器连接到有线或无线通信网络,可以进行单向(从发送者到接收者)或双向(发送者和接收者之间或接收者之间)的数据通信。

[0375] 上述实施方式所示的半导体装置中的任一个可以用于显示部9103及9107。由此,电视装置可以具有高显示质量。

[0376] 图24C示出计算机9200,该计算机9200包括主体9201、框体9202、显示部9203、键盘9204、外部连接端口9205、指向装置9206。

[0377] 上述实施方式所示的半导体装置中的任一个可以用于显示部9203。由此,计算机9200可以具有高显示质量。

[0378] 图25A和25B示出能够折叠的平板终端。图25A示出打开状态的平板终端。平板终端包括框体9630、显示部9631a、显示部9631b、显示模式切换按钮9034、电源按钮9035、省电模式切换按钮9036、卡子9033以及操作按钮9038。

[0379] 上述实施方式所示的半导体装置中的任一个可以用于显示部9631a及9631b。由此,平板终端可以具有高显示质量。

[0380] 触摸屏区域9632a可以设置在显示部9631a的一部分中,在该区域中,通过接触所显示的操作键9638可以输入数据。此外,显示部9631a的一半只具有显示的功能,并且另一半具有触摸屏的功能。但是,显示部9631a的结构不局限于此,显示部9631a的全部区域也可以具有触摸屏的功能。例如,键盘按钮可以显示在显示部9631a的整个面上,以用作触摸屏,并且显示部9631b可以用作显示屏面。

[0381] 与显示部9631a同样地,触摸屏区域9632b可以设置在显示部9631b中。当使用手指或触屏笔等接触显示在触摸屏上的键盘显示切换按钮9639时,键盘可以显示在显示部9631b上。

[0382] 通过接触输入可以同时控制触摸屏的区域9632a和触摸屏的区域9632b。

[0383] 显示模式切换按钮9034能够切换竖屏模式和横屏模式之间以及黑白显示和彩色显示之间。根据内置于平板终端中的光传感器所检测的使用时的外光的光量,省电模式切换按钮9036可以使显示亮度最优化。除了光传感器以外,如陀螺仪和加速度传感器等检测倾斜度的传感器等的其他检测装置也可以安装在平板终端内。

[0384] 虽然在图25A中显示部9631a的显示面积与显示部9631b的显示面积相同,但是本发明的一个方式并不局限于此。显示部9631a的显示面积也可以不同于显示部9631b的显示面积,并且,显示部9631a的显示质量也可以不同于显示部9631b的显示质量。例如,显示部9631a和9631b中的一个也可以显示比另一个更高精细的图像。

[0385] 图25B示出合上状态的平板终端。该平板终端包括框体9630、太阳能电池9633及充放电控制电路9634。图25B示出充放电控制电路9634具有电池9635和DCDC转换器9636的例子。

[0386] 由于平板终端可以折叠,所以当不使用平板终端时可以合上框体9630。因此,可以保护显示部9631a和显示部9631b,而使该平板终端具有高耐久性以及长期使用时的良好的可靠性。

[0387] 图25A和25B所示的平板终端还可以具有显示各种各样的信息(例如,静态图像、动态图像、文本图像)的功能、在显示部上显示日历、日期或时刻等的功能、通过触摸输入操作或编辑显示在显示部上的数据的触摸输入功能、通过各种各样的软件(程序)控制处理的功能等。

[0388] 安装在平板终端的表面上的太阳能电池9633可以将电力供应给触摸屏、显示部或图像信号处理器等。注意,太阳能电池9633可以设置在框体9630的一面或两面,因此,可以高效地进行电池9635的充电。使用锂离子电池作为电池9635时,有实现小型化等的优点。

[0389] 参照图25C的方框图说明图25B所示的充放电控制电路9634的结构和工作。图25C示出太阳能电池9633、电池9635、DCDC转换器9636、转换器9637、开关SW1至SW3以及显示部9631。电池9635、DCDC转换器9636、转换器9637及开关SW1至SW3相当于图25B的充放电控制电路9634。

[0390] 首先,说明在使用外光通过太阳能电池9633产生电力时的工作例子。使用DCDC转换器9636对太阳能电池所产生的电力进行升压或降压,使得该电力具有用来对电池9635进行充电的电压。当显示部9631使用来自太阳能电池9633的电力工作时,开启开关SW1,并且使用转换器9637将电力的电压升压或降压到显示部9631的工作所需要的电压。另外,当不进行显示部9631上的显示时,关闭开关SW1并且开启开关SW2,来可以对电池9635进行充电。

[0391] 虽然示出了太阳能电池9633作为发电单元的例子,但是对发电单元没有特别的限制,并且电池9635也可以使用如压电元件(piezoelectric element)或热电转换元件(珀耳帖元件(Peltier element))等其他发电单元来进行充电。例如,电池9635也可以使用以无线(不接触)的方式收发电力来可进行充电的无线电力传输模块或组合其他充电方法进行充电。

[0392] 本实施方式所示的结构等可以与其他实施方式所示的结构适当地组合。

[0393] 实施例1

[0394] 在本实施例中,将参照图26A至26D及图27说明氧化物半导体膜及多层膜的电阻。

[0395] 首先,参照图26A至26D说明样品的结构。

[0396] 图26A是样品1、样品2、样品3及样品4的俯视图,图26B至26D是沿着图26A中的点划线A1-A2的截面图。此外,样品1至4的俯视图相同,并且其截面图不同,因为截面的叠层结构不同。图26B、图26C和图26D分别示出样品1、样品2及样品3和4的截面图。

[0397] 作为样品1,绝缘膜1903形成在玻璃衬底1901上,绝缘膜1904形成在绝缘膜1903

上,氧化物半导体膜1905形成在绝缘膜1904上。氧化物半导体膜1905的两端被用作电极的导电膜1907及导电膜1909覆盖,氧化物半导体膜1905及导电膜1907及1909被绝缘膜1910及绝缘膜1911覆盖。另外,开口部1913及开口部1915设置在绝缘膜1910及1911中,导电膜1907及导电膜1909分别通过该开口部1913及开口部1915被露出。

[0398] 作为样品2,绝缘膜1903形成在玻璃衬底1901上,绝缘膜1904形成在绝缘膜1903上,氧化物半导体膜1905形成在绝缘膜1904上。氧化物半导体膜1905的两端被用作电极的导电膜1907及1909覆盖,氧化物半导体膜1905及导电膜1907和1909被绝缘膜1911覆盖。另外,开口部1917及开口部1919设置在绝缘膜1911中,导电膜1907及导电膜1909分别通过该开口部1917及开口部1919被露出。

[0399] 在样品3及4中,绝缘膜1903形成在玻璃衬底1901上,绝缘膜1904形成在绝缘膜1903上,多层膜1906形成在绝缘膜1904上。多层膜1906的两端被用作电极的导电膜1907及1909覆盖,多层膜1906及导电膜1907和1909被绝缘膜1911覆盖。另外,开口部1917及1919设置在绝缘膜1911中,导电膜1907及导电膜1909分别通过该开口部1917及1919被露出。

[0400] 如上所述,在样品1至4中,接触于氧化物半导体膜1905或多层膜1906的顶面的绝缘膜的结构彼此不同。在样品1中,氧化物半导体膜1905与绝缘膜1910接触;在样品2中,氧化物半导体膜1905与绝缘膜1911接触;在样品3及样品4中,多层膜1906与绝缘膜1911接触。

[0401] 接着,说明各样品的形成方法。

[0402] 首先,说明样品1的形成方法。

[0403] 通过等离子体CVD法在玻璃衬底1901上形成400nm厚的氮化硅膜作为绝缘膜1903。

[0404] 接着,通过等离子体CVD法在绝缘膜1903上形成50nm厚的氧氮化硅膜作为绝缘膜1904。

[0405] 接着,通过溅射法使用以1:1:1的原子数比包含In、Ga和Zn的金属氧化物靶材在绝缘膜1904上形成35nm厚的In-Ga-Zn氧化物膜(下面也称为IGZO膜)作为氧化物半导体膜1905。然后,使用通过光刻工序形成的掩模进行蚀刻处理,来形成氧化物半导体膜1905。

[0406] 接着,在绝缘膜1903及氧化物半导体膜1905上通过溅射法依次层叠50nm厚的钨膜、400nm厚的铝膜及100nm厚的钛膜,然后使用通过光刻工序形成的掩模进行蚀刻处理,来形成导电膜1907及1909。

[0407] 接着,通过等离子体CVD法在绝缘膜1904、氧化物半导体膜1905、导电膜1907及导电膜1909上形成450nm厚的氧氮化硅膜作为绝缘膜1910,然后在氮及氧的混合气氛下以350℃进行1小时的加热处理。

[0408] 接着,通过等离子体CVD法在绝缘膜1910上形成50nm厚的氮化硅膜作为绝缘膜1911。

[0409] 接着,在绝缘膜1911上通过光刻工序形成掩模,然后对绝缘膜1911进行蚀刻处理,来在绝缘膜1910及1911中形成开口部1913、1915。

[0410] 通过上述工序形成样品1。

[0411] 接着,说明样品2的形成方法。

[0412] 通过等离子体CVD法在样品1的绝缘膜1903、氧化物半导体膜1905、导电膜1907及导电膜1909上形成450nm厚的氧氮化硅膜作为绝缘膜1910,然后在氮及氧的混合气氛下以350℃进行1小时的加热处理。然后去除绝缘膜1910。

[0413] 接着,通过等离子体CVD法在绝缘膜1904、氧化物半导体膜1905、导电膜1907及导电膜1909上形成50nm厚的氮化硅膜作为绝缘膜1911。

[0414] 接着,在绝缘膜1911上通过光刻工序形成掩模,然后对绝缘膜1911进行蚀刻处理,来在绝缘膜1911中形成开口部1917及1919。

[0415] 通过上述工序,形成样品2。

[0416] 接着,说明样品3的形成方法。

[0417] 作为样品3,使用多层膜1906代替样品2的氧化物半导体膜1905。通过溅射法,使用金属氧化物靶材形成10nm厚的IGZO膜,使用以1:1:1的原子数比包含In、Ga和Zn的金属氧化物靶材形成10nm厚的IGZO膜,然后连续地使用以1:3:2的原子数比包含In、Ga和Zn的金属氧化物靶材形成10nm厚的IGZO膜,来在绝缘膜1904上形成多层膜1906。然后,使用通过光刻工序形成的掩模进行蚀刻处理,来形成多层膜1906。

[0418] 通过上述工序,形成样品3。

[0419] 接着,说明样品4的形成方法。

[0420] 作为样品4,使用多层膜1906代替样品2的氧化物半导体膜1905。样品4的包含在多层膜1906中的IGZO膜的厚度与样品3不同。通过溅射法,使用以1:3:2的原子数比包含In、Ga和Zn的金属氧化物靶材形成20nm厚的IGZO膜,使用以1:1:1的原子数比包含In、Ga和Zn的金属氧化物靶材形成15nm厚的IGZO膜,然后连续地使用以1:3:2的原子数比包含In、Ga和Zn的金属氧化物靶材形成10nm厚的IGZO膜,来在绝缘膜1904上形成多层膜1906。然后,使用通过光刻工序形成的掩模进行蚀刻处理,来形成分离的多层膜1906。

[0421] 通过上述工序,形成样品4。

[0422] 接着,测量设置在样品1和2中的氧化物半导体膜1905及设置在样品3和4中的多层膜1906的薄层电阻(sheet resistance)。在样品1中,将探针接触于开口部1913及1915,来测量氧化物半导体膜1905的薄层电阻。在样品2至样品4中,将探针接触于开口部1917及1919,来测量氧化物半导体膜1905或多层膜1906的薄层电阻。此外,在样品1和2的氧化物半导体膜1905及样品3和4的多层膜1906中,导电膜1907与1909对置的宽度为1mm,其间的距离为10μm。此外,在样品1至4中,导电膜1907的电位为接地电位,并且将1V施加于导电膜1909。

[0423] 图27示出样品1至4的薄层电阻。

[0424] 样品1的薄层电阻大约为 $1 \times 10^{11} \Omega / \text{sq}$ 。样品2的薄层电阻为 $2620 \Omega / \text{sq}$ 。样品3的薄层电阻为 $4410 \Omega / \text{sq}$ 。另外,样品4的薄层电阻为 $2930 \Omega / \text{sq}$ 。

[0425] 在上述方式中,氧化物半导体膜1905及多层膜1906具有不同的薄层电阻值,因为接触于氧化物半导体膜1905及多层膜1906的绝缘膜不同。

[0426] 另外,当将上述样品1至4的薄层电阻换算为电阻率时,样品1、样品2、样品3和样品4的电阻率分别为 $3.9 \times 10^5 \Omega \text{ cm}$ 、 $9.3 \times 10^{-3} \Omega \text{ cm}$ 、 $1.3 \times 10^{-2} \Omega \text{ cm}$ 和 $1.3 \times 10^{-2} \Omega \text{ cm}$ 。

[0427] 在样品1中,用于绝缘膜1910的氧氮化硅膜形成为与氧化物半导体膜1905的顶面接触且与用于绝缘膜1911的氮化硅膜离开。另一方面,在样品2中,用于绝缘膜1911的氮化硅膜形成为与氧化物半导体膜1905及多层膜1906的顶面接触,并且在样品3及4中,用于绝缘膜1911的氮化硅膜形成为与多层膜1906的顶面接触。当氧化物半导体膜1905或多层膜1906设置为与用于绝缘膜1911的氮化硅膜接触时,缺陷,典型为氧缺陷产生在氧化物半导体膜1905或多层膜1906中,并包含在该氮化硅膜中的氢移动到或扩散到氧化物半导体膜

1905或多层膜1906。由此,氧化物半导体膜1905或多层膜1906的导电性得到提高。

[0428] 例如,在使用氧化物半导体膜作为晶体管的沟道形成区的情况下,优选的是,如样品1所示,采用与氧化物半导体膜接触地设置氧氮化硅膜的结构。此外,作为用于电容器的电极的透光性导电膜,优选的是,如样品2至4所示,采用与氧化物半导体膜或多层膜接触地设置氮化硅膜的结构。通过这种结构,即使通过同一工序形成用于晶体管的沟道形成区的氧化物半导体膜或多层膜以及用于电容器的电极的氧化物半导体膜或多层膜,也可以使氧化物半导体膜的电阻率及多层膜的电阻率彼此不同。

[0429] 接着,测量保存在高温度且高湿度的环境下的样品2及3的薄层电阻值以及在各种温度下的样品2及3的薄层电阻值。以下说明这里所使用的样品的条件。此外,这里,该条件部分地与样品2及3不同。由此,具有与样品2及样品3相同的结构但制造条件不同的样品分别称为样品2a及样品3a。

[0430] 首先,说明样品2a的形成方法。

[0431] 在玻璃衬底1901上形成绝缘膜1903及绝缘膜1904。

[0432] 接着,通过溅射法使用以1:1:1的原子数比包含In、Ga和Zn的金属氧化物靶材在绝缘膜1904上形成35nm厚的IGZO膜作为氧化物半导体膜1905。然后,使用通过光刻工序形成的掩模对IGZO膜进行蚀刻处理,之后以350°C或450°C进行加热处理,来形成氧化物半导体膜1905。

[0433] 接着,通过溅射法在绝缘膜1903及氧化物半导体膜1905上依次层叠50nm厚的钛膜及400nm厚的铜膜,来形成导电膜1907及导电膜1909,然后使用通过光刻工序形成的掩模进行蚀刻处理。

[0434] 接着,通过等离子体CVD法在绝缘膜1904、氧化物半导体膜1905、导电膜1907及导电膜1909上形成450nm厚的氧氮化硅膜作为绝缘膜1910,然后在氮及氧的混合气氛下以350°C进行1小时的加热处理。

[0435] 接着,通过等离子体CVD法在绝缘膜1904、氧化物半导体膜1905、导电膜1907及导电膜1909上形成50nm厚的氮化硅膜作为绝缘膜1911。此外,氮化硅膜的成膜温度设定为220°C或350°C。

[0436] 接着,在绝缘膜1911上通过光刻工序形成掩模,然后对绝缘膜1911进行蚀刻处理,来在绝缘膜1910及1911中形成开口部1913及1915。

[0437] 通过上述工序,形成样品2a。

[0438] 接着,说明样品3a的形成方法。

[0439] 作为样品3a,使用多层膜1906代替样品2a的氧化物半导体膜1905。通过溅射法,使用以1:1:1包含In、Ga和Zn的金属氧化物靶材形成10nm厚的IGZO膜,并使用以1:3:2包含In、Ga和Zn的金属氧化物靶材形成10nm厚的IGZO膜,来在绝缘膜1904上形成多层膜1906。然后,使用通过光刻工序形成的掩模对该叠层的IGZO膜进行蚀刻处理,之后以350°C或450°C进行加热处理,来形成多层膜1906。

[0440] 通过上述工序,形成样品3a。

[0441] 接着,测量设置在样品2a中的氧化物半导体膜1905的薄层电阻及设置在样品3a中的多层膜1906的薄层电阻。在样品2a及3a中,将探针接触于开口部1917及1919,来测量氧化物半导体膜1905或多层膜1906的薄层电阻。此外,在样品2a中的氧化物半导体膜1905及样

品3a的多层膜1906中，在俯视形状中，导电膜1907与1909对置的宽度为1.5mm，其间的距离D为10μm。此外，在样品2a及3a中，导电膜1907的电位为接地电位，1V施加于导电膜1909。在以60℃在湿度为95%的气氛下保存样品2a及样品3a 60个小时及130个小时之后，测量各样品的薄层电阻值。

[0442] 图31示出样品2a及3a的薄层电阻值。此外，在图31中，在各样品中作为绝缘膜1911形成的氮化硅膜的成膜温度为220℃(实线)或350℃(虚线)。另外，黑圆形标记及黑三角标记示出在形成氧化物半导体膜1905或多层膜1906之后以350℃进行加热处理的各样品，白圆形标记及白三角标记示出在形成氧化物半导体膜1905或多层膜1906之后以450℃进行加热处理的各样品。圆形标记示出各样品具有氧化物半导体膜1905，即样品2a。三角标记示出各样品具有多层膜1906，即样品3a。注意，在图31的图表中没有示出相当于以350℃进行加热的多层膜1906的测量结果，即样品3a。

[0443] 图31示出样品2a及3a具有低薄层电阻值，且作为电容器的电极满足优选的薄层电阻值，即 $0.2\Omega/\text{s.q.}$ 或更小，并且，样品2a及3a的薄层电阻值的时间变动量少。如上所述，在高温度且高湿度的环境下接触于氮化硅膜的氧化物半导体膜或多层膜的薄层电阻值的变动量少；所以，该氧化物半导体膜或多层膜可以用作用于电容器的电极的透光性导电膜。

[0444] 接着，测量当衬底温度为25℃、60℃或150℃时的样品2a及3a的薄层电阻值，图32示出测量结果。此外，这里，作为样品2a及样品3a，使用作为绝缘膜1911包括以220℃形成的氮化硅膜，并在形成氧化物半导体膜1905或多层膜1906之后以350℃进行加热处理的样品。黑圆形标记示出样品2a的测量结果，而黑三角标记示出样品3a的测量结果。

[0445] 图32显示即使测量温度升高，氧化物半导体膜1905或多层膜1906的薄层电阻值也不变动。换言之，接触于氮化硅膜的氧化物半导体膜或多层膜是简并半导体。即使温度变化，接触于氮化硅膜的氧化物半导体膜或多层膜的薄层电阻值的变动也少；所以，该氧化物半导体膜或多层膜可以用作用于电容器的电极的透光性导电膜。

[0446] 本实施例所示的结构可以与其他实施方式或实施例所示的结构适当地组合。

[0447] 实施例2

[0448] 在本实施例中，将参照图35A和35B及图36A至36D说明氧化物半导体膜的电阻。在本实施例中，测量形成晶体管及电容器的各工序中的氧化物半导体膜的电阻。

[0449] 参照图35A及图36A至36D说明具有晶体管及电容器的样品的形成方法及该样品的结构进行说明。注意，图36A至36D示出包括于各样品中的电容器的截面结构。

[0450] 在玻璃衬底1901上的形成晶体管的区域上形成栅电极。这里，形成100nm厚的钨膜作为栅电极。

[0451] 然后，通过等离子体CVD法在玻璃衬底1901及栅电极上形成400nm厚的氮化硅膜作为绝缘膜1903。

[0452] 接着，通过等离子体CVD法在绝缘膜1903上形成50nm厚的氧氮化硅膜作为绝缘膜1904。

[0453] 接着，在绝缘膜1904上通过溅射法使用金属氧化物靶材($\text{In:Ga:Zn}=1:1:1$)形成35nm厚的IGZO膜。然后，使用通过光刻工序形成的掩模进行蚀刻处理来形成氧化物半导体膜1905(图35A所示的步骤S1)。

[0454] 接着，通过溅射法依次层叠50nm厚的钨膜、400nm厚的铝膜及100nm厚的钛膜，然后

使用通过光刻工序形成的掩模进行蚀刻处理,来在绝缘膜1903及氧化物半导体膜1905上形成导电膜1907及1909(图35A的步骤S3)。

[0455] 通过上述工序,形成样品5。图36A示出包括于样品5中的电容器的截面图。注意,在样品5中,将设置于形成晶体管的区域上的氧化物半导体膜记作C5,将设置于形成电容器的区域上的氧化物半导体膜记作E5。

[0456] 在形成氧化物半导体膜1905之后,在氮气氛下以450℃进行1个小时的热处理,然后连续地在氮及氧的混合气体气氛(氮的比例为80%,氧的比例为20%)下以450℃进行1个小时的热处理(图35A的步骤S2)。然后,形成导电膜1907及导电膜1909(图35A的步骤S3)。

[0457] 通过上述工序,形成样品6。图36A示出包括于样品6中的电容器的截面图。注意,在样品6中,将设置于形成晶体管的区域上的氧化物半导体膜记作C6,将设置于形成电容器的区域上的氧化物半导体膜记作E6。

[0458] 在进行与样品6同样的工序之后,作为之后成为绝缘膜1910的绝缘膜,通过等离子体CVD法在绝缘膜1904、氧化物半导体膜1905、导电膜1907及导电膜1909上形成450nm厚的氧氮化硅膜(图35A的步骤S4)。

[0459] 接着,通过光刻工序在绝缘膜上形成掩模,进行蚀刻处理,来形成具有开口部1913及1915的绝缘膜1910(图35A的步骤S8)。

[0460] 通过上述工序,形成样品7。图36B示出包括于样品7中的电容器的截面图。注意,在样品7中,将设置于形成晶体管的区域上的氧化物半导体膜记作C7,将设置于形成电容器的区域上的氧化物半导体膜记作E7。

[0461] 在进行与样品6同样的工序之后,作为之后成为绝缘膜1910的绝缘膜,通过等离子体CVD法在绝缘膜1904、氧化物半导体膜1905、导电膜1907及导电膜1909上形成450nm厚的氧氮化硅膜(图35A的步骤S4)。

[0462] 然后,在350℃的氮及氧的混合气氛下进行1小时的加热处理(图35A的步骤S5)。

[0463] 接着,在绝缘膜1910上形成之后成为绝缘膜1911的绝缘膜。作为该绝缘膜,通过等离子体CVD法形成50nm厚的氮化硅膜(图35A的步骤S7)。

[0464] 接着,通过光刻工序在绝缘膜上形成掩模,进行蚀刻处理形成具有开口部1913及1915的绝缘膜1910及绝缘膜1911(图35A的步骤S8)。

[0465] 通过上述工序,形成样品8。图36C示出包括于样品8中的电容器的截面图。注意,在样品8中,将设置于形成晶体管的区域上的氧化物半导体膜记作C8,将设置于形成电容器的区域上的氧化物半导体膜记作E8。

[0466] 在图35A的样品8的步骤S5中的加热处理之后,蚀刻电容器上的绝缘膜1910(图35A的步骤S6)。在该工序中,形成于电容器中的氧化物半导体膜被暴露于等离子体中,并且缺陷、典型地为氧缺陷生成于氧化物半导体膜中。

[0467] 然后,形成之后成为绝缘膜1911的绝缘膜(图35A的步骤S7)。

[0468] 接着,通过光刻工序在绝缘膜上形成掩模,然后进行蚀刻处理,来在形成晶体管的区域中形成具有开口部1913及1915的绝缘膜1910及绝缘膜1911,并在形成电容器的区域中形成有开口部1917及1919的绝缘膜1911(图35A的步骤S8)。

[0469] 通过上述工序,形成样品9。图36D示出包括于样品9中的电容器的截面图。注意,在样品9中,将设置于形成晶体管的区域上的氧化物半导体膜记作C9,将设置于形成电容器的

区域上的氧化物半导体膜记作E9。

[0470] 通过溅射法在玻璃衬底上形成100nm厚的氧化铟-氧化锡化合物(ITO-SiO₂)的导电膜。另外,用于该导电膜的靶材的组成为In₂O₃:SnO₂:SiO₂=85:10:5[wt%]。然后,在氮气气氛下进行250℃、1小时的加热处理。

[0471] 接着,以与样品5至9同样的方式,在氧化铟-氧化锡化合物(ITO-SiO₂)的导电膜上形成导电膜1907及导电膜1909。

[0472] 通过上述工序,形成样品10。

[0473] 另外,在样品5至10中,在俯视图中,导电膜1907及导电膜1909的对置宽度W为1mm,其间的距离D为10μm。

[0474] 然后,测量下述膜的薄层电阻:设置于样品5至样品9的形成晶体管的区域中的氧化物半导体膜C5至C9;设置于样品5至样品9的形成电容器的区域中的氧化物半导体膜E5至E9;以及包括于样品10中的氧化铟-氧化锡化合物(ITO-SiO₂)的导电膜。

[0475] 图35B示出测量结果。图35B示出样品7中的氧化物半导体膜C7及E7的薄膜电阻低于样品5及6中的氧化物半导体C5、E5、C6及E6的薄膜电阻。该事实显示,氧化物半导体膜在对形成于该氧化物半导体膜上的膜进行蚀刻时暴露于等离子体中而受损,由此氧化物半导体膜的薄层电阻成为低。

[0476] 另外,图35B示出样品8中的氧化物半导体膜C8及E8的薄层电阻高于样品5至7中的氧化物半导体C5、E5、C6、E6、C7及E7的薄层电阻。这是由于形成于氧化物半导体膜C8及E8上的绝缘膜由氧化硅膜形成且包含通过加热而释放出的氧的缘故。由此可知,通过图35A的步骤S4所示的在氧化物半导体膜上形成氧化绝缘膜的工序以及步骤S5所示的加热处理工序,氧化物半导体膜的电阻增高。当该氧化物半导体膜用作晶体管的沟道区时,该晶体管可以为常截止型(normally-off)晶体管。

[0477] 另外,在样品9中,氧化物半导体膜E9具有比氧化物半导体膜C9低的薄层电阻。此外,样品9中的氧化物半导体膜E9具有与样品7中的氧化物半导体膜C7及E7相等的薄层电阻。

[0478] 样品7中的氧化物半导体膜C7及E7以及样品9中的氧化物半导体膜E9的薄层电阻高于上述氧化铟-氧化锡化合物(ITO-SiO₂)的导电膜的薄层电阻高一位数。因此,样品7中的氧化物半导体膜C7及E7以及样品9中的氧化物半导体膜E9可以与氧化铟-氧化锡化合物(ITO-SiO₂)的导电膜同样地用作电极。

[0479] 换言之,如样品9,在形成晶体管的区域中,在氧化物半导体膜上设置由氧化绝缘膜形成的绝缘膜并进行加热处理,由此氧化物半导体膜的电阻上升并且该氧化物半导体膜可以用作沟道形成区。另外,在形成电容器的区域中,使氧化物半导体膜的表面暴露于等离子体中,并在氧化物半导体膜上设置由氮化绝缘膜形成的绝缘膜,由此氧化物半导体膜的电阻降低并且该氧化物半导体膜可以用作电极。

[0480] 实施例3

[0481] 在本实施例中,将参照图28A及28B说明氧化物半导体膜及形成在该氧化物半导体膜上的绝缘膜中的杂质分析。

[0482] 在本实施例中,形成两种样品(以下称为样品11及样品12)作为用于杂质分析的样品,。

[0483] 首先,以下说明样品11的形成方法。

[0484] 作为样品11,在玻璃衬底上形成IGZO膜,在其上形成氮化硅膜。然后,在氮气氛下以450℃进行1个小时的热处理,接着,在氮及氧的混合气体气氛(氮比例为80%,氧比例为20%)下以450℃进行1个小时的热处理。

[0485] 此外,作为IGZO膜,通过溅射法使用以1:1:1的原子数比包含In、Ga和Zn的金属氧化物靶材在如下条件下形成100nm厚的IGZO膜:Ar气体流量为100sccm,O₂气体流量为100sccm(O₂气体的比例为50%);压力为0.6Pa;成膜功率为5000W;衬底温度为170℃。

[0486] 此外,作为氮化硅膜,通过等离子体CVD法在如下条件下形成100nm厚的氮化硅膜:SiH₄气体流量为50 sccm,N₂气体流量为5000 sccm,NH₃气体流量为100sccm;压力为100Pa;成膜功率为1000W;衬底温度为220℃。

[0487] 下面,以下说明样品12的形成方法。

[0488] 在玻璃衬底上形成IGZO膜,在其上层叠氧氮化硅膜及氮化硅膜。然后,在氮气氛下以450℃进行1个小时的热处理,接着在氮及氧的混合气体气氛(氮比例为80%,氧比例为20%)下以450℃进行1个小时的热处理。

[0489] 此外,IGZO膜及氮化硅膜的成膜条件与样品11相同。此外,作为氧氮化硅膜,通过等离子体CVD法在如下条件下形成50nm厚的氧氮化硅膜:SiH₄气体流量为30sccm,N₂O气体流量为4000sccm;压力为40Pa;成膜功率为150W;衬底温度为220℃。然后,通过等离子体CVD法在如下条件下形成400nm厚的氧氮化硅膜:SiH₄气体流量为160sccm,N₂O气体流量为4000sccm;压力为200Pa;成膜功率为1500W;衬底温度为220℃。

[0490] 图28A及28B示出样品11及12的杂质分析结果。

[0491] 注意,本杂质分析通过二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)由图28A及28B中的箭头所示的方向进行。即,从玻璃衬底一侧进行测量。

[0492] 图28A示出通过样品11的测量获得的氢(H)的浓度分布。图28B示出通过样品12的测量获得的氢(H)的浓度分布

[0493] 图28A示出IGZO膜中的氢(H)浓度为 1.0×10^{20} atoms/cm³,氮化硅膜中的氢(H)浓度为 1.0×10^{23} atoms/cm³。图28B示出IGZO膜中的氢(H)浓度为 5.0×10^{19} atoms/cm³,氧氮化硅膜中的氢(H)浓度为 3.0×10^{21} atoms/cm³。

[0494] 已知,由于其测量原理,在SIMS分析中难以获得样品表面附近或使用不同材质形成的叠层膜之间的界面附近的准确数据。因此,在通过SIMS分析膜中的厚度方向上的氢(H)浓度的分布的情况下,采用在该膜所存在的区域中的平均值作为氢(H)浓度,该值没有极端变动且可以获得大致恒定的强度。

[0495] 通过改变接触于IGZO膜的绝缘膜的结构,可确认到各IGZO膜之间的氢(H)浓度的差异。

[0496] 例如,在上述IGZO膜中的任一个形成于晶体管的沟道形成区的情况下,优选的是,如样品12所示,采用与IGZO膜接触地设置氧氮化硅膜的结构。作为用于电容器的电极的透光性导电膜,优选的是,如样品11所示,采用与IGZO膜接触地设置氮化硅膜的结构。通过这种结构,即使通过同一工序形成用于晶体管的沟道形成区的IGZO膜以及用于电容器的电极的IGZO膜,也可以使各IGZO膜中的氢浓度彼此不同。

[0497] 实施例4

[0498] 在本实施例中,将参照图29A至29C及图30说明氧化物半导体膜及多层膜的缺陷量。

[0499] 首先,说明样品的结构。

[0500] 样品13包括形成在石英衬底上的35nm厚的氧化物半导体膜及形成在该氧化物半导体膜上的100nm厚的氮化绝缘膜。

[0501] 样品14及样品15包括形成在石英衬底上的30nm厚的多层膜及形成在该多层膜上的100nm厚的氮化绝缘膜。此外,在样品14的多层膜中,依次层叠有10nm厚的第一IGZO膜、10nm厚的第二IGZO膜及10nm厚的第三IGZO膜。在样品15的多层膜中,依次层叠有20nm厚的第一IGZO膜、15nm厚的第二IGZO膜及10nm厚的第三IGZO膜。样品14及15与样品13的不同之处在于包括多层膜代替氧化物半导体膜。

[0502] 样品16包括形成在石英衬底上的100nm厚的氧化物半导体膜、形成在该氧化物半导体膜上的250nm厚的氧化绝缘膜及形成在该氧化绝缘膜上的100nm厚的氮化绝缘膜。样品16与样品13至15的不同之处在于氧化物半导体膜不接触于氮化绝缘膜而接触于氧化绝缘膜。

[0503] 接着,说明各样品的形成方法。

[0504] 首先,说明样品13的形成方法。

[0505] 在石英衬底上形成35nm厚的IGZO膜作为氧化物半导体膜。作为IGZO膜,通过溅射法使用以1:1:1的原子数比包含In、Ga和Zn的金属氧化物靶材,在如下条件下形成35nm厚的IGZO膜:Ar气体流量为100sccm, O₂气体流量为100sccm(O₂气体的比例为50%);压力为0.6Pa;成膜功率为5000W;衬底温度为170℃。

[0506] 接着,作为第一加热处理,在氮气氛下以450℃进行1个小时的加热处理,然后,连续地在氮及氧的混合气体气氛(氮比例为80%, 氧比例为20%)以450℃进行1个小时的加热处理。

[0507] 接着,在氧化物半导体膜上形成100nm厚的氮化硅膜作为氮化绝缘膜。作为氮化硅膜,通过等离子体CVD法在如下条件下形成100nm厚的氮化硅膜:SiH₄气体流量为50sccm, N₂气体流量为5000sccm, NH₃/气体流量为100sccm;压力为100Pa;成膜功率为1000W;衬底温度为350℃。

[0508] 接着,作为第二加热处理,在氮气氛下以250℃进行1个小时的加热处理。

[0509] 通过上述工序,形成样品13。

[0510] 接着,说明样品14的形成方法。

[0511] 作为样品14,形成多层膜代替样品14的氧化物半导体膜。作为多层膜,通过溅射法使用以1:3:2的原子数比包含In、Ga和Zn的金属氧化物靶材在如下条件下在石英衬底上形成10nm厚的第一IGZO膜:Ar气体流量为180sccm, O₂气体流量为20sccm(O₂气体的比例为10%);压力为0.6Pa;成膜功率为5000W;衬底温度为25℃。然后,通过溅射法使用以1:1:1的原子数比包含In、Ga和Zn的金属氧化物靶材在如下条件下形成10nm厚的第二IGZO膜:Ar气体流量为100sccm /O₂气体流量为100sccm(O₂气体的比例为50%);压力为0.6Pa;成膜功率为5000W;衬底温度为170℃。然后,通过溅射法使用以1:3:2的原子数比包含In、Ga和Zn的金属氧化物靶材在如下条件下形成10nm厚的第三IGZO膜:Ar气体流量为180sccm , O₂气体流量为20sccm(O₂气体的比例为10%);压力为0.6Pa;成膜功率为5000W;衬底温度为25℃。

- [0512] 其他工序与样品13相同。通过上述工序,形成样品14。
- [0513] 接着,说明样品15的形成方法。
- [0514] 作为样品15,形成多层膜代替样品13的氧化物半导体膜。作为多层膜,在与样品14的第一IGZO膜相同的条件下在石英衬底上形成20nm厚的第一IGZO膜。然后,通过溅射法在与样品14的第二IGZO膜相同的条件下形成15nm厚的第二IGZO膜。然后,在与样品14的第三IGZO膜相同的条件下形成10nm厚的第三IGZO膜。
- [0515] 其他工序与样品13相同。通过上述工序,形成样品15。
- [0516] 接着,说明样品16的形成方法。
- [0517] 作为样品16,在与样品13相同的条件下在石英衬底上形成100nm厚的氧化物半导体膜。
- [0518] 接着,在与样品13相同的条件下进行第一加热处理。
- [0519] 接着,在氧化物半导体膜上层叠50nm厚的第一氮化硅膜及200nm厚的第二氮化硅膜作为氧化绝缘膜。这里,通过等离子体CVD法在如下条件下形成50nm厚的第一氮化硅膜: SiH_4 气体流量为30sccm, N_2O 气体流量为4000sccm;压力为40Pa;成膜功率为150W;衬底温度为220°C。然后,通过等离子体CVD法在如下条件下形成200nm厚的第二氮化硅膜: SiH_4 气体流量为160sccm, N_2O 气体流量为4000sccm;压力为200Pa;成膜功率为1500W;衬底温度为220°C。另外,第二氮化硅膜是包含比化学计量组成的氧多的氧的膜。
- [0520] 接着,在与样品13相同的条件下在氧化绝缘膜上形成100nm厚的氮化硅膜。
- [0521] 接着,在与样品13相同的条件下进行第二加热处理。
- [0522] 通过上述工序,形成样品16。
- [0523] 接下来,通过ESR测量样品13至16。在以规定温度进行的ESR测量中,从吸收微波的磁场值(H_0)用于算式 $g=h\nu/\beta H_0$,由此可以获得g值的参数。注意,微波的频率记为 ν 。普朗克常数及玻尔磁子(Bohr magneton)分别记为h及 β ,都是常数。
- [0524] 在此,在下述条件下进行ESR测量。测量温度为室温(25°C),8.92GHz的高频功率(微波功率)为20mW,并且磁场的方向平行于各样品的表面。
- [0525] 图29A示出通过样品13中的氧化物半导体膜的ESR测量而得到的一次微分曲线;图29B和29C示出多层膜的ESR测量而得到的一次微分曲线。图29A示出样品13的测量结果,图29B示出样品14的测量结果,图29C示出样品15的测量结果。
- [0526] 图30示出通过样品16中的氧化物半导体膜的ESR测量而得到的一次微分曲线。
- [0527] 在图29A至29C中,样品13具有起因于氧化物半导体膜中的g值为1.93的缺陷的信号对称性。当样品14及15具有起因于多层膜中的g值为1.95的缺陷的信号对称性。作为样品13,相当于g值为1.93的自旋密度是 $2.5 \times 10^{19} \text{ spins/cm}^3$,在样品14中,相当于g值为1.93及1.95的自旋密度总和是 $1.6 \times 10^{19} \text{ spins/cm}^3$,在样品15中,相当于g值为1.93及1.95的自旋密度总和是 $2.3 \times 10^{19} \text{ spins/cm}^3$ 。即,可知,氧化物半导体膜及多层膜包括缺陷。此外,氧缺陷是氧化物半导体膜及多层膜的缺陷的例子。
- [0528] 虽然在图30中样品16的氧化物半导体膜的厚度厚于样品13,但是没有检测出起因于缺陷的信号对称性,即,缺陷的数量少于或等于检测下限(在此,检测下限为 $3.7 \times 10^{16} \text{ spins/cm}^3$)。由此可知,不能检测出氧化物半导体膜中的缺陷数量。
- [0529] 可知,当氮化绝缘膜这里通过等离子体CVD法形成的氮化硅膜接触于氧化物半导

体膜或多层膜时,缺陷、典型的是氧缺陷形成在氧化物半导体膜或多层膜中。另一方面,当氧化绝缘膜这里氧氮化硅膜设置在氧化物半导体膜上时,包含在氧氮化硅膜中的过剩氧,即,包含比化学计量组成的氧多的氧扩散到氧化物半导体膜中,由此氧化物半导体膜中的缺陷不增加。

[0530] 如上所述,如样品13至15所示,接触于氮化绝缘膜的氧化物半导体膜或多层膜具有多个缺陷,典型的是氧缺陷,而具有高导电性,所以可以用作电容器的电极。另一方面,如样品16所示,接触于氧化绝缘膜的氧化物半导体膜或多层膜具有很少的氧缺陷,而具有低导电性,所以可以用作晶体管的沟道形成区。

[0531] 这里,以下说明接触于氮化物绝缘膜的氧化物半导体膜及多层膜的电阻率降低的原因。

[0532] <氢(H)的存在形态间的能量及稳定性>

[0533] 首先,用计算结果说明存在于氧化物半导体膜中的H的形态的能量及稳定性。这里,使用 InGaZnO_4 作为氧化物半导体膜。

[0534] 用于本计算的结构基于84原子块体模型,其中,两倍的 InGaZnO_4 六方晶单位晶格在a轴及b轴方向上配置。

[0535] 作为块体模型,准备与三个In原子及一个Zn原子键合的一个O原子置换为H原子的模型(参照图33A)。图33B示出在图33A中从c轴方向看InO层的ab面的图。去除与三个In原子及一个Zn原子键合的一个O原子的区域表示为氧缺陷 V_O ,其显示在图33A及33B中的虚线内。此外,氧缺陷 V_O 中的H原子表示为 V_OH 。

[0536] 在块体模型中,去除与三个In原子及一个Zn原子键合的一个O原子,来形成氧缺陷 V_O 。准备在该氧缺陷 V_O 附近H原子键合于在a-b面上与一个Ga原子及两个Zn原子键合的O原子的模型(参照图33C)。图33D示出从c轴方向看的图33C中的InO层的a-b面的图。在图33C及33D中,氧缺陷 V_O 表示在虚线内。形成有氧缺陷 V_O 且在该氧缺陷 V_O 附近H原子键合于在a-b面上与一个Ga原子及两个Zn原子键合的O原子的模型表示为 V_OH 。

[0537] 对上述两个模型用固定晶格常数进行最优化计算来算出总能量。注意,总能量值越小,其结构越稳定。

[0538] 在计算中,使用第一原理计算软件VASP(The Vienna Ab initio simulation package)。表1示出计算条件。

[0539] [表1]

0540	软件	VASP
	赝势	PAW
	泛函	GGA/PBE
	截止能量	500 eV
	K点	$4 \times 4 \times 1$

[0541] 作为电子状态赝势,使用通过projector augmented wave(PAW)法生成的位势,并且,作为泛函,使用generalized-gradient-approximation/Perdew-Burke-Ernzerhof(GGA/PBE)。

[0542] 此外,表2示出通过计算算出的两个模型的总能量。

[0543] [表2]

[0544]	模型	总能量
	VoH	-456.084 eV
	Vo+H	-455.304 eV

[0545] 根据表2, VoH的总能量比Vo+H的总能量低0.78eV。因此, VoH比Vo+H更稳定。由此, 当H原子接近于氧缺陷(Vo)时, 与键合于O原子相比, H原子容易引入氧缺陷(Vo)中。

[0546] <VoH的热力学状态>

[0547] 接下来, 用计算结果说明H原子引入到氧缺陷(Vo)中而生成的VoH的形成能量及带电状态。VoH的形成能量根据带电状态而不同, 并依赖于费米能量。因此, VoH的稳定带电状态根据费米能级而不同。这里, $(\text{VoH})^+$ 表示VoH释放一个电子的状态。 $(\text{VoH})^-$ 表示VoH俘获一个电子的状态, $(\text{VoH})^0$ 表示电子不移动的状态。计算 $(\text{VoH})^+$ 、 $(\text{VoH})^-$ 及 $(\text{VoH})^0$ 的形成能量。

[0548] 在计算中, 使用第一原理计算软件VASP。表3示出计算条件。

[0549] [表3]

[0550]	软件	VASP
	赝势	PAW
	泛函	HSE06
	截止能量	800 eV
	k 点采样数	$2 \times 2 \times 1$ (opt.)
		$4 \times 4 \times 1$ (single)
	自旋极化	setup
	遮蔽参数	0.2
	交换项混合比	0.25
	原子数	84

[0551] 作为电子状态赝势, 使用通过Projector Augmented Wave (PAW) 法生成的位势, 并且, 作为泛函, 使用Heyd-Scuseria-Ernzerhof (HSE) DFT混合泛函 (HSE06)。

[0552] 另外, 以下方式算出氧缺陷的形成能量: 假设氧缺陷浓度的稀薄极限, 校正电子及空穴过剩地扩展到传导带及价电子带。另外, 以完全的结晶的价电子带顶部为能量原点, 用平均静电位势来校正由缺陷结构导致的价电子带偏差。

[0553] 图34A示出 $(\text{VoH})^+$ 、 $(\text{VoH})^-$ 及 $(\text{VoH})^0$ 的形成能量。横轴示出费米能级, 纵轴示出形成能量。实线示出 $(\text{VoH})^+$ 的形成能量, 点划线示出 $(\text{VoH})^0$ 的形成能量, 虚线示出 $(\text{VoH})^-$ 的形成能量。此外, VoH电荷的从+经过0变为-的迁移能级由 ϵ (+/-) 表示。

[0554] 图34B示出VoH的热力学迁移能级。从计算结果, InGaZnO_4 的能隙为2.739eV。此外, 当价电子带的能量为0eV时, 迁移能级(ϵ (+/-))为2.62eV, 存在于传导带的正下方。这表示, 通过将H原子引入氧缺陷(Vo)中, InGaZnO_4 为n型。

[0555] 当氧化物半导体膜暴露于等离子体时, 氧化物半导体膜受到损伤, 而在氧化物半导体膜中生成缺陷, 典型地是氧缺陷。此外, 当氮化绝缘膜接触于氧化物半导体膜时, 包含在氮化绝缘膜中的氢移动到氧化物半导体膜。其结果是, 在氧化物半导体膜中的氧缺陷进

入氢,而在氧化物半导体膜中形成VoH,由此氧化物半导体膜成为n型膜,其电阻率降低。如上所述,接触于氮化绝缘膜的氧化物半导体膜可以用作电容器的电极。

[0556] 实施例5

[0557] 在本实施例中,将参照图37A至37C说明接触于氮化绝缘膜的氧化物半导体膜的透射率。

[0558] 说明样品的结构。

[0559] 样品17通过如下方式形成,在玻璃衬底上形成35nm厚的氧化物半导体膜,在该氧化物半导体膜上形成100nm厚的氮化硅膜。

[0560] 样品18通过如下方式形成,在玻璃衬底上形成35nm厚的氧化物半导体膜,在该氧化物半导体膜上形成100nm厚的氮化硅膜,在该氮化硅膜上形成100nm厚的氧化铟-氧化锡化合物(ITO-SiO₂)膜。

[0561] 另外,在样品17及样品18中,作为氧化物半导体膜,通过溅射法使用金属元素的原子数比为In:Ga:Zn=1:1:1的In-Ga-Zn氧化物(记作IGZO(111))作为靶材来形成In-Ga-Zn氧化物膜。

[0562] 在样品17及18中,通过等离子体CVD法使用硅烷、氨及氮形成氮化硅膜。

[0563] 在样品18中,通过溅射法形成氧化铟-氧化锡化合物(ITO-SiO₂)膜。

[0564] 样品19通过如下方式形成,在玻璃衬底上形成100nm厚的氧化铟-氧化锡化合物(ITO-SiO₂)膜。该氧化铟-氧化锡化合物(ITO-SiO₂)膜通过溅射法形成。

[0565] 接着,测量样品17至19的可见光透射率。图37A至37C示出所测量的透射率。图37A示出样品17的测量结果,图37B示出样品18的测量结果,图37C示出样品19的测量结果。

[0566] 图37A示出,样品17的长于或等于340nm且短于或等于800nm的波长的透射率为60%或更高,长于或等于380nm且短于或等于800nm的波长的透射率为70%或更高,长于或等于430nm且短于或等于800nm的波长的透射率为80%或更高。

[0567] 图37B示出,样品18的长于或等于380nm且短于或等于800nm的波长的透射率为60%或更高,长于或等于430nm且短于或等于800nm的波长的透射率为70%或更高。

[0568] 如图37A所示,与氮化硅膜接触的氧化物半导体膜具有等于或高于图37C所示的ITO-SiO₂膜的透射率。另外,如图37B所示,即使层叠氧化物半导体膜、氮化硅膜及ITO-SiO₂膜,也具有等于图37C所示的ITO-SiO₂膜的透射率。上述事实显示,层叠有氧化物半导体膜、氮化硅膜及ITO-SiO₂膜的电容器具有透光性。另外,即使形成透光性氮化绝缘膜代替氮化硅膜,并形成透光性导电膜代替ITO-SiO₂膜,也可以制造具有透光性电容器。

[0569] 符号说明

[0570] 100:像素部;102:衬底;103:晶体管;104:扫描线驱动电路;106:信号线驱动电路;107:扫描线;107a:栅电极;108:液晶元件;109:信号线;109a:源电极;111:半导体膜;113:导电膜;113a:漏电极;115:电容线;117:开口;118:半导体膜;119:导电膜;121:像素电极;123:开口;125:导电膜;126:绝缘膜;127:栅极绝缘膜;128:绝缘膜;129:绝缘膜;130:绝缘膜;131:绝缘膜;132:绝缘膜;133:绝缘膜;141:像素;143:开口;145:电容器;150:衬底;152:遮光膜;153:遮光膜;154:对电极;156:绝缘膜;158:绝缘膜;160:液晶层;172:像素;174:电容器;176:电容线;178:导电膜;196:像素;197:电容器;198:导电膜;199:导电膜;199a:氧化物半导体膜;199b:氧化物半导体膜;199c:氧化物半导体膜;201:像素;205:电容

器;221:像素电极;225:绝缘膜;226:绝缘膜;227:栅极绝缘膜;228:绝缘膜;229:绝缘膜;230:绝缘膜;231:绝缘膜;232:绝缘膜;233:绝缘膜;245:电容器;255:电容器;271:像素电极;279:绝缘膜;281:绝缘膜;282:绝缘膜;301:像素;305:电容器;319:导电膜;401_1:像素;401_2:像素;403_1:晶体管;403_2:晶体管;405_1:电容器;405_2:电容器;407_1:扫描线;407_2:扫描线;409:信号线;411_1:半导体膜;411_2:半导体膜;413_1:导电膜;413_2:导电膜;415:电容线;417_1:开口;417_2:开口;419_1:导电膜;419_2:导电膜;421_1:像素电极;421_2:像素电极;423:开口;425:导电膜;437:扫描线;501:像素;505:电容器;519:导电膜;521:共通电极;901:衬底;902:像素部;903:信号线驱动电路;904:扫描线驱动电路;905:密封剂;906:衬底;908:液晶层;910:晶体管;911:晶体管;913:液晶元件;915:连接端子电极;916:端子电极;918:FPC;918b:FPC;919:各向异性导电剂;922:栅极绝缘膜;923:绝缘膜;924:绝缘膜;925:密封剂;926:电容器;927:导电膜;928:电极;929:电容布线;930:电极;931:电极;932:绝缘膜;933:绝缘膜;934:绝缘膜;935:间隔物;940:电极;941:电极;943:液晶元件;945:电极;946:公共布线;971:源电极;973:漏电极;975:共通电位线;977:共通电极;985:共通电位线;987:共通电极;1901:玻璃衬底;1903:绝缘膜;1904:绝缘膜;1905:氧化物半导体膜;1906:多层膜;1907:导电膜;1909:导电膜;1910:绝缘膜;1911:绝缘膜;1913:开口部;1915:开口部;1917:开口部;1919:开口部;1922:绝缘膜;9000:桌子;9001:框体;9002:桌腿;9003:显示部;9004:显示按钮;9005:电源供应线;9033:卡子;9034:开关;9035:电源开关;9036:开关;9038:操作开关;9100:电视装置;9101:框体;9103:显示部;9105:支架;9107:显示部;9109:操作键;9110:遥控器;9200:计算机;9201:主体;9202:框体;9203:显示部;9204:键盘;9205:外部连接端口;9206:指向装置;9630:框体;9631:显示部;9631a:显示部;9631b:显示部;9632a:区域;9632b:区域;9633:太阳能电池;9634:充放电控制电路;9635:电池;9636:DCDC转换器;9637:转换器;9638:操作键;9639:按钮。

[0571] 本申请基于2012年9月13日向日本专利局提交的日本专利申请第2012-202125号以及2013年3月15日向日本专利局提交的日本专利申请第2013-053988号,其全部内容通过引用纳入本文。

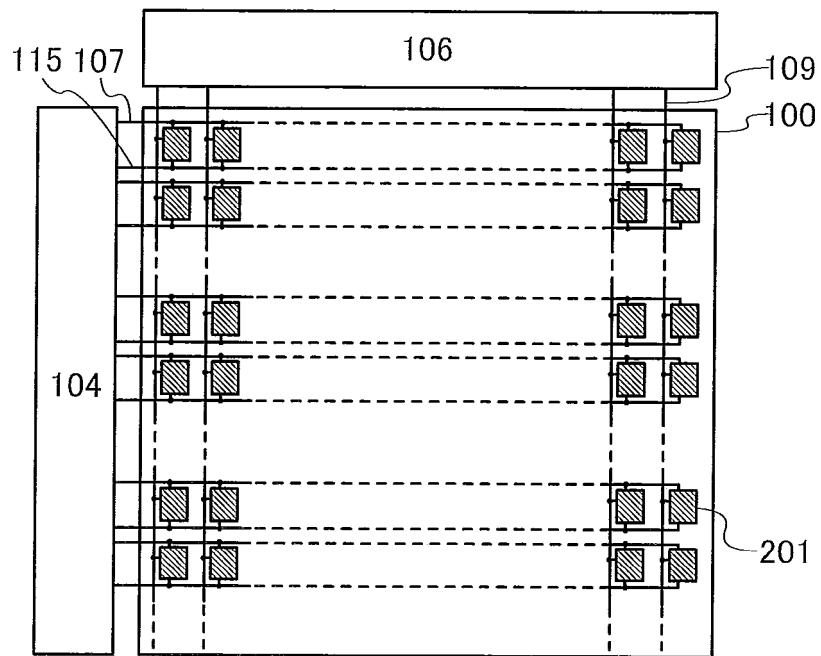


图 1A

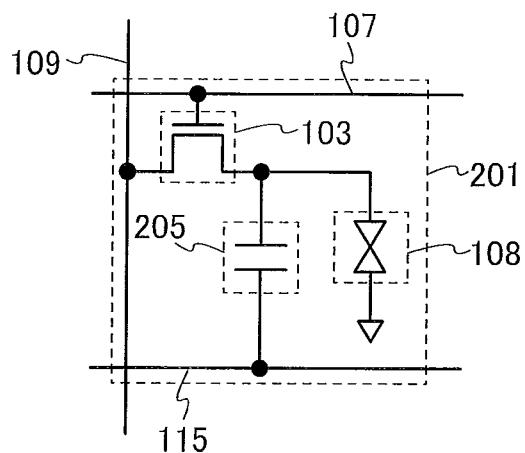


图 1B

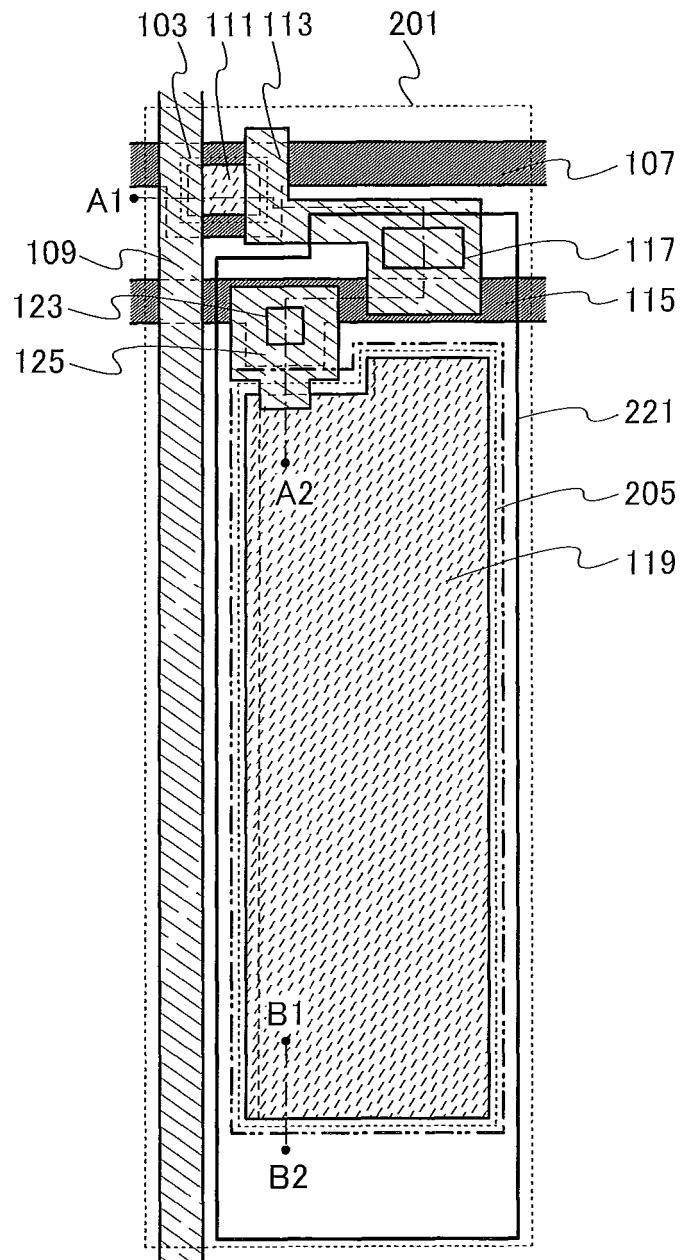


图 2

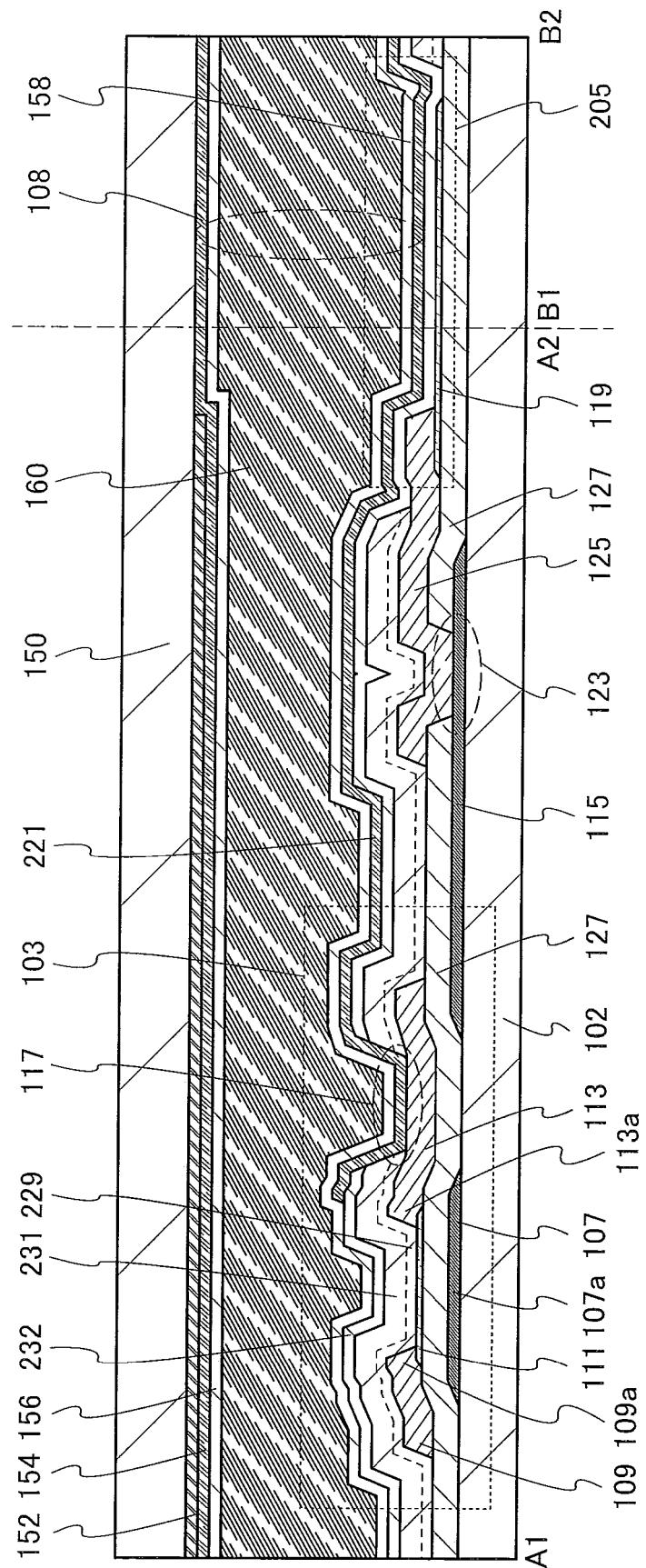


图 3

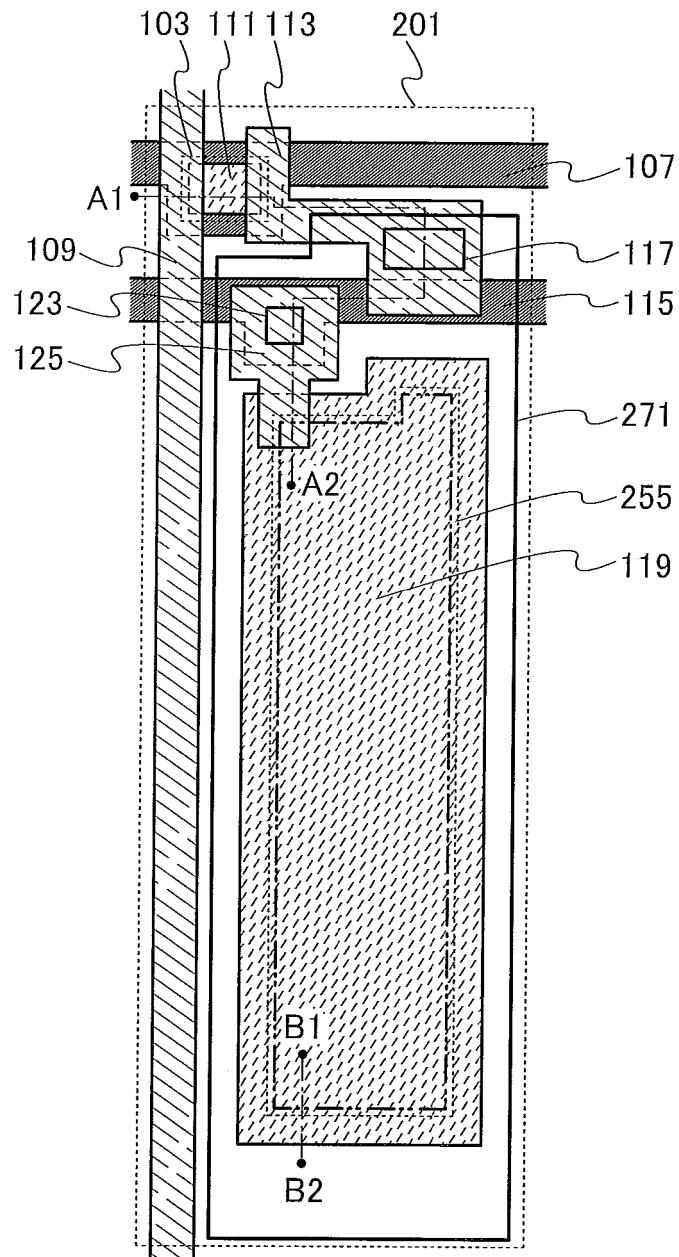


图 4

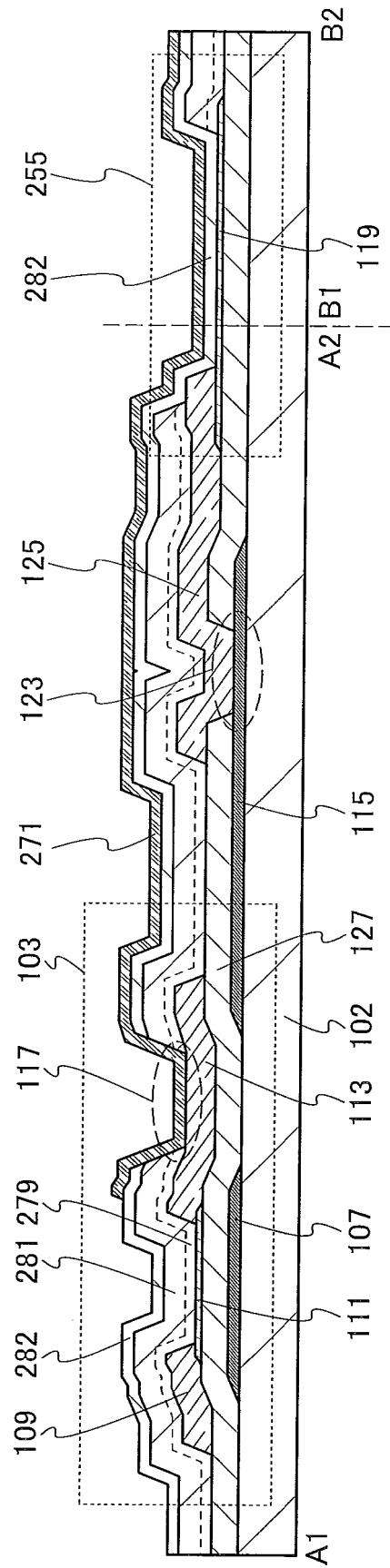


图 5

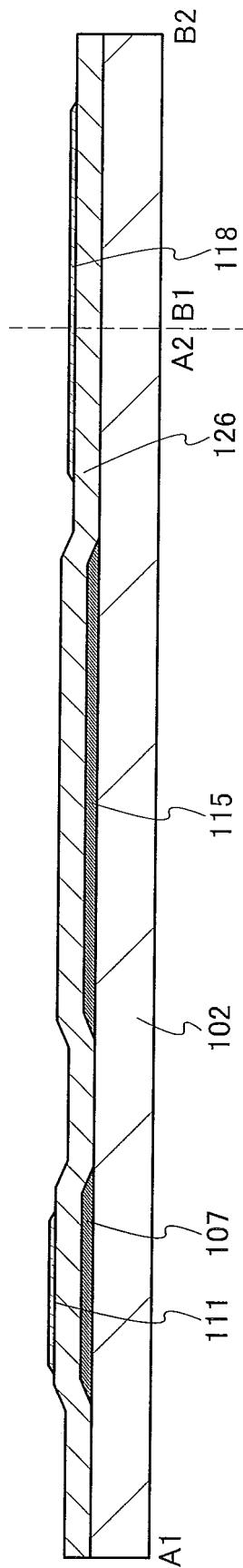


图 6A

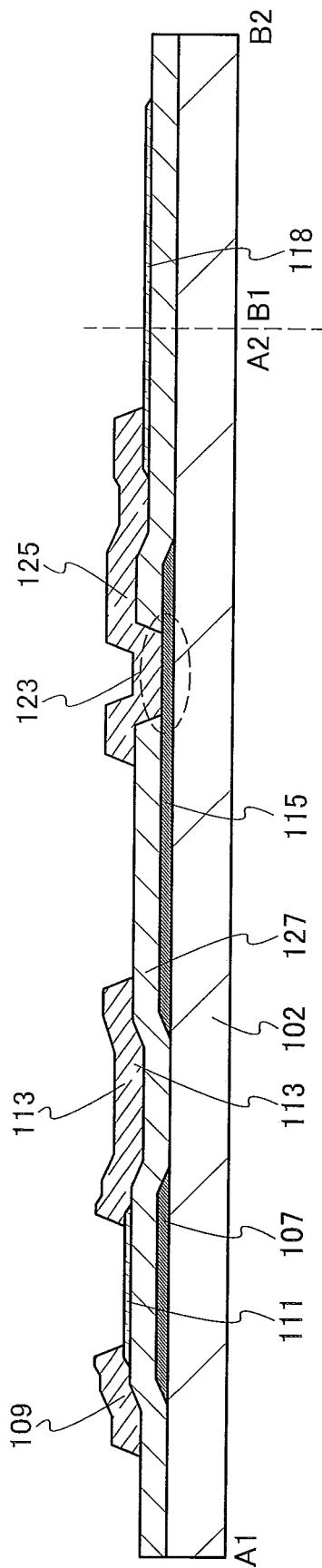


图 6B

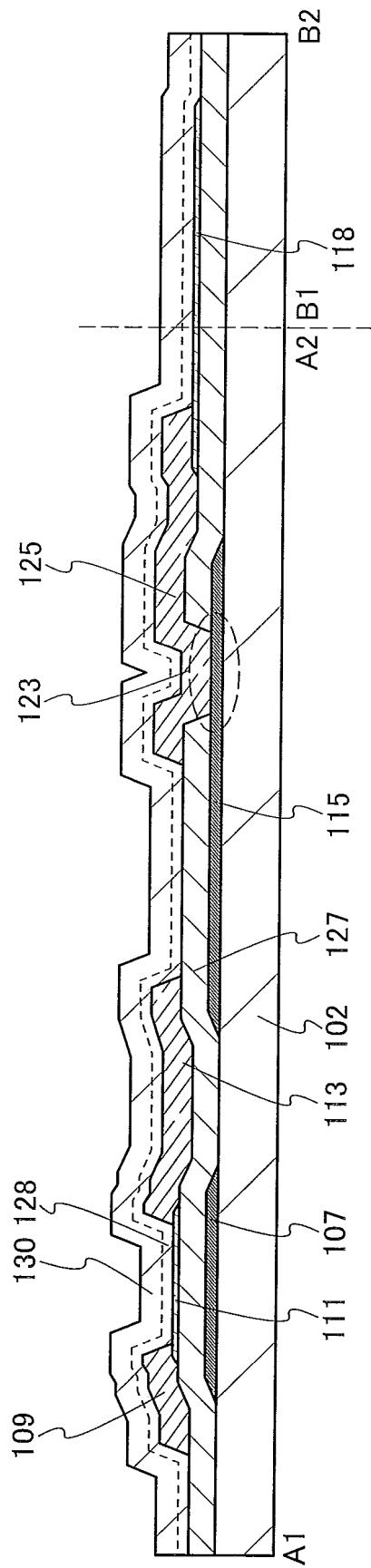


图 7A

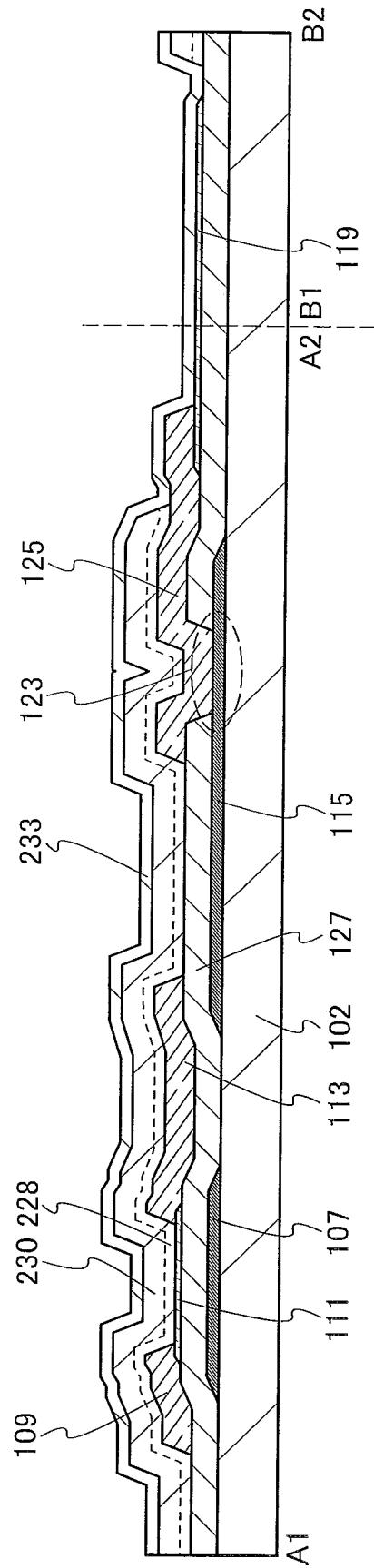


图 7B

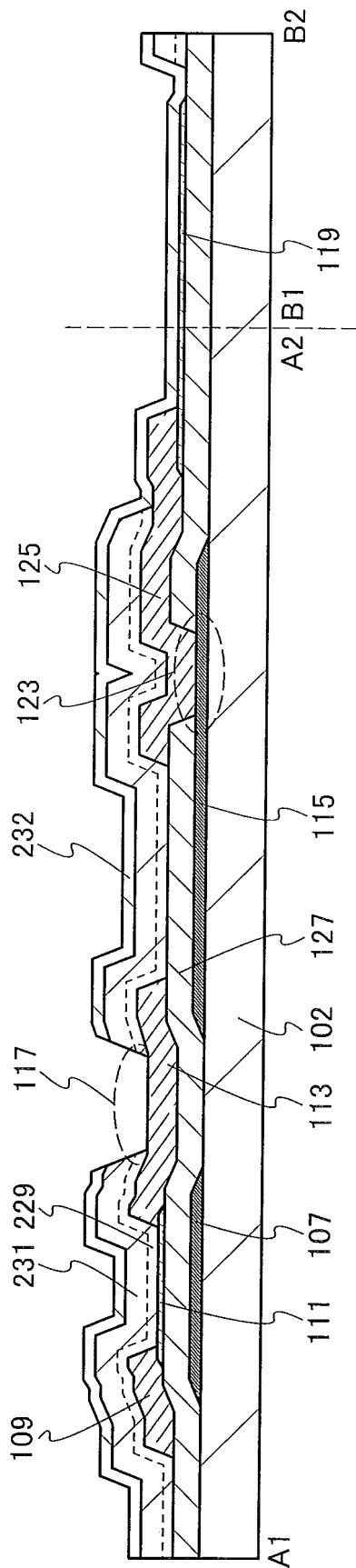


图 8A

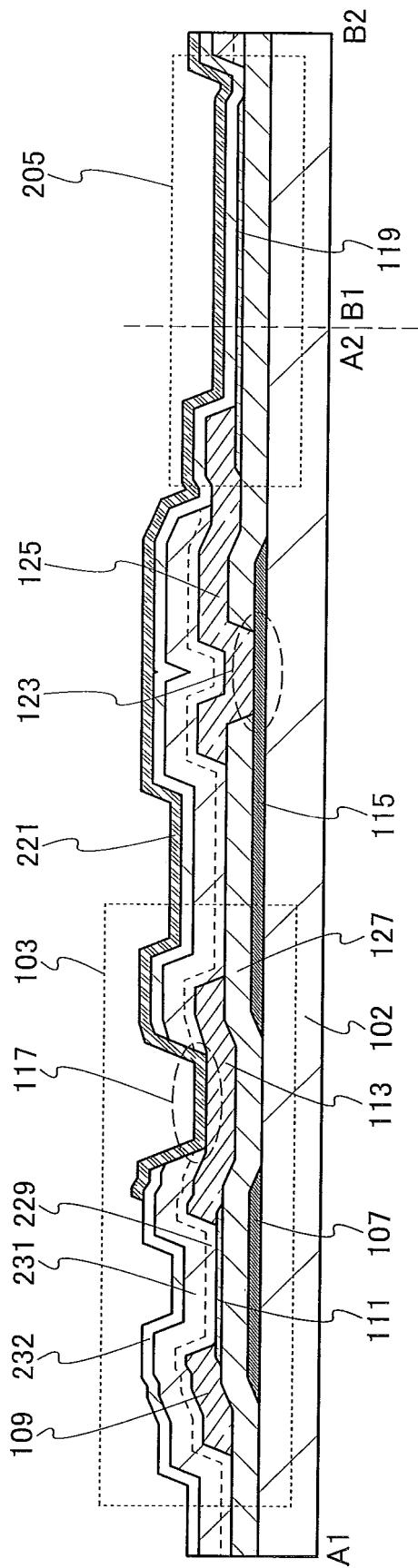


图 8B

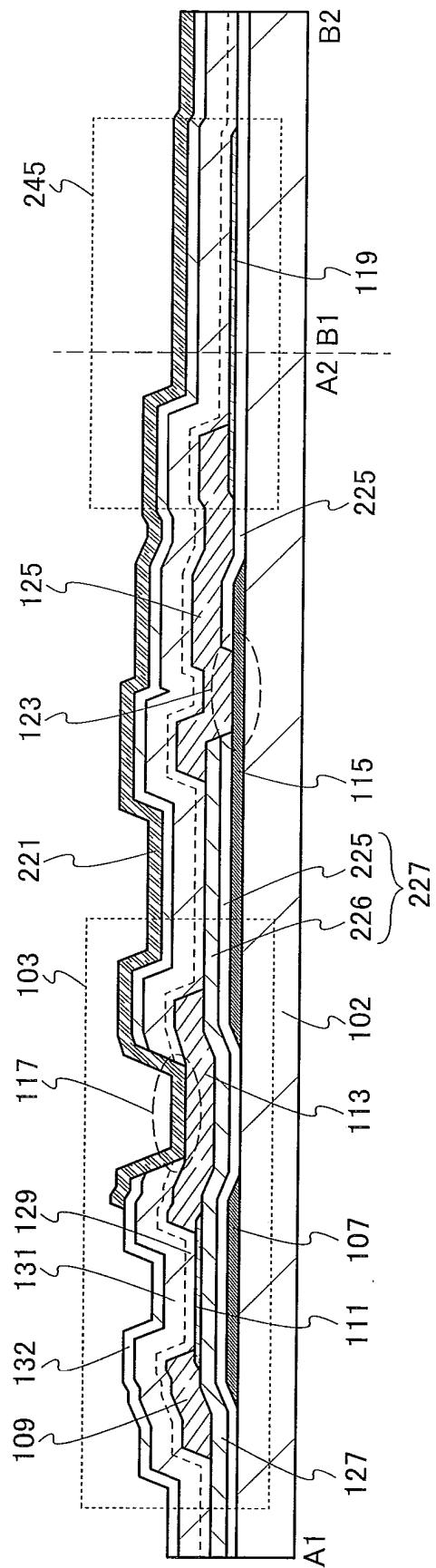


图 9

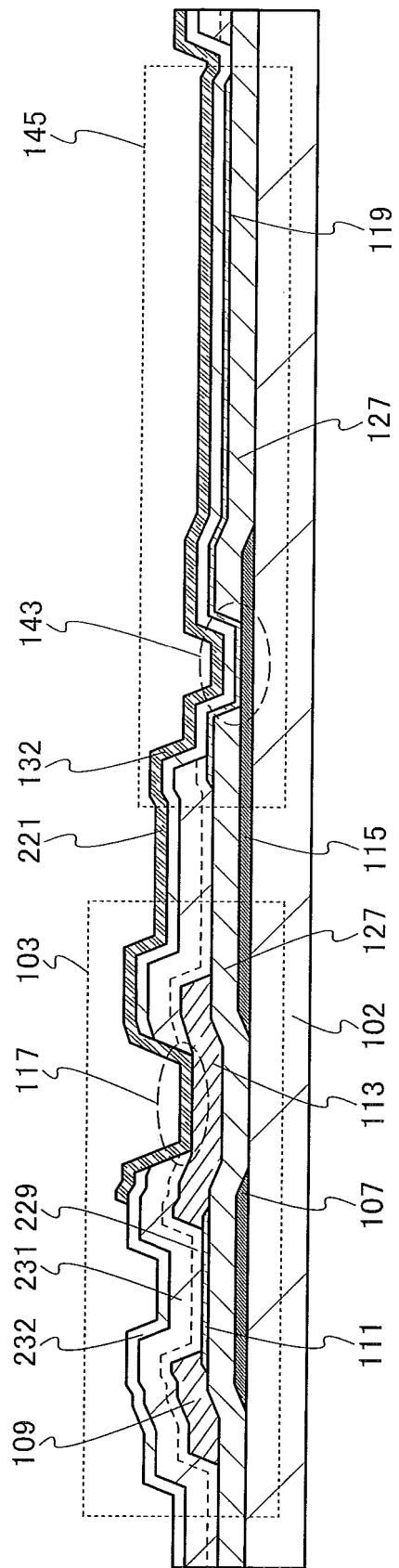


图 10

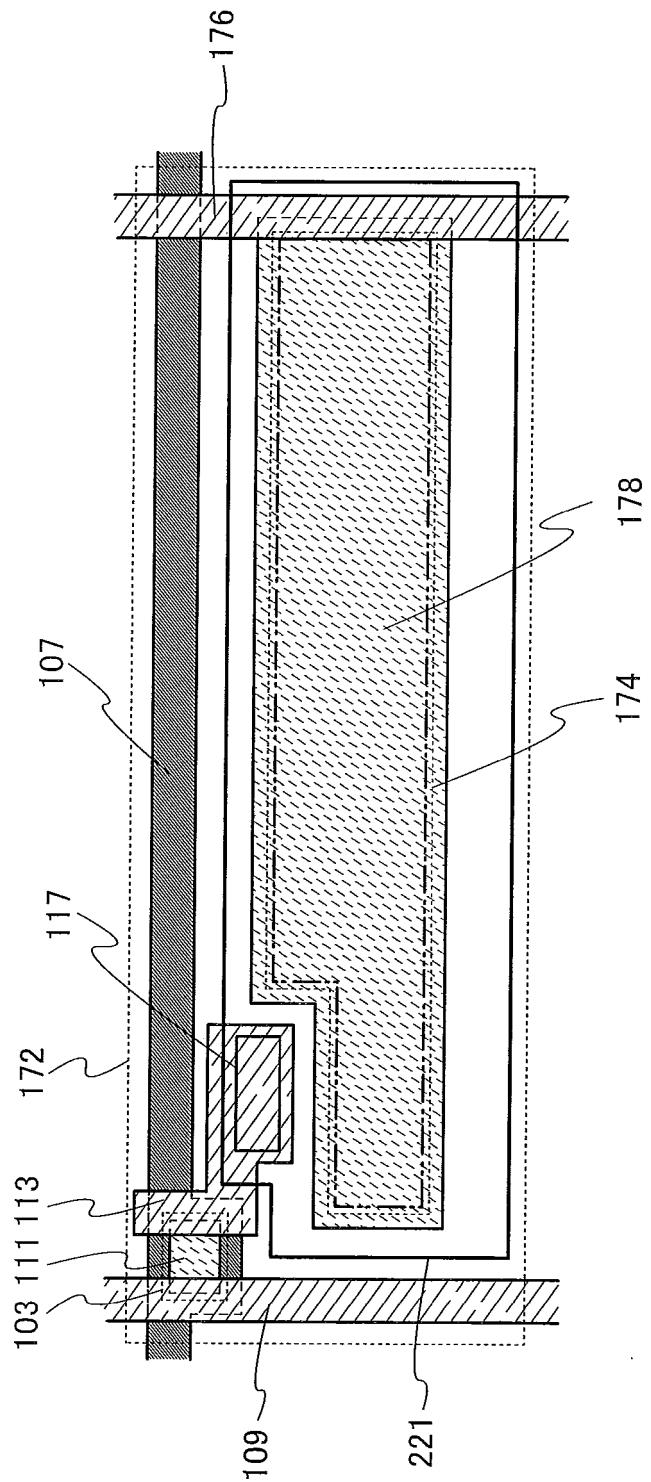


图 11

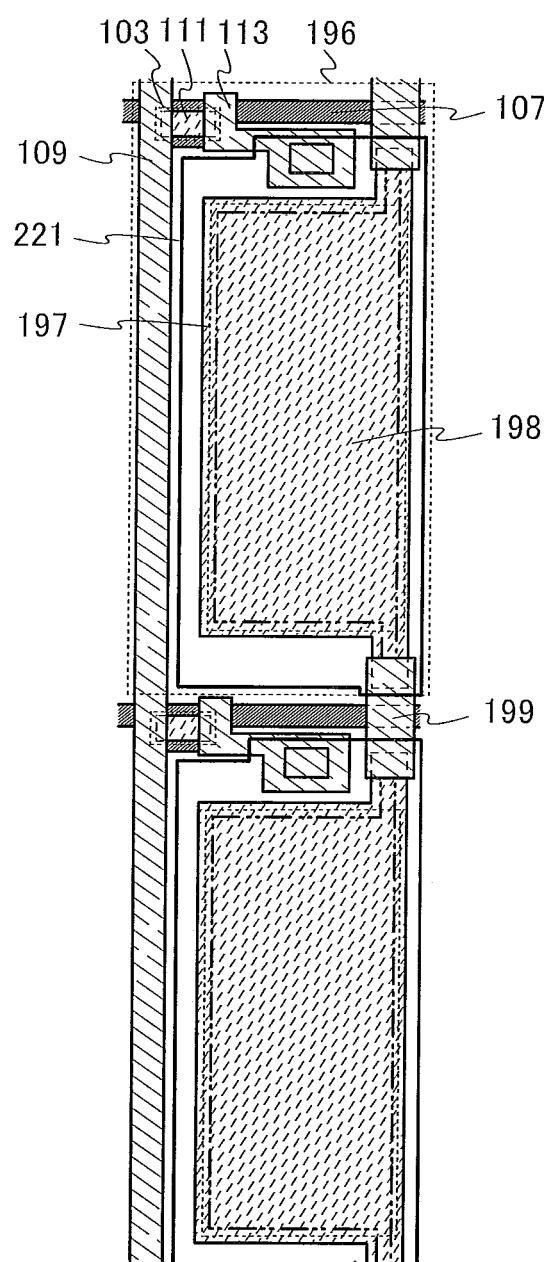


图 12

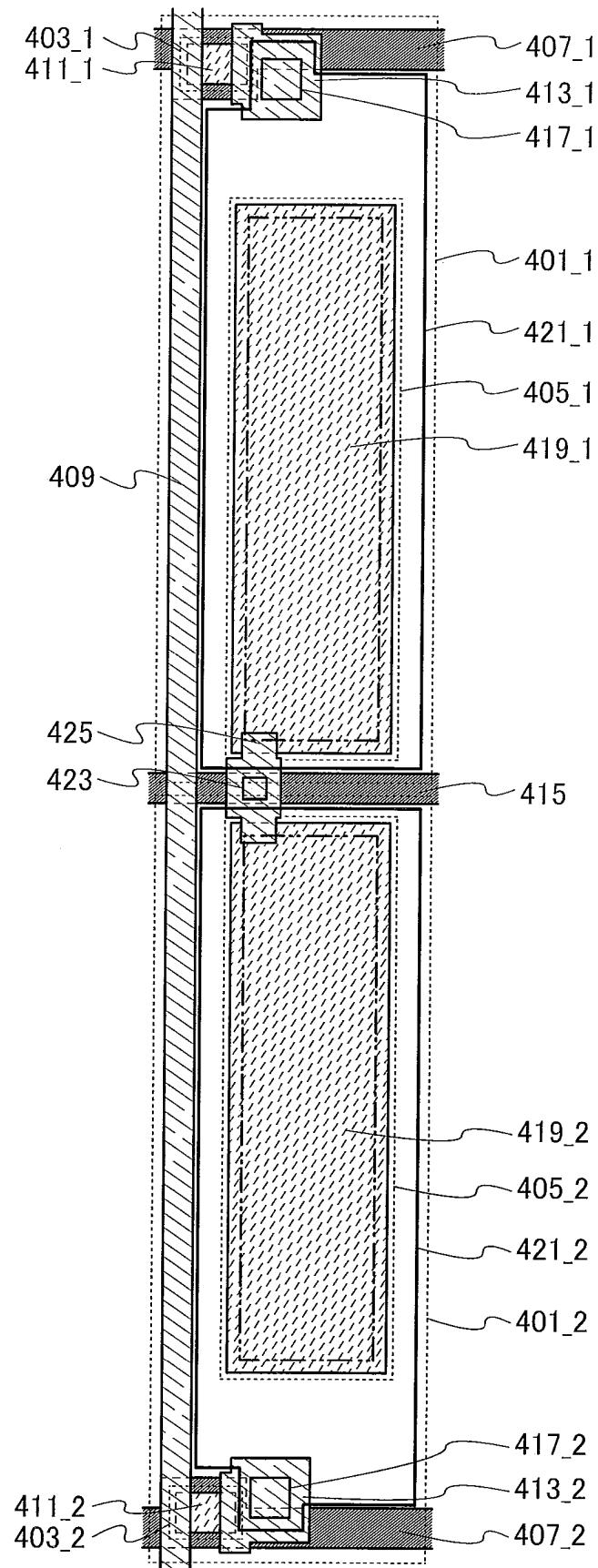


图 13

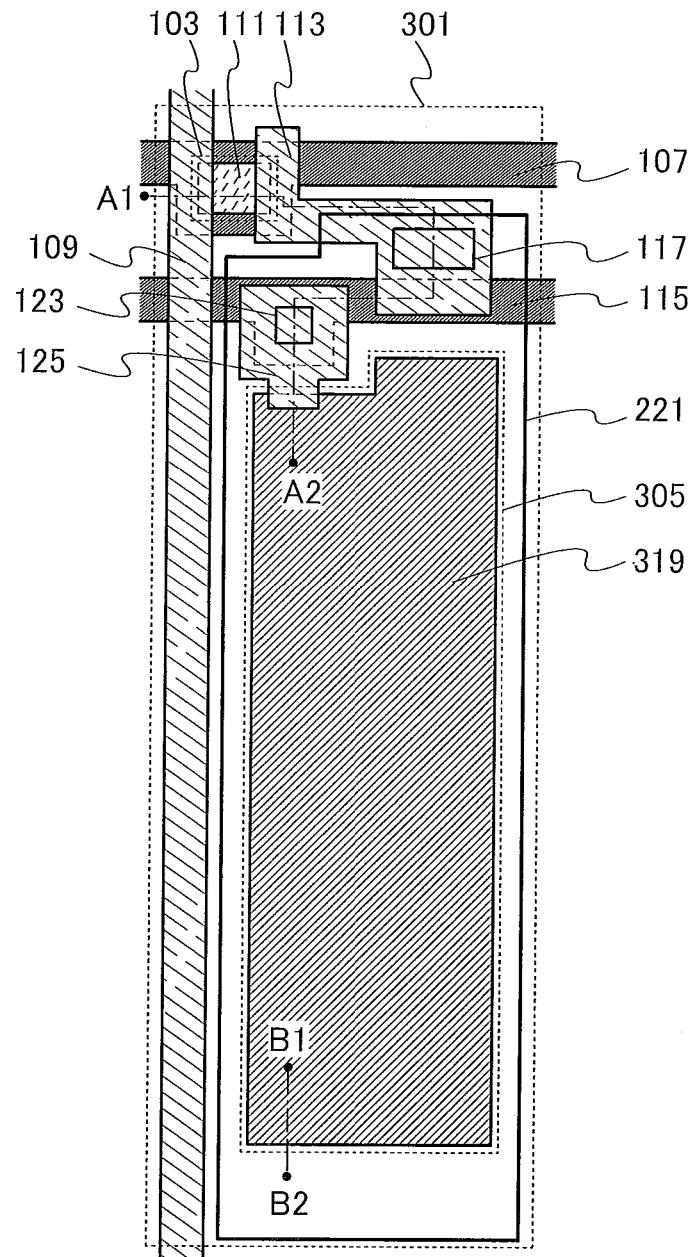


图 14

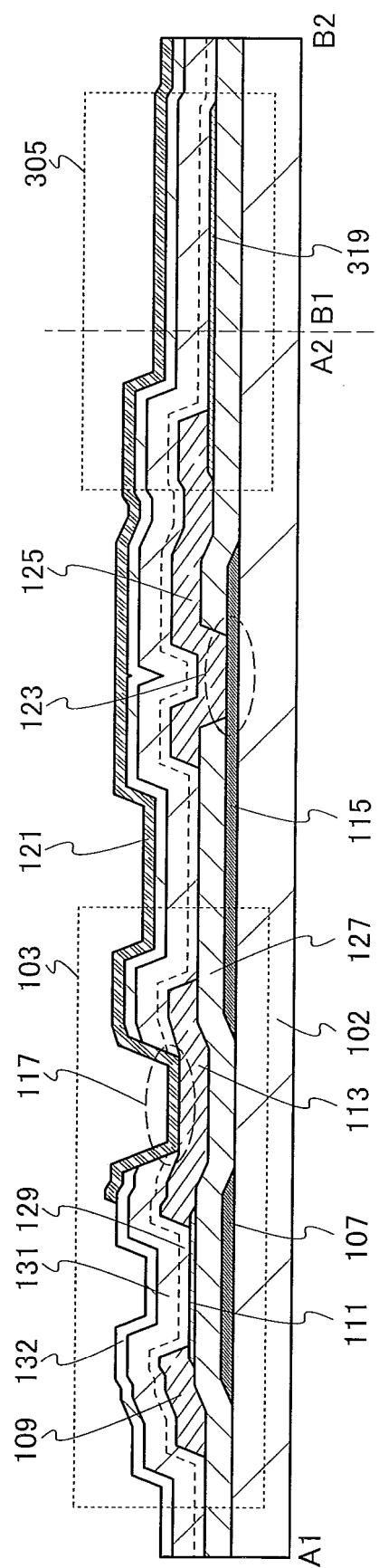


图 15

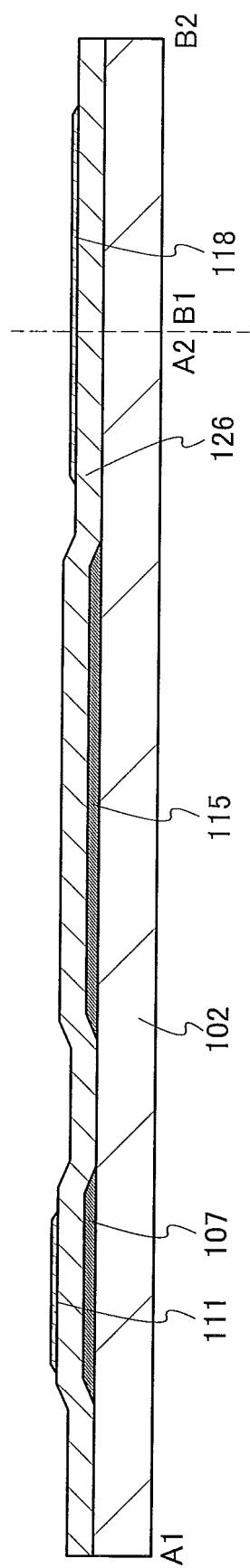


图 16A

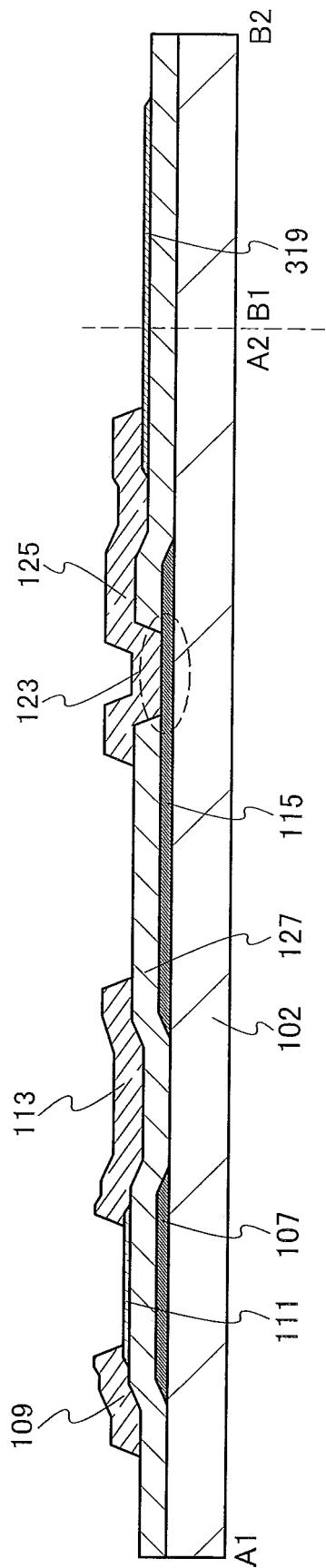


图 16B

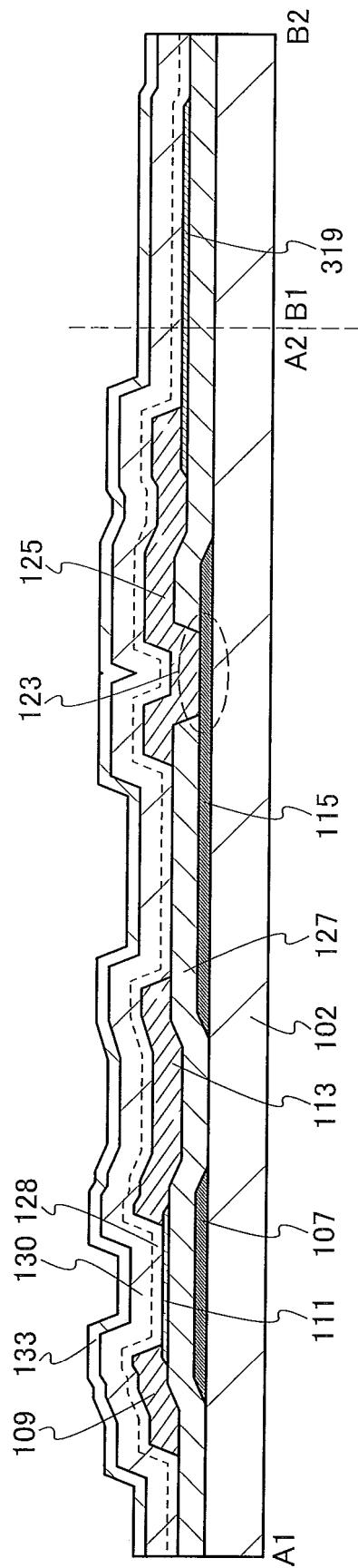


图 17A

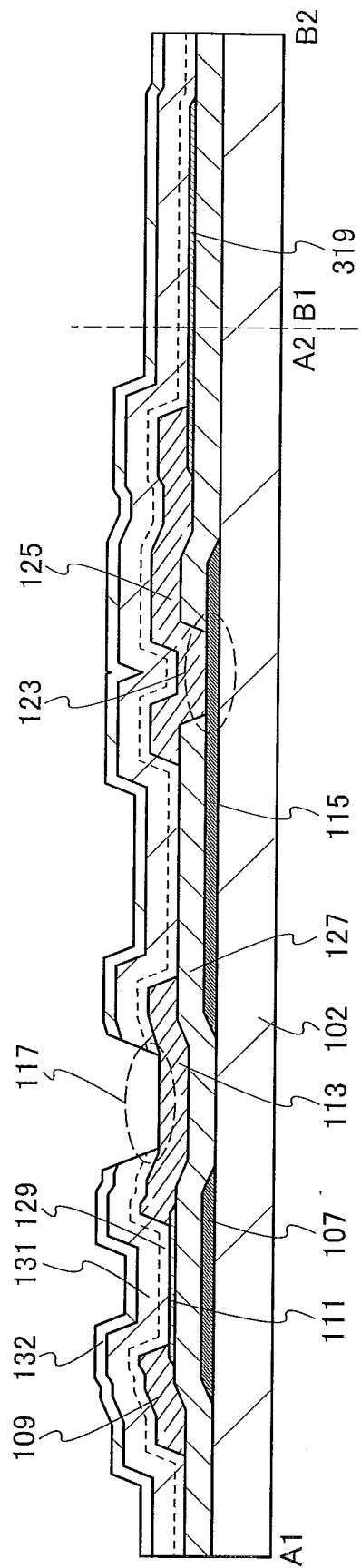


图 17B

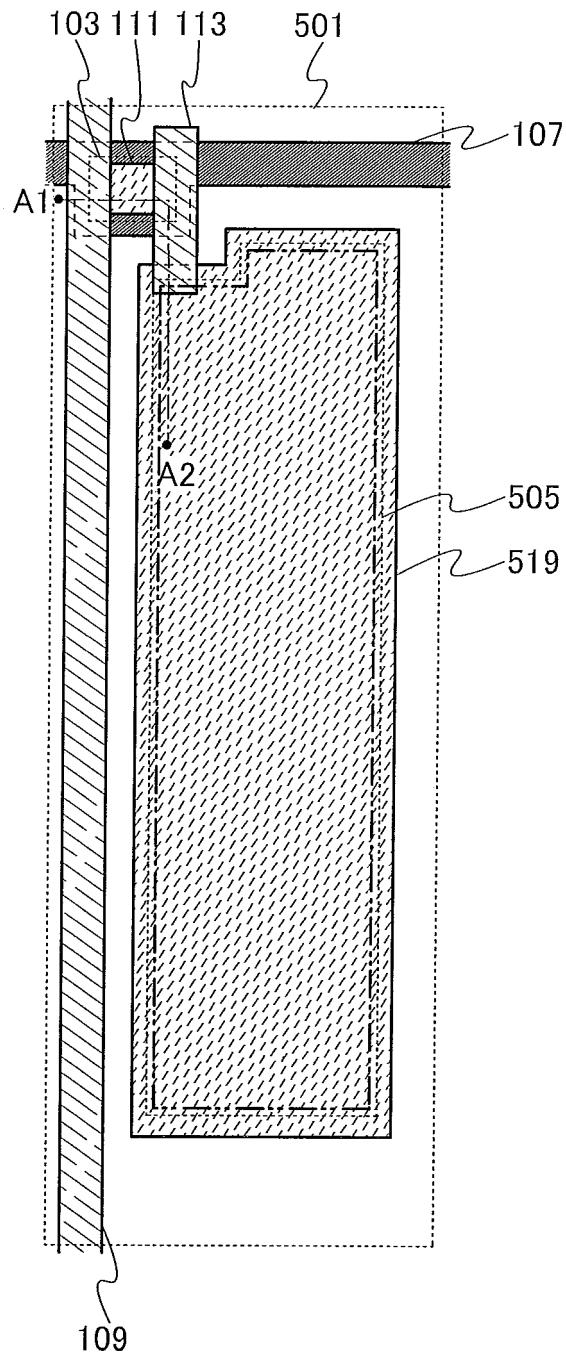


图 18A

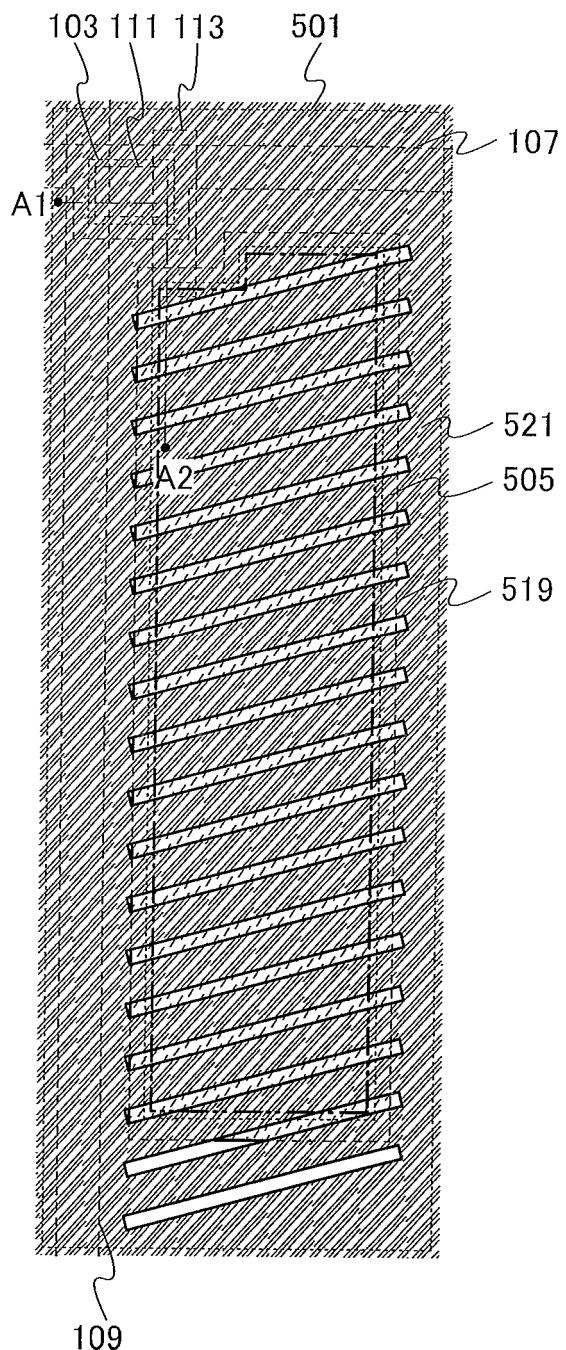


图 18B

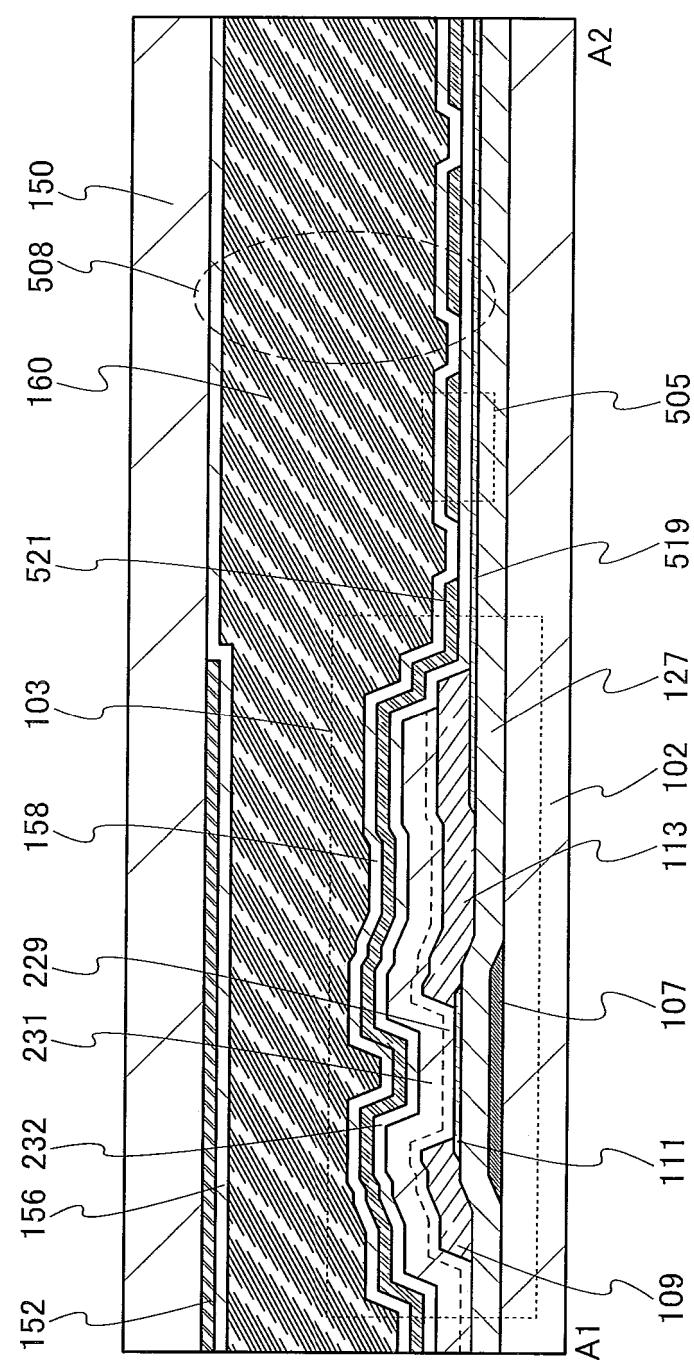


图 19

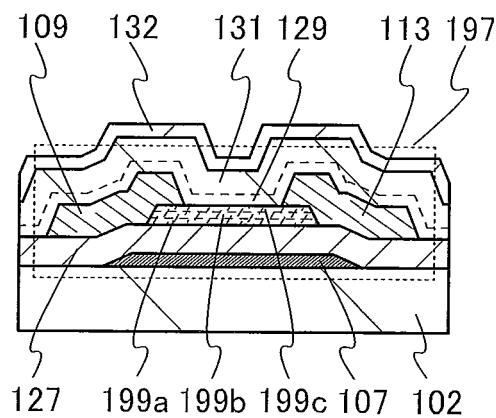


图 20

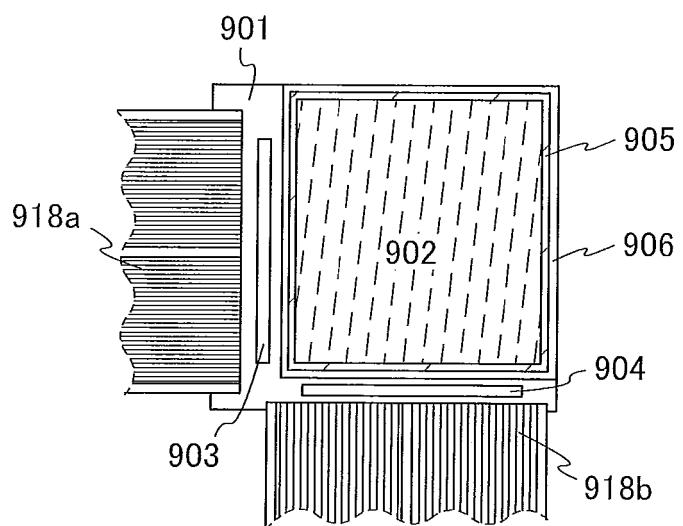


图 21A

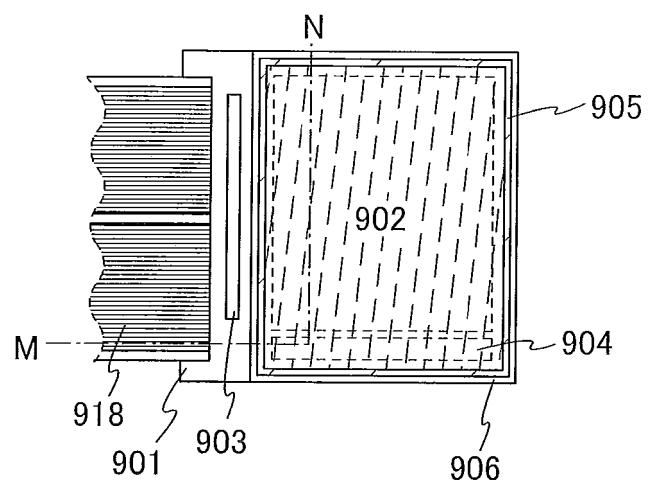


图 21B

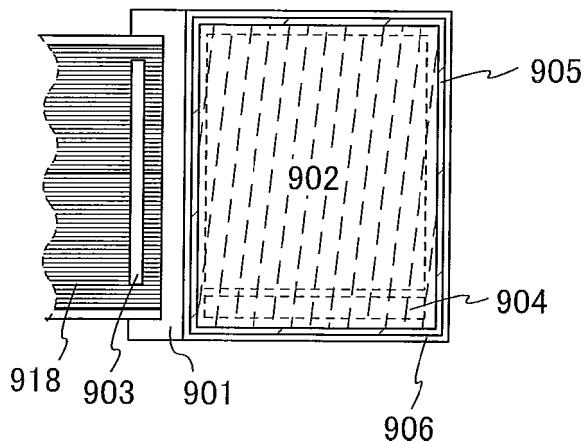


图 21C

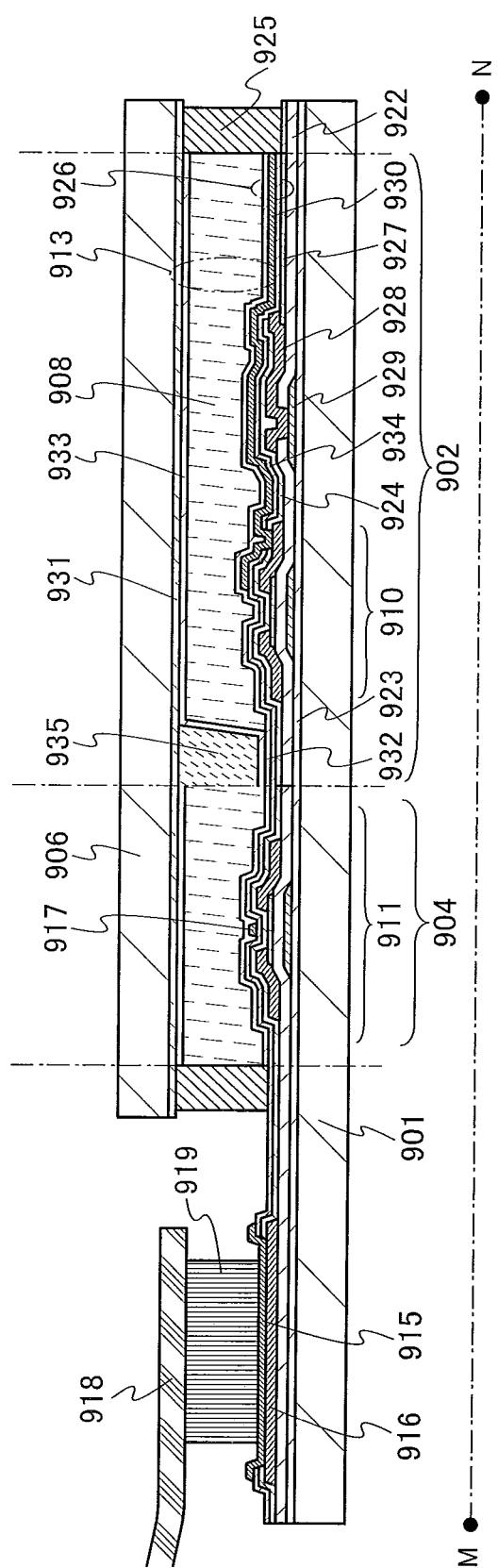


图 22A

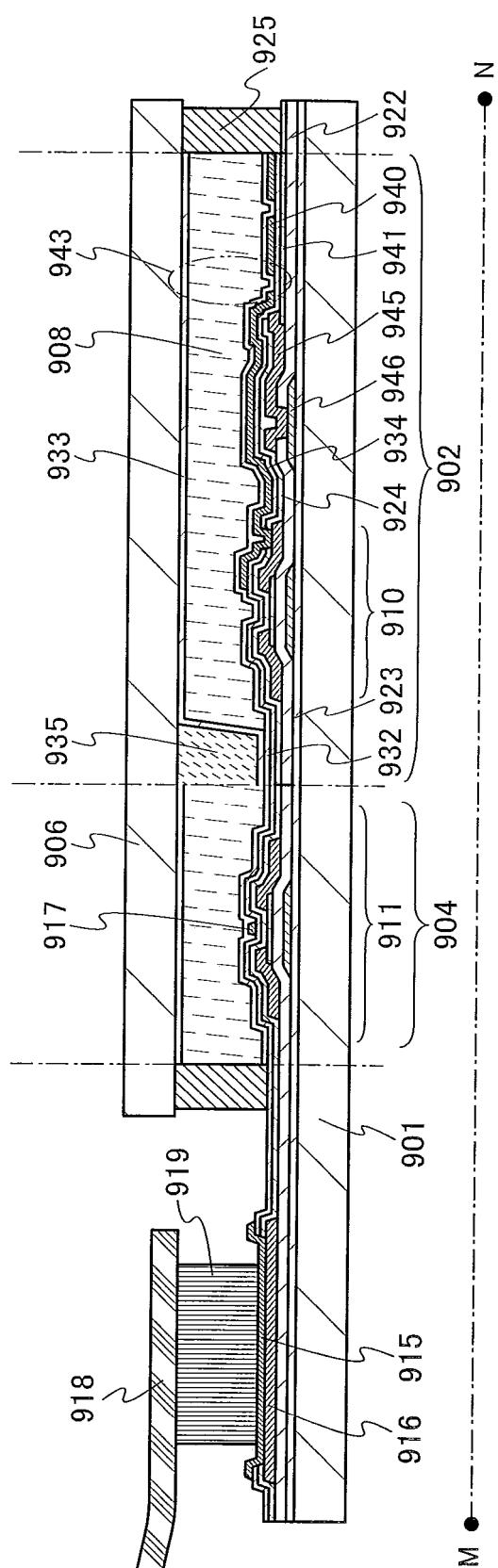


图 22B

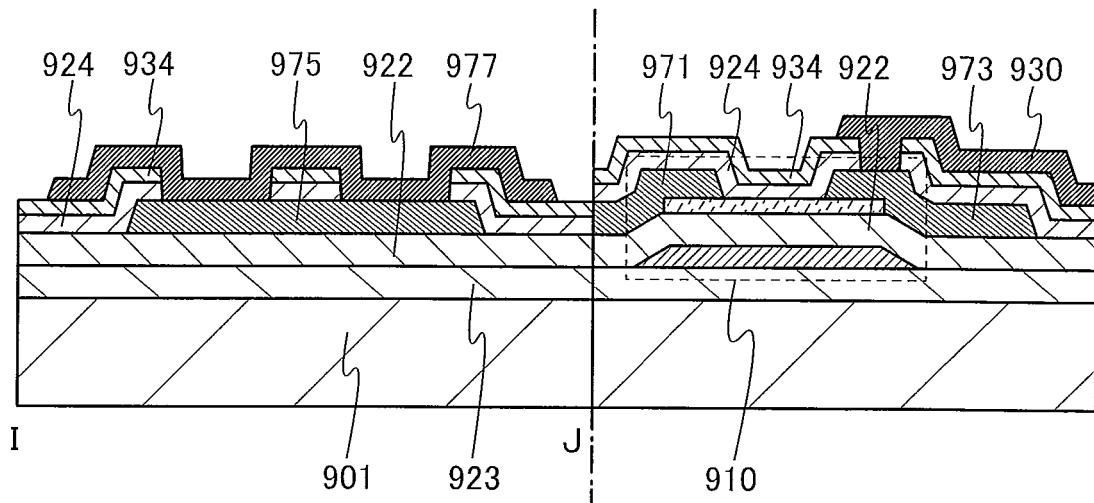


图 23A

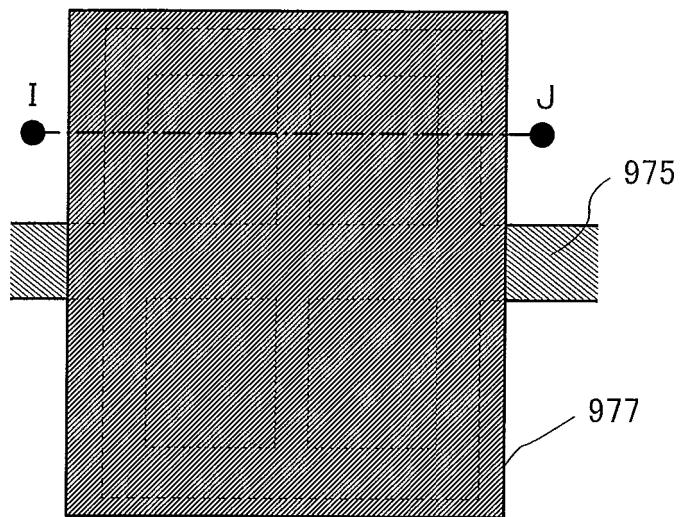


图 23B

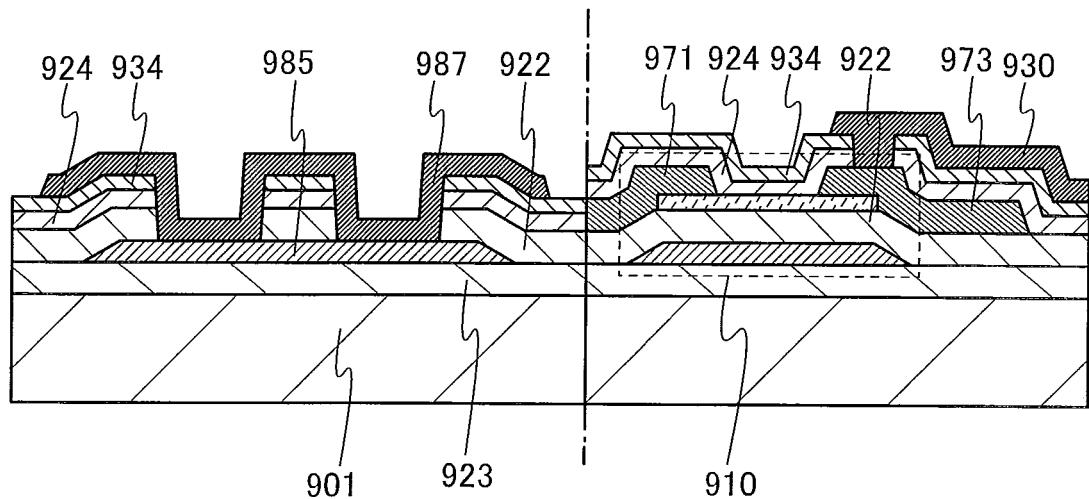


图 23C

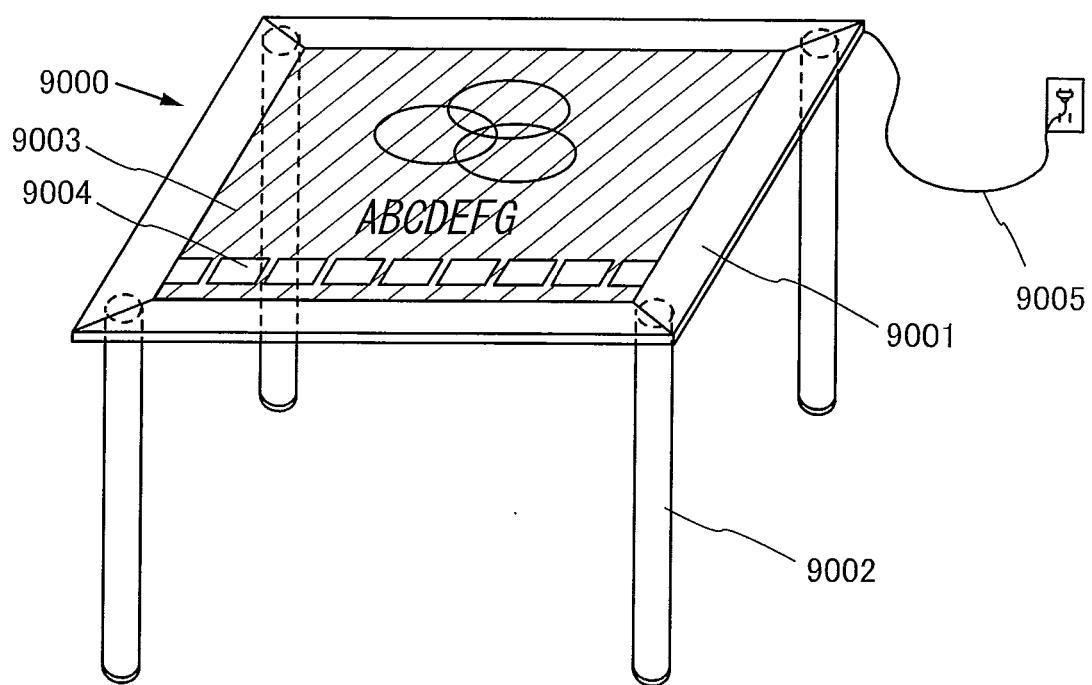


图 24A

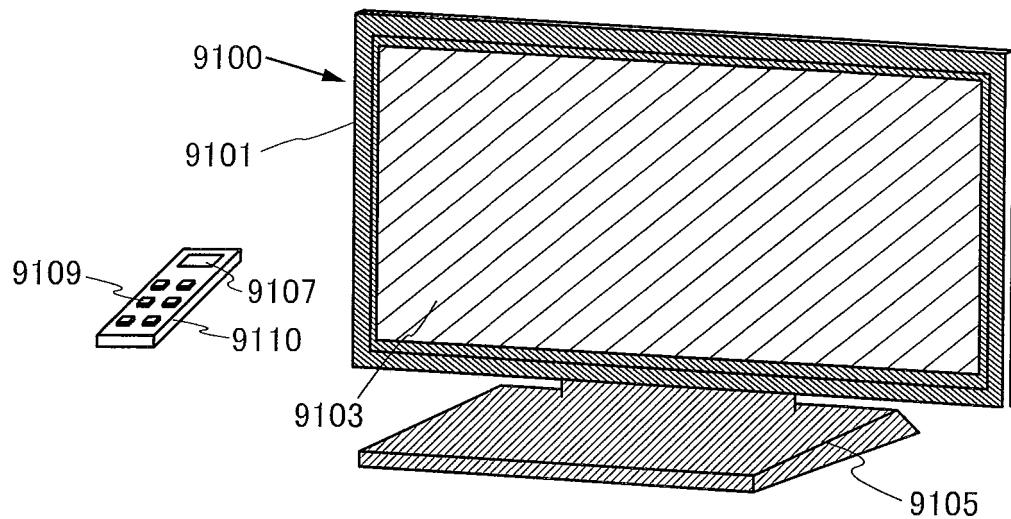


图 24B

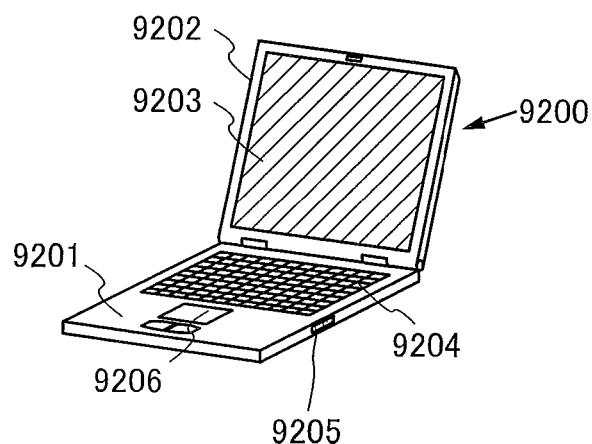


图 24C

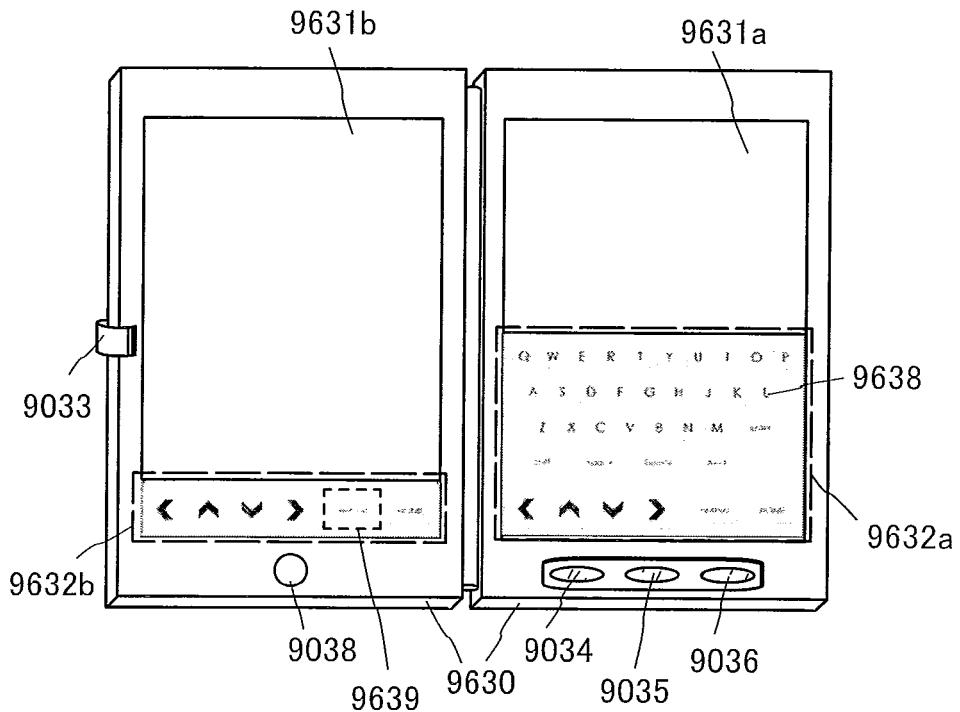


图 25A

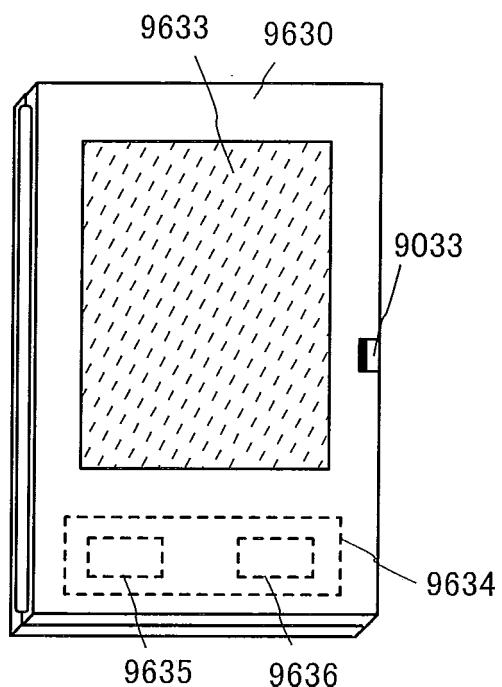


图 25B

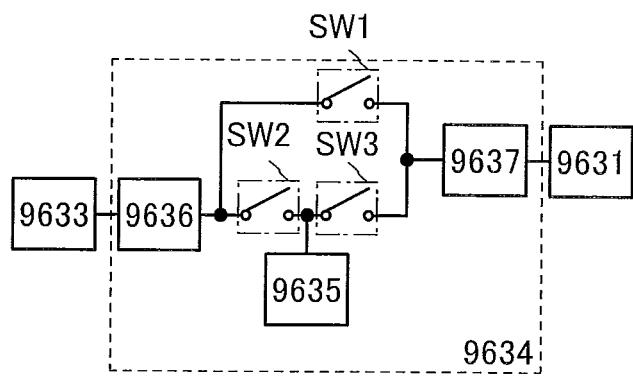


图 25C

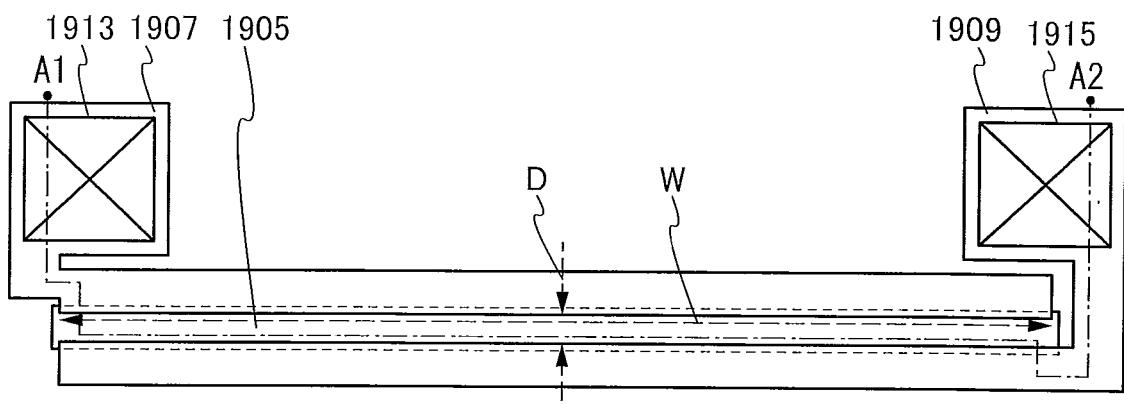


图 26A

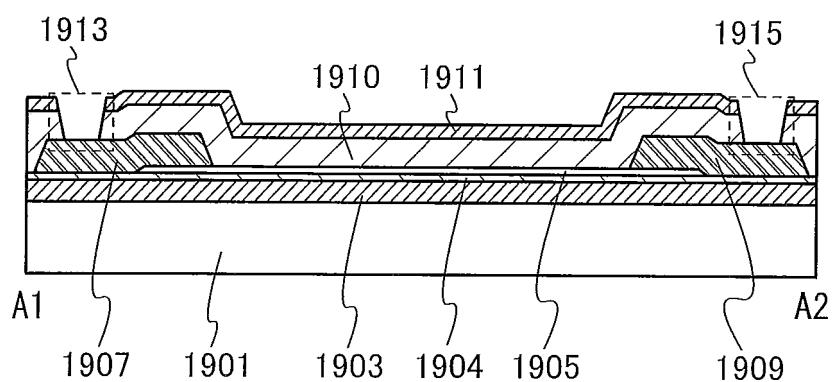


图 26B

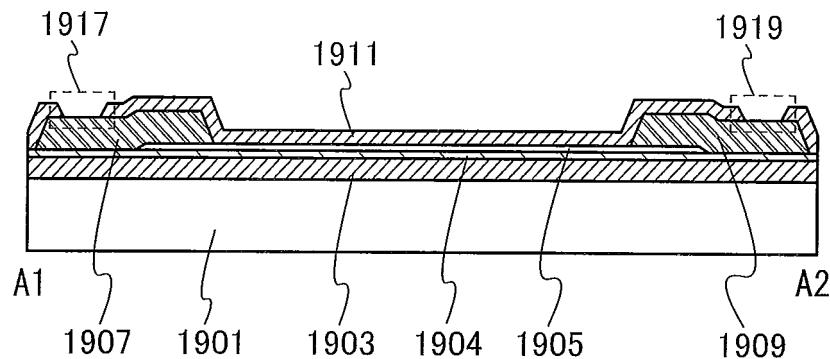


图 26C

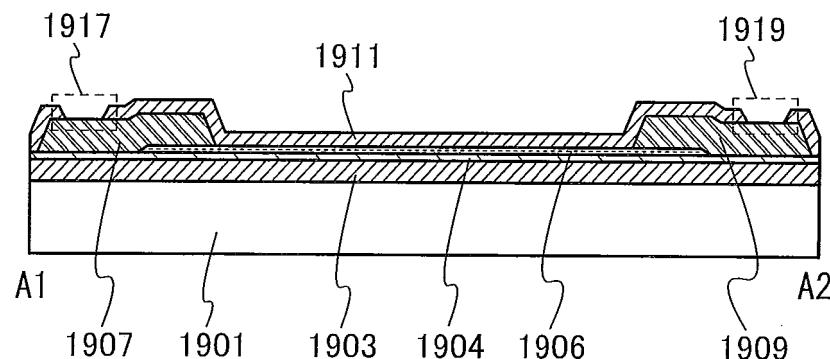


图 26D

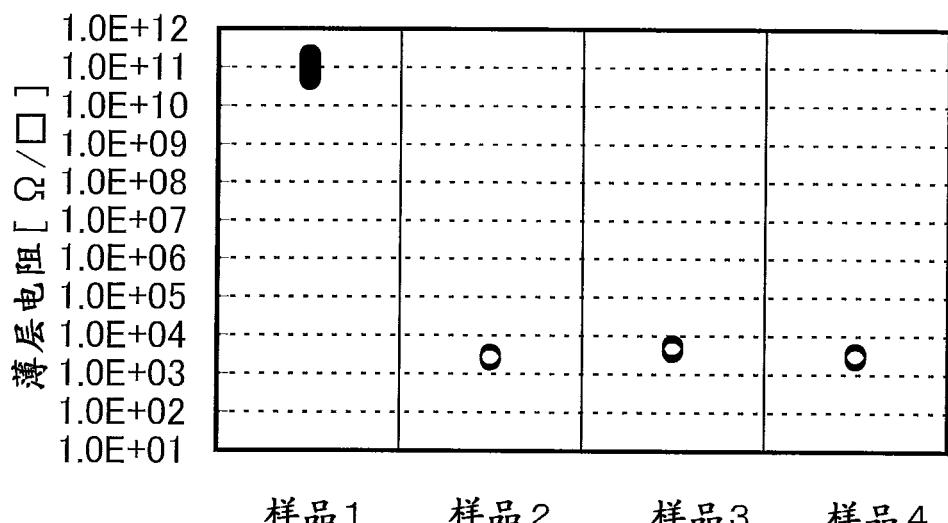


图 27

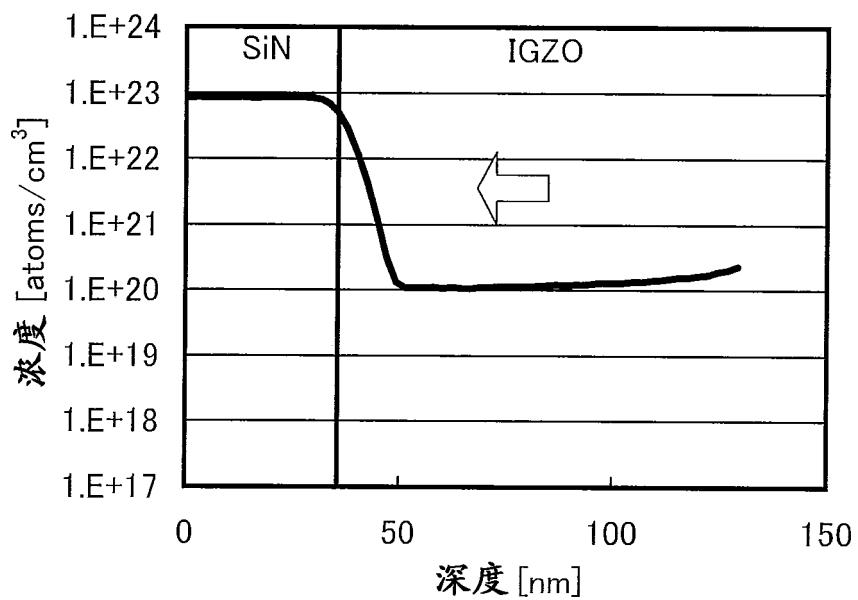


图 28A

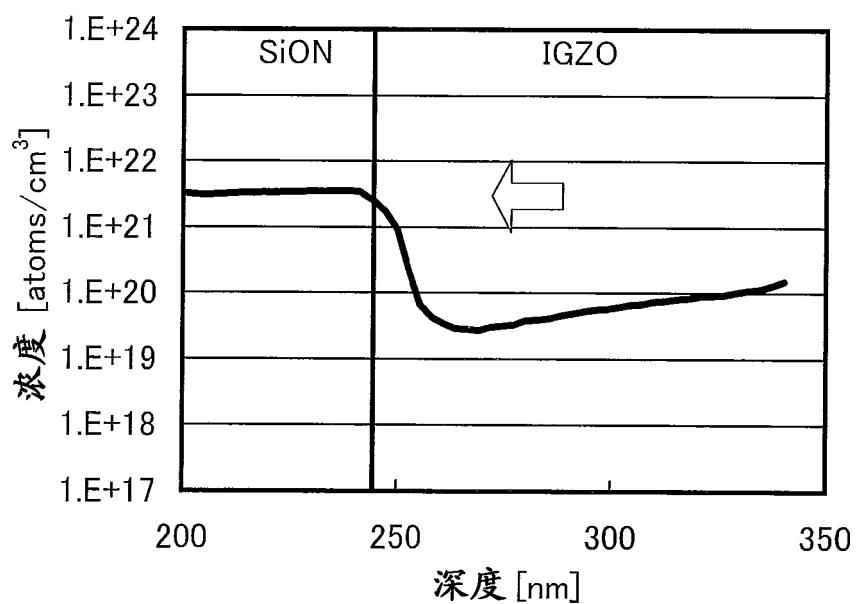


图 28B

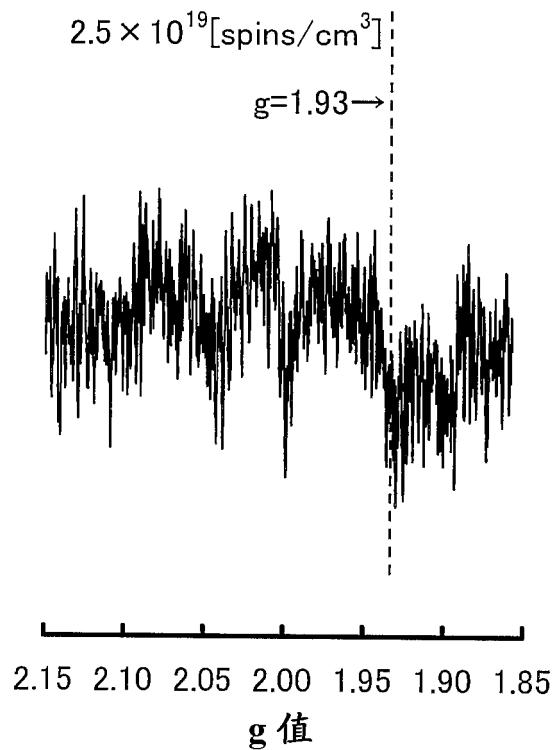


图 29A

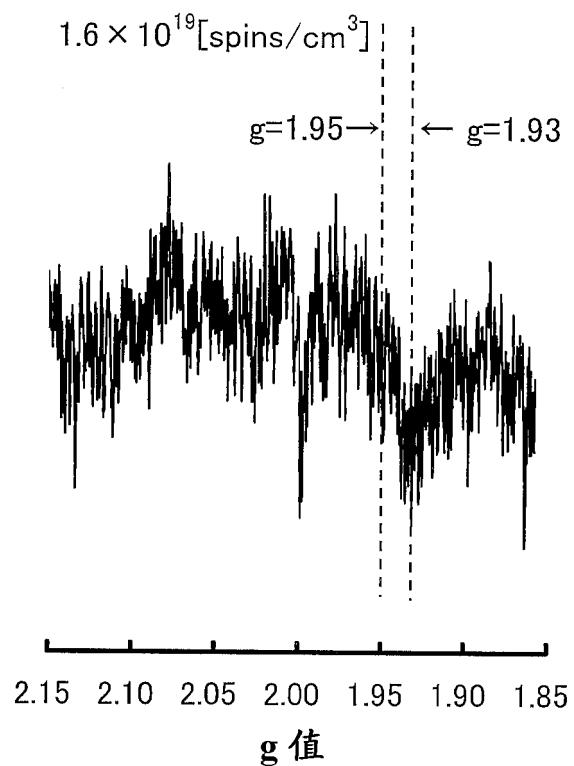


图 29B

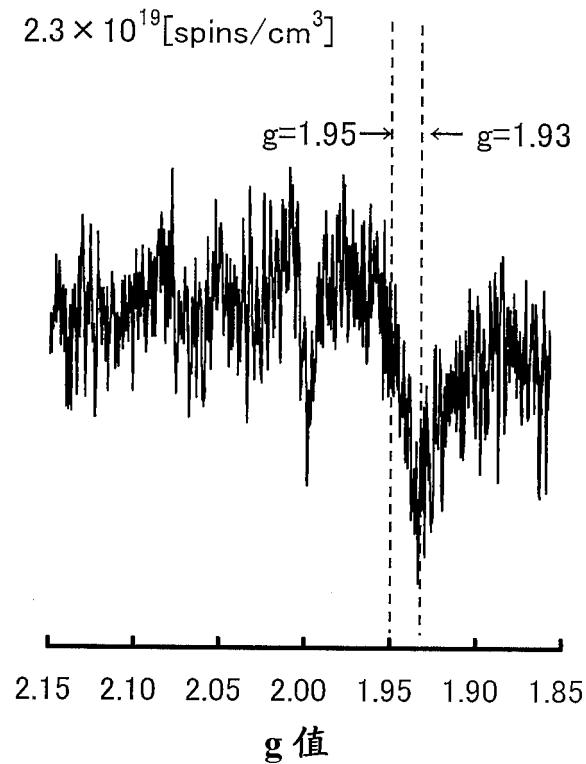


图 29C

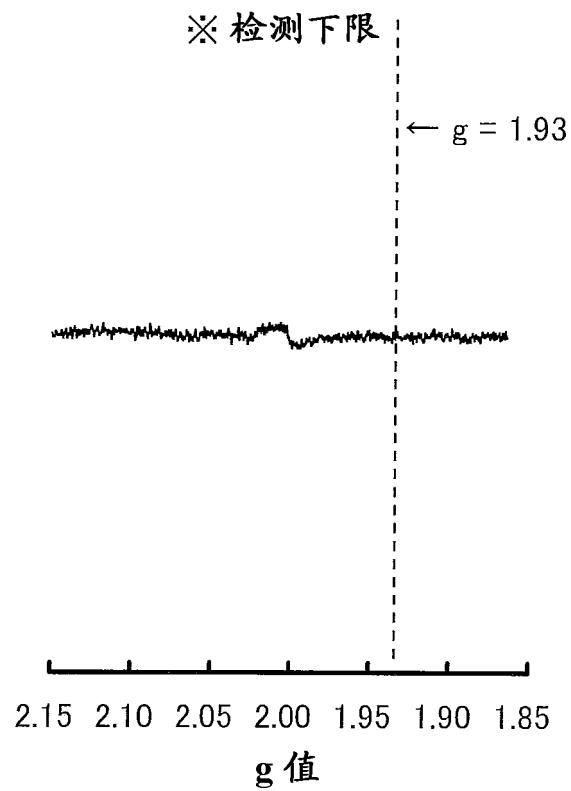


图 30

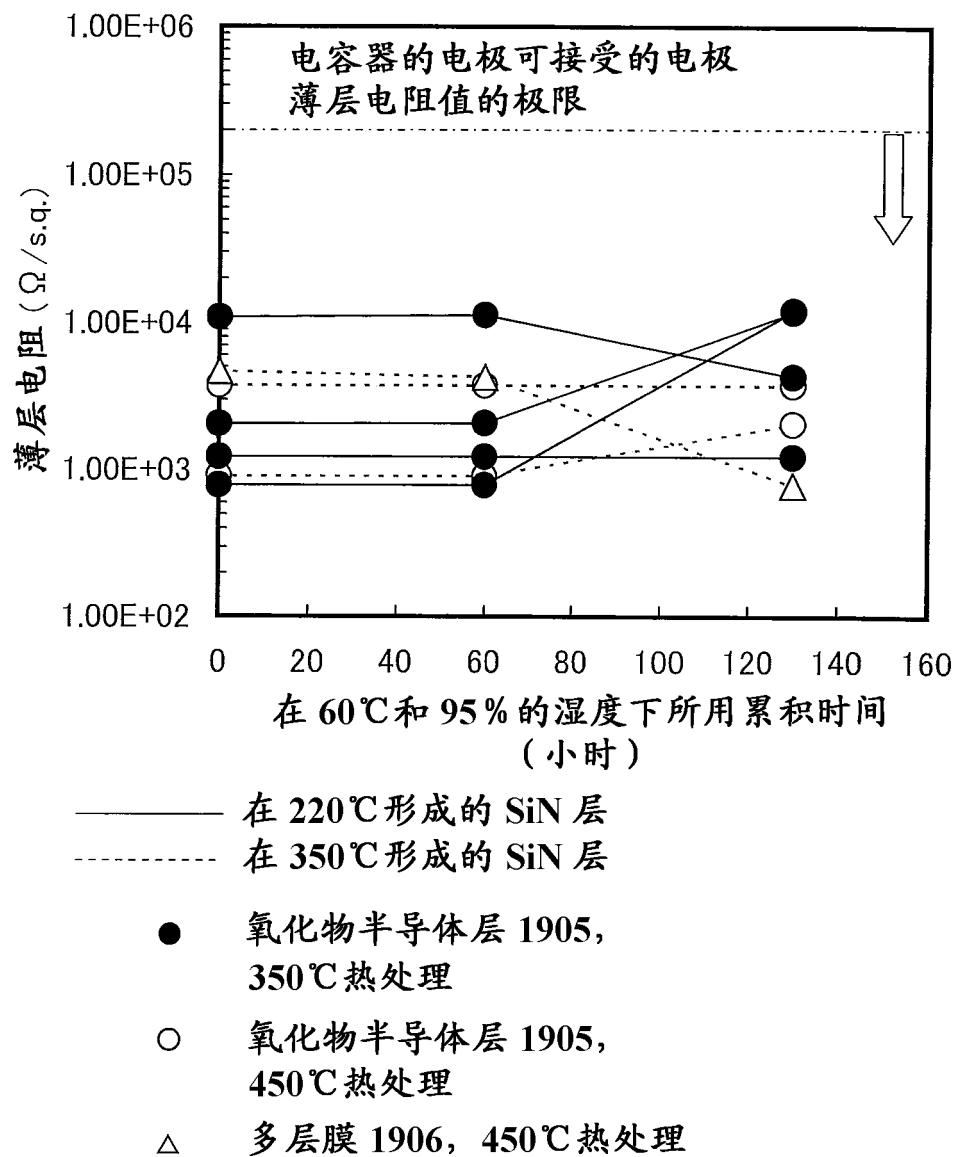
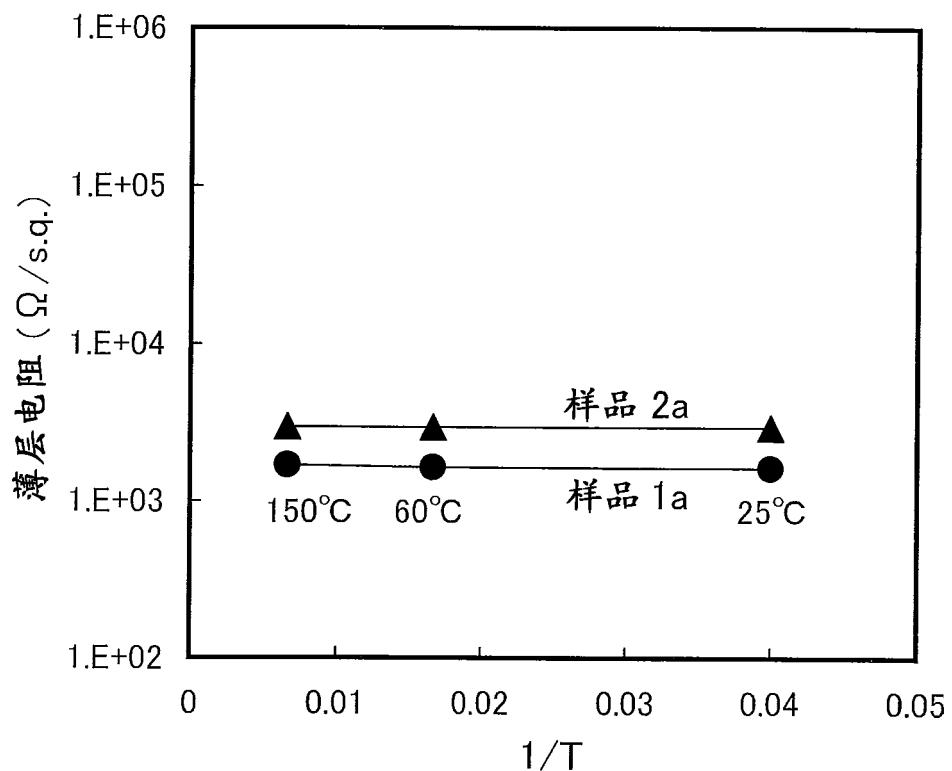


图 31



- 在 220℃ 形成的 SiN 层
- 氧化物半导体层 1905,
350℃ 热处理
 - ▲ 多层膜 1906,
350℃ 热处理

图 32

图 33A

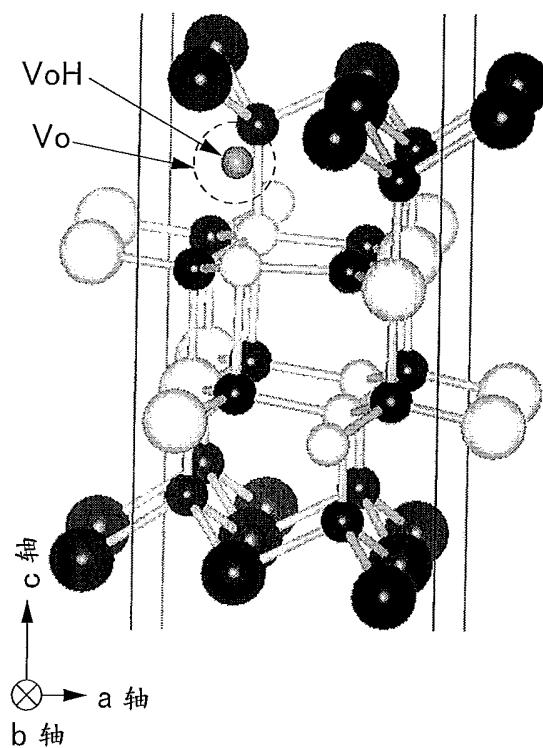


图 33B

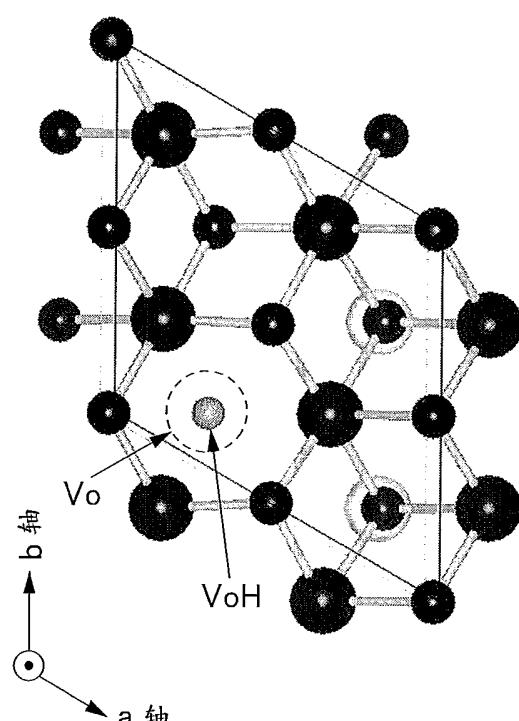


图 33C

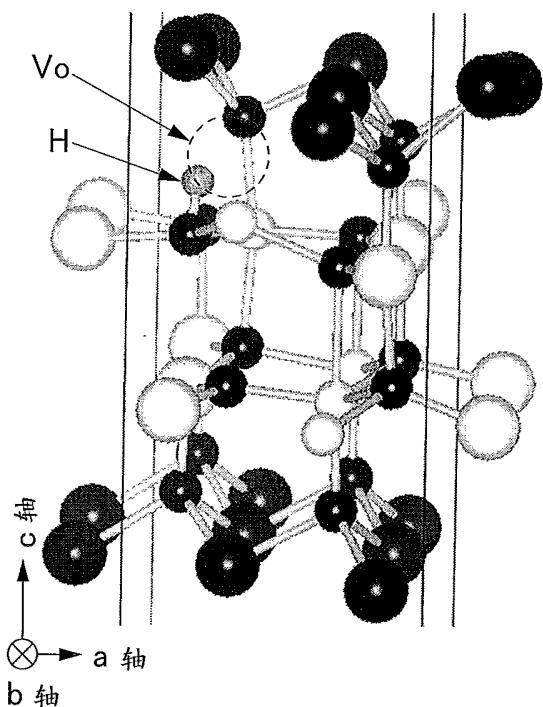
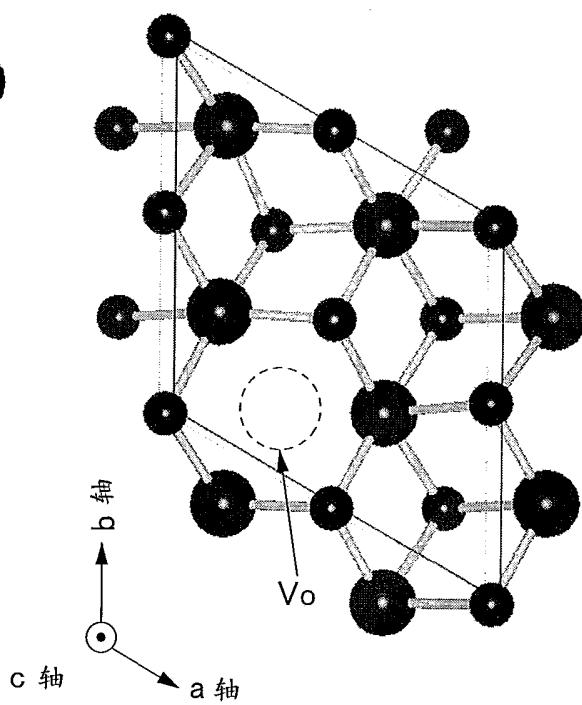


图 33D



● In

○ Ga

○ Zn

● O

● H

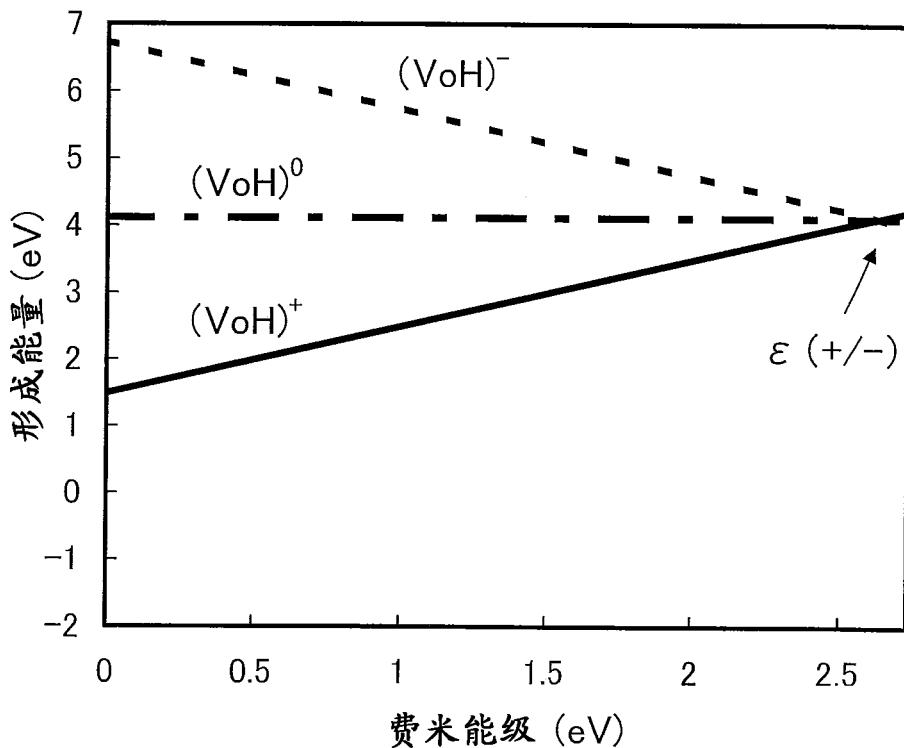


图 34A

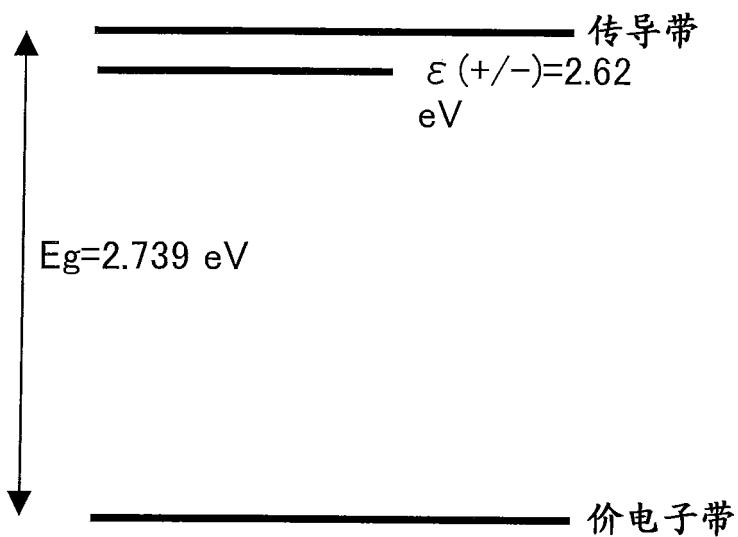


图 34B

(工序)	样品 5	样品 6	样品 7	样品 8	样品 9
S8			是		
S7			↑ 是	↑ ↑	↑ ↑
S6			↑ ↑ ↑ ↑	↑ ↑ ↑	↑ 是 ↑
S5	否		是 (350°C 1hr @ N2+O2)		
S4			↑ ↑	↑ ↑	↑ ↑
S3			是 ↑ ↑ ↑	↑ ↑	↑ ↑
S2	否		是 (450°C 1hr @ N2 → 450°C 1hr @ N2+O2)		
S1			是		

图 35A

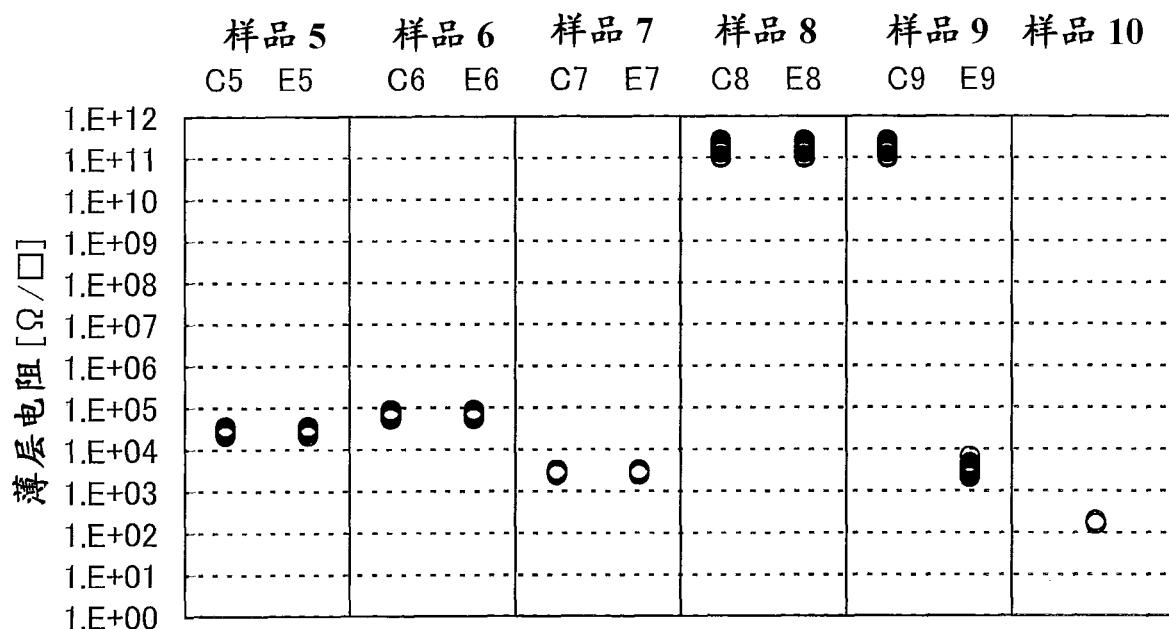


图 35B

样品 5, 样品 6

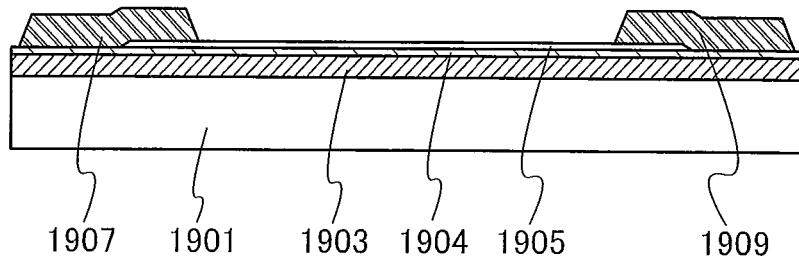


图 36A

样品 7

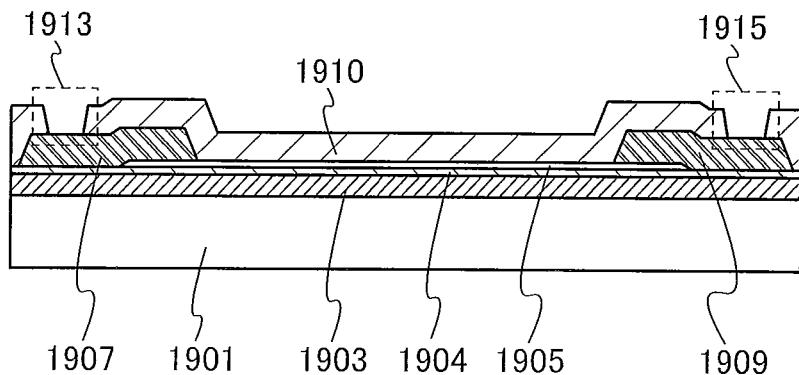


图 36B

样品 8

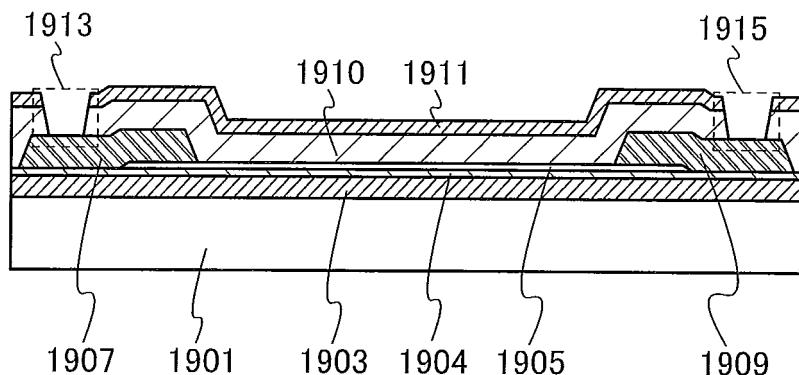


图 36C

样品 9

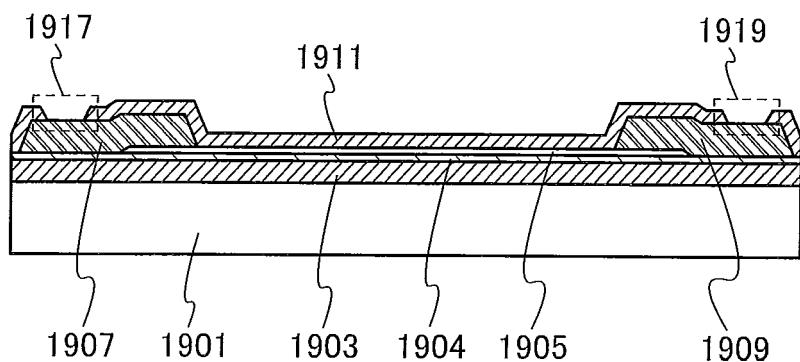


图 36D

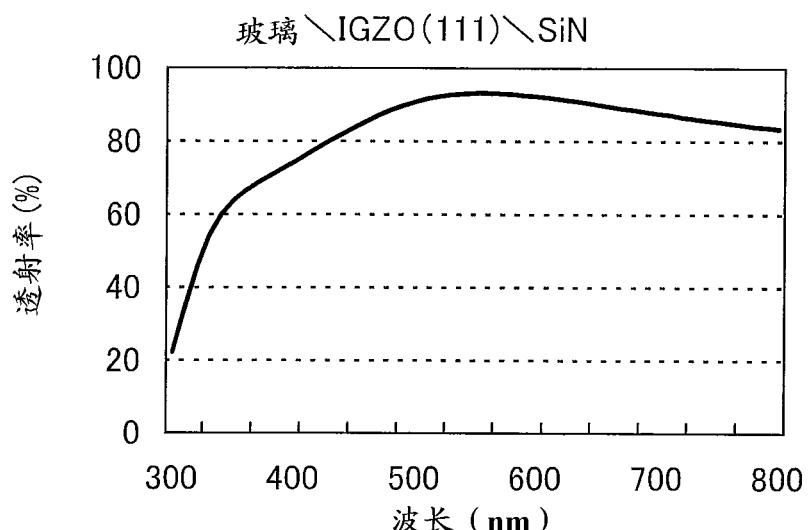


图 37A

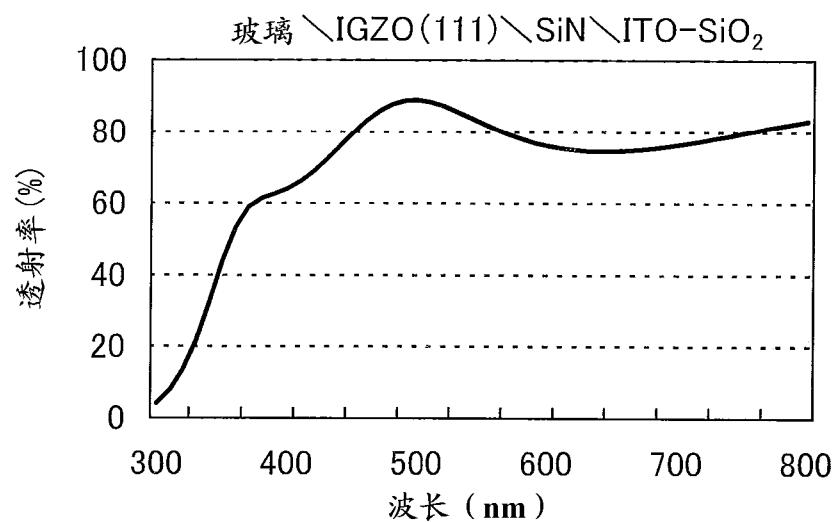


图 37B

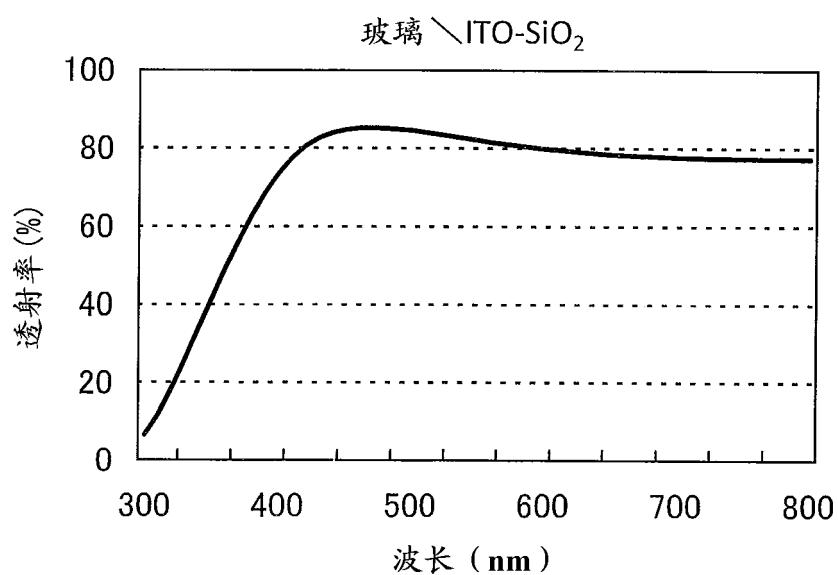


图 37C