

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>  
H03K 3/02  
H03K 19/00



# [12] 发明专利说明书

[21] ZL 专利号 98100820.8

[45] 授权公告日 2003 年 7 月 16 日

[11] 授权公告号 CN 1114991C

[22] 申请日 1998.2.16 [21] 申请号 98100820.8

[30] 优先权

[32] 1997. 2. 14 [33] JP [31] 47191/1997

[71] 专利权人 日本电气株式会社

地址 日本国东京都

[72] 发明人 山田和志

[56] 参考文献

JP5 - 167073A 1993.07.02 H03K302  
JP59 - 86326A 1984.05.18 H03K302  
JP7 - 106579A 1995.04.21 H01L29788

审查员 张 璇

[74] 专利代理机构 中科专利商标代理有限责任公  
司

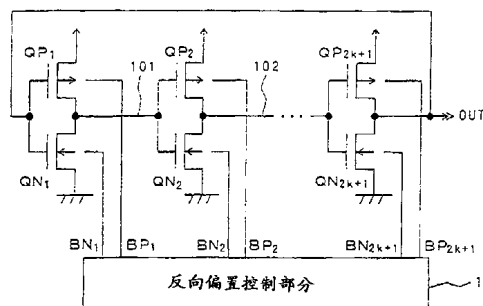
代理人 汪惠民

权利要求书 2 页 说明书 12 页 附图 14 页

[54] 发明名称 振荡电路及延迟电路

[57] 摘要

一种振荡电路为小面积可控制振荡频率、占空比、相位的振荡电路和一种延迟电路为可控制延迟时间、上升沿时间、下降沿时间的延迟电路。该电路是构成环形振荡器或串联连接的逻辑门电路的 MOS 晶体管的阱(在 SOI 器件上的沟道区和反相栅)分别电隔离,由分别连接可变偏置电压产生电路的输出改变阱电位。因此,各 MOS 晶体管的阈值可改变,可个别控制驱动电流能力。



ISSN 1008-4274

1.一种振荡电路，由MOS集成电路构成，所述振荡电路包括环形振荡器、反向偏置控制部分；其特征在于：

所述环形振荡器由多段倒相器构成，且最终段倒相器的输出端反馈到最初段倒相器的输入端；所述倒相器由多个MOS晶体管构成，所述各MOS晶体管分别形成在多个第一导电类型的半导体阱区内和多个第二导电类型的半导体阱区内，并且所述各半导体阱区相互电隔离；

相同导电类型的阱连接反向偏置控制部分，从而控制每个MOS晶体管的阈值电压，进而控制各个逻辑门电路的电流驱动能力、振荡频率、占空比及相位。

2.根据权利要求1所述的振荡电路，其特征在于：所述MOS晶体管具有SOI层结构。

3.根据权利要求1所述的振荡电路，其特征在于：所述MOS晶体管具有SOI层结构，构成环形振荡器的各MOS晶体管的沟道区之下埋入绝缘膜，并设置由反向偏置控制部端子与各MOS晶体管的SOI层的下部形成的反向栅。

4.一种延迟电路，由MOS集成电路构成，其特征在于：

所述延迟电路包括构成多段串联连接的倒相器，所述倒相器由多个MOS晶体管构成，所述多个MOS晶体管分别形成在多个第一导电类型的半导体阱区内和多个第二导电类型的半导体阱区内，所述各第一导电类型的半导体阱区相互电隔离，并且所述各第二导电类型的半导体阱区相互电隔离，而且所述各第一导电类型的半导体阱区与各第二导电类型的半导体阱区也电隔离；

相同导电类型的阱连接反向偏置控制部分，从而控制每个MOS晶体管的阈值电压，进而控制各个逻辑门电路的电流驱动能力，可控制延迟时间、上升沿时间、下降沿时间。

5.根据权利要求4所述的延迟电路，其特征在于：所述MOS晶体管具有SOI层结构。

---

6.根据权利要求4所述的延迟电路,其特征在于:所述MOS晶体管具有SOI层结构,形成所述倒相器的各MOS晶体管的沟道区之下埋入绝缘膜,并设置由反向偏置控制部端子与各MOS晶体管的SOI层的下部形成的反向栅。

## 振荡电路及延迟电路

### 技术领域

本发明涉及在半导体集成电路中可集成化的，可改变振荡频率、占空比、相位的振荡电路和可改变延迟时间、上升沿时间、下降沿时间的延迟电路。

### 背景技术

作为能够得到振荡频率、占空比可改变的振荡信号的以往的振荡电路，以特开昭 59—86326 号公报所公开的振荡电路为例，说明如下。

图 12 是表示以往的振荡电路的一例电路构成图。参照图 12，对构成环形振荡器的奇数级的倒相器群  $INV_1$ 、 $INV_2$ 、 $\dots$ 、 $INV_{2K+1}$  ( $K$  是 1 以上的整数) 的电源端子、分别连接源极是连接电源的控制用 PchMOS (P 沟道金属-氧化物-半导体) 晶体管的晶体管群  $TP_1$ 、 $TP_2$ 、 $\dots$ 、 $TP_{2K+1}$  的漏极，在上述倒相器群的接地端子构成连接分别使源极接地的控制用 Nch MOS 晶体管群  $TN_1$ 、 $TN_2$ 、 $\dots$ 、 $TN_{2K+1}$  的漏极。

栅极电位控制部分 2 输出符合期望的振荡频率、占空比的栅极电位控制信号  $GP_1$ 、 $GP_2$ 、 $\dots$ 、 $GP_{2K+1}$ 、 $GN_1$ 、 $GN_2$ 、 $\dots$ 、 $GN_{2K+1}$ 、这些信号分别被加到控制用 MOS 晶体管  $TP_1$ 、 $TP_2$ 、 $\dots$ 、 $TP_{2K+1}$ 、 $TN_1$ 、 $TN_2$ 、 $\dots$ 、 $TN_{2K+1}$  的栅极。

接着，说明该以往振荡电路的动作。在图 12 中，控制用 PchMOS 晶体管  $TP_1$  的导通电阻  $R_{ON}$  作为在晶体管  $TP_1$  非饱和区域的动作，下面在式 (1) 中给出。

$$R_{ON} = \{ \beta (V_{GS} - V_{th} - V_{DS}/2) \}^{-1} \dots (1)$$

其中， $\beta$  是放大系数， $V_{GS}$  是栅极、源极间电压， $V_{DS}$  是源极、漏极间电压， $V_{th}$  是阈值电压。

这是在倒相器  $INV_1$  的电源端子和电源间提供电阻  $R_{ON}$ ，与通过栅极

电位控制部分 2 的输出电压  $GP_1$ ，控制倒相器  $INV_1$  的电流驱动能力是等效的。关于其他的控制晶体管也是同样的原理，由栅极电位控制部分 2 的输出电压，可控制构成环形振荡器的各级的逻辑门电路的电流驱动能力，能够改变振荡频率、占空比。

具体说来，在振荡频率高时，由于也可提高各级的逻辑门电路的电流驱动能力，栅极电位控制部分 2 的输出中  $GP_1$ 、 $GP_2 \cdots GP_{2K+1}$ 、的电位降低、 $GN_1$ 、 $GN_2$ 、 $\cdots GN_{2K+1}$  的电位升高。

另外，加大占空比时，奇数级的逻辑门电路的输出的下降沿速度和偶数级的逻辑门电路输出的上升沿的速度是迟缓的，并且，最好奇数级的逻辑门电路的输出的上升沿速度和偶数级的逻辑门电路的输出的下降沿速度快。因此，最好降低输入栅极电位控制部分 2 的输出中的奇数级的逻辑门电路的  $GP_1$ 、 $GN_1$ 、 $GP_3$ 、 $GN_3 \cdots$ 、 $GP_{2K+1}$ 、 $GN_{2K+1}$  的电位，升高输入偶数级的逻辑门电路的  $GP_2$ 、 $GN_2$ 、 $GP_4$ 、 $GN_4 \cdots$ 、 $GP_{2K}$ 、 $GN_{2K}$  的电位。

下面，图 13 及图 14 表示以往使用的延迟电路的例子。

图 13 所示的延迟电路是用串联连接的  $j$  级的倒相器列 ( $j$  是 2 以上的偶数) 构成。各倒相器是由沿源极、漏极方向 3 级串联连接的 NchMOS (N 沟道金属-氧化物-半导体) 晶体管和由沿源极、漏极方向 3 级串联连接的 PchMOS 晶体管分别构成。各倒相器的电流驱动能力由于分别与串联晶体管的导通电阻的和成反比，通过将三个晶体管串联连接的一个 Nch (N 沟道) 晶体管和一个 Pch (P 沟道) 晶体管构成的倒相器相比，电流驱动能力降低。加之，由于驱动各倒相器的容量是次级的倒相器的选通容量，因此，各倒相器用六个晶体管构成的分次级的容量增加。还有，由于晶体管串联连接，利用反向偏置效应晶体管  $TN_{an}$ 、 $TP_{an}$  ( $1 \leq n \leq j$ ) 的阈值，分别比  $TN_{cn}$ 、 $TP_{cn}$  高。用以上三个效果，可得到较大的延迟。

图 14 所示的第二个以往的延迟电路也同样是用串联连接  $j$  级的倒相器列 ( $j$  是 2 以上的偶数) 构成的。但是，奇数级的倒相器是由沿源极、漏极方向三级串联连接的 NchMOS 晶体管 (例如  $TNa_1$ 、 $TNb_1$ 、 $TNc_1$ ) 和一个 PchMOS 晶体管 ( $TP_{a1}$ ) 构成，偶数级的倒相器是由一个 NchMOS

晶体管（例如 TN2）和由沿源极、漏极方向三级串联连接的 PchMOS 晶体管（例如 TP<sub>a2</sub>、TP<sub>b2</sub>、TP<sub>c2</sub>）构成。作为例外，使用了为整理最终级倒相器波形的单纯倒相器（TP<sub>aj</sub>、TN<sub>aj</sub>）。

用该构成，奇数级倒相器的输出下降沿变慢，输出上升沿变快，偶数级倒相器的输出上升沿变慢，输出下降沿变快。因此，向图 14 的 IN 端子（输入端子）输入上升沿信号时，到向 OUT 端子（输出端子）输出下降沿信号为止，增加了较长的延迟时间，当向 IN 端子输入下降沿信号时，OUT 端子就输出下降沿信号。

可是，图 12 所示的构成的以往的振荡电路用单纯的倒相器形成的环形振荡器时相比，仅控制用晶体管的导通电阻部分减少电流驱动能力。在该振荡电路中，由于通过形成环形振荡器的各逻辑门电路的最大电流驱动能力限制振荡频率、占空比的变动幅度，不得不加大控制用 MOS 晶体管和倒相器的选通宽度。因此，在工作频率高时，特别加大选通宽度，也就是说，必须加大振荡电路的面积。

同样，延迟电路也由多个晶体管串联连接的倒相器构成，由于将各倒相器多级串联连接，面积变大。

而且，以往的延迟电路，在电路设计时，一旦设定了延迟时间，其后的制造误差以及根据工作时的电源电压变动和温度变化的延迟时间停止变动，在工作时没有补偿时间延迟的手段。

## 发明内容

因此，本发明鉴于上述各点，其目的是提供用小面积能够控制振荡频率、占空比、相位的振荡电路和用小面积能够控制延迟时间、上升沿时间、下降沿时间的延迟电路。

为了达到上述目的，本发明的振荡电路，通过调节构成环形振荡器的各晶体管的反向偏置，由此，控制振荡频率、占空比、相位。

较详细地说，本申请的第一发明的振荡电路，其特征在于：所述环形振荡器由多段倒相器构成，且最终段倒相器的输出端反馈到最初段倒相器的输入端；所述倒相器由多个 MOS 晶体管构成，所述各 MOS 晶体管分别形成在多个第一导电类型的半导体阱区内和多个第二导电类型的

半导体阱区内，并且所述各半导体阱区相互电隔离；

相同导电类型的阱连接反向偏置控制部分，从而控制每个 MOS 晶体管的阈值电压，进而控制各个逻辑门电路的电流驱动能力、振荡频率、占空比及相位。

上述振荡电路中，所述 MOS 晶体管具有 SOI 层结构。

上述振荡电路中，所述 MOS 晶体管具有 SOI 层结构，构成环形振荡器的各 MOS 晶体管的沟道区之下埋入绝缘膜，并设置由反向偏置控制部端子与各 MOS 晶体管的 SOI 层的下部形成的反向栅。

本申请的第二发明的延迟电路，其特征在于：所述延迟电路包括构成多段串联连接的倒相器，所述倒相器由多个 MOS 晶体管构成，所述多个 MOS 晶体管分别形成在多个第一导电类型的半导体阱区内和多个第二导电类型的半导体阱区内，所述各第一导电类型的半导体阱区相互电隔离，并且所述各第二导电类型的半导体阱区相互电隔离，而且所述各第一导电类型的半导体阱区与各第二导电类型的半导体阱区也电隔离；

相同导电类型的阱连接反向偏置控制部分，从而控制每个 MOS 晶体管的阈值电压，进而控制各个逻辑门电路的电流驱动能力，可控制延迟时间、上升沿时间、下降沿时间。

上述延迟电路中，所述 MOS 晶体管具有 SOI 层结构。

上述延迟电路中，所述 MOS 晶体管具有 SOI 层结构，形成所述倒相器的各 MOS 晶体管的沟道区之下埋入绝缘膜，并设置由反向偏置控制部端子与各 MOS 晶体管的 SOI 层的下部形成的反向栅。

还有，本申请的半导体器件，其特征是根据本申请第一发明所述的振荡电路所制造的半导体器件，具有个别调节构成环形振荡器的奇数级的倒相器列中的各晶体管的反向偏置的电路，可控制振荡电路的振荡频率、占空比，相位。

还有，本申请的半导体器件，其特征是根据本申请第二发明所述的延迟电路所制造的半导体器件，具有个别调节构成偶数级串联连接的倒相器列中的各晶体管的反向偏置的电路，可控制延迟电路的延迟时间、上升沿时间、下降沿时间。

## 附图说明

下面简要说明附图。

图 1 是说明本发明振荡电路实施例的构成图。

图 2 是本发明振荡电路第一实施例的重要部分的配置俯视图。

图 3 是说明本发明振荡电路第一实施例的构成的剖面图，(a) 是图 2 沿 Y—Y' 时的剖面图，(b) 是图 2 沿 X—X' 时的剖面图。

图 4 是在本发明振荡电路实施例中提高振荡频率时的波形图。

图 5 是在本发明振荡电路实施例中加大占空比时的波形图。

图 6 是在本发明振荡电路实施例中向前移动相位时的波形图。

图 7 是本发明振荡电路第二实施例的重要部分配置俯视图。

图 8 是为说明本发明振荡电路第二实施例构成的剖面图，(a) 是图 7 沿 Y—Y' 的剖面图，(b) 是图 7 沿 X—X' 的剖面图。

图 9 是本发明振荡电路第三实施例的重要部分配置的俯视图。

图 10 是为说明本发明振荡电路第三实施例的构成的剖面图，(a) 是图 9 沿 Y—Y' 的剖面图，(b) 是图 9 沿 X—X' 的剖面图。

图 11 是为说明本发明延迟电路一实施例的构成图。

图 12 是为说明以往振荡电路一例的构成图。

图 13 是为说明以往延迟电路一例的构成图。

图 14 是为说明以往延迟电路另一例的构成图。

符号说明：

1——反向偏置控制部分；2——栅极电位控制部分；3——P 型半导体基片；4——绝缘膜；5——深层 N 阱；6——半导体基片；11、12——栅极电极；21、22——P 形扩散层；31、32——N 形扩散层；41、42——N 阱；51、52——P 阱；61、62、71、72——SOI 层；81、82、91、92——反向栅极；101、102——配线；QP<sub>1</sub>、QP<sub>2</sub>…、QP<sub>2K+1</sub>——P 形 MOS 晶体管；QN<sub>1</sub>、QN<sub>2</sub>、…、QN<sub>2K+1</sub>——N 形 MOS 晶体管；TP<sub>1</sub>、TP<sub>2</sub>、…、TP<sub>2K+1</sub>——P 形 MOS 晶体管；TN<sub>1</sub>、TN<sub>2</sub>、…、TN<sub>2K+1</sub>——N 形 MOS 晶体管；OUT——输出端子；BP<sub>1</sub>、BP<sub>2</sub>、…、BP<sub>2K+1</sub>——PchMOS 反向偏置控制端子；BN<sub>1</sub>、BN<sub>2</sub>、…、BN<sub>2K+1</sub>——NchMOS 反向偏置控制端子；GP<sub>1</sub>、GP<sub>2</sub>、…、GP<sub>2K+1</sub>——PchMO 栅极电位控制

端子；GN<sub>1</sub>、GN<sub>2</sub>、…、GN<sub>2K+1</sub>——NchMO 栅极电位控制端子。

### 具体实施方式

以下说明本发明理想的实施例。本发明的振荡电路，在其理想的实施例中，通过调节构成环形振荡器的各晶体管的反向偏置，由此，控制振荡频率、占空比、相位。较详细说就是，在大容量 CMOS（互补型金属氧化物晶体管）中，以阱作为每个晶体管的电隔离（图 2、图 3 的 41、42、51、52）具有可对各阱提供个别控制电压的手段（图 1 的反向偏置控制部分 1）。

并且，用部分耗尽型 SOI，代替阱，对各晶体管的沟道区（图 7、图 8 的 61、62、71、72）提供控制电压。

另外，用完全耗尽型 SOI，代替阱，对各晶体管的反向栅（图 9、图 10 的 81、82、91、92）提供控制电压。

还有，本发明的延迟电路，理想的实施形式，通过调节偶数级串联连接的构成倒相器列的各晶体管的反向偏置，控制延迟时间、上升沿时间、下降沿时间。具体地说，就是在大容量 CMOS 中，以阱作为每个晶体管的电隔离，具有可对各阱提供个别控制电压的手段（图 11 的反向偏置控制部分 1）。

并且，用部分耗尽型 SOI，代替阱，对各晶体管的沟道区提供控制电压。

另外，用完全耗尽型 SOI，代替阱，对各晶体管的反向栅提供控制电压。

本发明的振荡电路理想的实施形式，使用反向偏置控制部分（图 1 的 1），可设定降低构成环形振荡器的各 Pch 晶体管的 N 阱的电位，升高各 Nch 晶体管的 P 阱的电位。因此，各晶体管的阈值  $N_{th}$  降低，环形振荡器各级的电流驱动能力提高，可提高振荡频率（参照图 4）。

反之，当降低振荡频率时，提高 N 阱的电位，降低 P 阱的电位即可。

并且，使用反向偏置控制部分（图 1 的 1），可降低环形振荡器的奇数级的逻辑门电路的阱的电位，升高偶数级的逻辑门电路的阱的电位。因此，输出信号的上升沿变快速，下降沿变迟缓，能够加大占空比（参

照图 5)。

反过来，在缩小占空比时，最好升高奇数级的逻辑门电路的 P 阱的电位，降低偶数级的逻辑门电路的 N 阱的电位。

还有，使用反向偏置控制部分（图 1 的 1）时，可使所述振荡频率变化。例如，仅在周期开始短时间暂时地提高振荡频率，通过再次返回原频率，可超前移动输出信号的相位（参照图 6）。

反之，相位延迟时，暂时减小振荡频率，再次返回原频率即可。

还有，本发明的延迟电路，在理想的实施形式中，可降低用反向偏置控制部分的多级串联连接的构成倒相器列的各  $N_{ch}$  晶体管的 P 阱的电位，升高各  $P_{ch}$  晶体管的 N 阱的电位。因此，可升高各晶体管的阈值  $N_{th}$ ，加大各倒相器的电流驱动能力，减小延迟时间。当延迟时间小时，升高 P 阱的电位，降低 N 阱的电位即可。

另外，能够设定降低使用反向偏置控制部的倒相器列的奇数级的逻辑门电路的 P 阱的电位，升高偶数级的逻辑门电路的 N 阱的电位。因此，可使输入上升沿信号时的延迟时间变长，使输入下降沿信号时的延迟时间变短。

反之，为了使输入下降沿信号时的延迟时间变长，使输入上升沿信号时的延迟时间变短，升高奇数级的逻辑门电路的 P 阱的电位，降低偶数级的逻辑门电路的 N 阱的电位即可。

### 实施例 1

上述的实施形式值得更详细说明，下面，参照附图，说明本发明的实施例。

图 1 是表示本发明一实施例的振荡电路的构成框图。参照图 1，在本实施例中，MOS 晶体管  $QP_1$  和  $QN_1$ 、 $QP_2$  和  $QN_2$ 、 $\dots$ 、 $QP_{2K+1}$  和  $QN_{2K+1}$ （ $K$  是 1 以上的整数）分别形成倒相器，使最终级的倒相器的输出（OUT）反馈到初级的倒相器的输入，通过这些倒相器群构成环形振荡器。还有，P 沟道 MOS 晶体管是用  $QP_i$  表示，N 沟道 MOS 晶体管是用  $QN_i$  表示。

反向偏置控制部分 1 是为输出各种偏置电压的电路，对反向偏置控制端子  $BP_1$ 、 $BN_1$ 、 $BP_2$ 、 $BN_2$ 、 $\dots$ 、 $BP_{2K+1}$ 、 $BN_{2K+1}$ （ $K$  是 1 以上

的整数) 个别供给反向偏置控制电压。例如, 使用加载泵源电路, 使其产生反向偏置控制电压。

构成倒相群的各晶体管  $QP_1$ 、 $QN_1$ 、 $QP_2$ 、 $QN_2$ 、 $\dots$ 、 $QP_{2K+1}$ 、 $QN_{2K+1}$  的分别的阱, 相互电隔离, 对应连接各个反向偏置控制端子  $BP_1$ 、 $BN_1$ 、 $BP_2$ 、 $BN_2$ 、 $\dots$ 、 $BP_{2K+1}$ 、 $BN_{2K+1}$ 。

图 2 是图 1 的环形振荡器的一部分, 是表示晶体管  $QP_1$ 、 $QN_1$ 、 $QP_2$ 、 $QN_2$  的配置俯视图。分别用图 3 (a) 表示沿图 2 的 Y—Y' 切线的剖面图, 用图 3 (b) 表示沿图 2 的 X—X' 切线的剖面图。

参照图 2 及图 3, 在 P 形的半导体基片 3 的上部, 形成 N 阱 41、42 和深层 N 阱 5, 通过基片 3, 相互电隔离。在深层 N 阱 5 的上部形成 P 阱 51、52, 通过深层 N 阱, 相互电隔离。

在 N 阱 41 的表面形成一对 P 形扩散层对 21, 在 N 阱 42 的表面形成一对 P 形扩散层对 22, 在 P 阱 51 的表面形成一对 N 形扩散层对 31, 在 P 阱 52 的表面形成一对 N 形扩散层对 32, 再在阱的上部形成绝缘膜 4。在绝缘膜 4 中, 形成栅极电极 11、12, 在 P 形扩散层对 21 和 N 形扩散层对 31 的止部配置栅极 11, 在 P 形扩散层对 22 和 N 形扩散层对 32 的止部配置栅极电极 12。

反向偏置控制端子  $BP_1$ 、 $BN_1$ 、 $BP_2$ 、 $BN_2$  分别连接 N 阱 41、P 阱 51、N 阱 42、P 阱 52。

下面, 说明本实施例振荡电路的动作。一般使阱的电位改变时, 改变其阱内的 MOS 晶体管的阈值  $V_{th}$  (基片偏置效应)。如图 3 所示, 在本实施例振荡电路的环形振荡器中, 电隔离每个晶体管的阱, 由于可由控制部 1 向各阱提供个别反向偏置控制电压, 每个晶体管阈值  $V_{th}$  的控制是可能的。

那么, 由于可用晶体管的饱和区的电流  $I_{ON}$  [参照下面式 (2)] 决定形成环形振荡器的各逻辑门电路的电流驱动能力, 通过控制阈值  $V_{th}$ , 可控制各逻辑门电路的电流驱动能力。

$$I_{ON} = \frac{\mu}{2} (V_{GS} - V_{th})^\alpha \quad (1 < \alpha < 2) \quad (2)$$

具体如图 4 所示, 由于降低反向偏置控制部分 1 的输出中  $BP_1$ 、 $BP_2$ 、 $\dots$ 、 $BP_{2K+1}$  的电位, 升高  $BN_1$ 、 $BN_2$ 、 $\dots$ 、 $BN_{2K+1}$  的电位。这

时，由于提高各级的倒相器的电流驱动能力，能够提高振荡频率。还有，图 4、图 5 及图 6 表示反向偏置控制部分 1 的输出  $BP_1$ 、 $BN_1$  以及振荡电路的输出 OUT 的定时波形。

另外，如图 5 所示，降低向反向偏置控制部分 1 的输出中奇数级的倒相器的阱输入的  $BP_1$ 、 $BN_1$ 、 $BP_3$ 、 $BN_3$ 、 $\dots$ 、 $BP_{2K+1}$ 、 $BN_{2K+1}$  的电位，升高偶数级的倒相器的阱输入的  $BP_2$ 、 $BN_2$ 、 $BP_4$ 、 $BN_4$ 、 $\dots$ 、 $BP_{2K}$ 、 $BN_{2K}$  的电位。这样一来，由于输出到上升沿为止的延迟时间变短，输出到下降沿为止的延迟时间变大，能够加大输出波形的占空比。

而且，如图 6 所示，由周期开始，仅在短时间降低  $BP_1$ 、 $BP_2$ 、 $\dots$ 、 $BP_{2K+1}$  电位，升高  $BN_1$ 、 $BN_2$ 、 $\dots$ 、 $BN_{2K+1}$  的电位后，立即返回原电位。这时，仅短时间升高振荡频率，由于立刻返回原振荡频率，能够向前移动输出 OUT 的相位。

还有，如图 3 所示那样，由于扩散层和阱、P 阱和深层 N 阱、N 阱和 P 形半导体基片用 P—N 结连接，P 形半导体一侧的电位比邻接 N 形半导体一侧的电位不可高出扩散电位  $V_f$  以上。

例如，在图 3 中，如果 P 形基片 3 的电位在电源电位  $V_{dd}$  以下的话，N 阱 41、42 的电位必须比  $V_{dd}-V_f$  高。这样用本实施例，使反向偏置电位的控制范围在某程度上得到限定。

还有，在本实施例中，构成环形振荡器的各晶体管的阱全部相互电隔离，但也可以仅将一部分阱电隔离。而且，在本说明中的基片 3 作为 P 形半导体，即使在 N 形半导体基片上形成深层 P 阱和 P 阱、在深层 P 阱上形成 N 阱也同样能够构成。

## 实施例 2

下面以本申请的第二发明作为实施例，说明以晶体管作为部分耗尽型 SOI（在绝缘体上生长硅）的情况。图 7 是图 1 的环形振荡器的一部分，表示晶体管  $QP_1$ 、 $QN_1$ 、 $QP_2$ 、 $QN_2$  的配置图。并且，分别以沿图 7 的 Y—Y' 切线的剖面图作为图 8 (a)，以沿图 7 的 X—X' 切线的剖面图作为图 8 (b)。参照图 7 及图 8，在 P 形或者 N 形的半导体基片 6 的上部形成绝缘膜 4，在基片上部形成 N 形 SOI 层 61、62 和 P 形 SOI

层 71、72，各 SOI 层通过绝缘膜 4 相互分离。

在 N 形 SOI 层 61 的侧面形成一对 P 形扩散层对 21、在 N 形 SOI 层 62 的侧面形成一对 P 形扩散层对 22、在 P 形 SOI 层 71 的侧面形成一对 N 形扩散层对 31，在 P 形 SOI 层 72 的侧面形成一对 N 形扩散层对 32，再在 SOI 层的上部形成绝缘膜 4。在绝缘膜 4 中形成栅极电极 11、12，在 P 形扩散层 21 和 N 形扩散层 31 的上部配置栅极电极 11，在 P 形扩散层 22 和 N 形扩散层 32 的上部配置栅极电极 12。反向偏置控制端子 BP<sub>1</sub>、BN<sub>1</sub>、BP<sub>2</sub>、BN<sub>2</sub> 分别连接 N 形 SOI 层 61、P 形 SOI 层 71、N 形 SOI 层 62、P 形 SOI 层 72。

本实施例的电路动作，基本上和所述的实施例 1 相同。本实施例的情况，由于与阱相比 SOI 层寄生电容小，改变振荡频率、占空比、相位时的动作是高速的，并且，具有耗电少的特点。另外，由于 SOI 层和基片 6 用绝缘膜 4 分离，可对阱设定的电位，不受基片 6 的电位的影响。因此，和所述实施例 1 相比，用本实施例，反向偏置控制电位的设定范围的自由度高。

### 实施例 3

下面关于本申请的第三发明的实施例，即说明关于晶体管是完全耗尽形 SOI 的情况。用这样的结构控制晶体管的阈值的方法，可参照特开平 7—106579 号公报的公开内容。

图 9 是图 1 的环形振荡器的一部分，表示晶体管 QP<sub>1</sub>、QN<sub>1</sub>、QP<sub>2</sub>、QN<sub>2</sub> 的配置俯视图。并且分别以沿图 9 的 Y—Y' 切线的剖面图作为图 10 (a)，以沿图 9 的 X—X' 切线的剖面图作为图 10 (b)。

参照图 9 及图 10，在 P 形或者 N 形的基片 6 的上部形成绝缘膜 4，在其上部形成 N 形 SOI 层 61、62 和 P 形 SOI 层 71、72，各 SOI 层通过绝缘膜 4 相互分离。在 N 形 SOI 层 61 的侧面形成一对 P 扩散层对 21，在 N 形 SOI 层 62 的侧面形成一对 P 形扩散层对 22，在 P 形 SOI 层 71 的侧面形成一对 N 形扩散层对 31，在 P 形 SOI 层 72 的侧面形成一对 N 形扩散层对 32，再在 SOI 层的上部形成绝缘膜 4。在绝缘膜 4 中形成栅极电极 11、12，在 P 形扩散层 21 和 N 形扩散层 31 的上部配置栅极电极

11, 在 P 形扩散层 22 和 N 形扩散层 32 的上部配置栅极电极 12。反向偏置控制端子  $BP_1$ 、 $BN_1$ 、 $BP_2$ 、 $BN_2$  分别连接在基片 6 的表面且各 SOI 层的下部形成的反向栅 81、82、91、92。反向栅作为和半导体基片 6 相反的导电形的半导体。

本实施例的电路动作与所述实施例 1 相同。但是, 由于反向栅的电容比阱电容一般要小, 本实施例的情况, 改变和所述实施例 2 同样的振荡频率、占空比, 相位时的动作是高速的, 具有耗电少的特点。另外, 由于扩散层和反向栅用绝缘膜 4 分离, 可对反向栅设定的电位不受扩散层的电位的影响。因此, 和所述实施例 1 相比, 用本实施例, 反向偏置控制电压的设定范围的自由度高。

#### 实施例 4

图 11 是表示本申请第四发明的延迟电路的一实施例的构成框图。参照图 11, MOS 晶体管  $QP_1$  和  $QP_2$  和  $QN_2$ ...,  $QP_j$  和  $QN_j$  ( $j$  是 2 以上的偶数) 分别形成倒相器, 这些倒相器群输出端子和输入端子相继串联连接。反向偏置控制部分 1 是为输出种种的偏置电压的电路, 由反向偏置控制端子  $BP_1$ 、 $BN_1$ 、 $BP_2$ 、 $BN_2$ ...,  $BP_j$ 、 $BN_j$  ( $j$  是 2 以上的整数) 个别供给反向偏置控制电压。例如使用加载泵源电路产生反向偏置控制电压。

构成倒相器群的各晶体管  $QP_1$ 、 $QN_1$ 、 $QP_2$ 、 $QN_2$ 、... $QP_j$ 、 $QN_j$  的分别的阱, 相互电隔离, 对应连接各个反向偏置控制端子  $BP_1$ 、 $BN_1$ 、 $BP_2$ 、 $BN_2$ ...,  $BP_j$ 、 $BN_j$ 。

下面, 说明如图 11 所示的本实施例的延迟电路的动作。在本实施例的延迟电路中, 串联连接的倒相器列, 电隔离每个晶体管阱, 由于可由控制部分 1 向各阱提供个别反向偏置控制电压, 每个晶体管阈值  $V_{th}$  的控制是可能的。

如用所述本发明的振荡电路的实施例的动作说明的那样, 通过控制阈值, 可控制各倒相器的电流驱动能力。

具体地说, 就是升高反向偏置控制部分 1 的输出中的  $BP_1$ 、 $BP_2$ 、...,  $BP_j$  的电位, 降低  $BN_1$ 、 $BN_2$ , ...,  $BN_j$  的电位。这时, 由于各级的倒

相器电流驱动能力变小，通过阱的电位，可控制延迟时间的长短。

并且，降低向反向偏置控制部分 1 的输出中第奇数级的倒相器的阱输入的  $BP_1$ 、 $BN_1$ 、 $BP_3$ 、 $BN_3$ 、 $\dots$ ， $BP_{j-1}$ 、 $BN_{j-1}$ 、的电位，升高向第偶数级的倒相器的阱输入的  $BP_2$ 、 $BN_2$ 、 $BP_4$ 、 $BN_4$ 、 $\dots$ 、 $BP_j$ 、 $BN_j$  的电位。这样一来，输入上升沿信号时的延迟时间变长，输入下降沿信号时的延迟时间变短。反之，当升高第奇数级的倒相器的阱的电位，降低第偶数级的倒相器的阱的电位时，输入下降沿信号时的延迟时间变长，输入上升沿信号时的延迟时间变短。因此，通过输入信号的转移方向，可使延迟时间大不相同。

本实施例的延迟电路也和用上述实施例说明的振荡电路同样（参照上述实施例 2、实施例 3）也可适用于部分耗尽型 SOI 器件和完全耗尽型 SOI 器件。例如，部分耗尽型 SOI 器件时可代替阱对各晶体管的沟道区提供控制电压，并且，用完全耗尽型 SOI 器件，可代替阱对反向栅提供控制电压，因此，可控制延迟时间，上升沿/下降沿时间。

如以上说明的那样，如使用本发明，可达到如下效果。

本发明的第一效果是缩减振荡电路的面积。其理由是，在本发明中，如上述的以往的振荡电路中的晶体管  $TP_1$ 、 $TN_1$ （参照图 12）那样，不需要特别的选通门脉冲宽度大的控制用 MOS 晶体管。

本发明的第二效果是得到了振荡频率非常高的振荡电路。其理由是，在本发明中，只使用单纯的倒相器，能够形成环形振荡器，进一步控制降低各晶体管的阈值。

本发明的第三效果是可通过电路改变延迟电路的延迟时间、上升沿时间，下降沿时间，也就是说，动作时的延迟时间可改变。其理由是，在本发明中，可用反向偏置控制部分控制延迟时间。

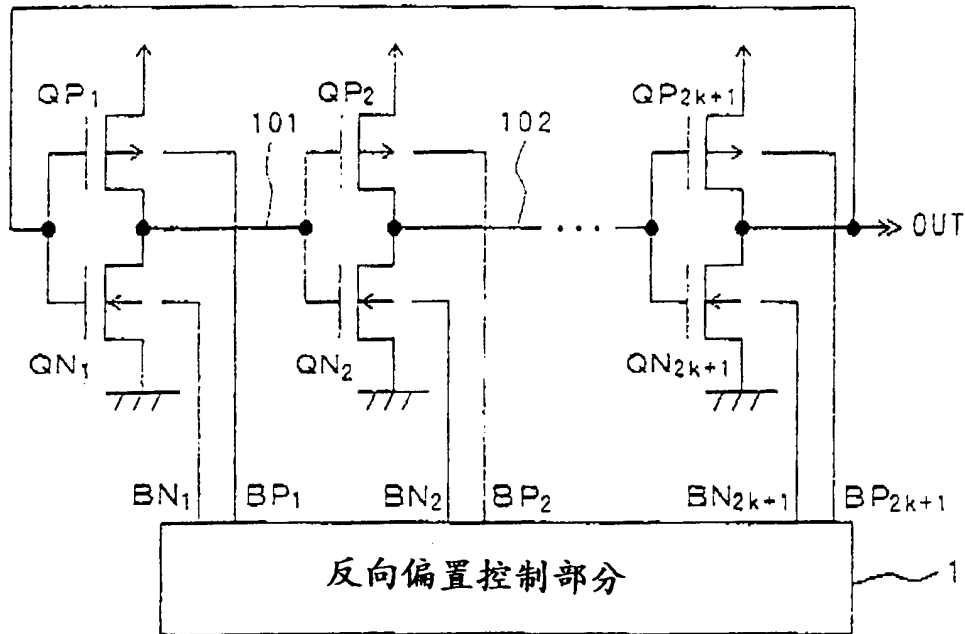


图 1

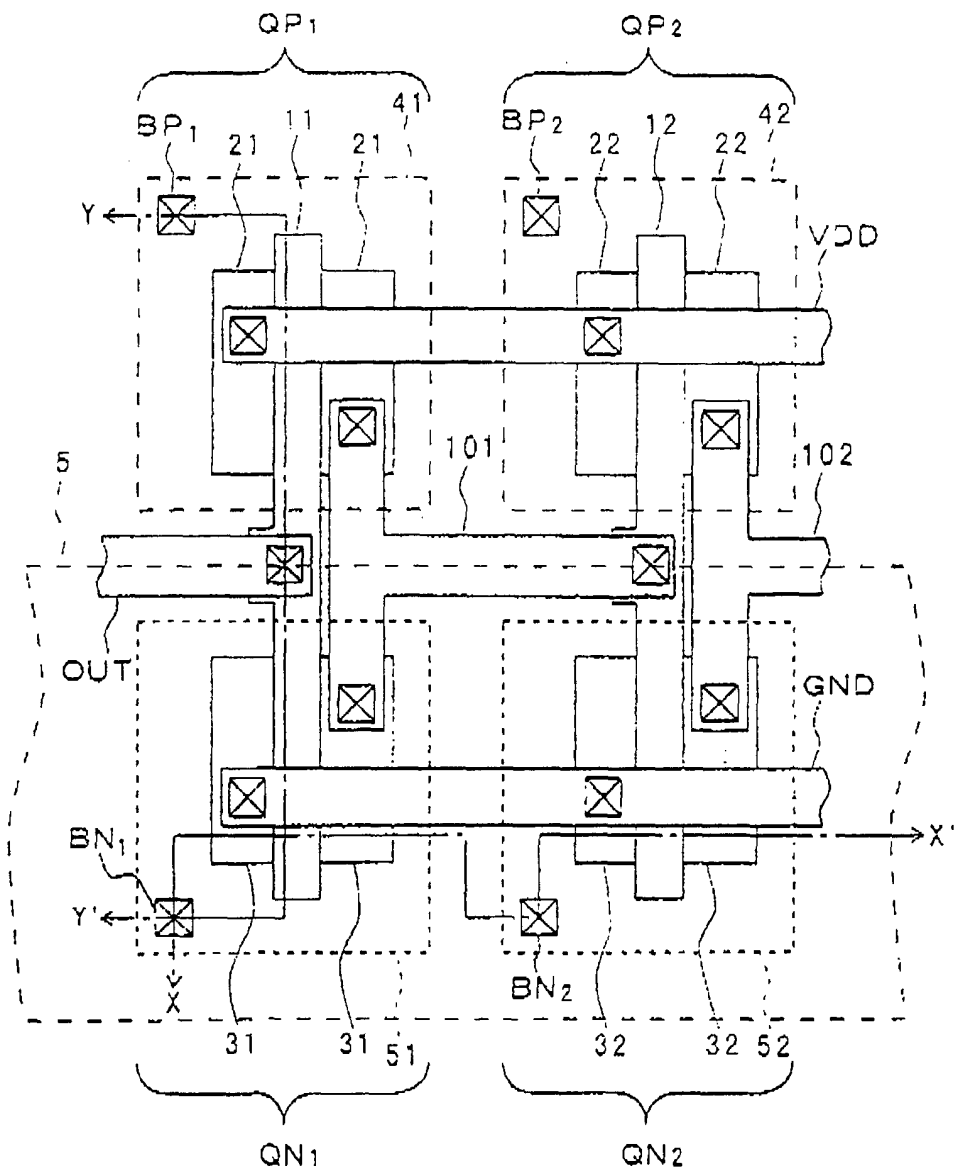


图 2

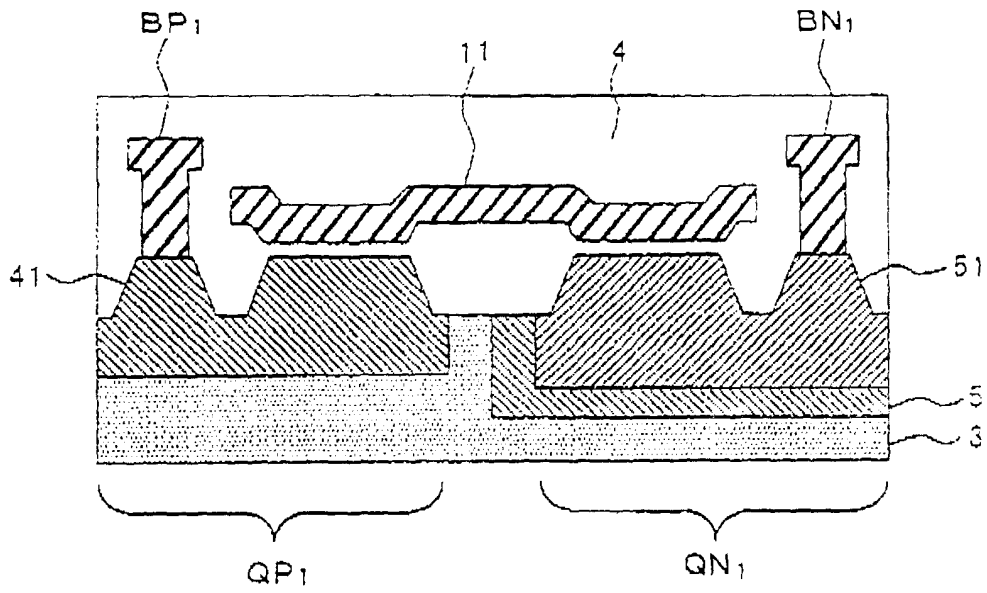


图 3 ( a )

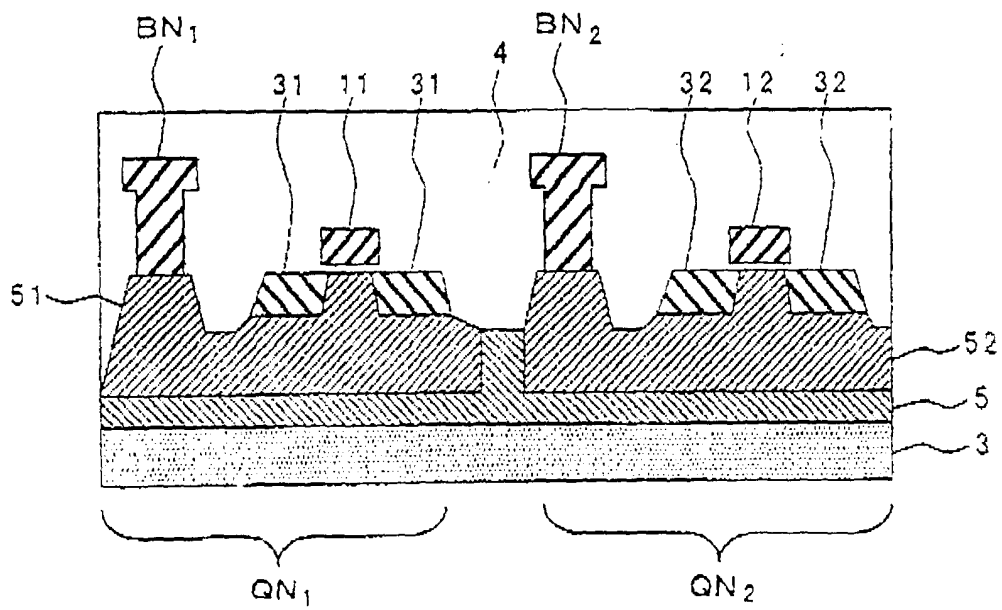


图 3 ( b )

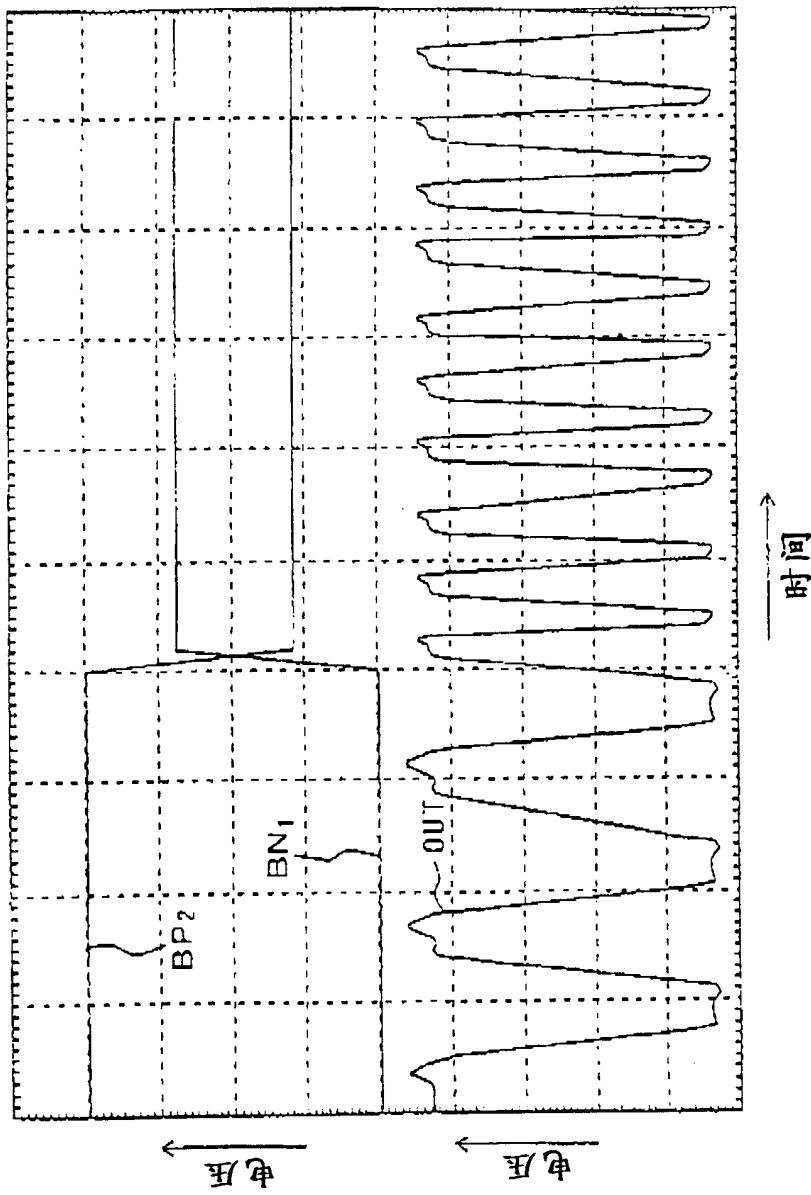


图 4

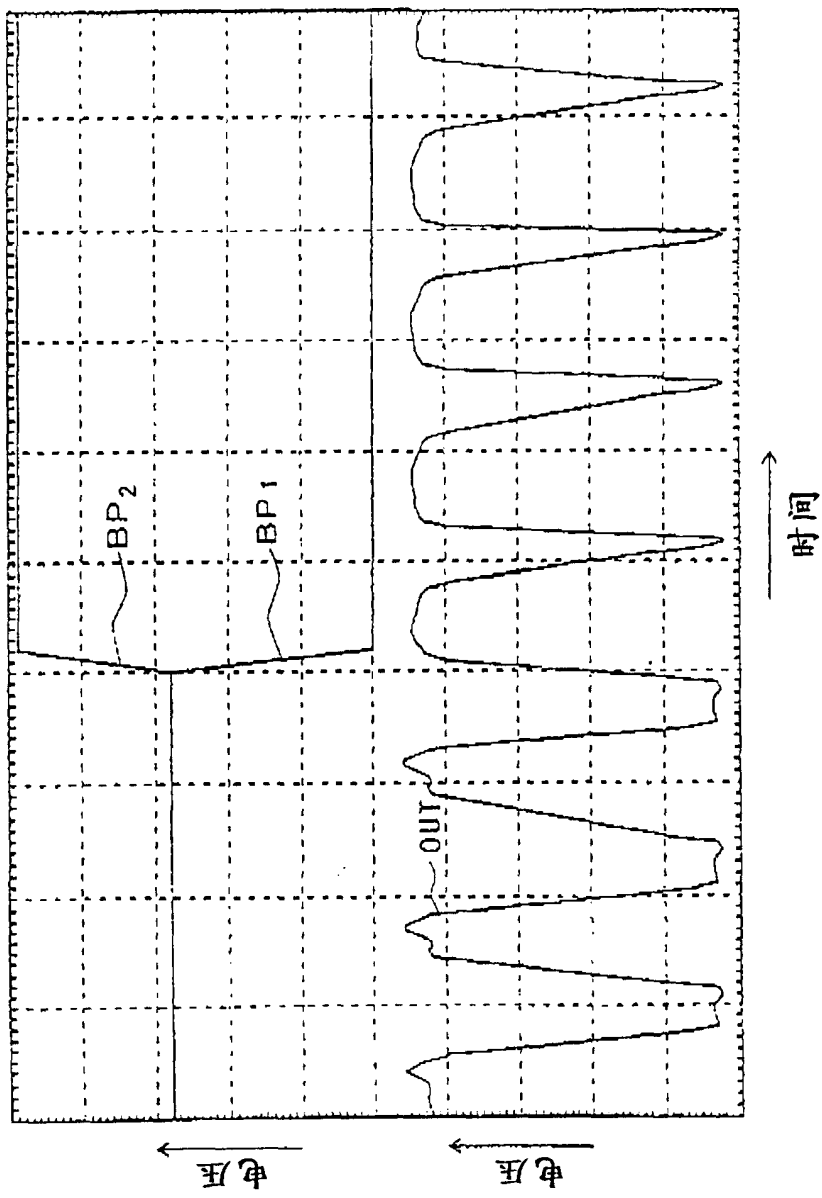


图 5

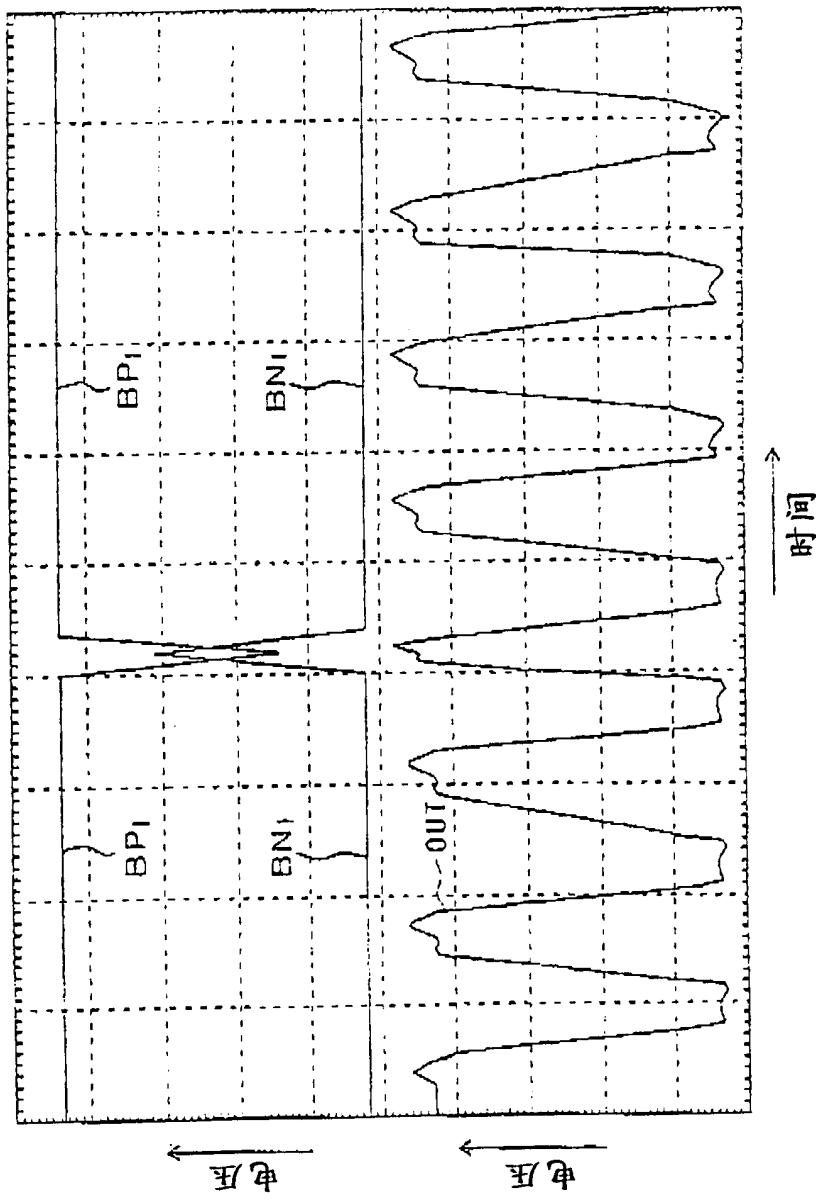


图 6

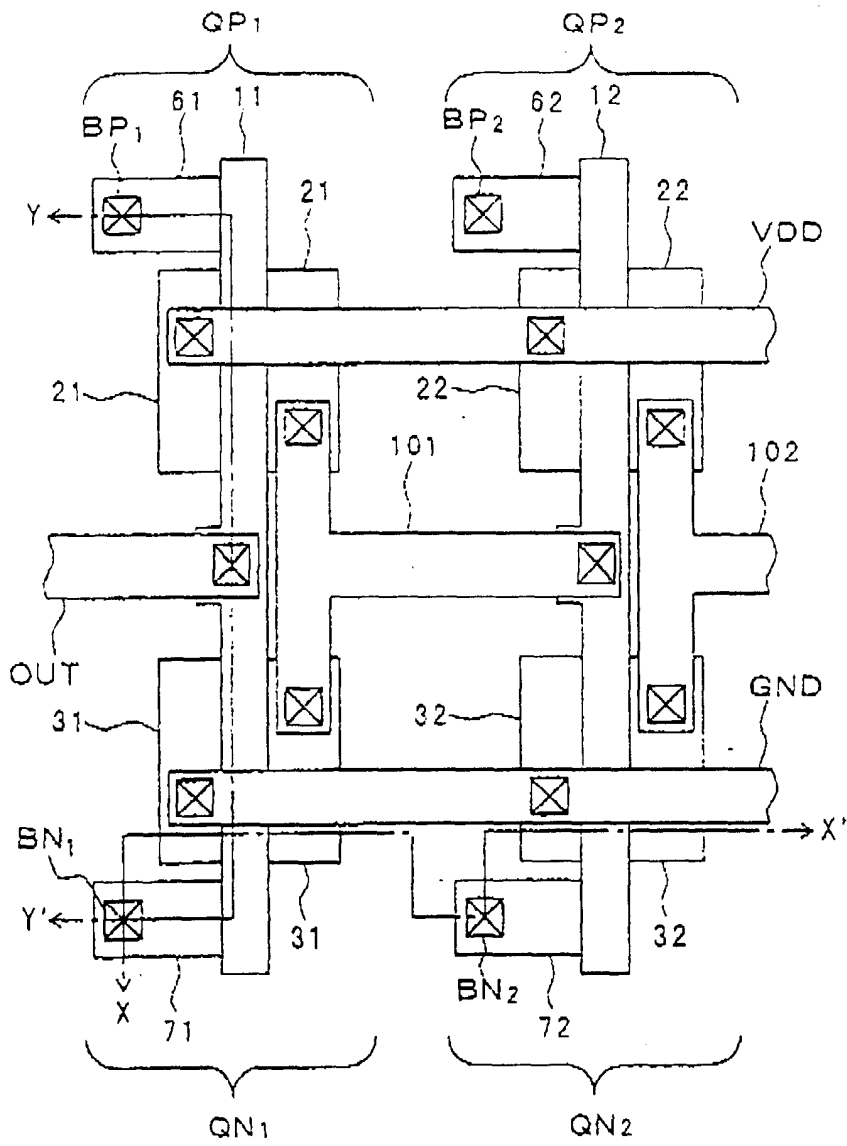


图 7

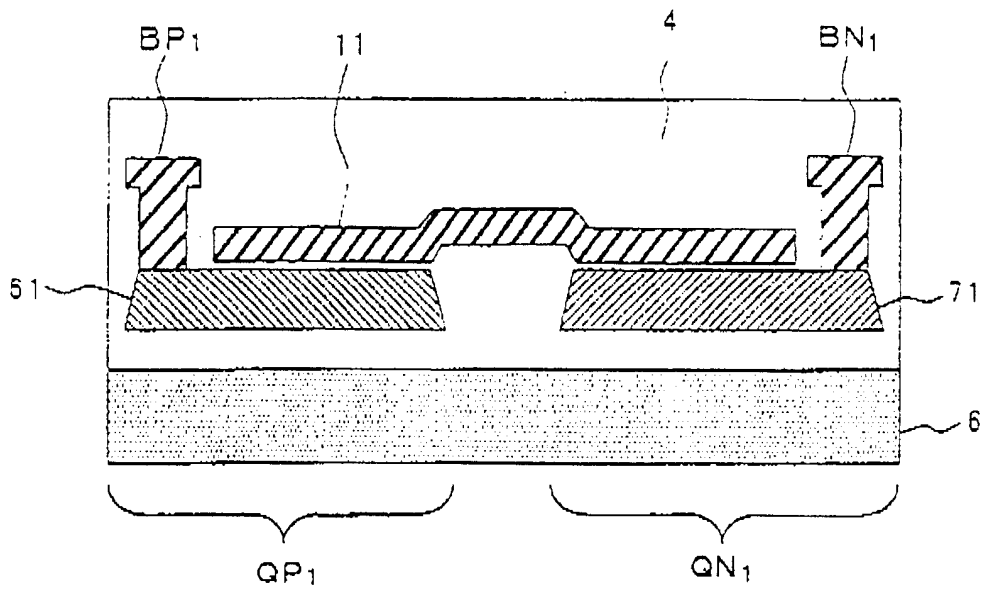


图 8 ( a )

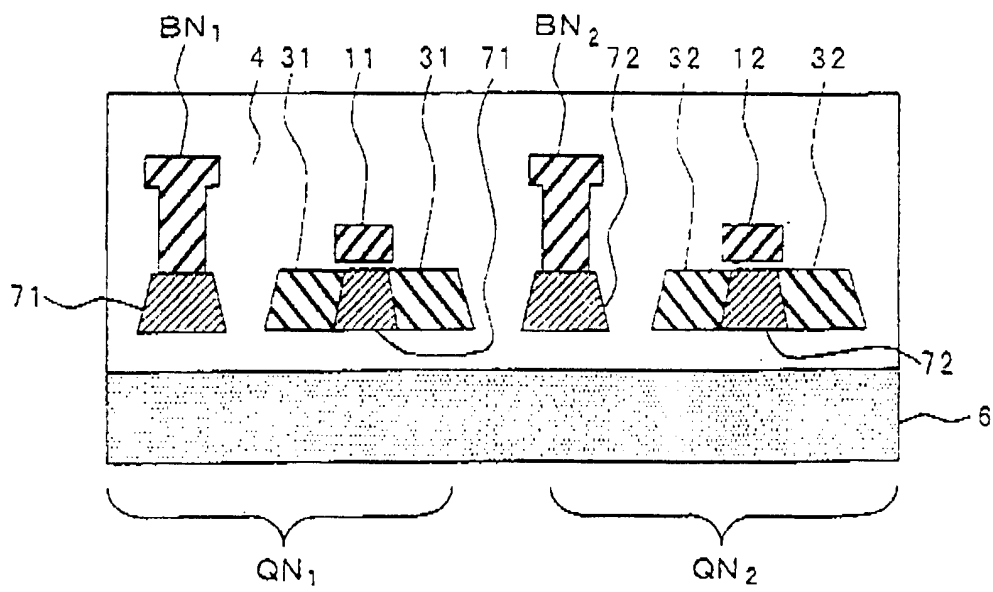


图 8 ( b )

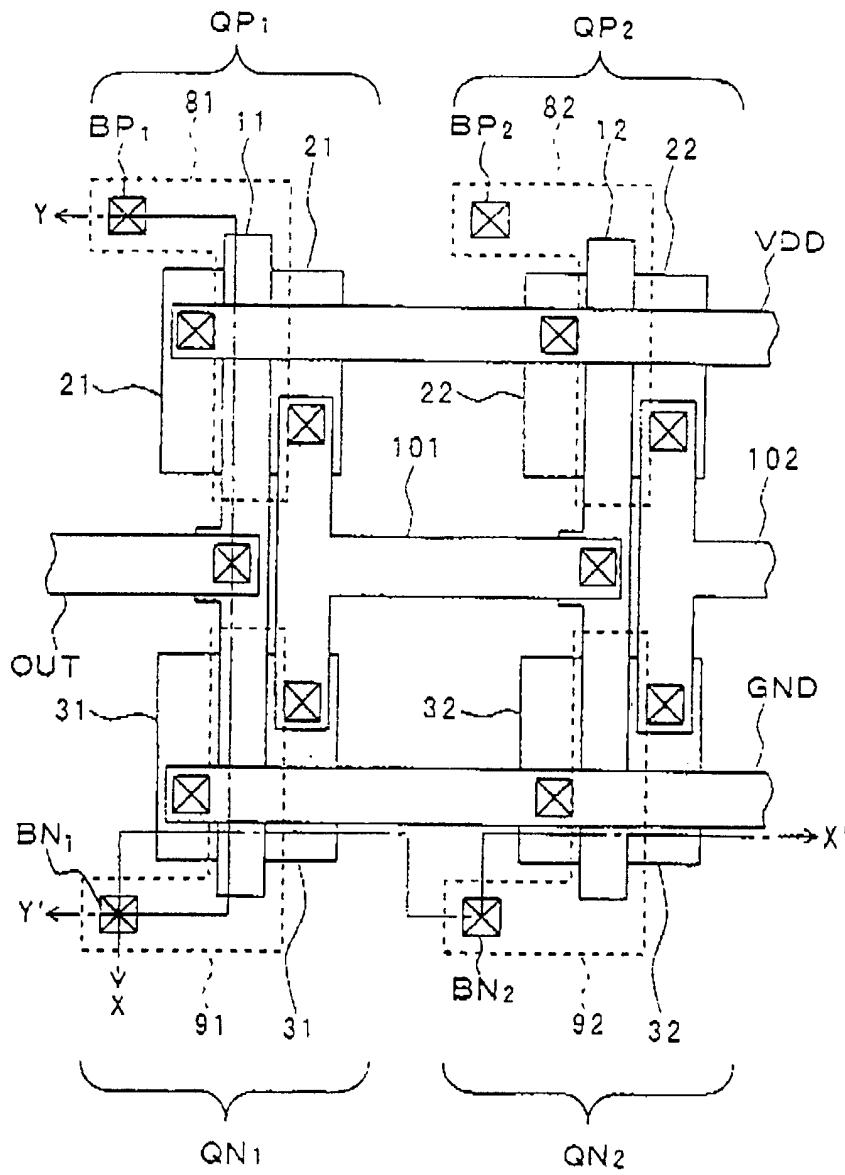


图 9

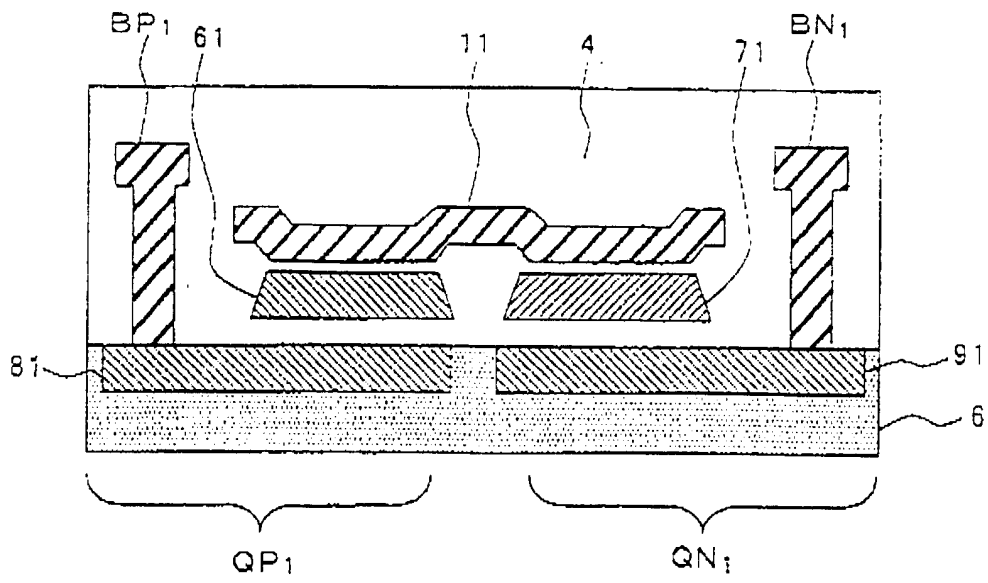


图 10 ( a )

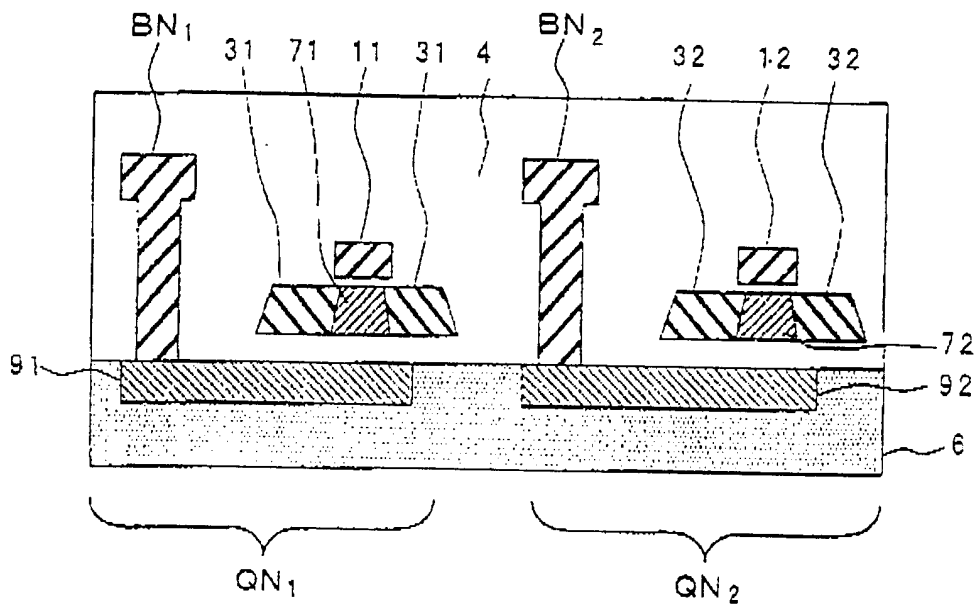


图 10 ( b )

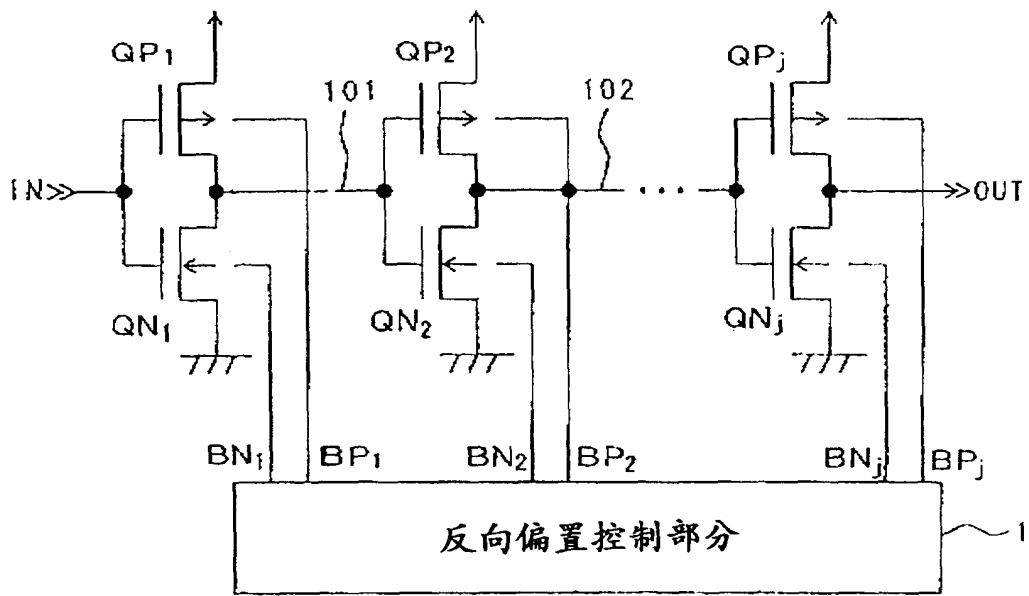


图 11

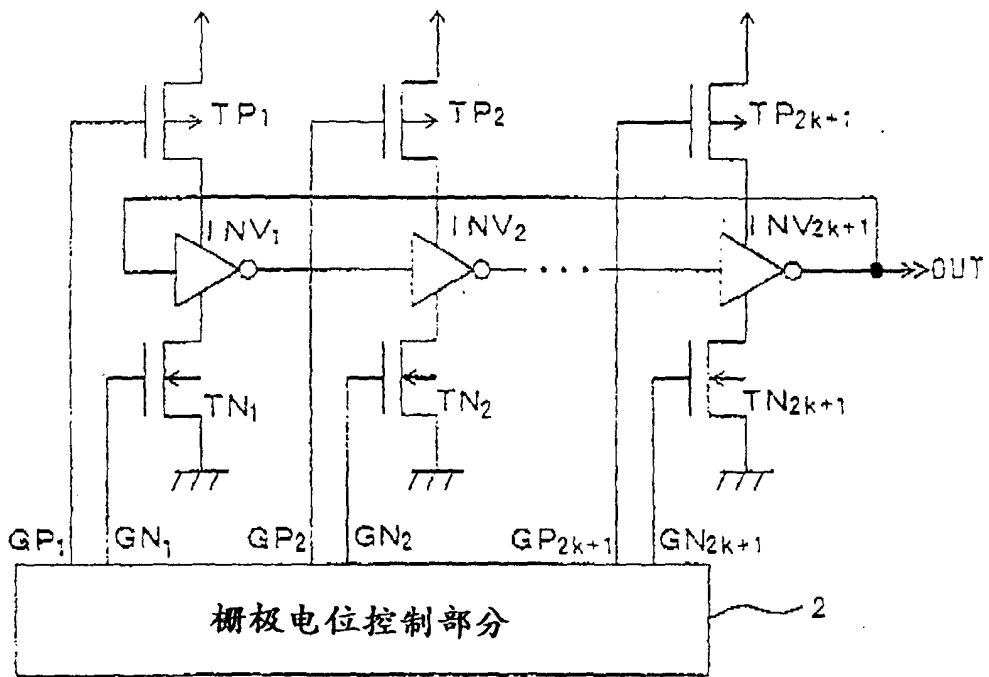


图 12

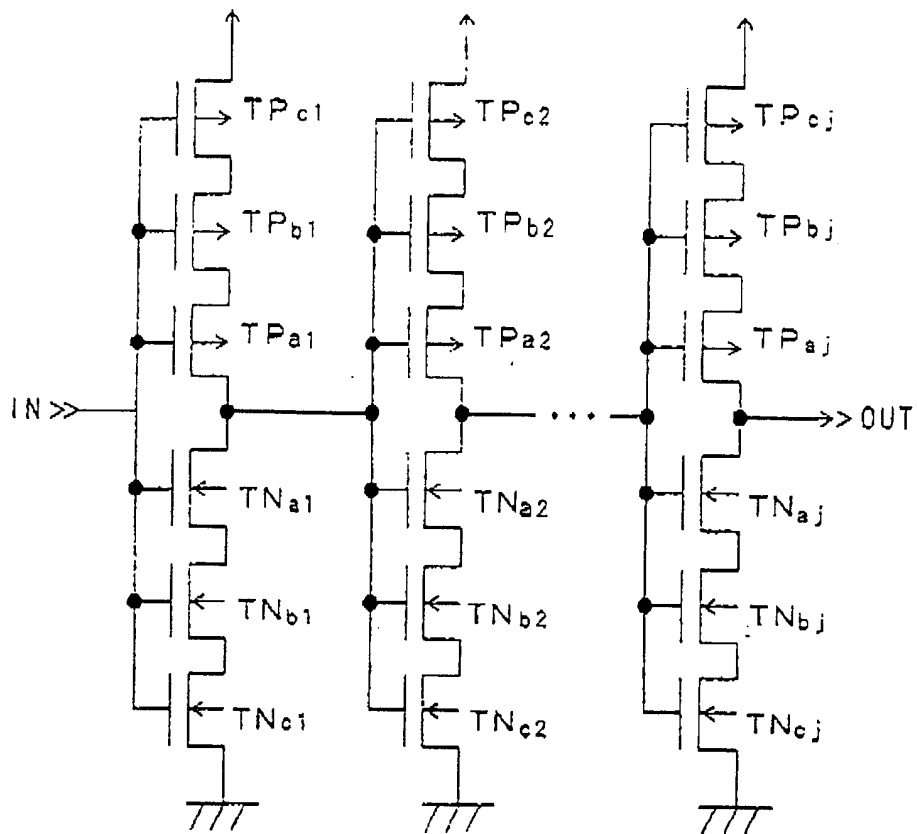


图 13

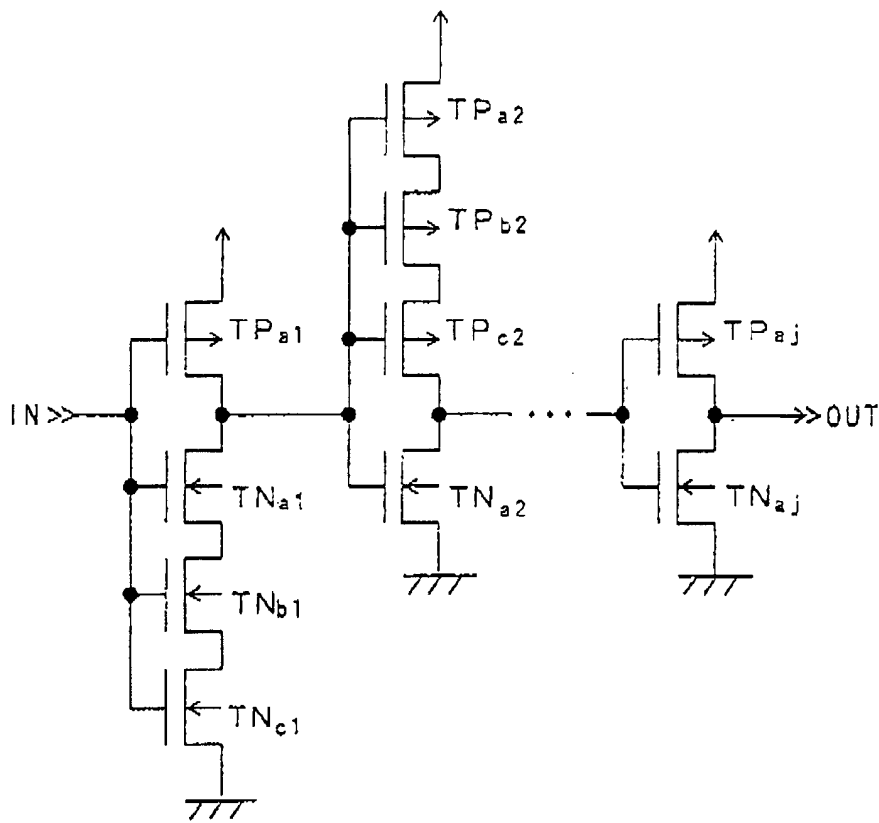


图 14