(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3983285号
(P3983285)
(45)発行日　平成19年9月26日(2007.9.26)　(24)登録日　平成19年7月13日(2007.7.13)

(51)Int.Cl.　　F I
H01L 29/808 (2006.01)　　H01L 29/80　C
H01L 21/337 (2006.01)
H05B 41/24 (2006.01)　　H05B 41/24　A

請求項の数 2　(全 9 頁)

(21)出願番号　特願平8-519623
(86)(22)出願日　平成7年11月16日(1995.11.16)
(65)公表番号　特表平9-509789
(43)公表日　平成9年9月30日(1997.9.30)
(86)国際出願番号　PCT/IB1995/001010
(87)国際公開番号　WO1996/019831
(87)国際公開日　平成8年6月27日(1996.6.27)
審査請求日　平成14年11月15日(2002.11.15)
(31)優先権主張番号　94203688.0
(32)優先日　平成6年12月20日(1994.12.20)
(33)優先権主張国　オランダ(NL)

(73)特許権者
コーニンクレッカ　フィリップス　エレクトロニクス　エヌ　ヴイ
オランダ国　５６２１　ベーアー　アインドーフェン　フルーネヴァウツウェッハ　１
(74)代理人
弁理士　吉武　賢次
(74)代理人
弁理士　橘谷　英俊
(74)代理人
弁理士　佐藤　泰和
(74)代理人
弁理士　吉元　弘

最終頁に続く

(54)【発明の名称】供給電圧により負荷を動作させる回路

(57)【特許請求の範囲】
【請求項１】
供給電圧により負荷を動作させる回路であって、
－供給電圧源の各極に接続する入力端子と、
－動作中に前記供給電圧により前記入力端子を通過する入力電流を制限する回路部分と、
を備え、前記回路部分が２つの主電極を持つ半導体素子を有し、該素子が当該回路内の接続点に対し前記入力電流が前記２つの主電極を介して流れるように接続されるような回路において、
前記半導体素子は実質的に第１導電型の半導体基体を有し、該基体において前記主電極は２つの互いに反対側の表面に各々設けられ、各主電極は対応する表面に隣接する領域を有し、該領域は前記半導体基体の隣接する部分よりも高いドーピング濃度を有し、この隣接する部分は前記高くドープされた各領域の間に位置し、前記隣接する部分のドーピングは前記主電極間の電圧が或る電圧より上昇した場合に電流飽和を生じるように設定され、
前記半導体素子は接合電界効果トランジスタを形成し、前記主電極は当該トランジスタのソース電極及びドレイン電極を各々形成し、前記半導体基体内に位置し前記第１導電型とは反対の第２導電型の埋め込み領域が、電気的にフローティング状態のゲート電極を形成すると共にチャンネルの介挿された部分を規定し、
前記半導体基体は少数キャリアの発生中心を備える領域を有し、この領域は前記第２導電型の埋め込み領域から、前記第２導電型の埋め込み領域における拡散長に最大でも等しい距離に位置することを特徴とする回路。

【請求項２】
請求項２に記載の回路において、前記各埋め込み領域はハニカム状に集合された少なくとも略規則的な六角形の形状を各々有すると共に、前記第１導電型の介挿部分をそのまま残存させ、これら部分が当該トランジスタのチャンネルを形成していることを特徴とする回路。
【発明の詳細な説明】
技術分野
本発明は、供給電圧により負荷を動作させる回路であって、
－供給電圧源の各極に接続する入力端子と、
－動作中に前記供給電圧により上記入力端子を通過する入力電流を制限する回路部分Ｖと、
を備え、上記回路部分が２つの主電極を持つ半導体素子を有し、該素子が当該回路内の接続点に対し前記入力電流が上記２つの主電極を介して流れるように接続されるような回路に関する。本発明は、このような回路に用いて好適な接合電界効果トランジスタにも関する。
背景技術
電気回路を電流制限器により大入力電流から保護することは既知である。このような制限器は、大きなコンデンサを有する機器においては、スイッチオン時に幹線電圧がたまたま正確に最大値であった場合に電流制限器が無いとスイッチオンの際に上記コンデンサにより大ピーク電流が生じる可能性があり、又このような強電流によりスイッチ又はフューズに損傷が生じる可能性があるため、必要となる。このような問題は、例えば、電子安定器を備える数個のガス放電ランプ（ＰＬ又はＴＬ）を共通のスイッチに用いると発生する可能性がある。このような突入電流を制限する最も簡単な方法は、回路中に直列抵抗を用いることである。通常動作電流も上記直列抵抗を通過しなければならないので、その抵抗値は比較的小さな値に留めておく必要があり、従って、依然として比較的大きなピーク電流が生じる可能性がある。
ニューヨーク、ジョン　ワイレイ　アンド　サンズ社のエス・エム・スゼによる「半導体装置の物理」なる本の第２版は電流制限器を記載し、該制限器は或る電圧までの第１電圧範囲においては実質的に抵抗として振る舞い、この電圧を超えると電流源として振る舞い、その場合当該素子を経る電流は電圧が更に上昇しても実質的に最早上昇しない。この本の第３５３頁に記載され且つ第３２図に示された一例は「飽和速度ダイオード」であり、該ダイオードは基本的にｐ型Ｇｅ基板内の浅いｎ型表面領域からなる。この領域のいずれの側にも電流を引き渡すために高度にドープされたn^+型の接触領域が設けられている。このダイオードの動作は、この場合は電子である電荷キャリアの速度が所与の値の電界を超える一層強力な電界でもっても最早上昇しないような浅い表面領域における速度飽和に基づくものである。この既知の電流制限器は、ｍＡ範囲の電流及び高くても２、３十ボルトの電圧用に設計されている。しかしながら、この素子は、ガス放電ランプの場合のように、例えば１Ａ程度の電流と２、３百ボルトの電圧とが使用されるような大電力用には適していない。電流制限素子は、通常の動作条件下で高損失に耐えることができ、短期間内で損失が非常に高くなるような突入電流に耐えることができ、例えば１ｋＶ程度の高電圧に耐えることのできるような応用分野には必要となる。ガス放電ランプにおけるような多数の場合においては、電源はａｃ電圧源と該ａｃ電圧をｄｃ電圧に変換する整流ブリッジとを有する。このような回路においては整流ブリッジの前側に配置され、従って電流を２方向で制限することができるような、整流ブリッジの保護用の電流制限素子が望まれる。
本発明の目的は、冒頭で述べたような種類の回路であって、大電力及び高電圧用に使用することができる回路を提供することにある。本発明の他の目的は、整流ブリッジが電流制限器を介してａｃ電圧源に接続されるような大電力用に適した回路を提供することにある。
発明の開示
本発明によれば、上記目的のため冒頭で述べたような種類の回路は、前記半導体素子が実

質的に或る導電型（以下、第１導電型と呼ぶ）の半導体基体を有し、該基体において前記主電極は２つの互いに反対側の表面に各々設けられ、各主電極は対応する表面に隣接する領域を有し、該領域は前記半導体基体の隣接する部分よりも高いドーピング濃度を有し、この隣接する部分は上記高くドープされた各領域の間に位置し、前記隣接する部分のドーピングは前記主電極間の電圧が或る電圧より上昇した場合に電流飽和を発生するようなものであることを特徴とする。上述した電流制限素子においては、電流は半導体基体の主面に対して平行ではなく横切る方向に流れ、最大電流は上記主面の表面面積に直に比例している。この電流制限素子は比較的簡単な方法で、或る現実の応用に関して（例えば、ガス放電ランプ用の安定器回路に関して）先に損失電力（従って、熱除去）、降伏電圧及び対称性に関して述べた要件に応ずるように、設計することができる。

本発明による回路の第１実施例は、前記半導体素子が接合電界効果トランジスタを形成し、前記主電極は当該トランジスタのソース電極及びドレイン電極を各々形成し、前記半導体基体内に位置し前記第１導電型とは反対の第２導電型の埋め込み領域が、電気的にフローティング状態のゲート電極を形成すると共にチャンネルの介挿された部分を規定していることを特徴としている。上記ゲート電極はフローティング状態なので当該電流制限素子には制御回路は必要ではなく、従って当該回路は簡素なままである。加えて、当該素子は対称的に構成することができるので、ソース電極とドレイン電極とは入れ替えることができると共に、当該素子は整流ブリッジの前側及び後側の両方に配置することができる。０Ｖ付近の電圧範囲内では、当該素子は出来る限り低いことが好ましいオン抵抗値を伴う抵抗として振る舞う。或る電圧からは、電流は全く又は少なくとも実質的にそれ以上は上昇しない。当該素子の動作は以下のような事実に基づいている。即ち、例えばｎ型チャンネルを備えるトランジスタの場合、フローティング状態のｐ型ゲート電極の電位はｎ型ソース（即ち、最も低い電位を持つ電極）の電位に従うので、０ＶにおけるＩ－Ｖ特性に従い、ドレインにおける電圧がピンチオフ電圧より高い場合、電流は飽和する。飽和電流の値は、種々の方法で、例えばゲート電極を形成する各埋め込み領域間のチャンネルの幅及び／又はトランジスタの寸法により選定することができる。好ましい一実施例は、前記各埋め込み領域がハネカム状に集合された少なくとも略規則的な六角形の形状を各々有すると共に、前記第１導電型の介挿部分をそのまま残存させ、これら部分が当該トランジスタのチャンネルを形成していることを特徴としている。このような設計によれば低いオン抵抗値及び高い降伏電圧が得られることが判った。

動作中においては、ドレイン電極上の電圧パルスは、これにより埋め込みゲート電極のｐｎ接合が逆にバイアスされることになるので、チャンネルを阻止することになり、従ってトランジスタは一時的に電流を通さなくなる。ゲート電極を再び放電する漏れ電流のため、上記電流阻止は一時的なものに過ぎないので、これは幾つかの応用例においては不利益にはならない。しかしながら、もっと連続的な電流通過が必要又は望ましい他の応用例では、ｐｎ接合の放電時間を短縮するために漏れ電流を増加させるのが有利である。従って、他の好ましい実施例は、前記半導体基体が少数キャリアの発生中心を備える領域を有し、この領域は前記第２導電型の埋め込み領域から、最大で、前記第１導電型のもっと弱めにドープされた部分における拡散長と等しい距離に位置することを特徴としている。上記発生中心はＡｕ又はＰｔ等の不純物により得ることができ、これにより既知の如く禁止帯状態が形成され、これが漏れ電流を増加させる。このような発生中心は、同時に、再結合中心又は「キラー」としても作用するので、当該半導体材料の抵抗率、従って当該トランジスタのオン抵抗はＡｕ又はＰｔの存在により上昇する。このことは、もし所望なら、例えばトランジスタの寸法を調整することにより明らかに補償することができる。

本発明による第２の形式の回路は、前記の高めにドープされた領域の間に位置する前記第１導電型の隣接する部分が、動作中に十分に高い電圧において移動電荷キャリアの速度飽和の結果として電流－電圧特性で電流飽和が生じるような厚さ及びドーピングを有することを特徴としている。特定の実施例では、当該電流制限素子が単一のｐｎ接合を含むのではないn^+-n^--n^+構造を有し、該構造は特に製造するのが簡単である。

【図面の簡単な説明】

以下、本発明を添付図面を参照しながら幾つかの実施例について説明するが、これら図面において：
第１図は、本発明による回路を示し、
第２図は、該回路に用いられる電流制限素子を断面で示し、
第３図は、該電流制限素子のIII－III線に沿う断面図、
第４図は、電流Ｉを、印加された電圧Ｖの関数として示し、
第５図は、上記電流制限素子の製造に用いられるドーピングマスクの一部を示し、
第６図は、第１図の回路に用いて好適な異なる電流制限素子の断面図、
第７図は、第６図の電流制限素子における電流Ｉを電圧Ｖの関数として示し、
第８図は、第１図の回路に用いて好適な他の電流制限素子の断面図である。

発明を実施するための最良の形態

第１図は、極性が変化するａｃ電圧電源で動作するに適した回路を例示として示し、上記電圧電源はダイオードブリッジＤＢにより全波整流される。上記電源は、例えば、電源幹線により形成される。上記回路は入力端子Ｋ１及びＫ２を用いて前記電圧電源に接続することができる。入力端子Ｋ１とダイオードブリッジＤＢとの間には素子Ｖが存在し、該素子は電流を所定の値に制限するよう作用する。他方の入力端子Ｋ２は上記ダイオードブリッジの他方の入力端子に接続されている。当該ダイオードブリッジの出力端子は、例えば、バッファコンデンサＣと、概念的に図示した１個又は数個のガス放電ランプ２用の電源を形成する概念的に図示したｄｃ－ａｃ変換器１とを持つガス放電ランプ駆動用の回路のような負荷に接続されている。当該回路の動作は次のようになる。前記入力端子Ｋ１及びＫ２が、交流極性の電源電圧を送出する電圧電源に接続されると、当該電源により供給される電流が素子Ｖを通過する。素子Ｖの両端間電圧は、当該回路の特にスイッチオンの間に、前記（大きな）バッファコンデンサＣが未だ空又は略空である一方、幹線電圧がたまたま正に最大値であるような場合に、比較的大きな値に到達する。このような状況下では、上記電流制限素子が無いと、非常に大きな電流（突入電流）が当該回路を通過し得る。前記入力端子間の電圧は、スイッチオン後の負荷の定常動作の間においても、過渡現象により、高い電圧に到達する可能性がある。素子Ｖは当該回路の電流を所定の値に制限し、かくして過剰な損失ばかりか当該回路の可能性のある損傷をも防止する。素子Ｖは制御回路を必要としないので、当該回路は簡素なままでよい。上記電流制限素子の当該回路中の（即ち、電源と整流ブリッジＤＢとの間の）位置により、該電流制限素子は２つの互いに逆の方向で機能しなければならない。

本例においては、上記電流制限素子Ｖは接合電界効果トランジスタ３を有し、該トランジスタは第２図に主電極間の主電流方向に平行な断面で示されている。当該トランジスタは、好ましくはシリコンからなる半導体基体５中に形成されるが、該基体は他の例としてシリコンの代わりに他の好適な半導体材料からなってもよい。当該半導体基体は実質的にｎ型であり、従って当該装置における導電は電子により生じる。明らかに、ｐチャンネル型のトランジスタも原理的に使用することはできるが、ｎチャンネル型のトランジスタは一層低いオン抵抗を有しているから、後者のほうがｐチャンネル型のトランジスタよりも通常は好ましい。半導体基体５は、例えば１．５ｘ10^{14}と５ｘ10^{14}ａｔ／ｃm^3の間のドーピング濃度を持つ２つの比較的高抵抗のｎ型領域６及び７により主に形成されている。上記領域６及び７の厚さは約１２５μｍである。上記半導体基体の上側表面及び下側表面には高度にドープされたｎ型接触領域８及び９が約３５μｍの厚さで設けられ、且つ金属電極１０及び１１に接続されている。領域８及び９と電極１０及び１１とは半導体基体５の全表面又は少なくとも略全表面にわたり延在し、当該接合電界効果トランジスタのソース及びドレインを形成している。当該トランジスタのゲート電極１２は、高抵抗領域６と７との間の境界における３０μｍと５０μｍとの間の厚さの高度にドープされた埋め込みｐ型領域の形で設けられている。これら領域１２の間にはｎ型領域１３がそのまま残され、約５から１５μｍの間の幅を有し、当該トランジスタのチャンネルを形成している。当該半導体基体の単位表面積当たりの出来る限り広いチャンネル表面積、従って出来る限り低いオン抵抗、を得るために、ゲート電極１２は好ましくは規則的な多角形のパターン

で設けられる。この場合に領域１２として使用することができる好適な形状は正方形である。しかしながら、本例では規則的な六角形が選択された。何故なら、この形状はあまり鋭角でないので降伏電圧に関して一層好ましいからである。これが第３図に示され、該図では当該装置は領域６と７との間の境界の領域において主面に対して平行な断面として示されている。

前述したように、電気的にフローティング状態の領域１２は動作中に電気的に充電され得る。上記領域は半導体基体中での電荷キャリアの発生によってのみ放電し得るから、領域１２の近傍における、即ち領域１２の拡散長と等しい距離内の、領域１４をＡｕ又はＰｔ原子でドープするのが有利であり、これら原子はエネルギ線図における禁止帯状態を、従って漏れ電流の増加を生じさせる。上記領域１４は第２図では破線で示されている。

当該トランジスタは既知の方法で製造することができる。この製造は完成トランジスタでは高抵抗領域７を形成するシリコン基板から開始することができ、該基板には一方の側に、後の工程で埋め込み領域１２が得られるｐ型領域が設けられる。次いで、同一の側に高抵抗領域６が、エピタキシ又はウェハ接合の何れかにより設けられる。次いで、高度にドープされたｎ型接触領域８及び９を例えば拡散により、上記のようにして得られた構造の何れの側にも設けることができる。同時に、領域６と７との間の境界に設けられたｐ型不純物が当該シリコン中に更に拡散し、これによりｐ型領域１２が形成される。その後、上側表面及び下側表面に既知の方法で接触部１０及び１１を設けることができる。

上述した最終拡散工程において、ドーピング用として六角形開口を持つマスクが用いられると、拡散の間に角部におけるドーパントの消耗が発生する可能性がある。結果として、領域１２の角部が丸くなるので、チャンネル通路が局部的に大きくなり、電流は十分に制限されない。これを防止するため、六角形に関しては第４図に概念的に図示したようにドーピングマスクを使用することができる。破線で図示した六角形１５は、最終的に達成されるべき領域１２の寸法を示している。この領域１２に対応するマスク開口１６は、基本的に、角部に延長部１７が設けられた六角形１５と同様の八角形からなっており、これら延長部により各角部に付加的なｐ型ドーピングが得られる。

本トランジスタは、最終的に、熱除去のために適切なパッケージ内に封入することができる。

第５図は、上記電流制限素子の電流Ｉ（アンペア）を電圧（ボルト）の関数として示す。フローティングゲート電極１２の電位は、電極１０及び１１の何れが低い電位を有していても、これら電極１０又は１１の電位に従う。この電極は当該トランジスタのソースを形成するので、該トランジスタを経る電流はゲート電圧Ｖｇ＝０Ｖに対する当該トランジスタ特性により決まる。Ｖ＝０Ｖの周辺の領域では、当該トランジスタは抵抗値Ｒon（Ｖds＝０Ｖにおける抵抗値）を持つ抵抗として振る舞い、該抵抗値は可能な限り低いのが望ましい。上述した例では、４ｍｍ^{2}なる表面積に対して例えば１２オームなるＲon値を容易に達成することができることが判った。このように、電流制限素子Ｖの間の電圧損失は通常の条件下で許容できる低レベルに維持することができる。V_1（絶対値）より高い電圧が与えられた場合、当該トランジスタは実質的に電流源として振る舞い、その場合電流は電圧が更に上昇しても全く又は実質的に上昇しない。当該回路における電流は電源電圧ピークの場合に値Ｉmaxに効果的に制限されるが、該値はトランジスタの表面面積により調整することができる。当該電流は電圧V_1から上では完全には電圧－非依存性ではなく、電圧と共に僅かに上昇することに注意すべきである。しかしながら、この上昇は殆どの応用例の場合十分に小さく、驚くべきことに、ゲート電極１２が半導体基体の表面におけるソース領域の間に設けられるような既知の構造におけるよりも大幅に小さくなる。

当該トランジスタは対称構造のものであって、従って電流を２方向で制限するので、前記整流ブリッジＤＢの前側に配置することができる。寸法及びドーピング濃度の適切な選択により、当該トランジスタは、降伏を伴うことなく非常に高い電圧に対して耐えるように製造することができる。本例においては、７００Ｖ以上の降伏電圧を容易に得ることができる。実験によれば、本トランジスタは、ガス放電ランプを用いた照明システムで必要とされるような大電力レベル（定常及びピーク電力の両方）を扱うことができることが判っ

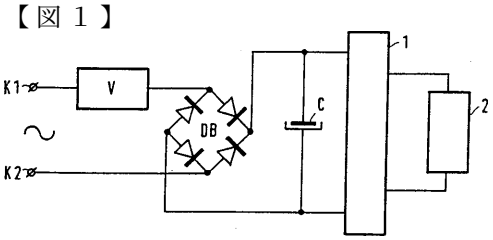
た。
第６図は、大電力用の電流制限素子として使用することができ、従って第１図の回路において前記接合電界効果トランジスタの代わりに使用することができるような他の例の半導体素子の断面図である。尚、説明においては対応する部分には出来る限り先の実施例における符号と同一の符号を付す。第６図の半導体装置は、この場合は完全にｎ型シリコンである半導体基体２０を有し、該基体の上側及び下側には２つの接触部１０及び１１が設けられている。当該素子は、これらの接触部により電源及びダイオードブリッジＤＢ（第１図）に各々接続される。良好な抵抗性接触を得るために、半導体基体２０には両側に高度にドープされた接触領域８及び９が設けられる。領域８と９は、完全にｎ型である比較的弱めにドープされた領域２０により相互に分離されている。領域２１の厚さは、或る応用例において該領域２１における電子のドリフト速度の飽和により発生し得る電圧において基体２０内で電流制限が起こるように選定される。
第７図は、上記のような電流制限素子の電流－電圧特性を示している。先ず最初に、該特性はＶ＝０Ｖに対して対称であることに注意すべきである。このことは当該素子が電流の方向に関係なく動作し、従って前記ダイオードブリッジの前側に配置することができるということを意味する。更に、当該素子はＶ＝０Ｖの周辺の電圧領域において、電流が電圧の上昇に伴って急激に上昇するような抵抗としての振る舞いを示している。電荷キャリア（電子）の移動度は電界の上昇に伴って徐々に低下するから、電子のドリフト速度、従って電極１０と１１との間の電流Ｉは電圧の上昇に伴って飽和する。最大電流値は第７図ではＩmaxで示してある。電極１０と１１との間の電圧は、降伏電圧Ｖmaxまで上昇し続けることができる。
Ｉmax及びＶmax以外の幾つかの特性値は、第７図では正接線２４の傾きにより表される低電界に対しての抵抗値Ｒonである。これらの値に関しては近似により以下が成り立つ。
（１）$I_{max}=A\cdot q\cdot N\cdot v_{lim}$　（ここで、Ａは表面積、Ｎは領域２１のドーピング、ｑは電荷、v_{lim}は強電界の場合の電子のドリフト速度である。）
（２）Ｒon＝Ｌ／（μ・ｑ・Ｎ・Ａ）（ここで、μは電子の移動度、Ｌは領域２１の厚さである。）
（３）Ｖmax＝Ｅc・Ｌ　（ここで、Ｅcは降伏の場合の臨界電界である。）
上記量Ｌは、降伏電圧に関する所望の値に依存し、ここで強い電流に関してはＬ＝２Ｖmax／Ｅcが成り立つことに注意されたい。Ｒon・Ｉmaxなる積は固有の量と考えられる。この積は線形な抵抗に関してはＶmaxであるから、３００Ｖなる最大主電圧の場合、３００Ｖに等しい。非線形な素子が用いられた場合は、この量はもっと低くなり得、出来る限り低いことが好ましい。上記各式からは、この積に関して下記が成り立つことが導き出される。
（４）$R_{on}\cdot I_{max}=v_{lim}\cdot L/\mu$
ｎ型シリコンに関しては、$v_{lim}=10^{7}$ｃｍ／ｓ及び$E_c=20\times10^{4}$Ｖ／ｃｍとなる。移動度は温度とは無関係であり、（低電界に対しては）１０００～１４００cm^2／Ｖ・ｓの間にある。寸法決めは、例えば、Ｖmaxに関する与えられた値に基づくことになる。この値が例えば７００Ｖとなるべきであれば、領域２１の厚さは約７０μｍとなるべきである。この場合、前記積Ｒon・Ｉmaxは約５０Ｖとなる。その場合にＲonが約１２オームであれば、約４Ａの電流が通過し得る。上記オン抵抗Ｒonは表面積Ａ及び／又はｎ型領域２１のドーピングの調整により調整することができる。Ｒon＝１２オーム及びＬ＝７０μｍを得るには、ドーピング濃度Ｎが10^{14}ａｔ／cm^3の場合表面積Ａは約３mm^2となる。
ここで述べる素子は粗基板技術（robust bulk technology）の一部を形成し、このことは熱放散、熱過渡現象及び高電圧に関して非常に重要である。当該素子は、加えて、製造するに廉価であり、制御機構を必要とせず、整流ブリッジの前側に配置することができ、これにより後者も廉価となる。
第８図は、電力回路内で電流制限器として使用することができる垂直接合電界効果トランジスタの断面図である。この素子も弱めにドープされたｎ型シリコン基体５を有し、該基

体には下側に高度にドープされたドレイン領域９とドレイン接触部１１とが設けられている。ソース領域は多数の高度にドープされたｎ型表面領域３０を有している。ゲート電極は、第２図の実施例におけるように埋め込み領域によっては形成されず、上記各ソース領域３０の間に設けられる多数の高度にドープされたｐ型表面領域３１を有している。ゲート電極３１はソース電極１０によりソース領域３０と短絡されている。動作中では、図において破線で示す空乏領域３３が前記高抵抗領域５中に延び、矢印で示す電流がドレイン領域に流れるチャンネル３４を規定する。この電流制限素子は、先に述べた電流制限素子の略全ての利点を備えるが、非対称な構造を有しているので前記整流ブリッジの後側に接続しなければならない。しかしながら、一方では第２図の埋め込みゲートのようにはゲート電極３１は電気的にフローティング状態ではないので、ゲート電極が電気的に充電されるのを防止することができ、従って降伏の危険性は一層小さくなる。

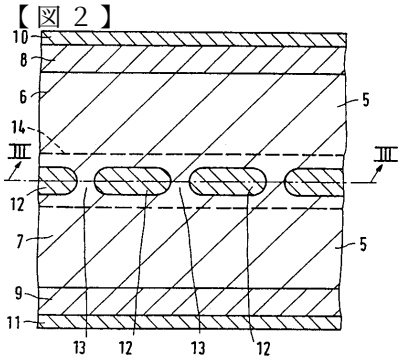
本発明は上述した実施例のみに限定されるべきものではなく、当業者にとっては本発明の範囲内において種々変更することができることは明らかであろう。従って、特に速度飽和に基づく電流制限素子を用いる場合、Ｇｅにおける電荷キャリアの高移動度μと低ドリフト速度v_{lim}のため、Ｓｉの代わりにＧｅの半導体基体を使用することもできる。しかしながら、Ｓｉは素子の製造が簡単であるという利点を有している。

また、前述した各実施例において導電型は逆にすることができる。

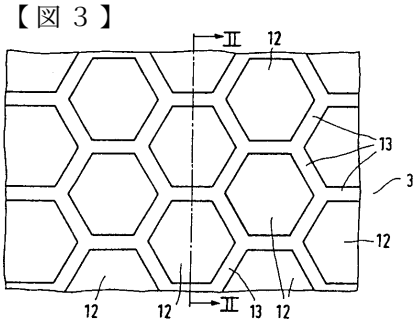
【図１】



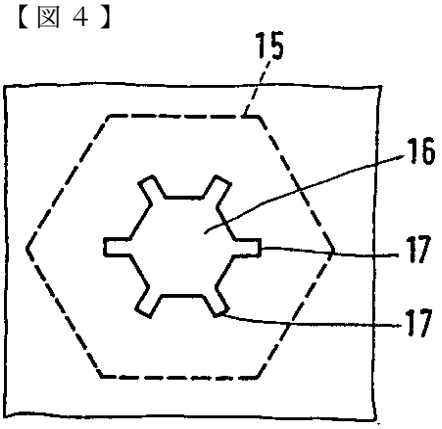
【図２】



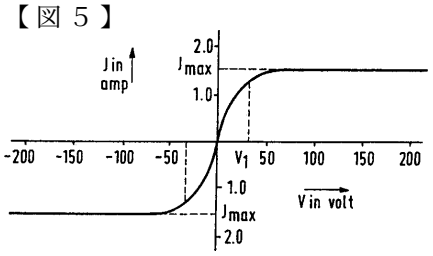
【図３】



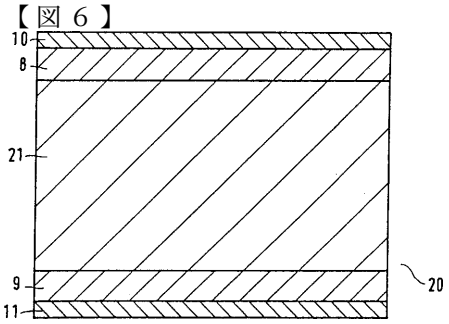
【図４】



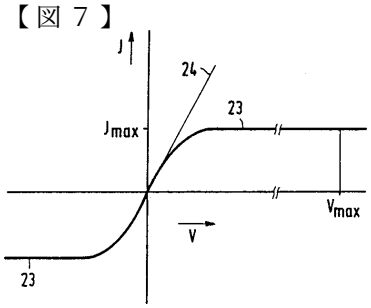
【図５】


Jin amp
2.0
Jmax
1.0
-200
-150
-100
-50
V1
50
100
150
200
1.0
Jmax
2.0
V in volt

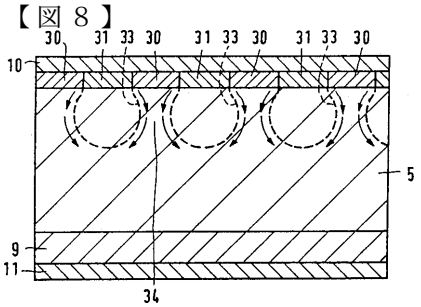
【図６】


10
8
21
9
11
20

【図７】


J
24
23
Jmax
Vmax
V
23

【図８】


30
31
33
30
31
33
30
31
33
30
10
5
9
11
34

フロントページの続き

(74)代理人
弁理士 川崎 康
(74)代理人
弁理士 津軽 進
(74)代理人
弁理士 沢田 雅男
(72)発明者 ルディクフイゼ アドリアヌス ウィレム
オランダ国 ５６２１ ベーアー アインドーフェン フルーネヴァウツウェッハ １

審査官 小川 将之

(56)参考文献 特開昭５０－０４９９８７（ＪＰ，Ａ）
特開平０４－０８４４６６（ＪＰ，Ａ）
特開昭５４－０７７０７５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/337
H01L 29/808
H05B 41/24