

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 3 月 8 日 (08.03.2018)



(10) 国际公布号
WO 2018/040322 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01) **G02F 1/13** (2006.01)

(21) 国际申请号: PCT/CN2016/107603

(22) 国际申请日: 2016 年 11 月 29 日 (29.11.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610793464.1 2016年8月31日 (31.08.2016) CN

(71) 申请人: 深圳市华星光电技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 曾勉 (ZENG, Mian); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

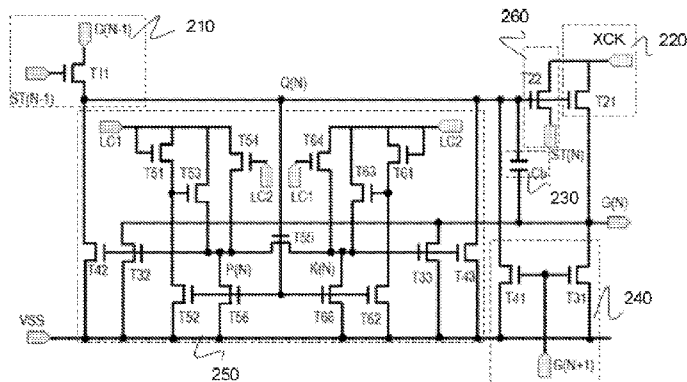
(74) 代理人: 北京聿宏知识产权代理有限公司(YUHONG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市西城区宣武门外大街 6 号庄胜广场第一座西翼 713 室吴大建 / 刘华联, Beijing 100052 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,

(54) Title: GOA DRIVE UNIT AND DRIVE CIRCUIT

(54) 发明名称: 一种GOA驱动单元及驱动电路



(57) Abstract: Disclosed are a GOA drive unit and a drive circuit. The GOA drive unit comprises a first pull-down transistor (T42), a second pull-down transistor (T43), a third pull-down transistor (T32), a fourth pull-down transistor (T33), a fifth pull-down transistor (T56) for maintaining a low voltage of the gate electrodes of the first pull-down transistor (T42) and the third pull-down transistor (T32), and a sixth pull-down transistor (T66) for a maintaining a low voltage of the gate electrodes of the second pull-down transistor (T43) and the fourth pull-down transistor (T33). The drive unit can reliably stabilize the voltage of key circuit nodes in a circuit.

(57) 摘要: 公开了一种GOA驱动单元及驱动电路, 该GOA驱动单元包括第一下拉晶体管 (T42)、第二下拉晶体管 (T43)、第三下拉晶体管 (T32) 和第四下拉晶体管 (T33), 用于维持第一下拉晶体管 (T42) 和第三下拉晶体管 (T32) 栅极低电压的第五下拉晶体管 (T56) 和用于维持第二下拉晶体管 (T43) 和第四下拉晶体管 (T33) 栅极低电压的第六下拉晶体管 (T66)。该驱动单元能够可靠地稳定电路中关键电路节点的电压。

NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明：

- 发明人资格(细则4.17(iv))

本国际公布：

- 包括国际检索报告(条约第21条(3))。

一种 GOA 驱动单元及驱动电路

相关申请的交叉引用

本申请要求享有 2016 年 08 月 31 日提交的名称为“一种 GOA 驱动单元及驱动电路”的中国专利申请 CN201610793464.1 的优先权，该申请的全部内容通过引用并入本文中。

技术领域

本发明属于液晶显示领域，尤其涉及一种 GOA 驱动单元及驱动电路。

背景技术

传统的液晶显示器的驱动电路一般为外部搭载的集成电路模组的形式，如普遍采用的 TAB（Tape Automated Bonding）封装结构。而随着具有超高载流子迁移率特性的低温多晶硅（LTPS，Low Temperature Poly silicon）半导体薄膜晶体管的发展，基于面板周边的集成电路技术逐渐成为研究的焦点，其中典型的应用是阵列基板行驱动技术（GOA，Gate Driver On Array）。

GOA 驱动电路是利用液晶显示器 Array 制程将行（Gate）扫描驱动信号电路制作在阵列基板上来实现对像素单元的逐行驱动扫描。GOA 驱动电路不仅能够减少外接集成电路的焊接工序，提高集成度，还可以提升产能降低生产成本，是中小尺寸液晶显示产品（例如手机，PDA 等）的首选。另外，随着手机智能化进程日益加快，中小尺寸液晶显示设备的触控技术也需要得到相应的技术支持，因此对驱动电路提出了更多要求。

现有的 GOA 驱动电路存在如下问题，一方面，由于晶体管的参数具有很大的分散性，且长期工作后其性能有可能受到影响进一步使其参数改变，使得驱动电路中一些关键电路节点的电压会发生变化，严重时引发设计的时序和功能的失效，进而导致整个 GOA 驱动电路的失效。另一方面，在 GOA 驱动电路制程中，由于电路级数多，晶体管数量巨大等原因，容易发生短路或断路等故障，而由于修复难度较高，因此一旦出现这种情况将导致液晶面板成为次品，严重影响液晶面板产出的良率。

发明内容

本发明所要解决的技术问题之一是需要提供一种改进的 GOA 驱动电路以稳定关键电路节点的电压，防止因元件的参数变化而导致的失效。

为了解决上述技术问题，本申请的实施例首先提供了一种 GOA 驱动单元，包括上拉单元、上拉控制单元、下拉单元、下拉维持单元及自举电容，其特征在于，所述下拉维持单元包括经由桥接晶体管的源极和漏极相连接的镜像电路结构；所述镜像电路结构包括用于维持所述上拉单元的控制信号输入端低电压的第一下拉晶体管和第二下拉晶体管，用于维持所述上拉单元的行扫描信号输出端低电压的第三下拉晶体管和第四下拉晶体管，以及用于维持所述第一下拉晶体管和第三下拉晶体管栅极低电压的第五下拉晶体管和用于维持所述第二下拉晶体管和第四下拉晶体管栅极低电压的第六下拉晶体管；其中，第五下拉晶体管的漏极与所述第一下拉晶体管和第三下拉晶体管的栅极耦接，第六下拉晶体管的漏极与所述第二下拉晶体管和第四下拉晶体管的栅极耦接，所述第五下拉晶体管和第六下拉晶体管的栅极共同耦接于所述上拉单元的控制信号输入端；各下拉晶体管的源极均耦接于第一下拉电压。

优选地，所述第五下拉晶体管和第六下拉晶体管的源极耦接于第二下拉电压，且所述第二下拉电压小于所述第一下拉电压。

优选地，所述第一下拉晶体管和第二下拉晶体管的漏极共同耦接于所述上拉单元的控制信号输入端，所述第三下拉晶体管和第四下拉晶体管的漏极共同耦接于所述上拉单元的行扫描信号输出端。

优选地，所述镜像电路结构还包括镜像的第一交替控制电路和第二交替控制电路，所述第一交替控制电路包括，第七晶体管，其栅极和漏极耦接在一起，用于接收第一交替控制信号；第八晶体管，其栅极和漏极分别与所述第七晶体管的源极和漏极耦接；第九晶体管，其漏极和源极分别与所述第八晶体管的漏极和源极耦接，其栅极用于接收第二交替控制信号；第十晶体管，其漏极与所述第八晶体管的栅极耦接，其栅极和源极分别与所述第五下拉晶体管的栅极和源极耦接；所述第二交替控制电路具有与所述第一交替控制电路镜像的结构，且其第一交替控制信号与第二交替控制信号的输入端互换；所述第一交替控制信号与所述第二交替控制信号交替为高电平和低电平。

优选地，所述交替控制信号的频率小于所述 GOA 驱动单元的扫描时钟信号的频率。

优选地，还包括下传单元，所述下传单元包括下传晶体管，所述下传晶体管的栅极与上拉单元的控制信号输入端耦接，其漏极与所述上拉单元的时钟信号输入端耦接，其源极生成作用于后一级 GOA 驱动单元的下传信号。

另一方面，还提供了一种 GOA 驱动电路，由上述 GOA 驱动单元级联构成的 GOA 驱动电路，将频率相等、相位相反的两个扫描时钟信号隔行输入至各 GOA 驱动单元。

本申请的实施例还提供了另一种 GOA 驱动单元，如上述 GOA 驱动单元，去除所述桥接晶体管。

优选地，还包括下传单元，所述下传单元包括下传晶体管，所述下传晶体管的栅极与上拉单元的控制信号输入端耦接，其漏极与所述上拉单元的时钟信号输入端耦接，其源极生成作用于后一级 GOA 驱动单元的下传信号。

另一方面，还提供了另一种 GOA 驱动电路，由上述 GOA 驱动单元级联构成的 GOA 驱动电路，将频率相等、相位相反的两个扫描时钟信号隔行输入至各 GOA 驱动单元。

与现有技术相比，上述方案中的一个或多个实施例可以具有如下优点或有益效果：

通过优化 GOA 驱动单元的电路结构，能够可靠地稳定电路中关键电路节点的电压，提高电路的信号输出能力。同时具有一定的自修复能力。进而提高 GOA 面板良率，改善 GOA 面板显示品质。

本发明的其他优点、目标，和特征在某种程度上将在随后的说明书中进行阐述，并且在某种程度上，基于对下文的考察研究对本领域技术人员而言将是显而易见的，或者可以从本发明的实践中得到教导。本发明的目标和其他优点可以通过下面的说明书，权利要求书，以及附图中所特别指出的结构来实现和获得。

附图说明

附图用来提供对本申请的技术方案或现有技术的进一步理解，并且构成说明书的一部分。其中，表达本申请实施例的附图与本申请的实施例一起用于解释本申请的技术方案，但并不构成对本申请技术方案的限制。

图 1 为现有技术中的 GOA 驱动单元的结构示意图；

图 2 为根据本发明一实施例的 GOA 驱动单元的结构示意图；

图 3 为根据本发明一实施例的 GOA 驱动单元工作时的信号波形示意图；

图 4 为根据本发明另一实施例的 GOA 驱动单元的结构示意图；

图 5a-图 5b 分别为当桥接晶体管 T55 发生断路和发生短路时的电路结构示意图；

图 6 为根据本发明又一实施例的 GOA 驱动单元的结构示意图。

具体实施方式

以下将结合附图及实施例来详细说明本发明的实施方式，借此对本发明如何应用技术手段来解决技术问题，并达成相应技术效果的实现过程能充分理解并据以实施。本申请实施例以及实施例中的各个特征，在不相冲突前提下可以相互结合，所形成的技术方案均在本发明的保护范围之内。

现有的 GOA 驱动电路通常包括级联的多个 GOA 驱动单元，每一级 GOA 驱动单元对应驱动一级水平的行扫描线。图 1 为现有技术中的 GOA 驱动单元的结构示意图，如图所示，GOA 驱动单元的主要结构包括上拉控制单元 110 (Pull-up control part)，上拉单元 120 (Pull-up part)，下拉单元 140 (Key Pull-down Part) 和下拉维持单元 150 (Pull-down Holding Part)，以及自举 (Boast) 电容 130。

其中，下拉维持单元 150 是具有镜像结构的电路，当晶体管长期处于直流信号作用时，会产生直流应力 (DC Stress)，其性能会受到影响，引发晶体管的失效，镜像电路能够降低直流信号作用所导致的直流应力的影响。但该镜像电路中的关键电路节点 (P (N) 和 K (N)) 存在电压不稳定的问题 (后面详述)，有可能导致电路的失效，本发明的 GOA 驱动单元基于上述基本结构进行改进，使驱动单元具有自修复能力，下面结合具体的实施例详细说明。

图 2 为根据本发明一实施例的 GOA 驱动单元的结构示意图，如图所示，该第 N 级 GOA 驱动单元控制对显示区域的第 N 行水平扫描线 G (N) 充电，包括上拉控制单元 210，上拉单元 220，自举电容 230，下拉单元 240，下拉维持单元 250 以及下传单元 260。

具体的，上拉控制单元 210 主要用于控制上拉单元 220 的开启时间，实现液晶面板的逐行扫描。上拉控制单元 210 可以由上拉控制晶体管 T11 构成。从图 2 中可以看出，该上拉控制晶体管 T11 的栅极接收 ST (N-1) 信号，该信号为来自上一级 (第 N-1 级) 的 GOA 驱动单元产生的下传信号。

现有技术中 (如图 1 所示)，一般采用上一级的输出信号，即行扫描信号 G

(N-1) 来启动下一级的驱动单元，上拉控制晶体管 T11 的漏极和栅极耦接在一起，接收前一级 GOA 驱动单元输出的行扫描信号，其源极生成作用于上拉单元的控制信号输入端的扫描控制信号。则此时 T11 相当于一个二极管，即 T11 的栅源电压 $V_{gs}=0$ ，在 T11 内部会存在较大的漏电流。

在本发明的实施例中，增加了下传单元 260。如图 2 所示，下传单元 260 主要由下传晶体管 T22 构成。该下传晶体管 T22 的栅极和漏极均与上拉单元 220 相连接，其中 T22 的栅极与上拉单元 220 的控制信号输入端耦接，T22 的漏极与上拉单元 220 的时钟信号输入端耦接，T22 的源极生成并输出下传信号 ST(N)，作用于后一级（第 N+1 级）GOA 驱动单元的上拉控制晶体管 T11 的栅极。T11 的漏极和源极分别连接第 N-1 级水平扫描线 G(N-1) 和第 N 级的 Q(N) 点。由于下传信号 ST(N-1) 的低电位为时钟信号 CK（或 XCK）的低电平，一般为 -8V。行扫描信号 G(N-1) 的低电位则为 VSS，一般为 -6V，即 T11 的栅源电压 $V_{gs}<0$ ，因此通过增加下传单元 260 可以减少本级 Q 点在 holding 时的漏电。

上拉控制单元 210 在上一级驱动单元产生的下传信号 ST(N-1) 和行扫描输出信号 G(N-1) 的作用下，生成扫描控制信号 Q(N)。扫描控制信号 Q(N) 负责整个 GOA 驱动单元的正确工作时序。当行扫描进行到第 N 级时，Q(N) 为高电平，可用于开启上拉单元 220 输出行扫描信号。当第 N 级处于非行扫描状态时，需要保证 Q(N) 为可靠的低电平，使上拉单元 220 不输出。因此，在 GOA 驱动单元以及驱动电路的设计中，必须保证 Q(N) 的时序正确。

上拉单元 220 主要负责将扫描时钟信号 (Clock) 输出为栅极的行扫描信号。如图 2 所示，上拉单元 220 可以由上拉晶体管 T21 构成。上拉晶体管 T21 的栅极作为上拉单元 220 的控制信号输入端接收由上拉控制单元 210 生成的扫描控制信号 Q(N)，T21 的漏极作为上拉单元 220 的时钟信号输入端接收扫描时钟信号 XCK，T21 的源极作为上拉单元 220 的行扫描信号输出端，连接第 N 行水平扫描线 G(N)，生成并输出行扫描信号 G(N)。

另外，图 2 中的 230 为自举电容，该自举电容的作用是在 Q(N) 为高电平时，存储上拉晶体管 T21 栅源端的电压，当 G(N) 输出高电平的行扫描信号后，自举电容可以二次抬升上拉晶体管 T21 的栅极的电位，以保证上拉晶体管 T21 可靠地开启与输出行扫描信号。在完成本行的扫描时序后，G(N) 输出低电平，并在其他行进行扫描的时候一直维持这个低电平。

下拉单元 240 用于在第一时间将上拉晶体管 T21 的源极电位和栅极电位拉低

为低电位，即关闭行扫描信号 $G(N)$ 。如图 2 所示，下拉单元 240 包括下拉晶体管 T31 和下拉晶体管 T41。其中，T31 用于下拉行扫描信号 $G(N)$ 的电位，T31 的漏极与上拉单元 220 的行扫描信号输出端耦接，即作用于第 N 行水平扫描线。T41 用于下拉扫描控制信号 $Q(N)$ ，以便关闭上拉晶体管 T21。T41 的漏极与上拉单元 220 的控制信号输入端耦接。T31 与 T41 的栅极耦接在一起，并与第 $N+1$ 行的水平扫描线 $G(N+1)$ 相连接，即接收接后一级 GOA 驱动单元的行扫描信号 $G(N+1)$ ，由下一行的有效的行扫描信号控制本行行扫描信号的关闭，实现逐行扫描。T31 与 T41 的源极共同耦接于直流低电平 VSS 。

当后一级的行扫描信号 $G(N+1)$ 回到低电平后，将不能维持 $G(N)$ 和 $Q(N)$ 的低电平，因此，在 GOA 驱动单元中，采用下拉维持单元 250 将 $G(N)$ 和 $Q(N)$ 维持 (Holding) 在关闭状态 (即负电位)。

如图 2 所示，下拉维持单元 250 中的镜像电路结构由桥接晶体管 T55 连接。具体的，T55 的源极 (或漏极) 与左边的镜像电路结构耦接于 $P(N)$ 点，T55 的漏极 (或源极) 与右边的镜像电路结构耦接于 $K(N)$ 点。左右电路结构相对于 T55 镜像对称。T55 的栅极接于上拉单元 220 的控制信号输入端，即由扫描控制信号 $Q(N)$ 控制。工作时，左右的镜像电路结构交替工作，能够有效减少晶体管处于直流信号作用时的时间，进而降低直流应力的影响，避免由于直流应力所导致的晶体管的失效，提高了整个 GOA 驱动单元 (GOA 驱动电路) 的可靠性。

如图 2 所示，镜像电路结构包括第一下拉晶体管 T42 和第二下拉晶体管 T43。T42 的栅极与 T55 的源极 (或漏极) 耦接，T43 的栅极与 T55 的漏极 (或源极) 耦接，T42 和 T43 的漏极共同耦接于上拉单元 220 的控制信号输入端，用于维持上拉单元 220 的控制信号输入端的关态电压。镜像电路结构还包括第三下拉晶体管 T32 和第四下拉晶体管 T33，T32 的栅极与 T55 的源极 (或漏极) 耦接，T33 的栅极与 T55 的漏极 (或源极) 耦接，T32 和 T33 的漏极共同耦接于上拉单元 220 的行扫描信号输出端，用于维持上拉单元 220 的行扫描信号输出端的关态电压。

进一步地，如图 2 所示，镜像电路结构包括用于维持第一下拉晶体管 T42 和第三下拉晶体管 T32 栅极关态电压的第五下拉晶体管 T56，以及用于维持第二下拉晶体管 T43 和第四下拉晶体管 T33 栅极关态电压的第六下拉晶体管 T66。其中，第五下拉晶体管 T56 的漏极与第一下拉晶体管 T42 和第三下拉晶体管 T32 的栅极耦接，第六下拉晶体管 T66 的漏极与第二下拉晶体管 T43 和第四下拉晶

晶体管 T33 的栅极耦接, T56 和 T66 的栅极共同耦接于上拉单元 220 的控制信号输入端, 即由扫描控制信号 Q (N) 控制。各下拉晶体管的源极均耦接于第一下拉电压, 即直流低电压 VSS。

协调两个镜像电路结构交替工作由第一交替控制电路和第二交替控制电路完成。如图 2 所示, 第一交替控制电路包括, 晶体管 T51, 其栅极和漏极耦接在一起, 用于接收第一交替控制信号 LC1。晶体管 T53, 其栅极和漏极分别与晶体管 T51 的源极和漏极耦接。晶体管 T54, 其漏极和源极分别与晶体管 T53 的漏极和源极耦接, 其栅极用于接收第二交替控制信号 LC2。晶体管 T52, 其漏极与晶体管 T53 的栅极耦接, 其栅极和源极分别与下拉晶体管 T56 的栅极和源极耦接。

第二交替控制电路具有与第一交替控制电路镜像的结构, 不再赘述。且其第一交替控制信号与第二交替控制信号的输入端互换, 如图 2 所示。

第一交替控制信号 LC1 与第二交替控制信号 LC2 交替为高电平和低电平以控制镜像电路结构的交替工作, 下面结合图 2 的工作时序图说明上述工作过程。

图 3 给出了第 N 级驱动单元的各信号波形图, 当将多级驱动单元级联构成 GOA 驱动电路时, 为了减轻 GOA 驱动电路的负载, 提高驱动能力, 一般采用多个扫描时钟信号联合驱动。图 3 中的实施例以两个扫描时钟信号 CK 和 XCK 为例进行说明, CK 和 XCK 频率相等、相位相反, 隔行输入至各 GOA 驱动单元的上拉单元 220 的时钟信号输入端。需要注意的是, 在图 2 中未示出时钟信号 CK, CK 连接于第 N-1 级驱动单元。

STV 是 GOA 驱动电路的行扫描触发信号, 作用于 GOA 驱动电路的第 1 级驱动单元。在某个 CK 时钟信号的高电平期间, 第 N-1 级驱动单元输出有效的行扫描信号 G (N-1) 和下行信号 ST (N-1), 第 N 级驱动单元的上拉控制晶体管 T11 即被开启, 扫描控制信号 Q (N) 达到第一电压值, 该第一电压值能够开启第 N 级驱动单元的上拉晶体管 T21 和下行晶体管 T22。

T21 和 T22 开启后, 当 XCK 时钟信号的高电平到达时, 行扫描信号 G (N) 和下行信号 ST (N) 同时输出 XCK 的高电平, 在对第 N 行像素进行行扫描的同时, 第 N+1 级驱动单元的上拉控制晶体管接收到 G (N) 和 ST (N) 的高电平, 当下一行的行扫描信号 G (N+1) 为高电平后, 第 N 级驱动单元的下拉晶体管 T31 和 T41 被开启, 进而将 G (N) 和 Q (N) 拉低为低电平, 关闭第 N 行像素的扫描。当 G (N+1) 回复到低电平后, G (N) 和 Q (N) 的低电平由下拉维持单元 250 维持。

下拉维持单元 250 在 Q (N) 为高电平时不开启任何下拉晶体管 (T42、T43、T32 和 T33)，以保证驱动单元的正常扫描。在 Q (N) 为低电平后，启动一侧的镜像电路结构维持 G (N) 和 Q (N) 的低电平。

现有技术中的下拉维持单元 150 如图 1 所示，使 LC1 为高电平，LC2 为低电平。当 Q (N) 为高电平时，T52 和 T62 被开启。其中，由于 T52 被开启，因此拉低 T53 的栅极（即 T51 的源极）电压，在 LC1 高电平的作用下，T51 被开启，在 T51 开启后，T53 的栅极电压被调整为 T51 和 T52 的导通电阻在压差为 LC1 -VSS 的分压值。T53 的栅极电压会升高，且有可能升高到使 T53 开启。

另一侧，在 LC1 和 LC2 的作用下，T64 开启，开启后拉低 K (N) 点的电位，因此 T55 开启。在 T53、T55 和 T64 均开启的情况下，P (N) 和 K (N) 的电位为 T53、T55 和 T64 三个晶体管的导通电阻在压差为 LC1-LC2 的分压值，且 P (N) 点电位高于 K (N) 点电位。因此 P (N) 和 K (N) 的电位不一定均处于 T42、T32 和 T43、T33 的最佳关态电压处，从而可能造成 T42、T32 或者 T43、T33 的漏电流较大，严重者还有可能导致 T42 和 T32 开启，使得 Q (N) 的维持 (Holding) 能力不够，从而影响了输出信号。特别是针对于大尺寸面板的 GOA 驱动电路，为了减轻驱动电路的负载，会设计 1 传 3、或 1 传 4 等信号的传输，这就要求 Q (N) 点维持 3~4 行时间的开启状态，对其 Holding 能力要求更高。

本发明实施例中的下拉维持单元 250 解决了上述问题，如图 2 所示，当 Q(N) 为高电平时，T56 和 T66 也同时被开启，其中，T56 开启后将 P (N) 点的电位拉低至低电压，T66 开启后将 K (N) 点的电位拉低至低电压，这样就可以使得 T42 和 T43 以及 T32 和 T33 均处于可靠的关闭状态以保证输出，提高 Q (N) 点的 Holding 能力。此时即使 T53 在 T51 和 T52 的分压下开启了，P (N) 点的电位仍然可以在 T56 的作用下下拉至较低的电位，K (N) 点的电位仍然可以在 T66 的作用下下拉至较低的电位，即 P (N) 点和 K (N) 点的电位不再仅由 T53、T55 和 T64 的分压决定，本实施例能够显著地增加其 GOA 驱动电路的可靠性。

在本发明的实施例中，P (N) 点和 K (N) 点被拉低至同一低电位，因此可以将该下拉的电位设计成 T42、T32 和 T43、T33 的最佳关态电压，可最大程度上降低其漏电流，保证其 Q(N)点的电位 Holding 能力。

在其他的实施例中，可以将下拉晶体管 T56 和 T66 的源极耦接于一不同于第一下拉电压的第二下拉电压，如图 4 所示。其中，T42 和 T43 以及 T32 和 T33 仍耦接于原第一下拉电压（在图 4 中以 VSS1 表示），T52 和 T62 以及 T56 和

T66 耦接于第二下拉电压 VSS2。通过调节 VSS2 的信号电压值，同时将 P(N) 和 K(N) 的电位拉至更低位。当设计生产的液晶面板由于制程变异等原因未通过信赖性验证等要求时，可以通过重新调整 VSS1 以及 VSS2 的电压值来进行重新设计，即只需通过 PCB 电路板上的调整即可使液晶面板达到测试要求，而不需要重新设计 GOA 电路。因此，本实施例能够增加设计自由度，更大程度上增加 GOA 电路的自调节能力。

本发明实施例的 GOA 驱动单元具有较强的自修复能力，具体体现在，当桥接晶体管 T55 发生断路或短路时，驱动单元仍能正常工作以完成设计的功能，下面结合图 5a 和图 5b 进行说明。

图 5a 为当桥接晶体管 T55 发生断路时的电路结构示意图，如图所示，使 LC1 为高电平，LC2 为低电平。当 Q(N) 为高电平时，T52 和 T62 以及 T56 和 T66 同时被开启。T56 和 T66 可以分别将 P(N) 点和 K(N) 点拉低为低电平，使得 T42 和 T43 以及 T32 和 T33 均处于关闭状态，保证驱动单元的正常输出。当 Q(N) 为低电平时，T52 和 T62 以及 T56 和 T66 同时关闭，由于 T51 的开启，使得 T53 的栅极的电位逐渐升高，当该电位升至 T53 的开启电压后，T53 被开启，进而 P(N) 点的电位被拉升至高电平，T42 和 T32 被开启，T42 和 T32 开启后会拉低扫描控制信号 Q(N) 点和行扫描信号 G(N) 点的高电压值。

而另一侧，由于 T66 关闭，T64 仍处于开启状态，因此 K(N) 点的电压经过调整仍然保持为低电平，即 T32 和 T33 仍处于关闭的非工作状态。可以看出，当桥接晶体管 T55 发生断路时，该实施例的驱动单元仍可以正常工作，即具有自修复能力。

进一步地，如图 5a 所示的电路能够完成原实施例的电路功能，因此可以将图 5a 所示的电路直接应用为实施例以解决 GOA 驱动电路中关键电路节点电压不稳定的问题的。容易理解的是，还可以将直流低电压 VSS1 和 VSS2 合并为一个电压 VSS，虽然牺牲了一定的设计自由度，但可以简化布线。

图 5b 为当桥接晶体管 T55 发生短路时的电路结构示意图，如图所示，图中虚线表示 T55 发生了短路，P(N) 和 K(N) 相当于连接在一起，利用对图 5a 所采用的分析过程可知（不再赘述），本实施例的驱动单元发生短路时镜像电路结构仍然能够完成设计功能，表现出一定的自修复能力。但左右的镜像电路结构同时工作，即不再具备交替工作的能力。

本发明实施例的 GOA 驱动单元，通过优化 GOA 驱动单元的电路结构，能

够可靠地稳定电路中关键电路节点的电压，提高电路的信号输出能力。同时具有一定的自修复能力。进而提高 GOA 面板良率，改善 GOA 面板显示品质。

虽然本发明所揭露的实施方式如上，但所述的内容只是为了便于理解本发明而采用的实施方式，并非用以限定本发明。任何本发明所属技术领域内的技术人员，在不脱离本发明所揭露的精神和范围的前提下，可以在实施的形式上及细节上作任何的修改与变化，但本发明的专利保护范围，仍须以所附的权利要求书所界定的范围为准。

权利要求书

1. 一种 GOA 驱动单元，包括上拉单元、上拉控制单元、下拉单元、下拉维持单元及自举电容，其中，

所述下拉维持单元包括经由桥接晶体管的源极和漏极相连接的镜像电路结构；

所述镜像电路结构包括用于维持所述上拉单元的控制信号输入端低电压的第一下拉晶体管和第二下拉晶体管，用于维持所述上拉单元的行扫描信号输出端低电压的第三下拉晶体管和第四下拉晶体管，以及用于维持所述第一下拉晶体管和第三下拉晶体管栅极低电压的第五下拉晶体管和用于维持所述第二下拉晶体管和第四下拉晶体管栅极低电压的第六下拉晶体管；

其中，第五下拉晶体管的漏极与所述第一下拉晶体管和第三下拉晶体管的栅极耦接，第六下拉晶体管的漏极与所述第二下拉晶体管和第四下拉晶体管的栅极耦接，所述第五下拉晶体管和第六下拉晶体管的栅极共同耦接于所述上拉单元的控制信号输入端；

各下拉晶体管的源极均耦接于第一下拉电压。

2. 根据权利要求 1 所述的 GOA 驱动单元，其中，所述第五下拉晶体管和第六下拉晶体管的源极耦接于第二下拉电压，且所述第二下拉电压小于所述第一下拉电压。

3. 根据权利要求 1 所述的 GOA 驱动单元，其中，所述第一下拉晶体管和第二下拉晶体管的漏极共同耦接于所述上拉单元的控制信号输入端，所述第三下拉晶体管和第四下拉晶体管的漏极共同耦接于所述上拉单元的行扫描信号输出端。

4. 根据权利要求 3 所述的 GOA 驱动单元，其中，所述镜像电路结构还包括镜像的第一交替控制电路和第二交替控制电路，

所述第一交替控制电路包括，

第七晶体管，其栅极和漏极耦接在一起，用于接收第一交替控制信号；

第八晶体管，其栅极和漏极分别与所述第七晶体管的源极和漏极耦接；

第九晶体管，其漏极和源极分别与所述第八晶体管的漏极和源极耦接，其栅极用于接收第二交替控制信号；

第十晶体管，其漏极与所述第八晶体管的栅极耦接，其栅极和源极分别与所述第五下拉晶体管的栅极和源极耦接；

所述第二交替控制电路具有与所述第一交替控制电路镜像的结构，且其第一交替控制信号与第二交替控制信号的输入端互换；

所述第一交替控制信号与所述第二交替控制信号交替为高电平和低电平。

5. 根据权利要求 4 所述的 GOA 驱动单元，其中，所述交替控制信号的频率小于所述 GOA 驱动单元的扫描时钟信号的频率。

6. 根据权利要求 1 所述的 GOA 驱动单元，其中，还包括下传单元，所述下传单元包括下传晶体管，所述下传晶体管的栅极与上拉单元的控制信号输入端耦接，其漏极与所述上拉单元的时钟信号输入端耦接，其源极生成作用于后一级 GOA 驱动单元的下传信号。

7. 一种由 GOA 驱动单元级联构成的 GOA 驱动电路，所述 GOA 驱动单元包括上拉单元、上拉控制单元、下拉单元、下拉维持单元及自举电容，其中，

所述下拉维持单元包括经由桥接晶体管的源极和漏极相连接的镜像电路结构；

所述镜像电路结构包括用于维持所述上拉单元的控制信号输入端低电压的第一下拉晶体管和第二下拉晶体管，用于维持所述上拉单元的行扫描信号输出端低电压的第三下拉晶体管和第四下拉晶体管，以及用于维持所述第一下拉晶体管和第三下拉晶体管栅极低电压的第五下拉晶体管和用于维持所述第二下拉晶体管和第四下拉晶体管栅极低电压的第六下拉晶体管；

其中，第五下拉晶体管的漏极与所述第一下拉晶体管和第三下拉晶体管的栅极耦接，第六下拉晶体管的漏极与所述第二下拉晶体管和第四下拉晶体管的栅极耦接，所述第五下拉晶体管和第六下拉晶体管的栅极共同耦接于所述上拉单元的控制信号输入端；

各下拉晶体管的源极均耦接于第一下拉电压；

还包括下传单元，所述下传单元包括下传晶体管，所述下传晶体管的栅极与上拉单元的控制信号输入端耦接，其漏极与所述上拉单元的时钟信号输入端耦接，其源极生成作用于后一级 GOA 驱动单元的下传信号；

其中，所述 GOA 驱动电路将频率相等、相位相反的两个扫描时钟信号隔行输入至各 GOA 驱动单元。

8. 一种 GOA 驱动单元，包括上拉单元、上拉控制单元、下拉单元、下拉维持单元及自举电容，其中，

所述下拉维持单元包括镜像电路结构；

所述镜像电路结构包括用于维持所述上拉单元的控制信号输入端低电压的第一下拉晶体管和第二下拉晶体管，用于维持所述上拉单元的行扫描信号输出端低电压的第三下拉晶体管和第四下拉晶体管，以及用于维持所述第一下拉晶体管和第三下拉晶体管栅极低电压的第五下拉晶体管和用于维持所述第二下拉晶体管和第四下拉晶体管栅极低电压的第六下拉晶体管；

其中，第五下拉晶体管的漏极与所述第一下拉晶体管和第三下拉晶体管的栅极耦接，第六下拉晶体管的漏极与所述第二下拉晶体管和第四下拉晶体管的栅极耦接，所述第五下拉晶体管和第六下拉晶体管的栅极共同耦接于所述上拉单元的控制信号输入端；

各下拉晶体管的源极均耦接于第一下拉电压；

所述第一下拉晶体管和第二下拉晶体管的漏极共同耦接于所述上拉单元的控制信号输入端，所述第三下拉晶体管和第四下拉晶体管的漏极共同耦接于所述上拉单元的行扫描信号输出端；

所述镜像电路结构还包括镜像的第一交替控制电路和第二交替控制电路，
所述第一交替控制电路包括，

第七晶体管，其栅极和漏极耦接在一起，用于接收第一交替控制信号；

第八晶体管，其栅极和漏极分别与所述第七晶体管的源极和漏极耦接；

第九晶体管，其漏极和源极分别与所述第八晶体管的漏极和源极耦接，其栅极用于接收第二交替控制信号；

第十晶体管，其漏极与所述第八晶体管的栅极耦接，其栅极和源极分别与所述第五下拉晶体管的栅极和源极耦接；

所述第二交替控制电路具有与所述第一交替控制电路镜像的结构，且其第一交替控制信号与第二交替控制信号的输入端互换；

所述第一交替控制信号与所述第二交替控制信号交替为高电平和低电平。

9. 根据权利要求 8 所述的 GOA 驱动单元，其中，还包括下传单元，所述下传单元包括下传晶体管，所述下传晶体管的栅极与上拉单元的控制信号输入端耦接，其漏极与所述上拉单元的时钟信号输入端耦接，其源极生成作用于后一级 GOA 驱动单元的下传信号。

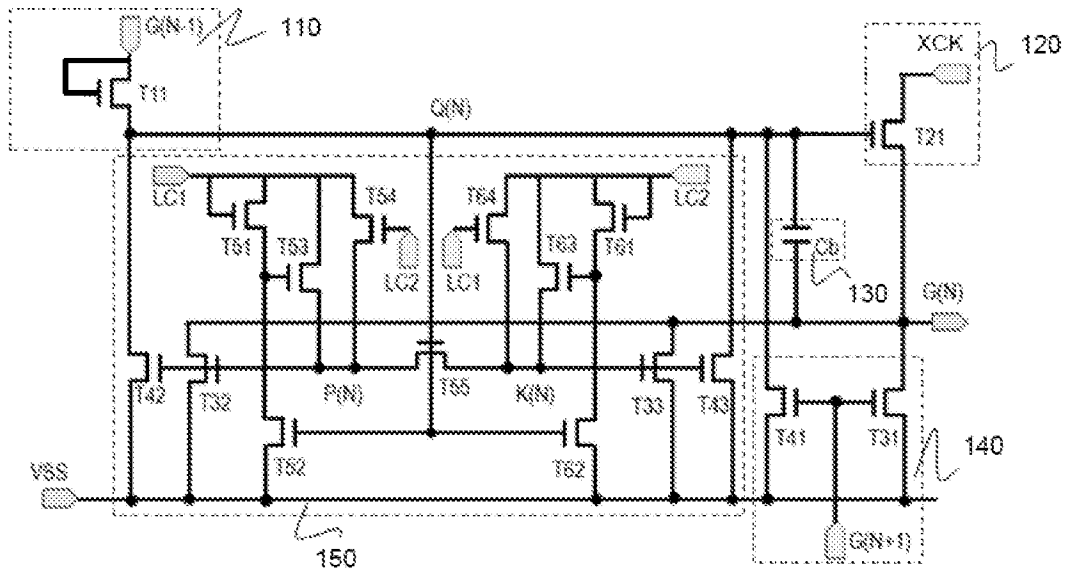


图 1

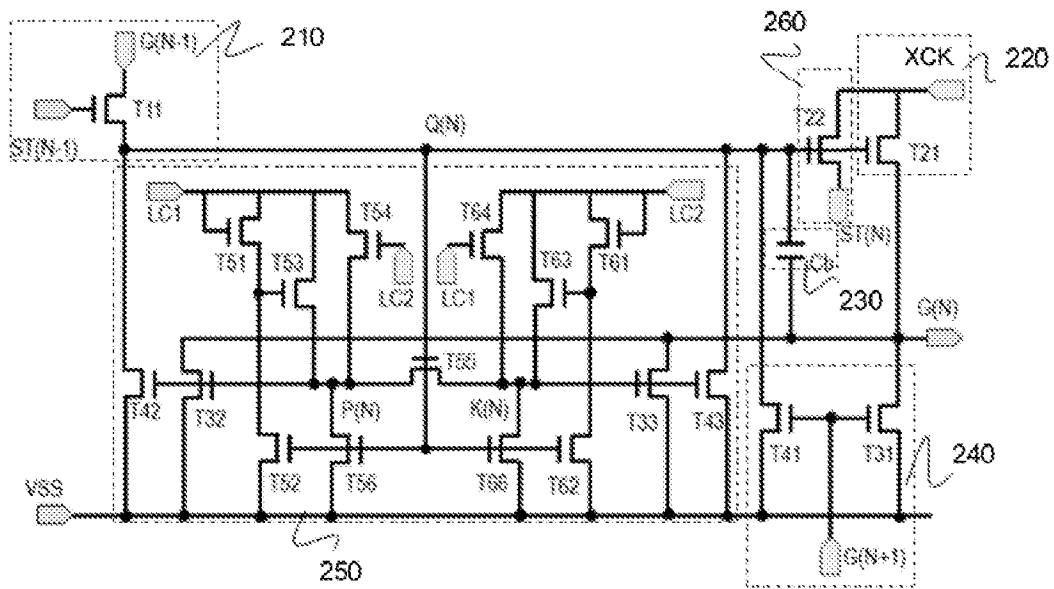


图 2

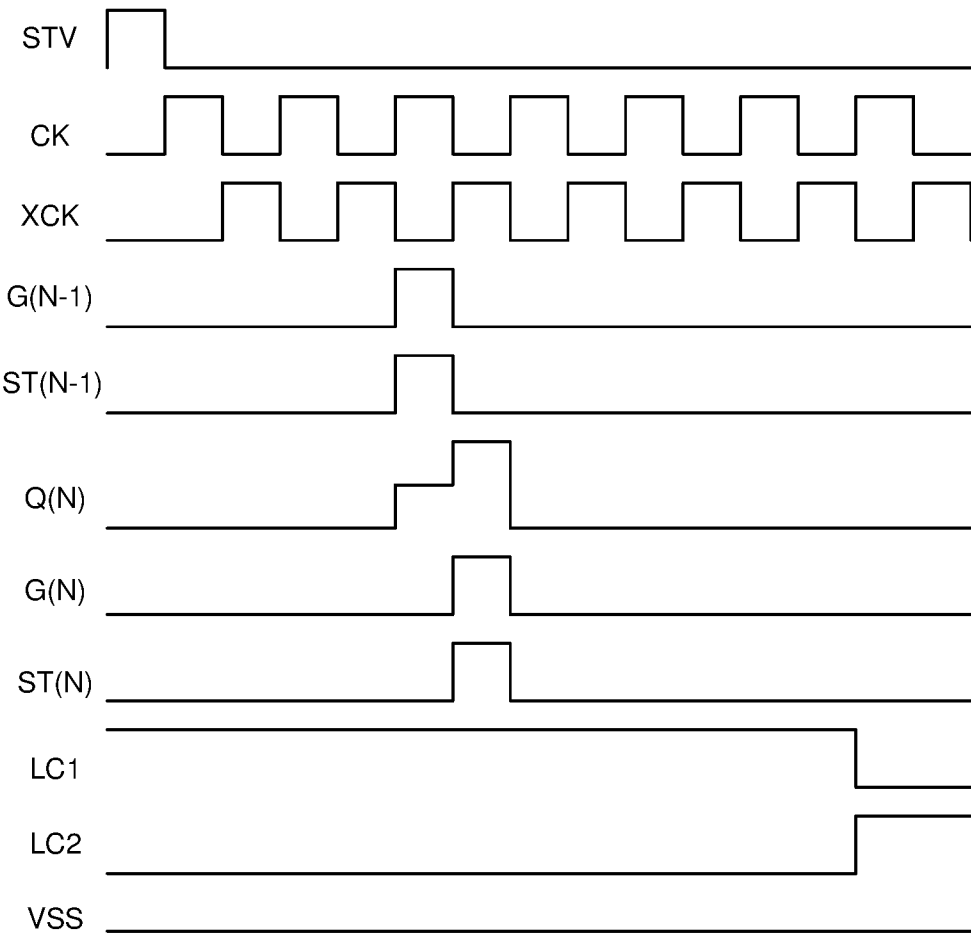


图 3

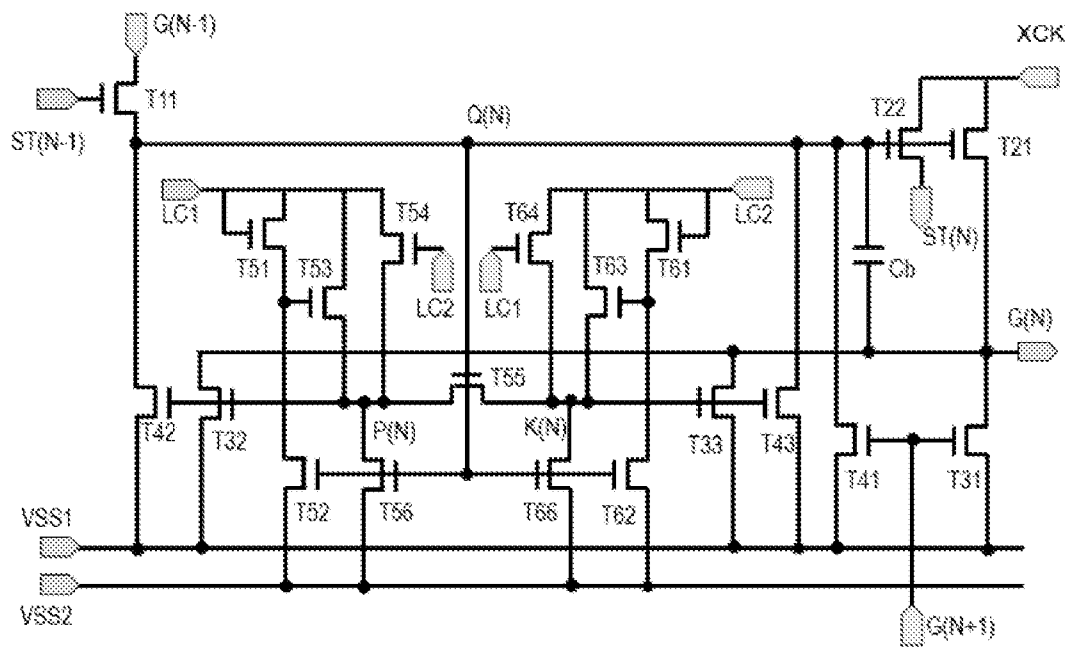


图 4

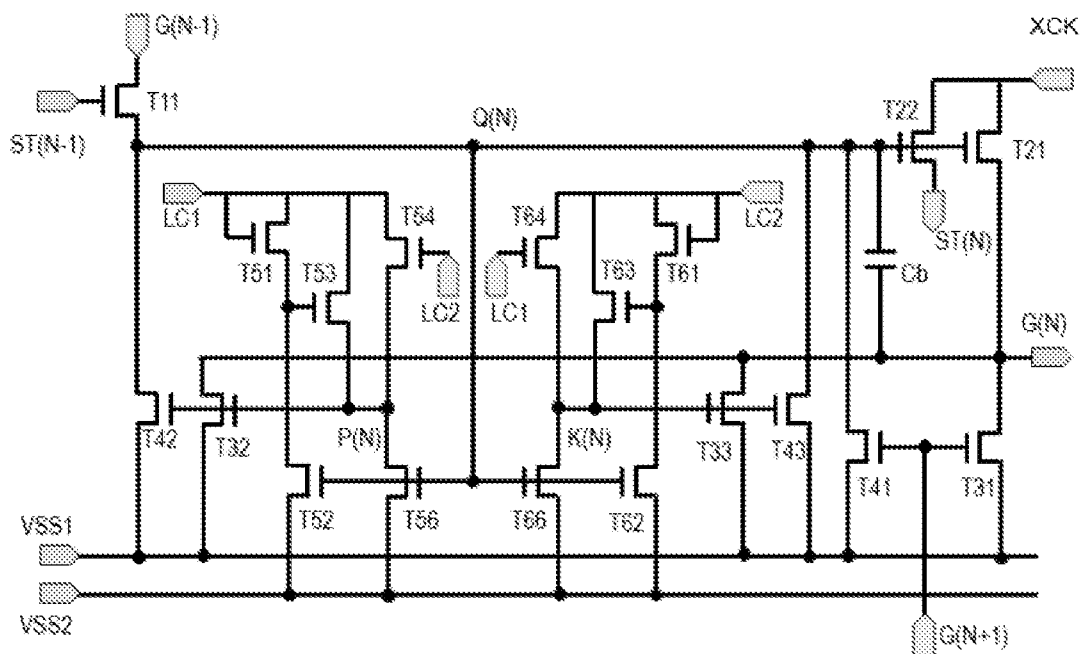


图 5a

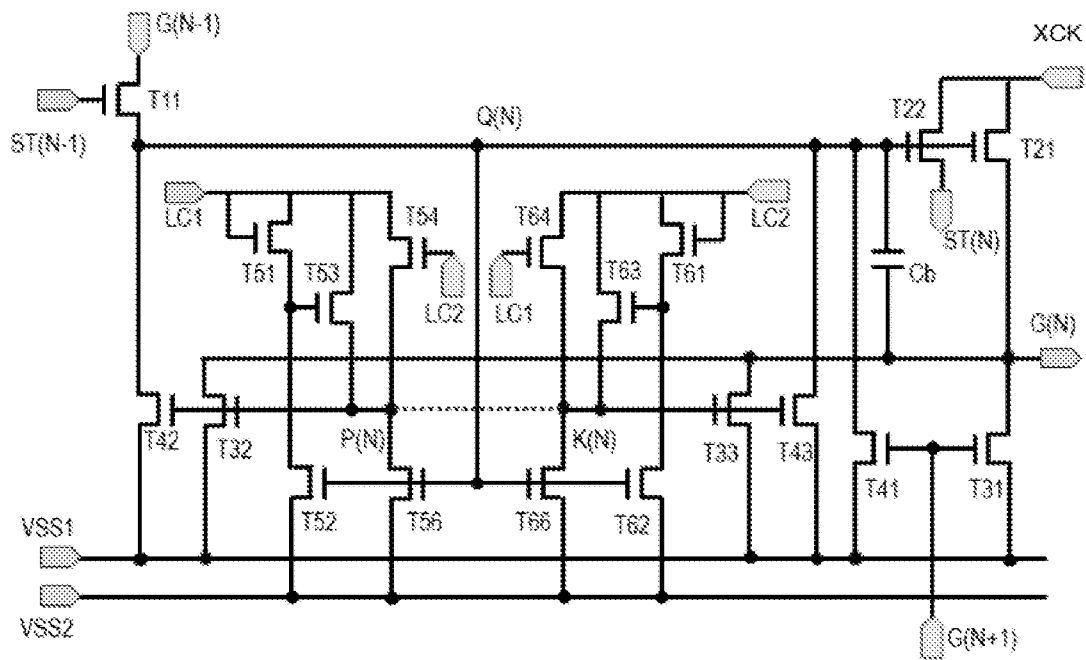


图 5b

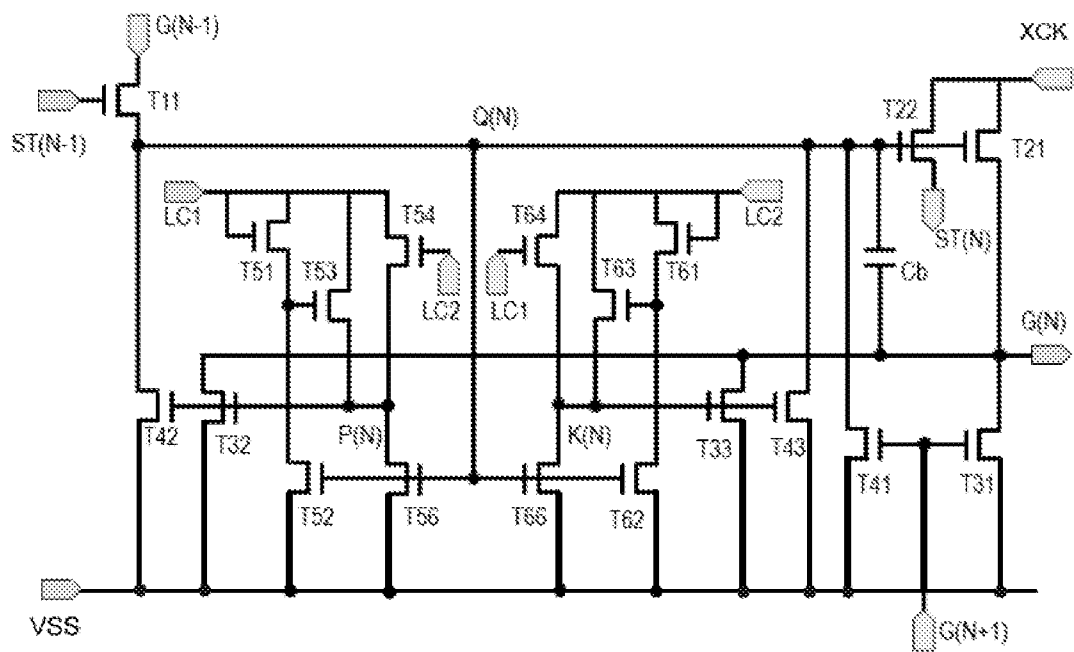


图 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/107603

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i; G02F 1/13 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G02F; H04N

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN, CNKI: 下拉, 下传, 下拉维持, 恶化, 劣化, 故障, 短路, 断路, 变化, 稳定, pull 3d down, pull 3d up, deteriorat+, worse+, degradat+, impair+, short+, shutdown, open, off, disconnect+, break, broken, n-1, N-1, GOA

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104517575 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 15 April 2015 (15.04.2015), description, paragraphs [0024]-[0046], and figures 1-6	1-9
A	CN 104517577 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 15 April 2015 (15.04.2015), entire document	1-9
A	CN 1457059 A (ALPS ELECTRIC CO., LTD.), 19 November 2003 (19.11.2003), entire document	1-9
A	US 2011150169 A1 (AU OPTRONICS CORP.), 23 June 2011 (23.06.2011), entire document	1-9
A	US 2007035505 A1 (AU OPTRONICS CORP.), 15 February 2007 (15.02.2007), entire document	1-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 25 May 2017	Date of mailing of the international search report 06 June 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LUO, Yun Telephone No. (86-10) 62085874

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/107603

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104517575 A	15 April 2015	US 9564097 B2	07 February 2017
		US 2016343332 A1	24 November 2016
		WO 2016095267 A1	23 June 2016
		CN 104517575 B	12 April 2017
CN 104517577 A	15 April 2015	US 2016343334 A1	24 November 2016
		US 9620073 B2	11 April 2017
		CN 104517577 B	12 October 2016
		WO 2016106823 A1	07 July 2016
CN 1457059 A	19 November 2003	JP 3774678 B2	17 May 2006
		TW 200402066 A	01 February 2004
		KR 100542060 B1	10 January 2006
		CN 1279544 C	11 October 2006
		JP 2003331594 A	21 November 2003
		US 2003210220 A1	13 November 2003
		TW 1223271 B	01 November 2004
		KR 20030087927 A	15 November 2003
		TW 201123728 A	01 July 2011
		TW I384756 B	01 February 2013
US 2011150169 A1	23 June 2011	US 8098791 B2	17 January 2012
		TW 200707392 A	16 February 2007
US 2007035505 A1	15 February 2007	TW I316219 B	21 October 2009
		US 7317780 B2	08 January 2008

A. 主题的分类 G09G 3/36(2006.01)i; G02F 1/13(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G; G02F; H04N 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, VEN, CNKI: 下拉, 下传, 下拉维持, 恶化, 劣化, 故障, 短路, 断路, 变化, 稳定, pull 3d down, pull 3d up, deteriorat+, worse+, degradat+, impair+, short+, shutdown, open, off, disconnect+, break, broken, n-1, N-1, GOA		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 104517575 A (深圳市华星光电技术有限公司) 2015年 4月 15日 (2015 - 04 - 15) 说明书[0024]-[0046], 图1-6	1-9
A	CN 104517577 A (深圳市华星光电技术有限公司) 2015年 4月 15日 (2015 - 04 - 15) 全文	1-9
A	CN 1457059 A (阿尔卑斯电气株式会社) 2003年 11月 19日 (2003 - 11 - 19) 全文	1-9
A	US 2011150169 A1 (AU OPTRONICS CORP) 2011年 6月 23日 (2011 - 06 - 23) 全文	1-9
A	US 2007035505 A1 (AU OPTRONICS CORP) 2007年 2月 15日 (2007 - 02 - 15) 全文	1-9
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2017年 5月 25日		国际检索报告邮寄日期 2017年 6月 6日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 罗赟 电话号码 (86-10)62085874

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/107603

检索报告引用的专利文件				公布日 (年/月/日)		同族专利	公布日 (年/月/日)
CN	104517575	A	2015年 4月 15日	US	9564097	B2	2017年 2月 7日
				US	2016343332	A1	2016年 11月 24日
				WO	2016095267	A1	2016年 6月 23日
				CN	104517575	B	2017年 4月 12日
CN	104517577	A	2015年 4月 15日	US	2016343334	A1	2016年 11月 24日
				US	9620073	B2	2017年 4月 11日
				CN	104517577	B	2016年 10月 12日
				WO	2016106823	A1	2016年 7月 7日
CN	1457059	A	2003年 11月 19日	JP	3774678	B2	2006年 5月 17日
				TW	200402066	A	2004年 2月 1日
				KR	100542060	B1	2006年 1月 10日
				CN	1279544	C	2006年 10月 11日
				JP	2003331594	A	2003年 11月 21日
				US	2003210220	A1	2003年 11月 13日
				TW	1223271	B	2004年 11月 1日
				KR	20030087927	A	2003年 11月 15日
US	2011150169	A1	2011年 6月 23日	TW	201123728	A	2011年 7月 1日
				TW	1384756	B	2013年 2月 1日
				US	8098791	B2	2012年 1月 17日
US	2007035505	A1	2007年 2月 15日	TW	200707392	A	2007年 2月 16日
				TW	1316219	B	2009年 10月 21日
				US	7317780	B2	2008年 1月 8日