



(12) 发明专利

(10) 授权公告号 CN 1783334 B

(45) 授权公告日 2010.04.21

(21) 申请号 200510099016.3

审查员 田志刚

(22) 申请日 2005.08.31

(30) 优先权数据

2004-343274 2004.11.29 JP

(73) 专利权人 株式会社日立制作所

地址 日本东京

(72) 发明人 钟江义晴

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 王以平

(51) Int. Cl.

G11C 11/15(2006.01)

H01L 43/08(2006.01)

H01L 43/12(2006.01)

H01L 27/22(2006.01)

(56) 对比文件

US 6387476 B1, 2002.05.14, 全文.

US 6545848 B1, 2003.04.08, 全文.

CN 1347119 A, 2002.05.01, 全文.

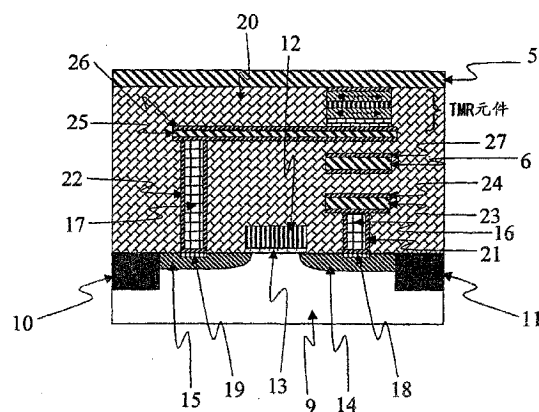
权利要求书 1 页 说明书 5 页 附图 11 页

(54) 发明名称

磁存储器及其制造方法

(57) 摘要

通过使MRAM的TMR比改善,提供一种高速、高可靠性的MRAM。该方法的特征在于,MRAM的TMR元件的铁磁性层变为拉伸应变状态,磁化增大。



1. 一种存储层采用隧道磁阻元件的磁随机存取存储器,其特征在于:构成所述存储层的元件的铁磁性层成为拉伸应变状态,所述铁磁性层的材料含有 Fe、Co、Ni 的任一个,与所述铁磁性层相邻接的布线层的材料含有 Ru、W、Ir、Os、Mo 的任一个。

2. 一种存储层采用隧道磁阻元件的磁随机存取存储器的制造方法,其特征在于:以含有 Fe、Co、Ni 的任一个的材料制膜构成所述存储层的元件的铁磁性层,以含有 Ru、W、Ir、Os、Mo 的任一个的材料制膜与所述铁磁性层相邻接的布线层,其中,通过溅射来制膜所述布线层以使所述铁磁性层成为拉伸应变状态。

3. 一种存储层采用隧道磁阻元件的磁随机存取存储器的制造方法,其特征在于:利用含有 Fe、Co、Ni 的任一个的材料制膜构成所述存储层的元件的铁磁性层,与所述铁磁性层相邻接的布线层具有 TiN、TaN、RuO₂ 的任一个的阻挡金属,通过溅射来制膜所述阻挡金属,利用含有 Ru、W、Ir、Os、Mo 的任一个的材料通过溅射来制膜所述布线层以使所述铁磁性层成为拉伸应变状态。

4. 一种存储层采用隧道磁阻元件的磁随机存取存储器的制造方法,其特征在于:利用含有 Fe、Co、Ni 的任一个的材料制膜构成所述存储层的元件的铁磁性层,与所述铁磁性层相邻接的布线层具有 TiN、TaN、RuO₂ 的任一个的阻挡金属,其中,利用溅射 Ti、Ta、Ru 的任一个淀积并进行渗氮或者氧化以使阻挡金属的体积膨胀来制膜所述阻挡金属,并利用含有 Ru、W、Ir、Os、Mo 的任一个的材料通过溅射来制膜所述布线层以使所述铁磁性层成为拉伸应变状态。

5. 一种磁随机存取存储器,其存储层采用隧道磁阻元件、所述存储层配置于上部以及下部布线层的交点处,该磁存储器的特征在于:构成所述存储层的元件的铁磁性层成为拉伸应变状态,所述铁磁性层的材料含有 Fe、Co、Ni 的任一个,作为构成所述布线层的材料,与所述铁磁性层相邻接的部分含有 Ru、W、Ir、Os、Mo 的任一个,其他的布线部分含有 Al、Cu、Ag、Au 的任一个。

6. 一种磁随机存取存储器的制造方法,该磁存储器的存储层采用隧道磁阻元件、所述存储层配置于上部以及下部布线层的交点处,该制造方法的特征在于:利用含有 Fe、Co、Ni 的任一个的材料制膜构成所述存储层的元件的铁磁性层,作为构成所述布线层的材料,与所述铁磁性层相邻接的部分含有 Ru、W、Ir、Os、Mo 的任一个,通过溅射来制膜所述布线层以使所述铁磁性层成为拉伸应变状态。

磁存储器及其制造方法

技术领域

[0001] 本发明是关于磁随机存取存储器 (MRAM)。

背景技术

[0002] 由于磁随机存取存储器 (MRAM) 高速、耗电低、而且具有极优良的非易失性、重写耐性,所以被期望作为替代 DRAM、闪存器的新一代高性能存储器,国内外各公司都在进行其实际应用化的研究开发。这种 MRAM 通常是利用隧道磁阻 (TMR) 效果的存储器,由于为了实现高速化、高可靠性,改善 TMR 比是必不可少的,所以对于赋予高 TMR 比的材料构成、制膜法等研究非常盛行。

[0003] 在 MRAM 的存储部采用如图 1 所示的 TMR 元件。该元件采用以铁磁性层夹着被称为隧道阻挡层的绝缘层的结构。在该元件的层间方向施加电压时,由于隧道效果而电流流动,此时的电阻值根据 2 层铁磁性层的磁化方向而不同,通常,2 层铁磁性层的磁化方向平行时的电阻值,比反平行时的电阻值小。MRAM 将该电阻值的差异作为位信息利用。另外,2 层铁磁性层的磁化方向平行时和反平行时的电阻值的差的比率被称为 TMR 比。假定隧道效果时电子的自旋被保存,则 TMR 比表示为下式 (M. Julliere :Physics Letters 54A, 225(1975))。

[0004]
$$R = 2P_1 * P_2 / (1 - P_1 * P_2) \dots (1)$$

[0005] 在此, P_1 、 P_2 是各自的铁磁性层的自旋极化率 ($0 < P_1, P_2 < 1$)。因此,为获得高 TMR 比,使极化率 P_1 、 P_2 变大即可。虽然目前对于决定极化率 P 的因素并不十分了解,但一般认为使用磁化 (或者磁矩) 大的磁性体是得到高 TMR 比的关键。(猪俣浩一郎 :应用物理 69,186(2000) 日本应用物理学会发行)。

[0006] 另一方面,磁性膜中使用 Fe、Co、Ni 或者它们的合金,理论上预测磁矩会由于加到这些材料中的应变而变化 (Cerny et.al. :Physical Review B67,035116(2003))。

[0007] [非专利文献 1] M. Julliere :Physics Letters 54A,225(1975)

[0008] [非专利文献 2] 猪俣浩一郎 :应用物理 69,186(2000) 日本应用物理学会发行

[0009] [非专利文献 3] Cerny et.al. :Physical Review B67,035116(2003)

发明内容

[0010] 本发明目的是通过对构成 TMR 元件的磁性膜的应变控制,使 TMR 比增大。

[0011] 本发明的发明人,调查了 Fe 的磁矩的应变依存性。其结果如图 2 所示。图 2 的横轴,正值表示拉伸应变,负值表示压缩应变。根据图 2,可知 Fe 磁矩在拉伸应变时增加,在压缩应变时减少。对于 Co、Ni,也可以得到相同的倾向。因此,本发明人,发现如果利用这些材料,通过使 TMR 元件的磁性膜处于拉伸应变状态,能够实现 TMR 比的改善。本发明的 MRAM 的特征在于,构成 TMR 元件的铁磁性膜处于拉伸应变状态。

[0012] 根据本发明,MRAM 的铁磁性层处于拉伸应变状态,与无应变或者压缩应变状态时相比,铁磁性层的磁化变大。由此,能够使 TMR 比增大,提供更高速、高可靠性的 MRAM。

附图说明

- [0013] 图 1 是表示 TMR 元件的剖面图且是 MRAM 的原理的说明图。
- [0014] 图 2 是表示 Fe 的磁矩的应变依存性的图。
- [0015] 图 3 是第 1 实施方式的 TMR 元件的剖面图。
- [0016] 图 4 是表示第 1 实施方式中的 MRAM 阵列结构的图。
- [0017] 图 5 是表示第 1 实施方式中的 MRAM 的 TMR 元件周围的剖面图。
- [0018] 图 6 是表示第 1 实施方式中的 MRAM 存储单元的剖面图。
- [0019] 图 7 是表示第 1 实施方式中的 MRAM 的制造方法的说明图。
- [0020] 图 8 是表示第 1 实施方式中的 MRAM 的制造方法的说明图。
- [0021] 图 9 是表示第 1 实施方式中的 MRAM 的制造方法的说明图。
- [0022] 图 10 是表示第 1 实施方式中的 MRAM 的制造方法的说明图。
- [0023] 图 11 是表示第 1 实施方式中的 MRAM 的制造方法的说明图。
- [0024] 图 12 是表示第 1 实施方式中的 MRAM 的制造方法的说明图。
- [0025] 图 13 是表示第 1 实施方式中的 MRAM 的制造方法的说明图。
- [0026] 图 14 是表示第 1 实施方式中的 MRAM 的制造方法的说明图。
- [0027] 图 15 是表示第 1 实施方式中的 MRAM 的制造方法的说明图。
- [0028] 图 16 是表示第 2 实施方式中的 MRAM 阵列结构的图。
- [0029] 图 17 是表示第 2 实施方式中的 MRAM 的 TMR 元件周围的剖面图。
- [0030] 图 18 是表示第 2 实施方式中的 MRAM 存储单元的剖面图。
- [0031] 图 19 是表示第 3 实施方式中的 MRAM 阵列结构的图。
- [0032] 图 20 是表示第 3 实施方式中的 MRAM 的 TMR 元件周围的剖面图。
- [0033] 图 21 是表示第 3 实施方式中的 MRAM 存储单元的剖面图。
- [0034] 图 22 是表示第 3 实施方式中的 MRAM 的制造方法的说明图。
- [0035] 图 23 是表示第 3 实施方式中的 MRAM 阵列结构的图。

具体实施方式

[0036] 下面,利用图 3~图 23 详细说明本发明的实施方式。

[0037] 图 3 是本发明的第 1 实施方式的 TMR 元件的剖面图。本实施方式的 TMR 元件由上部铁磁性层 1、下部铁磁性层 2、隧道绝缘膜 3、反铁磁性层 4 构成。所述上部铁磁性层 1、下部铁磁性层 2 由 Fe、Co、Ni 或者它们的合金等构成。而且,所述隧道绝缘膜 3 由 Al_2O_3 、 MgO 等构成,所述反铁磁性层 4 由 FeMn 、 IrMn 、 PtMn 等构成。图 3 是 MRAM 的 TMR 元件中通常采用的被称为自旋阀型的结构,所述反铁磁性层 4 用于固定下部铁磁性层 2 的磁化方向,称为束缚层。另外,上部铁磁性层 1、2 分别被称为自由层、固定层,在存储时仅自由层的磁化方向发生变化。另外,所述铁磁性层 1 或者 2 处于拉伸状态。或者所述铁磁性层 1、2 共同处于拉伸状态。由此,可望 TMR 元件的 TMR 比与所述铁磁性层 1、2 无应变状态或者压缩应变状态时相比增大。

[0038] 图 4 是本发明的第一实施方式的 MRAM 阵列结构。MRAM 通常如图 4 所示在格子状布线的上部布线层 5 和下部布线层 6 的交点上配置 TMR 元件。另外, TMR 元件周围的剖面

图如图 5 所示。构成 MRAM 的多层膜通过溅射、CVD 等形成薄膜,在薄膜中通常最密面出现在表面上。因此,为了使 TMR 元件的上部铁磁性层处于拉伸应变状态,作为与上部铁磁性层 1 接触的所述上部布线层 5 的材料,利用与上部铁磁性层的材料相比最密面的原子间距大、进而拉伸弹性模量也大的材料就可以。另外,为了使所述上部铁磁性层处于拉伸应变状态,优选使所述上部布线层处于压缩应变状态。因此,优选所述上部布线层通过溅射而制膜,使得构成所述上部布线层的原子变得稠密。

[0039] 作为与构成铁磁性层的 Fe、Co、Ni 相比,最密面原子间距、拉伸弹性模量都大的材料、进而能够成为布线材料的材料,可以考虑 Ru、W、Ir、Os、Mo 等。这其中,最密面原子间距大的是 Os、W,拉伸弹性模量大的是 Ir、Os。另外,低电阻的是 Ir、W、Mo。

[0040] 另外,为了抑制上部布线层和铁磁性层界面处的相互扩散、强化剥离强度和移动耐性、为了高速化而降低界面电阻,优选所述上部布线层具有 TiN、TaN、RuO₂ 等阻挡金属 7。所述阻挡金属 7 通过溅射、CVD 等而制膜,优选所述阻挡金属通过溅射将 Ti、Ta、Ru 等淀积后,通过进行渗氮或者氧化,使得阻挡金属的体积膨胀而制膜,以使得所述铁磁化层成为拉伸状态。如能通过采用所述阻挡金属而所述铁磁性层处于拉伸状态,则作为所述上部布线层材料也可以采用 Al、Cu、Ag、Au 等。这些布线材料虽然拉伸弹性模量小,但电阻低、且在设备的高速性方面比较出色。

[0041] 另外,隧道绝缘膜 3 的材料 Al₂O₃、MgO 等通常是非晶形结构,界面的原子间距比铁磁性层的最密面原子间距还大,拉伸弹性模量也大,所以有利于使铁磁性层处于拉伸状态。所述隧道绝缘膜通过溅射、CVD 等制膜而成,但优选所述隧道绝缘膜,溅射 Al₂O₃、MgO 等或者通过溅射淀积 Al、Mg 等后进行氧化,使得所述铁磁性层处于拉伸状态。

[0042] 另外,优选反铁磁性层 4 也同样采用与铁磁性层相比在界面的原子间距以及拉伸模量大的 IrMn 等材料,通过溅射而成膜。另外,为了抑制 TMR 元件的下部的薄膜层 100 和所述反铁磁性层界面处的相互扩散、强化剥离强度和移动耐性、为了高速化而降低界面电阻,优选在所述薄膜层 100 和反铁磁性层之间配置 TiN、TaN、RuO₂ 等阻挡金属 8。

[0043] 在本实施方式中,对自旋阀型的 TMR 元件进行了说明,但对于隧道结为 2 重的双结型的 TMR 元件可以说也是一样的。

[0044] 但是,虽然已知拉伸应变越大磁性材料的磁矩越增加,但考虑到 TMR 比以外的因素,并不希望应变过大。例如,应变过大,则有发生界面处膜剥离的可能性;考虑到剥离强度,优选界面处的格子应变控制在 7% 以下。

[0045] 接着,对本实施方式的 MRAM 的存储单元进行说明。隧道电流通常通过 MOS 晶体管、二极管等读出,在此,对用 MOS 晶体管读出方式的 MRAM 存储单元进行说明。

[0046] 图 6 是本实施方式的 MRAM 存储单元的剖面图。P 型硅基板 9 上形成由 SiO₂ 构成的元件隔离层 10、11,在元件形成区域上形成有 N 沟道 MOS(NMOS) 晶体管。所述 NMOS 具有栅电极 12、栅绝缘膜 13。作为栅绝缘膜材料,采用 SiO₂、SiON 或者 HfO₂、ZrO₂ 等高介电常数金属氧化物、HfSiO、ZrSiO、HfSiON、ZrSiON 等高介电常数金属硅酸盐等。另外,所述栅电极 12 是例如多晶硅膜、金属薄膜、金属硅酸盐膜或者这些膜的层叠结构。特别是,考虑到抑制与所述栅绝缘膜在界面处的相互扩散、且为了高速化实现栅电极的低电阻化,优选在所述栅绝缘膜上采用粘合性良好的 TiN、TaN 等薄的阻挡金属,在其上采用 W、Mo、Ta、Ti 等金属薄膜的结构。此时,在重视低电阻性时采用 W、Mo。在采用该二者时,进一步,W 在高熔点具

有出色的热稳定性, Mo 在膜的平坦性方面出色。另外, 在重视与阻挡金属的粘合性时采用在 TiN 上使用 Ti 的结构、或者在 TaN 上使用 Ta 的结构。

[0047] 另外, 在所述 NMOS 的源、漏扩散层 14、15 上连接有由 W、Al、poly-Si (多晶硅) 等构成的接触销 16、17。不过, 为了所述接触销与硅基板界面的粘合性、防止界面处的相互扩散、剥离, 优选在接触区域界面上形成接触层 18、19, 以及, 在与所述接触层上部以及层间绝缘层 20 的界面处形成阻挡金属 21、22 后, 再形成所述接触销。所述接触层 18、19 的构成材料为硅化钴 (CoSi_2)、硅化钛 (TiSi_2) 等, 所述阻挡金属 21、22 的构成材料为 TiN、TaN 等。

[0048] 所述接触销 16 连接到以 Al、Cu 等为构成材料的源极线 23 上, 为了防止界面处的相互扩散、剥离, 优选所述源极线 23 的上下具有由 TiN、TaN 等构成的阻挡金属 24。另外, 所述接触销 17 连接到以 Al、Cu 等为构成材料的中间布线层 25 上, 所述中间布线层 25 连接到 TMR 元件的下部。为了防止界面处的相互扩散、剥离, 所述中间布线层也优选上下具有由 TiN、TaN 等构成的阻挡金属 26。另外, TMR 元件上部配置有以 Ru、W、Ir、Os、Mo 等为构成材料的上部布线层 5、夹着层间绝缘层 20 的下部配置有具有阻挡金属 27 的、以 Al、Cu 等为构成材料的下部布线层 6, 所述下部布线层 6 与 TMR 元件不直接连接。上部铁磁性层的自旋反转, 通过在所述上部以及下部布线层流动电流而进行。

[0049] 接着, 对于本实施方式的 MRAM 的存储单元的制造方法进行说明。首先, 在 P 型硅基板 9 上通过通常的硅处理, 制作元件隔离区域层 11、12 以及 NMOS (图 7)。接着, 通过 CVD 淀积层间绝缘层 20 后, 通过蚀刻形成接触孔 28, 使其到达源极扩散层 14 (图 8)。其后, 在接触孔开口部, 以溅射等淀积钴 (Co)、钛 (Ti) 等, 通过进行热处理在与 Si 接触的部分形成由 CoSi_2 、 TiSi_2 等构成的接触层 18。其后, 去除与层间绝缘层接触部分的 Co、Ti 等, 利用溅射形成由 TiN、TaN 等构成的阻挡金属 21 之后, 利用溅射形成接触销 16, 最后通过 CMP 进行平坦化, 变为如图 9 所示。接着, 通过溅射淀积由 TiN、TaN 等构成的阻挡金属 29、由 Al、Cu 等构成的布线层 30、由 TiN、TaN 等构成的阻挡金属 31 (图 10), 通过 CMP 平坦化后, 利用蚀刻如图 11 所示进行加工, 形成源极线 23。其后, 进一步淀积层间绝缘层 20, 以与形成源极线相同的处理, 如图 12 所示形成下部布线层 6。所述下部布线层以 Al、Cu 等为构成材料。其后, 进一步淀积层间绝缘层 20, 通过蚀刻形成到达漏极扩散层 15 的接触孔, 通过与所述接触销 16 相同的处理, 形成接触销 17, 变为如图 13 所示。接着, 以与源极线 23 的形成相同的处理, 形成中间布线层 25 后, 进行层间绝缘层的淀积、由 CMP 进行的平坦化, 变为如图 14 所示。此时, 所述中间布线层, 为了防止界面处的扩散、剥离, 优选上下具有由 TiN、TaN 等构成的阻挡金属 32。此后, 为了形成 TMR 元件部, 淀积反铁磁性层 33、下部铁磁性层 34、隧道绝缘层 35、上部铁磁性层 36, 进一步淀积阻挡金属 37 (图 15)。此时, 为了使所述上部以及下部铁磁性层 34、36 处于拉伸应变状态, 优选所述反铁磁性层 33 采用与所述下部铁磁性层相比界面处的原子间距以及拉伸膜量大的 IrMn 等材料, 通过溅射而制膜, 所述隧道绝缘膜是溅射 Al_2O_3 、MgO 等或者通过溅射淀积 Al、Mg 等后进行氧化而形成。另外, 所述阻挡金属 37, 优选通过溅射将 Ti、Ta、Ru 等淀积后, 通过进行渗氮或者氧化, 使得阻挡金属的体积膨胀而制膜。此后, 通过蚀刻加工 TMR 元件部, 淀积层间绝缘层、平坦化后, 淀积上部布线层 5, 进行平坦化, 形成图 6 所示的 MRAM 的存储单元。不过, 此时, 优选所述上部布线层 5 通过溅射 Ru、W、Ir、Os、Mo 等而制膜。通过上述过程, 制造出具有所述上部以及下部铁磁性层处于拉伸应变状态的 TMR 元件的 MRAM。

[0050] 实施方式 2

[0051] 图 16 表示本发明的第 2 实施方式的 MRAM 阵列结构。另外, TMR 元件周围的剖面图如图 17 所示。用 MOS 晶体管读出隧道电流方式的 MRAM 存储单元的剖面图如图 18 所示。在本实施方式中, 利用溅射而制膜的、以 Ru、W、Ir、Os、Mo 等为构成材料的下部布线层 6 的上部具有 TiN、TaN、RuO₂ 等构成的阻挡金属 27, 所述阻挡金属上具有 TMR 元件, 所述 TMR 元件上具有以 Al、Cu 等为构成材料的、与接触销 17 连接的中间布线层 25。不过, 所述中间布线层 25 为了防止界面处的互相扩散、剥离, 优选上下具有由 TiN、TaN、RuO₂ 等构成的阻挡金属 26。另外, 所述中间布线层 25 的夹着层间绝缘层 20 的上部配置有以 Al、Cu 等为构成材料的上部布线层 5。在实施方式 1 中上部布线层与 TMR 元件部相接, 但本实施方式中是下部布线层与 TMR 元件部相接的结构, 形成实施方式 1 中的 MRAM 结构中 TMR 以及周围部分上下颠倒的结构。多层膜的制膜中, 由于制膜时反映基底膜的晶格常数的情况较多, 所以与实施方式 1 的结构相比更优选采用本实施方式的 MRAM 结构。另外, TMR 元件的上部铁磁性层的自旋反转, 与实施方式 1 相同, 通过在上述上部以及下部布线层中流动电流而进行。

[0052] 实施方式 3

[0053] 图 19 表示本发明的第 3 实施方式的 MRAM 阵列结构。另外, TMR 元件周围的剖面图如图 20 所示, 用 MOS 晶体管读出隧道电流方式的 MRAM 存储单元的剖面图如图 21 所示。在实施方式 1 中, 为了使铁磁性层处于拉伸应变状态, 上部布线层中使用了与构成铁磁性层的材料相比最密面原子间距、拉伸模量都大的材料, 但是这些 Ru、W、Ir、Os、Mo 等材料, 作为电阻, 与过去的 Al 或近年作为高性能设备的布线材料而开始引入得 Cu 相比大。因此, 也可以仅在与上部铁磁性层 1 接触的应变施加部 50 处使用 Ru、W、Ir、Os、Mo 等, 其他的不接触的布线部 51 处使用电阻低的 Al、Cu 等。由此, 由于高 TMR 比且低电阻, 能够期望得到更高速、低耗电量、高可靠性的 MRAM。

[0054] 为了制造本实施方式的 MRAM, 例如实施方式 1 的 MRAM 的上部布线层 5 用 Al、Cu 等制造, 其后, 利用蚀刻形成用于埋入所述应变施加部 50 的沟 52 (图 22)。进一步, 其后, 利用溅射淀积 Ru、W、Ir、Os、Mo 等的膜, 进行平坦化即可。

[0055] 另外, 为了更有效地向构成 TMR 元件的铁磁性层施加拉伸应变, 进一步优选如图 23 所示, 利用与下部铁磁性层相接的应变施加部 50 和布线部 51 构成实施方式 2 的结构的下部布线层。

[0056] 产业上的可利用性

[0057] 本发明可以适用于计算机的存储器。

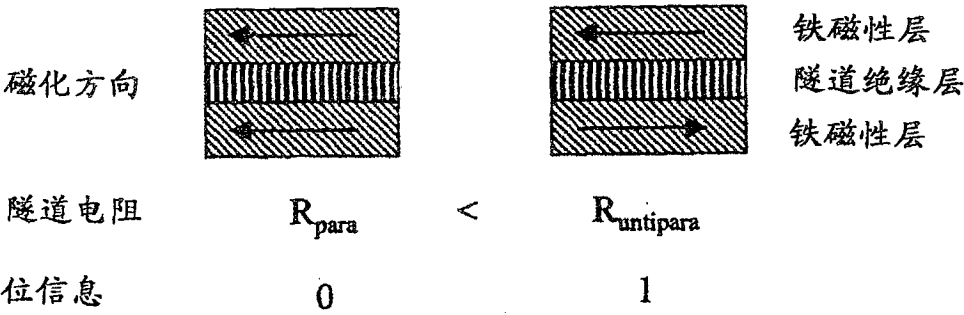


图 1

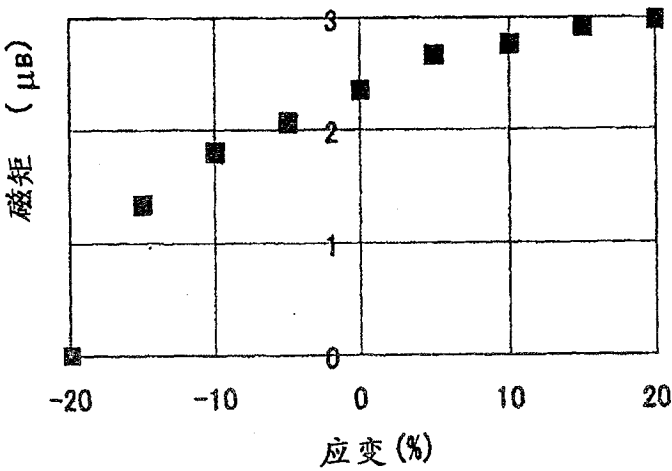


图 2

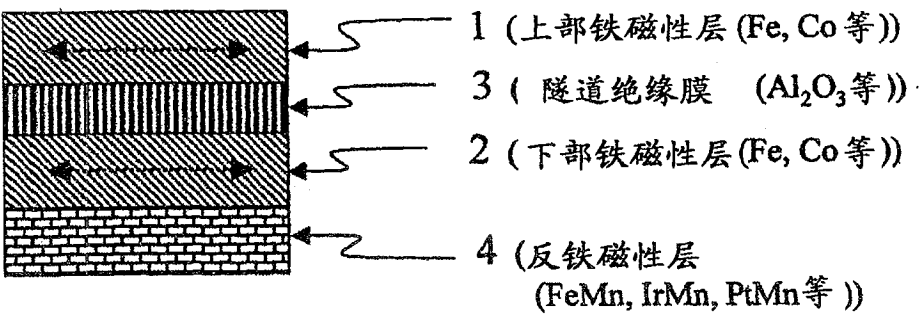


图 3

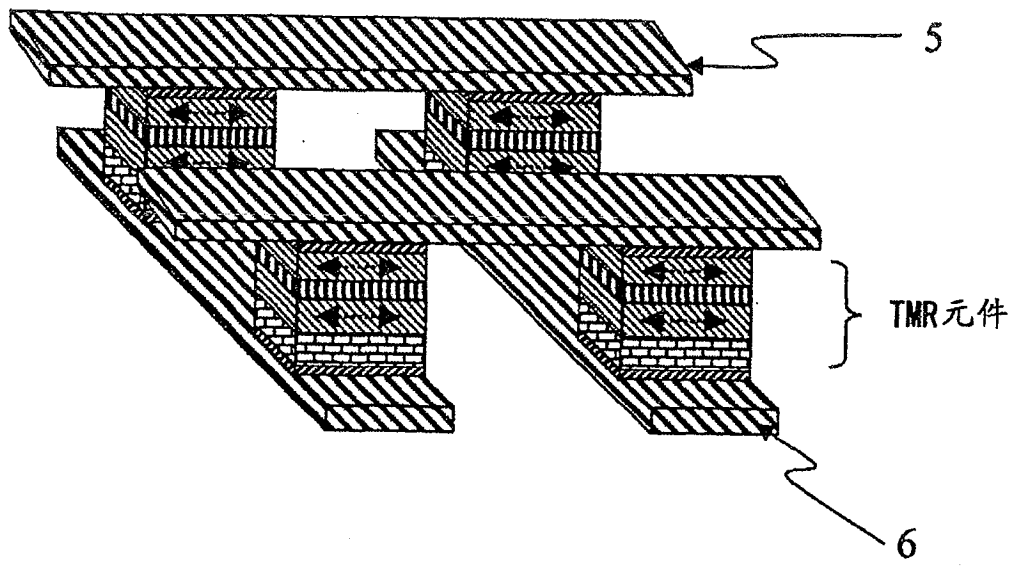


图 4

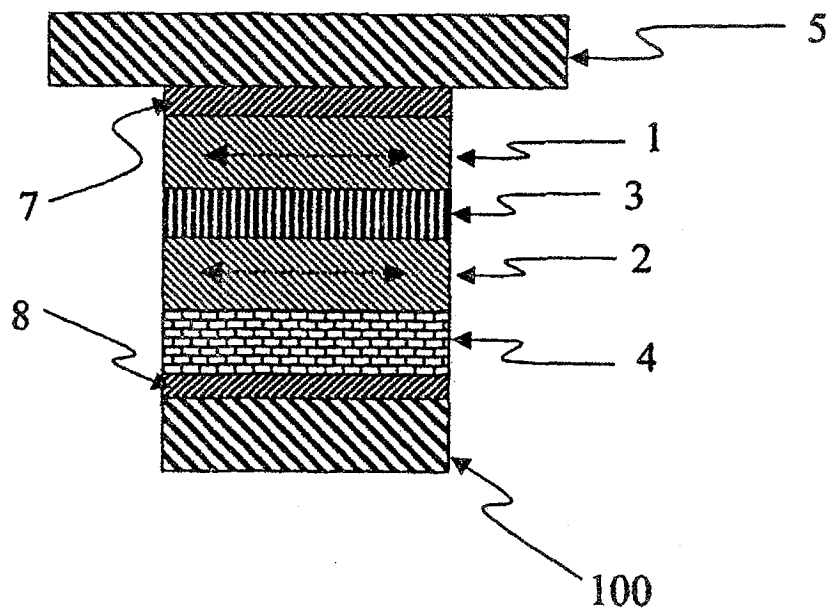


图 5

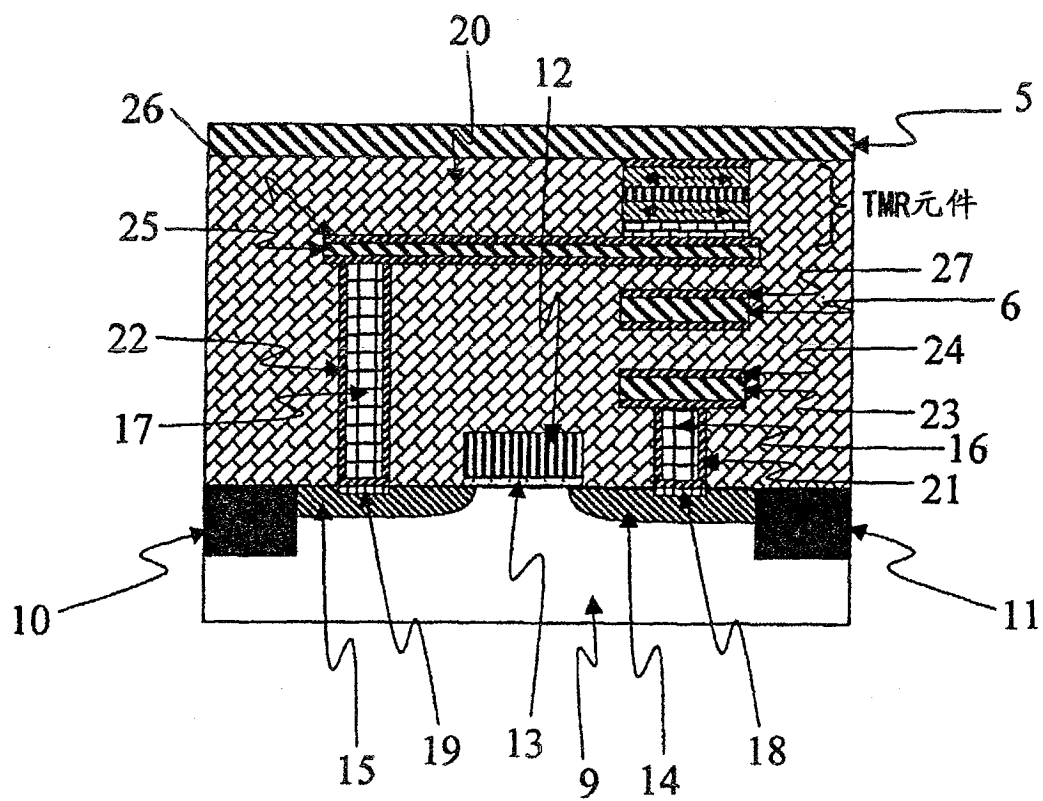


图 6

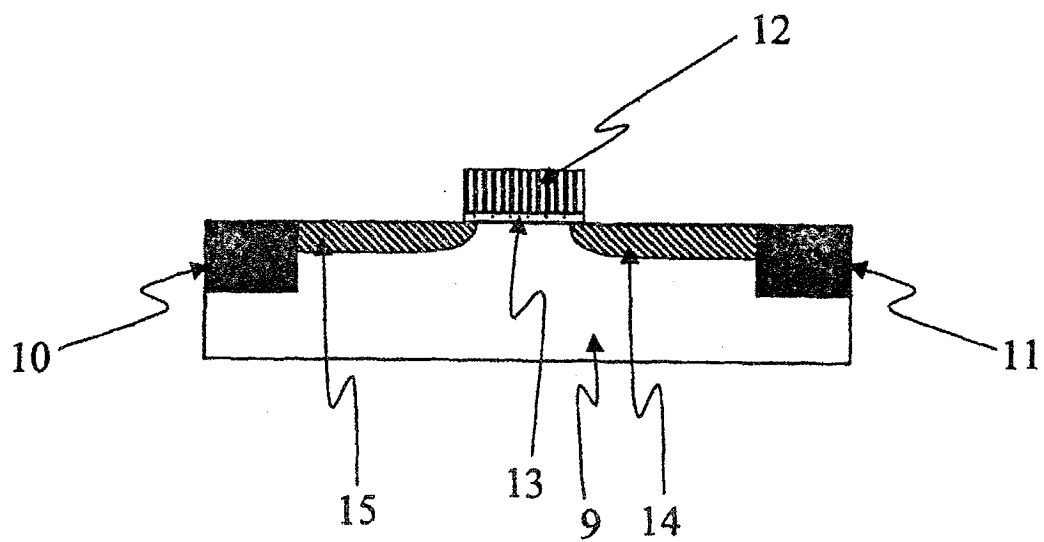


图 7

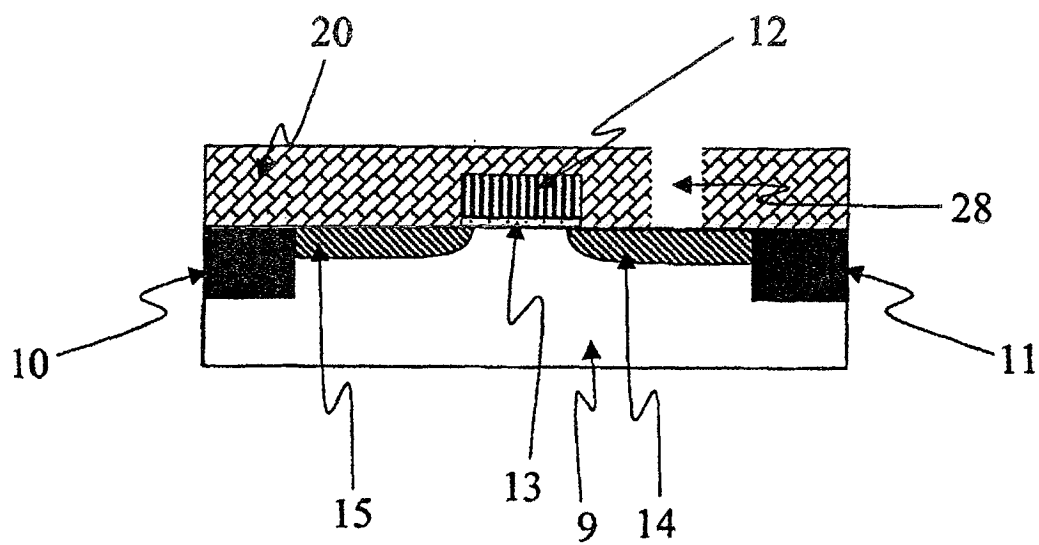


图 8

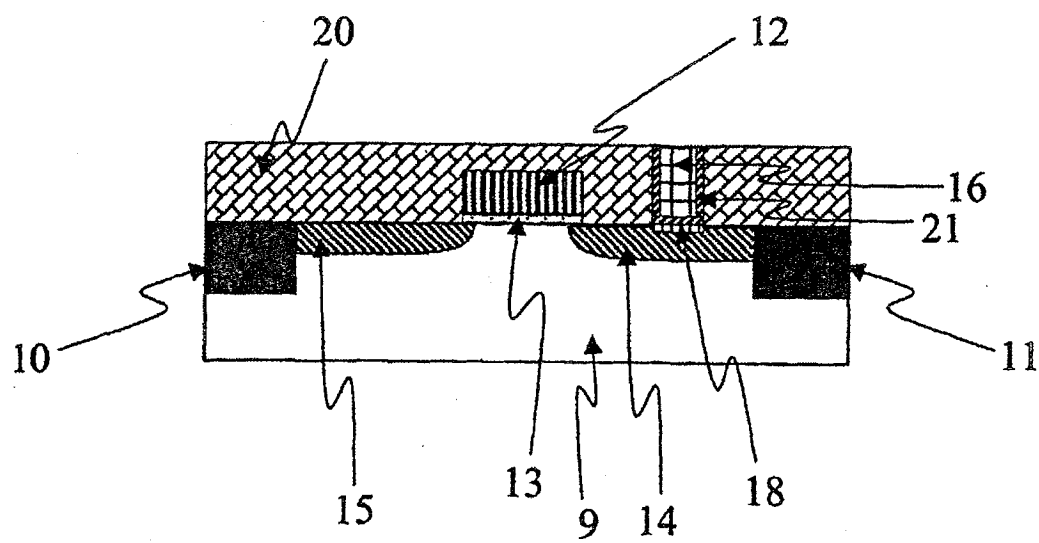


图 9

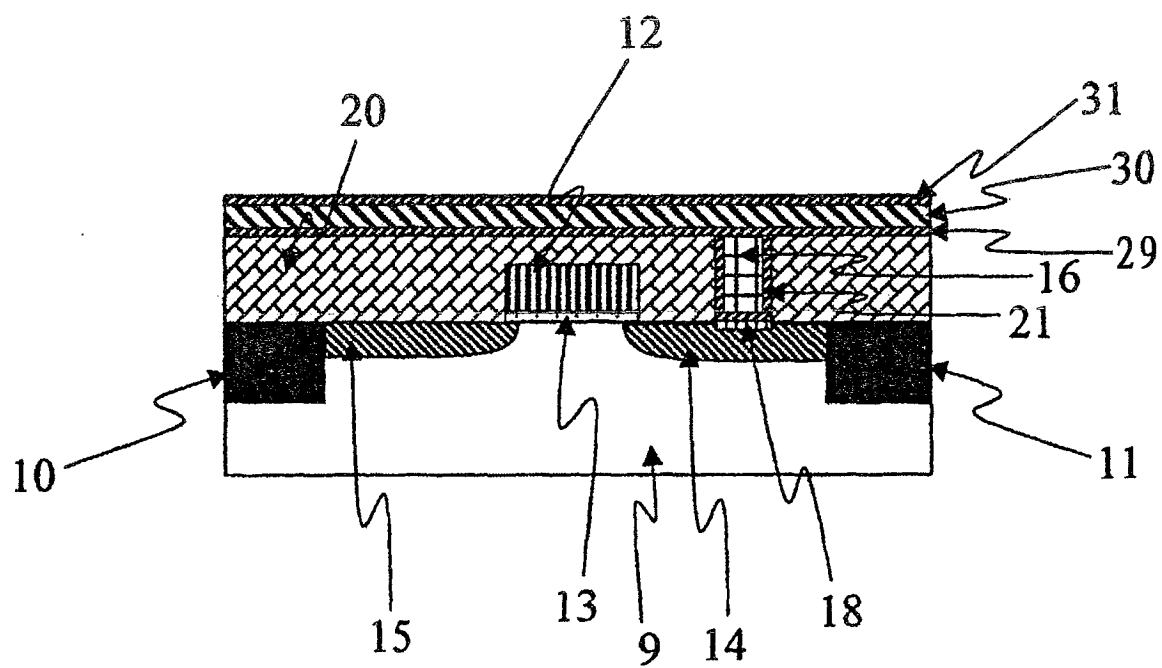


图 10

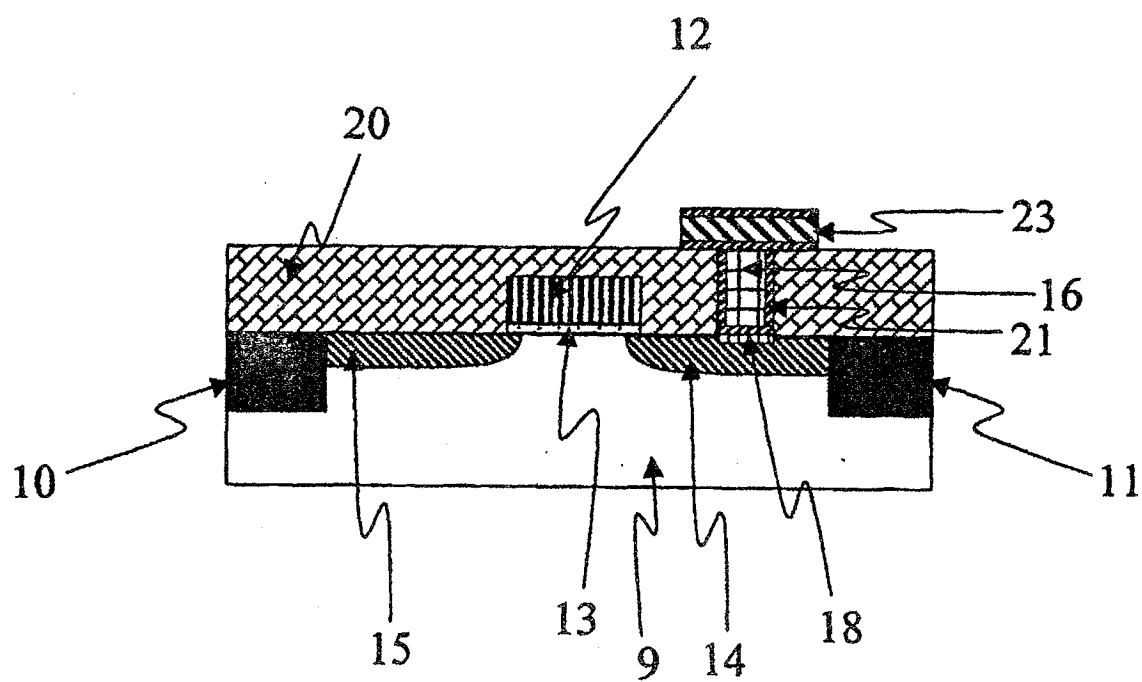


图 11

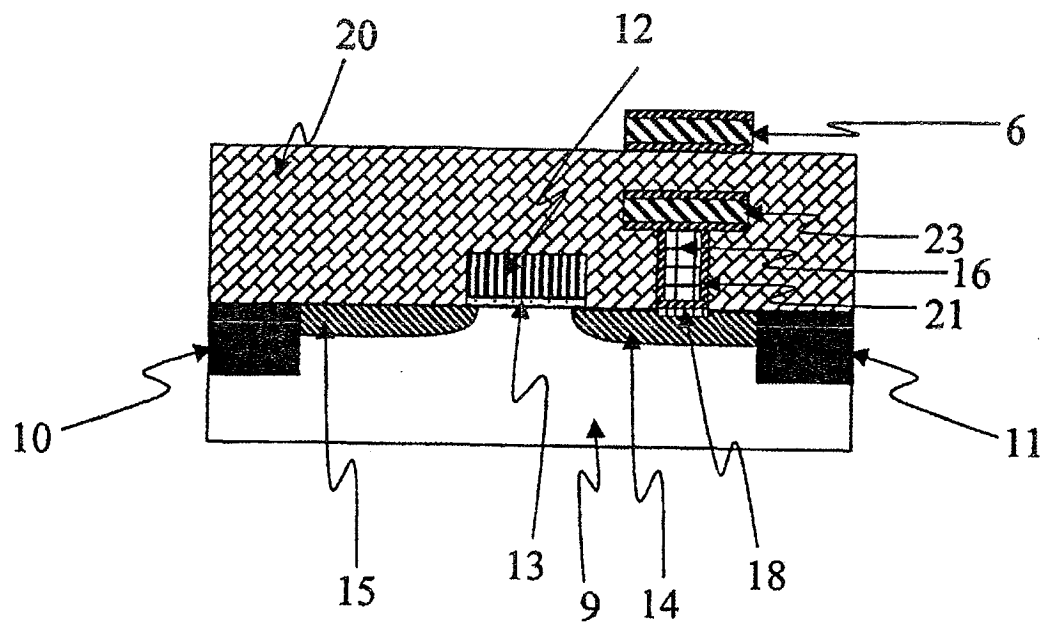


图 12

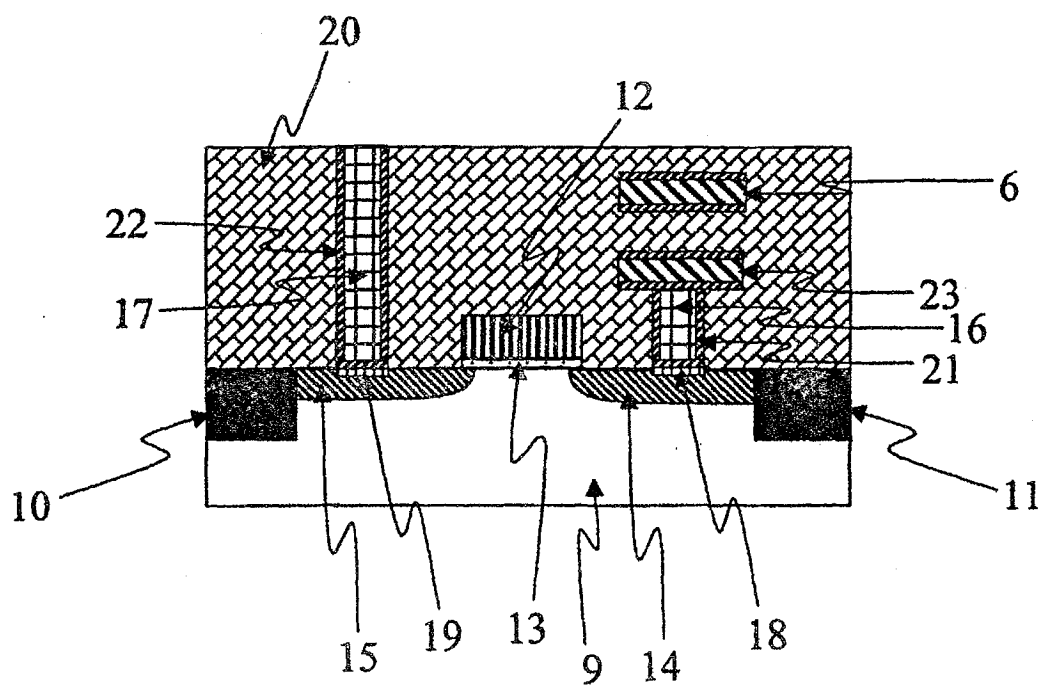


图 13

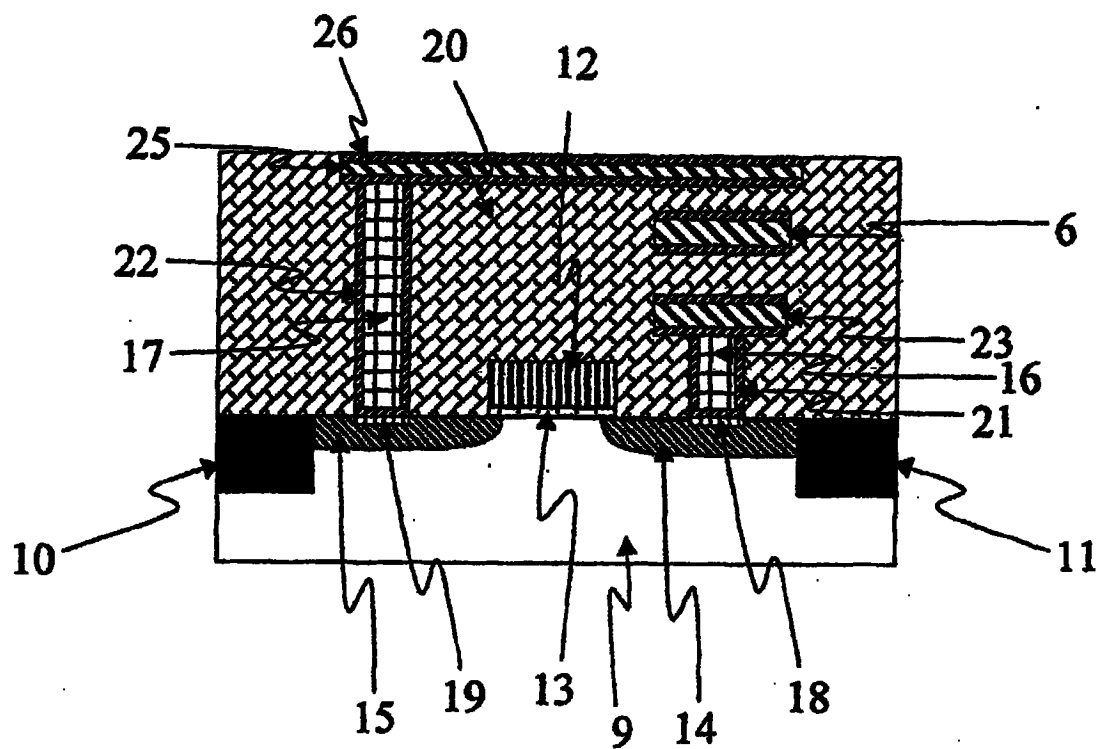


图 14

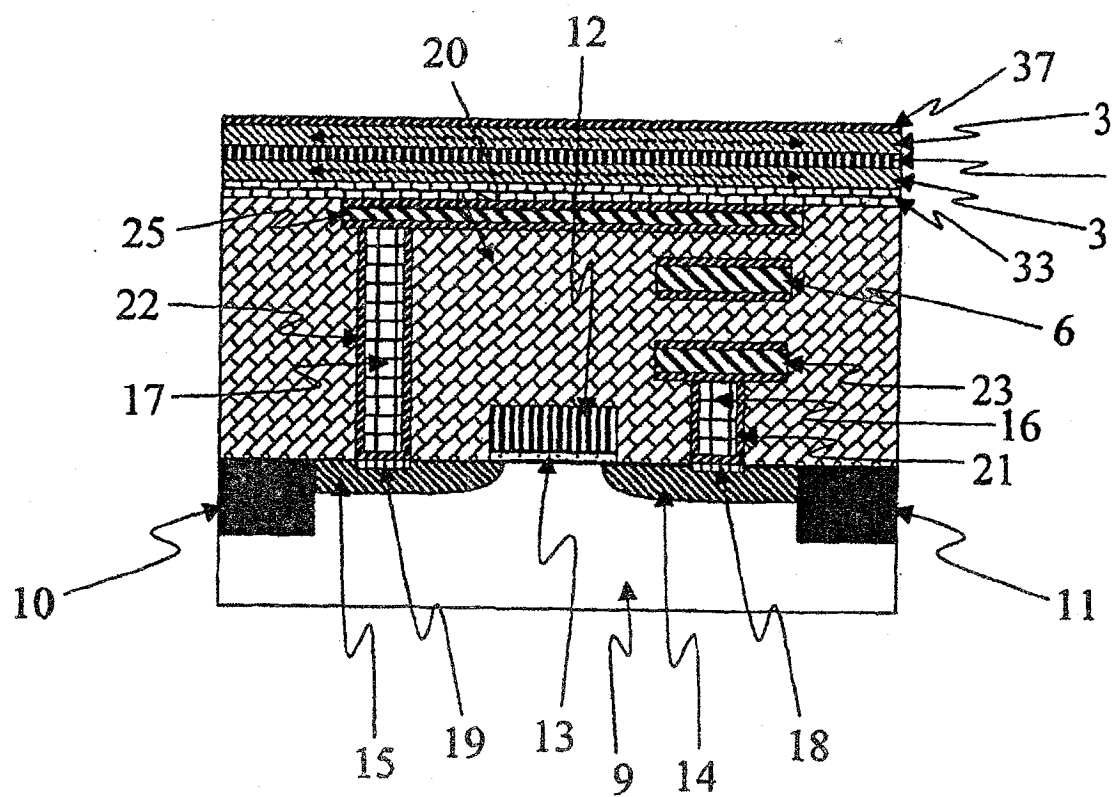


图 15

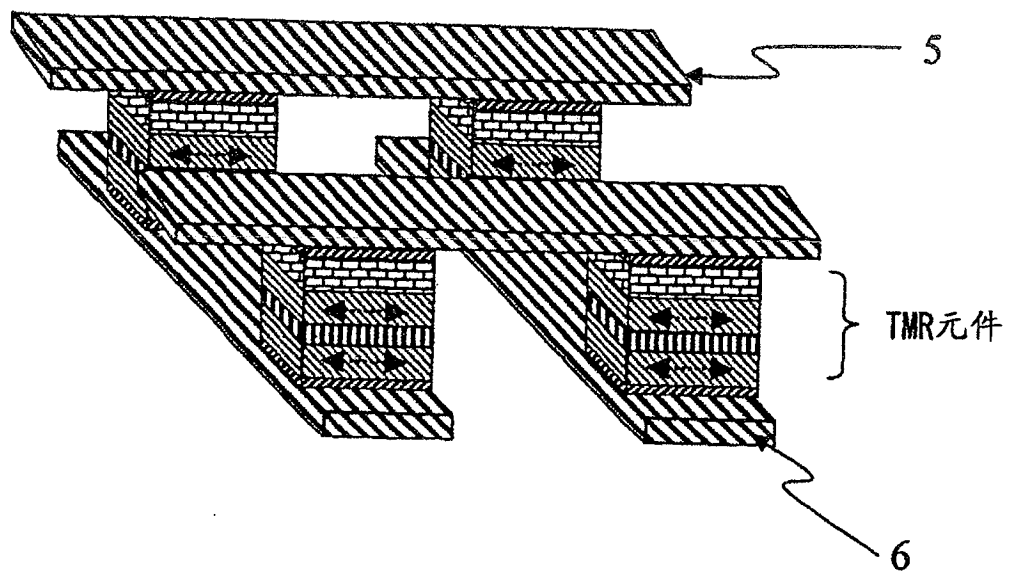


图 16

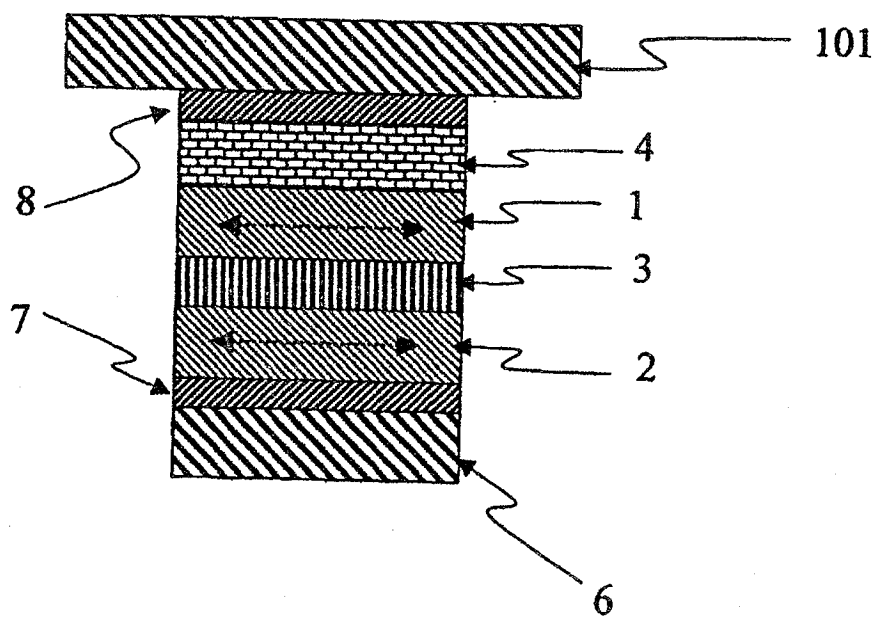


图 17

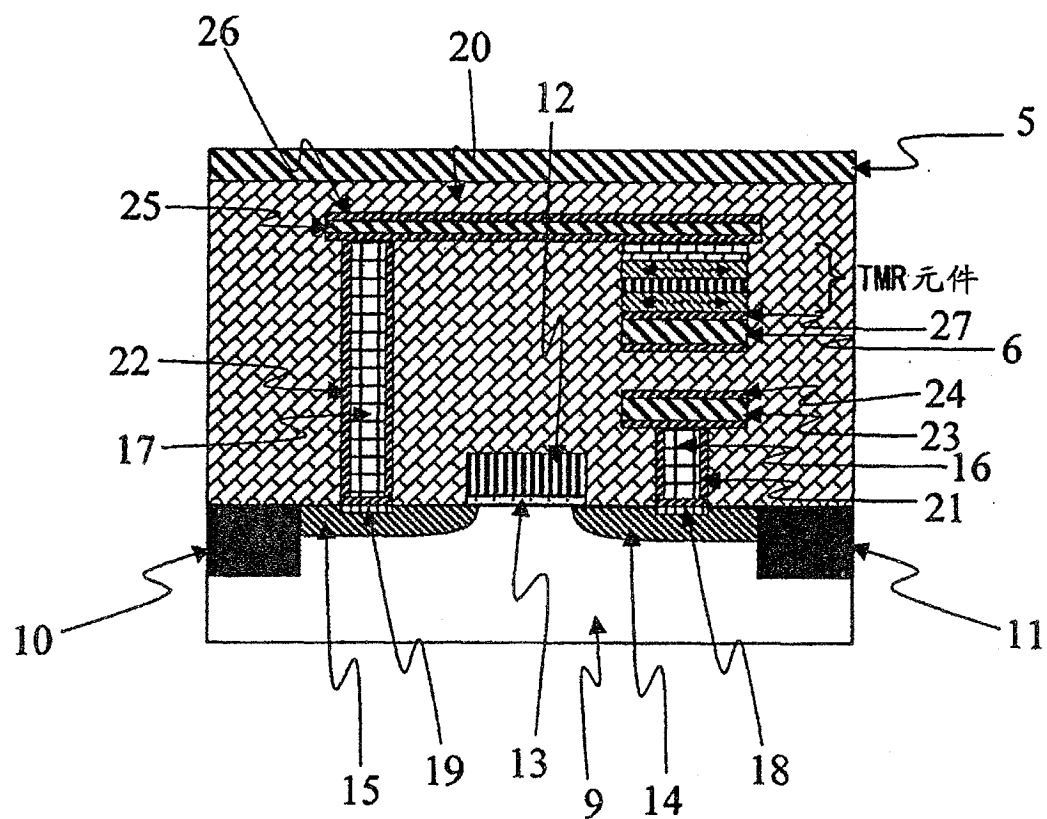


图 18

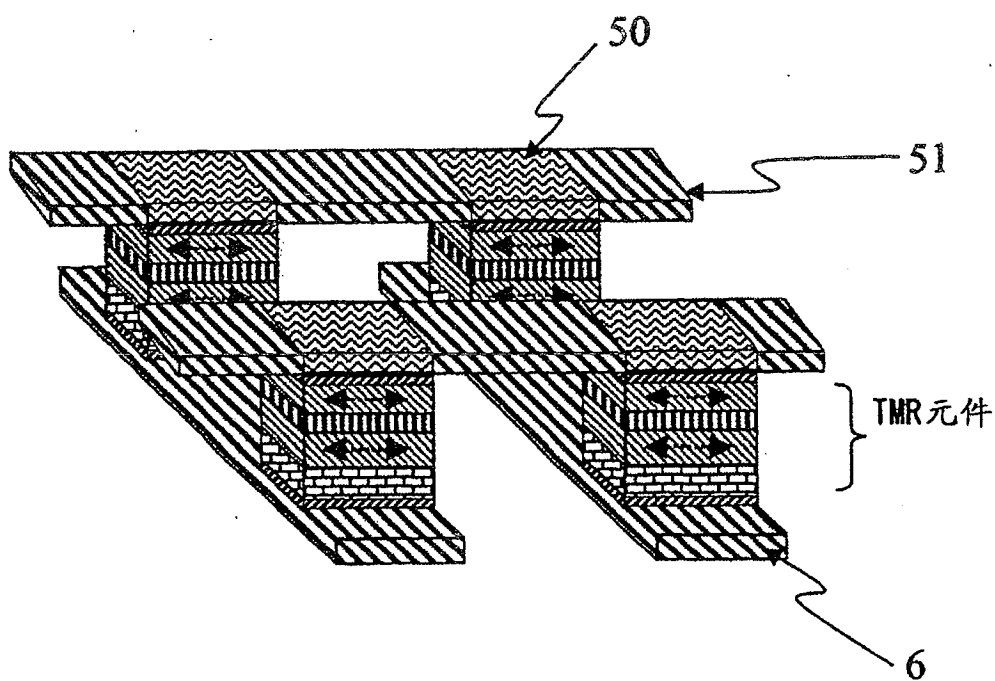


图 19

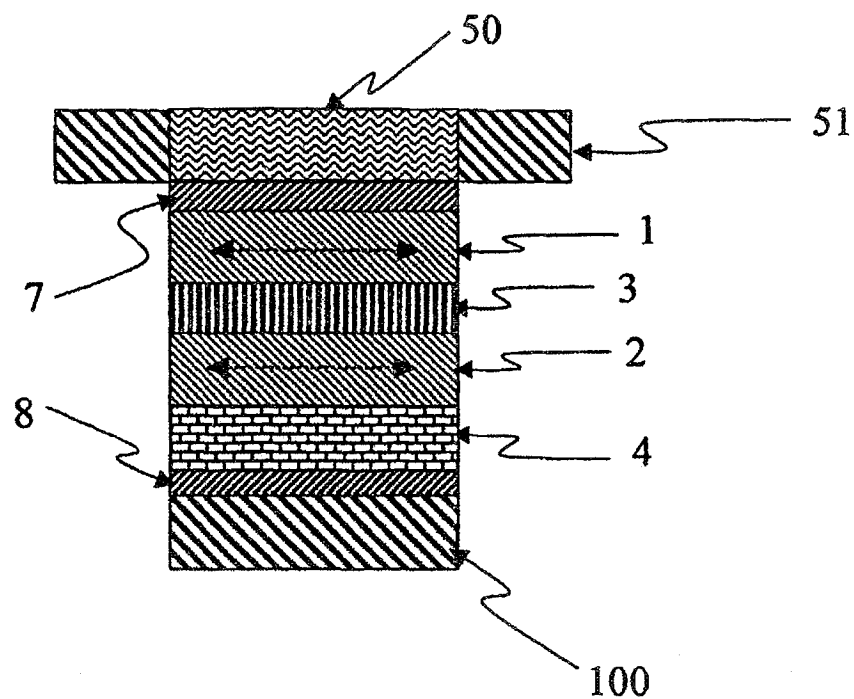


图 20

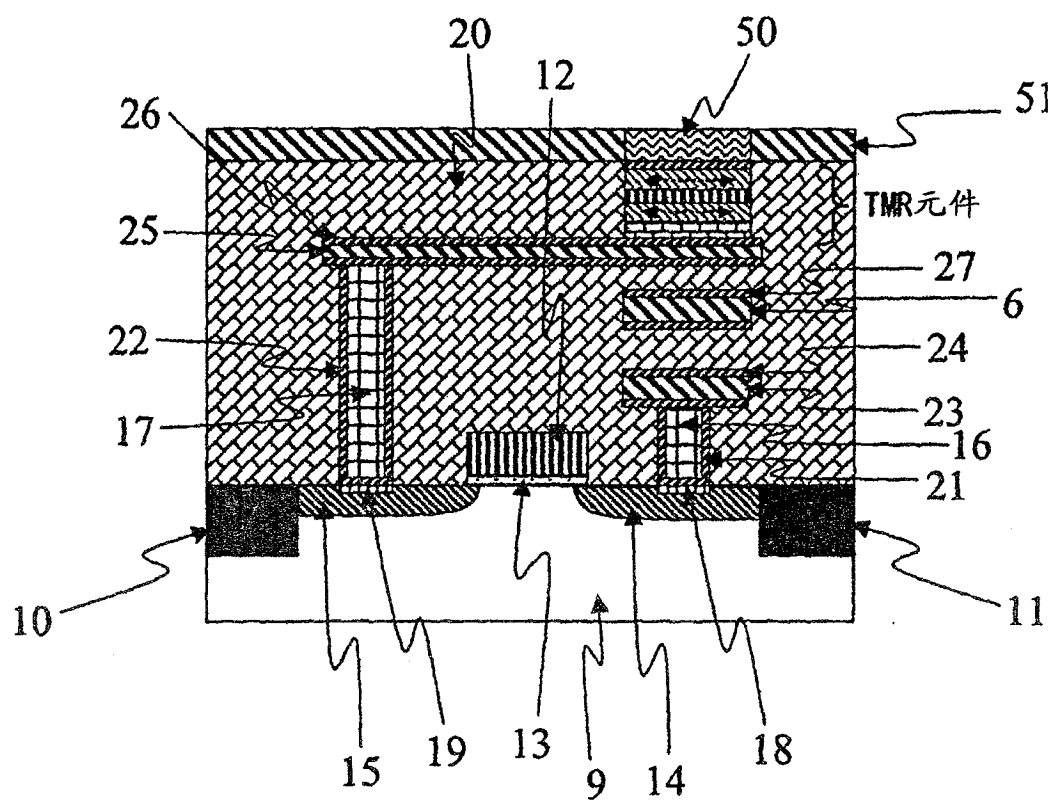


图 21

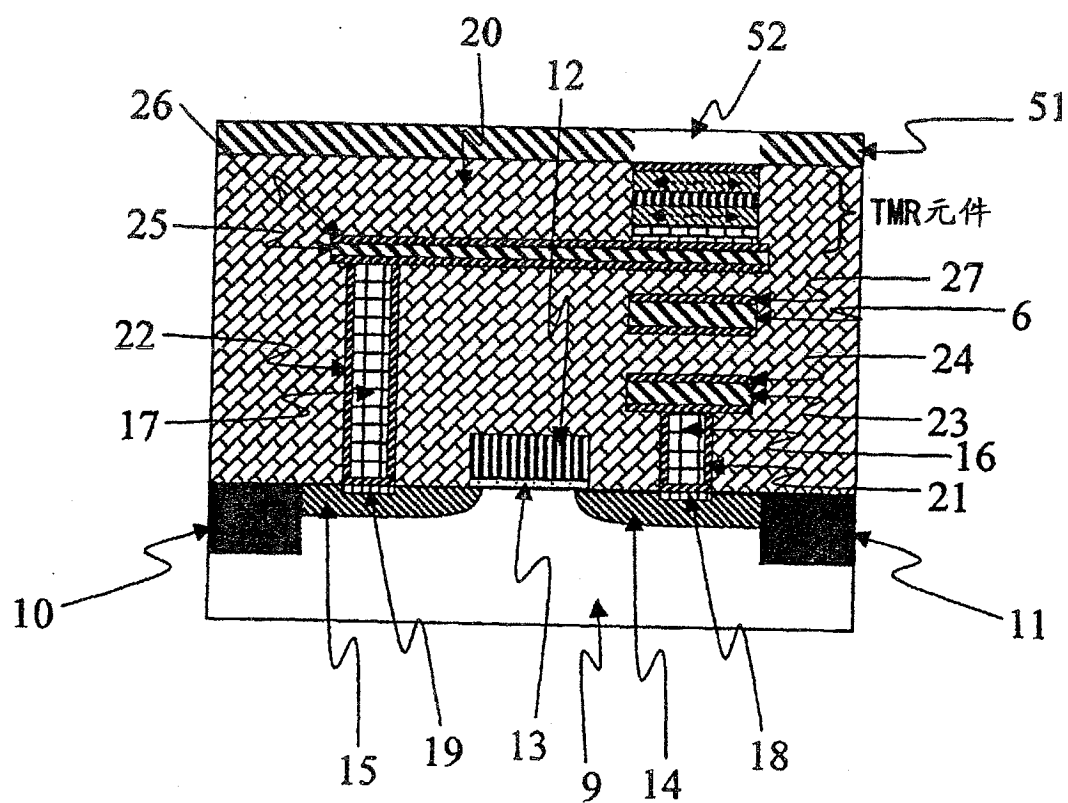


图 22

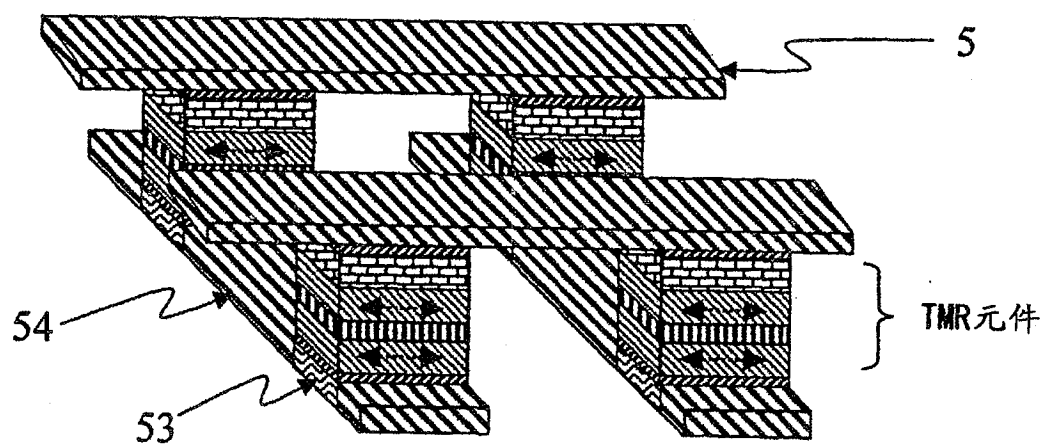


图 23