

1. 一种设备间信令的方法,包括:

经由单个双向线将第一设备耦合到第二设备;

观察所述第一设备处的第一故障状况;

基于所述第一故障状况在所述第一设备处发起第一状态改变;

通过在所述单个双向线上将第一单个转变从所述第一设备发送到所述第二设备来指示所述第一状态改变的发起;以及

在接受到从所述第一设备发送的所述第一单个转变之际在所述第二设备处触发所述第一状态改变。

2. 如权利要求1所述的方法,其特征在于,进一步包括:

观察所述第二设备处的第二故障状况;

基于所述第二故障状况在所述第二设备处发起第二状态改变;

通过在所述单个双向线上将第二单个转变从所述第二设备发送到所述第一设备来指示所述第二状态改变的发起;以及

在接受到从所述第二设备发送的所述第二单个转变之际在所述第一设备处触发所述第二状态改变。

3. 如权利要求2所述的方法,其特征在于,所述第一单个转变是上升沿或下降沿中的至少一者,并且所述第二单个转变是所述上升沿或所述下降沿中的至少一者。

4. 如权利要求2所述的方法,其特征在于,由所述第一设备发送的所述第一单个转变是上升沿,并且由所述第二设备发送的所述第二单个转变是下降沿。

5. 如权利要求1所述的方法,其特征在于,所述第一设备和所述第二设备中的一者是功率管理集成电路(PMIC),并且所述第一设备和所述第二设备中的另一者是片上系统(SoC)。

6. 如权利要求2所述的方法,其特征在于:

所述第一状态改变是复位动作或引导序列握手中的至少一者;并且

所述第二状态改变是所述复位动作或所述引导序列握手中的至少一者。

7. 一种用于设备间信令的装置,包括:

第一设备;

第二设备;以及

将所述第一设备耦合到所述第二设备的单个双向线,

其中所述第一设备观察第一故障状况、基于所述第一故障状况发起第一状态改变,通过在所述单个双向线上向所述第二设备发送第一单个转变来指示所述第一状态改变的发起;并且

其中所述第二设备在接受到从所述第一设备发送的所述第一单个转变之际在所述第二设备处触发所述第一状态改变。

8. 如权利要求7所述的装置,其特征在于:

所述第二设备观察所述第二设备处的第二故障状况,基于所述第二故障状况发起第二状态改变,以及通过在所述单个双向线上将第二单个转变从所述第二设备发送到所述第一设备指示所述第二状态改变的发起;并且

所述第一设备在接受到从所述第二设备发送的所述第二单个转变之际在所述第一设备处触发所述第二状态改变。

9. 如权利要求8所述的装置,其特征在于,所述第一单个转变是上升沿或下降沿中的至少一者,并且所述第二单个转变是所述上升沿或所述下降沿中的至少一者。

10. 如权利要求8所述的装置,其特征在于,由所述第一设备发送的所述第一单个转变是上升沿,并且由所述第二设备发送的所述第二单个转变是下降沿。

11. 如权利要求7所述的装置,其特征在于,所述第一设备和所述第二设备中的一者是功率管理集成电路(PMIC),并且所述第一设备和所述第二设备中的另一者是片上系统(SoC)。

12. 如权利要求8所述的装置,其特征在于:

所述第一状态改变是复位动作或引导序列握手中的至少一者;并且

所述第二状态改变是所述复位动作或所述引导序列握手中的至少一者。

13. 一种在第一设备处的信令的方法,包括:

观察所述第一设备处的故障状况;

基于所述故障状况发起第一状态改变;

通过在单个双向线上生成第一类型的转变来指示所述第一状态改变的发起;以及

通过在所述单个双向线上观察第二类型的转变来接收在第二设备处发起的第二状态改变的指示;

在所述第一设备处接收到与所述第二类型的转变相关联的第一线脉冲之际,在所述第一设备处触发所述第二状态改变;

其中所述第二设备在所述第二设备处接收到与所述第一类型的转变相关联的第一脉冲之际触发所述第一状态改变;

其中所触发的第二状态改变取决于包括所述第一设备和所述第二设备的系统的状态而变化。

14. 如权利要求13所述的方法,其特征在于:

所述第一类型的转变包括第一数目个脉冲;并且

所述第二类型的转变包括与所述第一数目不同的第二数目个脉冲。

15. 如权利要求14所述的方法,其特征在于:

所述第一类型的转变包括单脉冲,并且所述第二类型的转变包括双脉冲,或

所述第一类型的转变包括所述双脉冲,且所述第二类型的转变包括所述单脉冲。

16. 如权利要求13所述的方法,其特征在于,所述第一类型的转变藉由以下至少一者来与所述第二类型的转变进行区分:

电压电平;

阻抗级;

脉宽;或

脉冲数目。

17. 如权利要求13所述的方法,其特征在于,所述第一设备和所述第二设备中的一者是功率管理集成电路(PMIC),并且所述第一设备和所述第二设备中的另一者是片上系统(SoC)。

18. 如权利要求13所述的方法,其特征在于:

所述第一状态改变是复位动作或引导序列握手中的至少一者;并且

所述第二状态改变是所述复位动作或所述引导序列握手中的至少一者。

19. 如权利要求13所述的方法,其特征在于,所述第一状态改变和所述第二状态改变是取决于包括所述第一设备和所述第二设备的系统的状态而可变的。

20. 一种第一设备,包括:

存储器;以及

处理电路,其被耦合至所述存储器并被配置成:

观察故障状况,

基于所述故障状况发起第一状态改变,

通过在单个双向线上生成第一类型的转变来指示所述第一状态改变的发起,以及

通过在所述单个双向线上观察第二类型的转变来接收在第二设备处发起的第二状态改变的指示;

在所述第一设备处接收到与所述第二类型的转变相关联的第一脉冲之际在所述第一设备处触发所述第二状态改变;以及

其中所述第二设备在所述第二设备处接收到与所述第一类型的转变相关联的第一脉冲之际触发所述第一状态改变;

其中所触发的第二状态改变取决于包括所述第一设备和所述第二设备的系统的状态而变化。

21. 如权利要求20所述的第一设备,其特征在于,

所述第一类型的转变包括第一数目个脉冲;并且

所述第二类型的转变包括与所述第一数目不同的第二数目个脉冲。

22. 如权利要求20所述的第一设备,其特征在于,

所述第一类型的转变包括单脉冲,且所述第二类型的转变包括双脉冲,或

所述第一类型的转变包括所述双脉冲,且所述第二类型的转变包括所述单脉冲。

23. 如权利要求20所述的第一设备,其特征在于,所述第一类型的转变藉由以下至少一者来与所述第二类型的转变进行区分:

电压电平;

阻抗级;

脉宽;或

脉冲数目。

24. 如权利要求20所述的第一设备,其特征在于,所述第一设备和所述第二设备中的一者是功率管理集成电路(PMIC),并且所述第一设备和所述第二设备中的另一者是片上系统(SoC)。

25. 如权利要求20所述的第一设备,其特征在于,

所述第一状态改变是复位动作或引导序列握手中的至少一者;并且

所述第二状态改变是所述复位动作或所述引导序列握手中的至少一者。

26. 如权利要求20所述的第一设备,其特征在于,所述第一状态改变和所述第二状态改变是取决于包括所述第一设备和所述第二设备的系统的状态而可变的。

单线PMIC主机低级控制接口

[0001] 相关申请的交叉引用

[0002] 本申请要求2015年12月11日在美国专利商标局提交的非临时申请No.14/966,844的优先权和权益，其全部内容通过援引纳入于此。

[0003] 背景

[0004] 领域

[0005] 本公开一般涉及高速数据通信，并尤其涉及用于使用单个双向线的设备间信令的系统和方法。

[0006] 背景

[0007] 高速接口频繁地用在移动无线设备和其他复杂装置的各电路和组件之间。例如，某些设备可包括通过通信链路来彼此交互的处理、通信、存储、和/或显示设备。这些设备中的一些（包括同步动态随机存取存储器（SDRAM））可以能够以处理器时钟速率来提供或消费数据和控制信息。其他设备（诸如显示控制器）可能需要以相对较低视频刷新率的可变数据量。

[0008] 电子设备（蜂窝电话、无线调制解调器、计算机、数字音乐播放器、全球定位系统单元、个人数字助理、游戏设备等）已成为日常生活的一部分。小型计算设备如今被放置在从汽车到住房用锁等各种事物中并且正日益变得越来越复杂。例如，许多电子设备具有一个或多个帮助控制该设备的处理器、以及支持该处理器及该设备的其他部件的数个数字电路。电子设备可包括要求板级互连以供用于通信和操作协调的多个集成电路。然而，多个互连的存在引起了板级拥塞。相应地，所需要的是用于改进接口的引脚效率的方案，其允许消除互连。互连的消除减少了板级拥塞，并且把本将为该互连所要求的引脚和相关联的电路系统保留供其他使用。

[0009] 概述

[0010] 本文所公开的实施例提供了用于设备间信令的系统、方法和装置。

[0011] 在本公开的一方面，一种设备间信令的方法包括经由单个双向线将第一设备耦合到第二设备，通过在该单个双向线上将第一单个转变从该第一设备发送到第二设备来指示在第一设备处发起的第一动作的发起，以及通过在该单个双向线上将第二单个转变从该第二设备发送到该第一设备来指示在第二设备处发起的第二动作的发起。该方法进一步包括在接收到发送自该第一设备的该第一单个转变之际，在该第二设备处触发对该第一动作的响应，以及在接收到发送自该第二设备的该第二单个转变之际在该第一设备处触发对该第二动作的响应。

[0012] 在本公开的一方面，该第一单个转变是上升沿或下降沿中的至少一者，以及该第二单个转变是上升沿或下降沿中的至少一者。在本公开的进一步的方面，由该第一设备发送的该第一单个转变是上升沿，且由该第二设备发送的该第二单个转变是下降沿。

[0013] 在本公开的一方面，该第一设备和该第二设备中的一者是功率管理集成电路（PMIC），且该第一设备和该第二设备中的另一者是片上系统（SoC）。在本公开的另一方面，该第一动作是复位动作或引导序列握手中的至少一者，以及该第二动作是复位动作或引导

序列握手中的至少一者。

[0014] 在本公开的一方面,一种用于设备间信令的装置包括第一设备、第二设备,以及将该第一设备耦合到该第二设备的单个双向线。该第一设备通过在该单个双向线上向该第二设备发送第一单个转变来指示在该第一设备处发起的第一动作的发起,以及该第二设备通过在该单个双向线上向该第一设备发送第二单个转变来指示在该第二设备处发起的第二动作的发起。此外,该第二设备在接收到发送自该第一设备的该第一单个转变之际,触发对该第一动作的响应,以及该第一设备在接收到发送自该第二设备的该第二单个转变之际触发对该第二动作的响应。

[0015] 在本公开的一方面,一种设备间信令的装备包括用于经由单个双向线将第一设备耦合到第二设备的装置,用于通过在该单个双向线上将第一单个转变从该第一设备发送到该第二设备来指示在该第一设备处发起的第一动作的发起的装置,用于通过在该单个双向线上将第二单个转变从该第二设备发送到该第一设备来指示在该第二设备处发起的第二动作的发起的装置,用于在接收到发送自该第一设备的该第一单个转变之际在该第二设备处触发对该第一动作的响应的装置,以及用于在接收到发送自该第二设备的该第二单个转变之际在该第一设备处触发对该第二动作的响应的装置。

[0016] 在本公开的一方面,一种具有一个或多个指令的处理器可读存储介质,这些指令当由处理电路执行时使得该处理电路执行以下操作:经由单个双向线将第一设备耦合到第二设备,通过在该单个双向线上将第一单个转变从该第一设备发送到该第二设备来指示在该第一设备处发起的第一动作的发起,通过在该单个双向线上将第二单个转变从该第二设备发送到该第一设备来指示在该第二设备处发起的第二动作的发起,在接收到发送自该第一设备的该第一单个转变之际在该第二设备处触发对该第一动作的响应,以及在接收到发送自该第二设备的该第二单个转变之际在该第一设备处触发对该第二动作的响应。

[0017] 在本公开的一方面,一种在第一设备处信令的方法包括:发起第一动作,通过在单个双向线上生成第一事件来指示该第一动作的发起,以及通过在该单个双向线上观察第二事件来接收第二动作在第二设备处被发起的指示。该方法进一步包括在接收到与该第二事件相关联的第一转变之际触发对该第二动作的响应。在本公开的一方面,所触发的响应取决于包括该第一设备和该第二设备的系统的状态而可变。

[0018] 在本公开的一方面,该第一事件包括第一数目个脉冲,且该第二事件包括不同于第一数目的第二数目个脉冲。在本公开的另一方面,第一事件包括单个脉冲,且第二事件包括双脉冲,或者第一事件包括双脉冲,且第二事件包括单个脉冲。在本公开的进一步的方面,第一事件藉由电压电平、阻抗级、脉宽、或脉冲数目中的至少一者来与第二事件进行区分。

[0019] 在本公开的一方面,该第一设备和该第二设备中的一者是功率管理集成电路(PMIC),且该第一设备和该第二设备中的另一者是片上系统(SoC)。在本公开的另一方面,该第一动作是复位动作或引导序列握手中的至少一者,以及该第二动作是复位动作或引导序列握手中的至少一者。在本公开的进一步的方面,第一动作和第二动作取决于包括第一设备和第二设备的系统的状态而可变。

[0020] 在本公开的一方面,第一设备包括存储器和耦合至该存储器的处理电路。该处理电路被配置成发起第一动作,通过在单个双向线上生成第一事件来指示该第一动作的发

起,通过在该单个双向线上观察第二事件来接收第二动作在第二设备处被发起的指示,以及在接收到与该第二事件相关联的第一转变之际触发对该第二动作的响应。

[0021] 在本公开的一方面,第一设备包括用于发起第一动作的装置,用于通过在单个双向线上生成第一事件来指示该第一动作的发起的装置,用于通过在该单个双向线上观察第二事件来接收第二动作在第二设备处被发起的指示的装置,以及用于在接收到与该第二事件相关联的第一转变之际触发对该第二动作的响应的装置。

[0022] 在本公开的一方面,一种具有一个或多个指令的处理器可读存储介质,这些指令当由处理电路执行时使得该处理电路执行以下操作:发起第一动作,通过在单个双向线上生成第一事件来指示该第一动作的发起,通过在该单个双向线上观察第二事件来接收第二动作在第二设备处被发起的指示,以及在接收到与该第二事件相关联的第一转变之际触发对该第二动作的响应。

[0023] 根据本公开的诸方面,虽然仅针对两个设备(例如,第一设备和第二设备)描述了用于使用单个双向信令的设备间信令的系统、方法和/或装置,但这些系统、方法、和/或装置可以实现不止两个设备。此类设备驱动该单个双向线的方式可以被彼此区分。在本公开的一方面,每个设备可以通过生成具有独特数目个脉冲的信号来被区分,例如,第三设备通过在该单个双向线上生成三个脉冲来触发复位/关闭规程或引导序列握手,第四设备通过在该单个双向线上生成四个脉冲来触发复位/关闭规程或引导序列握手,以此类推。在本公开的其他方面中,每个设备可以通过生成具有独特脉宽、独特电压电平、或独特阻抗级等等的信号来被区分。

[0024] 附图简要说明

[0025] 图1描绘了用于单个双向线上的设备间信令的装置。

[0026] 图2解说了促成单个双向线上的设备间信令的装置的系统架构。

[0027] 图3是解说PMIC与SoC之间的低级接口的示图。

[0028] 图4是解说低级控制信号的定时行为的示图。

[0029] 图5是解说PMIC与SoC之间的新颖的低级接口的示图。

[0030] 图6是解说在单个导线上实现双向信令时,在PMIC发起的复位/关闭规程期间的设备行为的示图。

[0031] 图7是解说在单个导线上实现双向信令时,在SoC发起的复位/关闭规程期间的设备行为的示图。

[0032] 图8是根据本公开的一个或多个方面的配置成支持涉及在单个双向线上的设备间信令的操作的装置的解说。

[0033] 图9是解说根据本公开一方面的在单个双向线上的设备间信令的方法的流程图。

[0034] 图10是解说根据本公开另一方面在单个双向线上的第一设备处信令的方法的流程图。

[0035] 详细描述

[0036] 现在参照附图描述本公开的各个方面。在以下描述中,出于解释目的阐述了众多具体细节以提供对一个或多个方面的透彻理解。但是显然的是,没有这些具体细节也可实践此(诸)方面。

[0037] 概览

[0038] 本公开的诸方面涉及功率管理集成电路 (PMIC) 与相关联的主机处理器(例如,片上系统 (SoC))之间的低级控制接口。在本公开的一方面,PMIC与SoC之间的低级控制接口通常涉及在系统引导的非常早期的阶段、或在稍后时间在对基于总线的控制方案的依赖并不担保稳健的系统行为时的信令。此类信令的示例包括但不限于上电/复位信号 (PON_RESET_N)、看门狗定时器输入信号 (WDT_IN)、和电源保持信号 (PS_HOLD)。由于较新世代的系统可能具有附加的低级信令要求,因此低级控制接口可进一步涉及其他类型的控制信号。

[0039] 在本公开的一方面,低级控制接口可以对于所传达的每个类型的信号要求一个引脚。如此,必须向该接口增加专用控制引脚来支持要传达的每个附加类型的信息。然而,这种办法是有问题的,因为增加专用控制引脚便增加了封装级成本,并且进一步由于封装尺寸和成本约束,这种增加可能是不允许的。本公开通过使用单个双向线促成低级控制功能的通信来解决该多引脚办法的问题。

[0040] 示例性操作环境

[0041] 所公开的某些示例涉及用于在单个双向线上的设备间信令的系统和装置。

[0042] 本公开的某些方面可适用于被部署在电子组件之间的通信链路,这些电子组件可包括设备(诸如电话、移动计算设备、电器、汽车电子、航空电子系统等)的子组件。参考图1,例如,用于在单个双向线上的设备间信令的装置100可包括被配置成控制装置100的操作的处理电路102。处理电路102可访问并执行软件应用以及控制装置100内的逻辑电路和其他设备。在一个示例中,装置100可包括无线通信设备,该无线通信设备通过射频(RF)通信收发机106与无线电接入网(RAN)、核心接入网、因特网和/或另一网络通信。通信收发机106可以可操作地耦合至处理电路102。处理电路102可包括一个或多个IC设备,诸如专用集成电路(ASIC)108。ASIC 108可包括一个或多个处理设备、逻辑电路等等。处理电路102可包括和/或被耦合到处理器可读存储112,该处理器可读存储112可维护可由处理电路102执行的指令和数据。处理电路102可由操作系统以及支持并实现驻留在无线设备的存储112中的软件模块的执行应用编程接口(API)110层中的一者或者者来控制。存储112可包括只读存储器(ROM)或随机存取存储器(RAM)、电可擦除可编程只读存储器(EEPROM)、闪存设备、或可被用于处理系统和计算平台中的任何存储器设备。处理电路102可包括和/或访问本地数据库114,该本地数据库114可维护用于配置和操作该装置100的操作参数和其它信息。该本地数据库114可使用数据库模块或服务器、闪存、磁介质、EEPROM、光学介质、磁带、软盘或硬盘等中的一者或者者来实现。处理电路也可以可操作地耦合至外部设备,诸如天线122、显示器124、操作者控件(诸如按钮128和按键板126)、以及其他组件。

[0043] 图2是解说装置200的某些方面的框图,该装置诸如是无线移动设备、移动电话、移动计算系统、无线电话、笔记本计算机、平板计算设备、媒体播放器、游戏设备等。装置200可包括通过通信链路220交换数据和控制信息的多个IC设备202和230。通信链路220可被用于连接IC设备202和230,IC设备202和230可定位成彼此紧邻或者物理上位于装置200的不同部件中。在一个示例中,通信链路220可设在承载IC设备202和230的芯片载体、基板或电路板上。在另一示例中,第一IC设备202可位于折叠式电话的按键板区段中,而第二IC设备230可位于该折叠式电话的显示器区段中。通信链路220的一部分可包括电缆或光学连接。

[0044] 通信链路220可包括多个信道222、224和226。一个或多个信道226可以是双向的,并且可以在半双工模式和/或全双工模式中操作。一个或多个信道222、224可以是单向的。

通信链路220可以是非对称的,由此在一个方向上提供较高带宽。在本文描述的一个示例中,第一通信信道222可被称为前向链路222,而第二通信信道224可被称为反向链路224。第一IC设备202可以被指定为主机(host)、主控方(master)和/或发射机,而第二IC设备230可以被指定为客户端、从动方(slave)和/或接收机,即便IC设备202和230两者都被配置成在通信链路220上进行传送和接收。在一个示例中,前向链路222可以在将数据从第一IC设备202传达给第二IC设备230时以较高数据率操作,而反向链路224可以在将数据从第二IC设备230传达给第一IC设备202时以较低数据率操作。

[0045] IC设备202和230可各自包括处理器或其它处理和/或计算电路或设备206、236。在一个示例中,第一IC设备202可执行装置200的核心功能,包括维护通过无线收发机204和天线214的无线通信,而第二IC设备230可支持管理或操作显示器控制器232的用户接口,并且可使用相机控制器234来控制相机或视频输入设备的操作。IC设备202和230中的一者或两者所支持的其它特征可包括键盘、语音识别组件、以及其它输入或输出设备。该显示器控制器232可包括支持显示器(诸如液晶显示器(LCD)面板、触摸屏显示器、指示器等)的电路和软件驱动器。存储介质208和238可包括瞬态和/或非瞬态存储设备,其被适配成维护由相应处理电路206和236、和/或IC设备202和230的其它组件所使用的指令和数据。每个处理电路206、236及其相应的存储介质208和238以及其他模块和电路之间的通信可分别由一个或多个总线212和242来促成。

[0046] 反向链路224可按与前向链路222相同的方式来被操作。前向链路222和反向链路224可以能够以相当的速度或以不同的速度进行传送,其中速度可被表达为数据传输速率和/或时钟速率。取决于应用,前向和反向数据率可以基本上相同或可相差几个数量级。在一些应用中,单个双向链路226可支持第一IC设备202与第二IC设备230之间的通信。当例如前向和反向链路222和224共享相同的物理连接并且以半双工方式工作时,前向链路222和/或反向链路224可以是可配置成以双向模式操作的。

[0047] 在某些示例中,反向链路224从前向链路222推导时钟信号以用于同步目的、用于控制目的、促进功率管理和/或用于简化设计。该时钟信号可具有通过对用于在前向链路222上传送信号的码元时钟的频率进行分频所获得的频率。码元时钟可被叠加或以其他方式编码在前向链路222上传送的码元中。使用作为码元时钟的衍生物的时钟信号允许发射机和接收机(收发机210、240)的快速同步并使得数据信号能够快速开始和停止而无需靠成帧(framing)来启用训练和同步。

[0048] 在某些示例中,单个双向链路226可支持第一IC设备202与第二IC设备230之间的通信。在一些实例中,第一IC设备202和第二IC设备230提供在处理设备与存储器设备(诸如动态随机存取存储器(DRAM))之间传送的数据、地址和控制信号的编码和解码。

[0049] 设备间信令的示例性描述

[0050] 图3是解说PMIC 302与SoC 304之间的低级接口的示图300。引脚计数的减少是驱使成本、面积和路由优化的芯片组目标。如图3中所示,用于引导、复位、和关闭协调的低级PMIC到SoC接口可以用每个集成电路(IC)上两个引脚(两个导线接口)来实现。具体而言,低级PMIC到SoC接口可涉及两个信号:1) 导线306上传达的PON_RESET_N;和2) 导线308上传达的PS_HOLD。PMIC 302和SoC 304二者都使用两个引脚(例如,双引脚或双导线接口方案)来传达这两个信号。如图3中进一步所示,PMIC 302和SoC 304可以共享系统功率管理接口

(SPMI) 310, 以及数个电源轨, 例如第一电源轨 (PWR_RAIL#1) 312 (1) 到第N电源轨 (PWR_RAIL#N) 312 (N)。

[0051] 在本公开的一方面, 对于PON_RESET_N和PS_HOLD的访问对于涉及上电/降电和复位功能的任何问题的系统级验证和调试是关键的。双引脚方案可以被用于验证上电定时以及标识复位和降电功能的(诸)源。双引脚方案还提供了与潜在触发相关联的定时。然而, 双引脚方案是有问题的, 因为接口所要求的引脚的数目增加了封装级成本。此外, 由于封装尺寸和成本约束, 该接口可能不被准许支持如此数目的引脚。相应地, 本公开通过在功能上将诸控制功能(例如, PON_RESET_N和PS_HOLD)合并到单个导线接口中来解决该双引脚方案的问题。这节省了PMIC和SoC之间的至少两个芯片组引脚和至少一个路由。

[0052] 图4是解说低级控制信号的定时行为的示图400。PON_RESET_N的定时行为在402处示出。PS_HOLD的定时行为在404处示出。如406处所示, 在PON_RESET_N的解除断言和PS_HOLD的断言之间存在可观的间隙(大致56μs)。根据本公开的诸方面, 这两个信号(PON_RESET_N和PS_HOLD)的定时、以及它们的操作行为被保持。

[0053] 在本公开的一方面, PON_RESET_N线402和PS_HOLD线404被组合。阴影区域408示出了当系统正在正确工作时, 这两个信号的稳态行为。在区域408内, 若例如用户通过按下系统复位按钮发起系统复位, 则PON_RST_N线402变低若例如系统软件开始软复位或系统功率循环, 或者若遭遇看门狗定时器(WDT)溢出事件, 则PS_HOLD线404变低。

[0054] 图5是解说PMIC 502与SoC 504之间的新颖的低级接口的示图500。如图5中所示, 该新颖的架构使用单个导线上的双向信令办法。具体而言, 单个控制信号(例如, RST_N_PWR)可以在单个双向线506上被从PMIC 502向SoC 504, 或被从SoC 504向PMIC 502传达。在本公开的一方面, RST_N_PWR是图3的PON_RESET_N和PS_HOLD的合并/组合。如图5中进一步所示, PMIC 502和SoC 504可以共享系统功率管理接口(SPMI) 510, 以及数个电源轨, 例如第一电源轨 (PWR_RAIL#1) 512 (1) 到第N电源轨 (PWR_RAIL#N) 512 (N)。

[0055] RST_N_PWR的传达允许提供输出阻抗、上拉(PU)控制、下拉(PD)控制、必要逻辑、和定时控制元件, 以通过保持低级控制信号的所有实时定时要求来实现系统的顺畅操作。该新颖的架构在每个IC上节省了一个引脚并且消除了PMIC 502与SoC 504之间的顶级迹线。该新颖的架构保留了与双引脚接口方案相同的系统级行为和可见性。该新颖的架构进一步支持简单的自立测试工作台引导而不需要复杂的信令。

[0056] 图6是解说在单个导线上实现双向信令时, 在PMIC发起的复位/关闭规程期间的设备行为的示图600。PMIC驱动单个导线(例如, 图5的双向线506)来传达RST_N_PWR的方式在602处示出。SoC驱动单个导线来传达RST_N_PWR的方式在604处示出。作为由PMIC和/或SoC驱动的结果的该单个导线的结果所得接口电平在606处示出。该结果所得接口电平606可以由PMIC和SoC观察到, 并且是经由示波器可验证的。

[0057] 如图6中所示, 虽然系统被关闭, 但是在608处可以发生提示PMIC上电的上电触发(PON触发)。在该时间期间, SoC可以处于复位模式中。在610, PMIC通过在单个导线上生成例如具有上升沿和下降沿的脉冲来将SoC复位解除断言。在生成该脉冲之后, PMIC等待来自SoC的确收(ACK)。在612, SoC通过在单个导线上生成例如具有上升沿的脉冲来将ACK发送到PMIC。SoC随后在发送ACK之后上电。

[0058] 在614处, PMIC可以观察到故障状况(或看门狗事件)。相应地, PMIC由于故障状况

而通过在单个双向线上生成例如单个脉冲来触发复位/关闭。SoC观察到单个脉冲并且通过转变成复位模式来响应。

[0059] 在本公开的一方面,通过在单个双向线上生成单个脉冲来触发复位/关闭是为PMIC所独有的。因此,PMIC发起的复位/关闭规程可以通过在616处观察该单个脉冲来区分。在本公开的一方面,该单个脉冲包括单个双向线上的单个转变。这单个转变可以是上升沿或下降沿。来自SoC的响应可以在观察到此单个转变(无论其为上升沿还是下降沿)之际被触发。

[0060] 在本公开的一方面,除该复位/关闭规程以外的规程可以由PMIC在614处触发。例如,PMIC可以通过在单个双向线上生成单个脉冲而在614处触发引导序列握手。

[0061] 图7是解说在单个导线上实现双向信令时,在SoC发起的复位/关闭规程期间的设备行为的示图700。PMIC驱动该单个导线(例如,图5的双向线506)来传达RST_N_PWR的方式在702处示出。SoC驱动该单个导线来传达RST_N_PWR的方式在704处示出。作为由PMIC和/或SoC驱动的结果的该单个导线的结果所得接口电平在706处示出。该结果所得接口电平706可以由PMIC和SoC观察到,并且是经由示波器可验证的。

[0062] 如图7中所示,虽然系统被关闭,但是在708处可以发生提示PMIC上电的上电触发(PON触发)。在该时间期间,SoC可以处于复位模式中。在710,PMIC通过在单个导线上生成例如具有上升沿和下降沿的脉冲来解除断言SoC复位。在生成该脉冲之后,PMIC等待来自SoC的确收(ACK)。在712,SoC通过在该单个导线上生成例如具有上升沿的脉冲来将ACK发送到PMIC。SoC随后在发送该ACK之后上电。

[0063] 在714,SoC可以由于例如观察到看门狗事件而发起复位/关闭(暖复位或断电)。SoC通过在该单个双向线上生成例如双脉冲来触发复位/关闭。PMIC观察到双脉冲并且通过转变到暖复位或断电模式来响应。

[0064] 在本公开的一方面,通过在该单个双向线上生成双脉冲来触发复位/关闭是为SoC所独有的。因此,SoC发起的复位/关闭规程可以通过在716处观察该双脉冲来区分。在本公开的一方面,双脉冲可包括该单个双向线上的数个转变,包括上升沿和/或下降沿。来自SoC的响应可以在观察到该双脉冲的第一个转变(无论其为上升沿还是下降沿)之际被触发。

[0065] 在本公开的一方面,除该复位/关闭规程以外的规程可以由SoC在714处触发。例如,SoC可以通过在该单个双向线上生成双脉冲而在714处触发引导序列握手。

[0066] 参见图6和7,在该单个导线上使用双向信令的此新颖架构允许对于哪个IC(PMIC还是SoC)驱动了该单个双向线能进行简便的示波器验证。这促成了调试以搜集与双引脚接口的情形相同的洞察。在本公开的一方面,PMIC的主动驱低不得不延迟足够长以便该双脉冲能被看到来将PMIC发起与SoC发起区别开来。在本公开的进一步的方面,该新颖的方案通过将RST_N_PWR经高值电阻器搭接至1.8V IO轨(这可以在PON完成时藉由PMIC下拉来克服)保留了简单自立PMIC引导的能力。

[0067] 在本公开的一方面,虽然仅针对两个设备(PMIC和SoC)描述了在单个导线上使用双向信令的新颖架构,但是该新颖架构可以由不止两个设备来实现,包括非PMIC和非SoC设备。此类设备驱动该单个双向线的方式要被彼此区分。例如,每个设备可以通过生成具有独特数目个脉冲的信号来被区分,例如,第三设备通过在该单个双向线上生成三个脉冲来触发复位/关闭规程或引导序列握手,第四设备通过在该单个双向线上生成四个脉冲来触发

复位/关闭规程或引导序列握手,以此类推。在其他示例中,每个设备可以通过生成具有独特脉宽、独特电压电平、或独特阻抗级等等的信号来被区分。

[0068] 用于在单个双向线上通信的示例性设备和方法

[0069] 图8是根据本公开的一个或多个方面的配置成支持涉及在单个双向线上的设备间信令的操作(例如,涉及以下所描述的图9和10的方法的诸方面)的装置800的解说。装置800包括通信接口(例如,至少一个收发机)802、存储介质804、用户接口806、存储器设备808以及处理电路810。

[0070] 这些组件可以经由信令总线或其他合适的组件(由图8中的连接线一般化地表示)彼此耦合和/或彼此进行电通信。取决于处理电路810的具体应用和整体设计约束,信令总线可包括任何数目的互连总线和桥接器。信令总线将各种电路链接在一起以使得通信接口802、存储介质804、用户接口806和存储器设备808中的每一者耦合到处理电路810和/或与处理电路810进行电通信。信令总线还可链接各种其他电路(未示出),诸如定时源、外围设备、稳压器和功率管理电路,这些电路在本领域中是众所周知的,且因此将不再进一步描述。

[0071] 通信接口802可被适配成促成装置800的无线通信。例如,通信接口802可包括被适配成促成关于网络中的一个或多个通信设备进行双向信息通信的电路系统和/或代码(例如,指令)。通信接口802可耦合到一个或多个天线812以用于在无线通信系统内进行无线通信。通信接口802可以配置有一个或多个独立接收机和/或发射机以及一个或多个收发机。在所解说的示例中,通信接口802包括发射机814和接收机816。

[0072] 存储器设备808可表示一个或多个存储器设备。如所指示的,存储器设备808可维护网络相关信息818连同装置800所使用的其他信息。在一些实现中,存储器设备808和存储介质804被实现为共用存储器组件。存储器设备808还可被用于存储由处理电路810或由装置800的某个其他组件操纵的数据。

[0073] 存储介质804可表示用于存储代码(诸如处理器可执行代码或指令(例如,软件、固件))、电子数据、数据库、或其他数字信息的一个或多个计算机可读、机器可读、和/或处理器可读设备。存储介质804还可被用于存储由处理电路810在执行代码时操纵的数据。存储介质804可以是能被通用或专用处理器访问的任何可用介质,包括便携式或固定存储设备、光学存储设备、以及能够存储、包含或携带代码的各种其他介质。

[0074] 作为示例而非限制,存储介质804可包括:磁存储设备(例如,硬盘、软盘、磁条)、光盘(例如,压缩碟(CD)或数字多功能碟(DVD))、智能卡、闪存设备(例如,记忆卡、记忆棒、或钥匙驱动器)、随机存取存储器(RAM)、只读存储器(ROM)、可编程ROM(PROM)、可擦式PROM(EPROM)、电可擦式PROM(EEPROM)、寄存器、可移动盘、以及任何其他用于存储可由计算机访问和读取的代码的合适介质。存储介质804可以在制品(例如,计算机程序产品)中实施。作为示例,计算机程序产品可包括封装材料中的计算机可读介质。鉴于上述内容,在一些实现中,存储介质804可以是非瞬态(例如,有形)存储介质。

[0075] 存储介质804可被耦合至处理电路810以使得处理电路810能从存储介质804读取信息和向存储介质804写入信息。即,存储介质804可耦合到处理电路810,以使得存储介质804至少能由处理电路810访问,包括其中至少一个存储介质被集成到处理电路810的示例和/或其中至少一个存储介质与处理电路810分开(例如,驻留在装置800中、在装置800外

部、跨多个实体分布等)的示例。

[0076] 由存储介质804存储的代码和/或指令在由处理电路810执行时使处理电路810执行本文描述的各种功能和/或过程操作中的一者或多者。例如,存储介质804可包括被配置用于以下动作的操作:管控处理电路810的一个或多个硬件块处的操作以及利用通信接口802通过利用其相应通信协议进行无线通信。

[0077] 处理电路810一般被适配成用于处理,包括执行存储在存储介质804上的此类代码/指令。如本文中使用的,术语“代码”或“指令程”应当被宽泛地解读成包括但不限于编程、指令、指令集、数据、代码、代码段、程序代码、程序、子程序、软件模块、应用、软件应用、软件包、例程、子例程、对象、可执行件、执行的线程、规程、函数等,无论其被称为软件、固件、中间件、微代码、硬件描述语言、还是其他术语。

[0078] 处理电路810被安排成获得、处理和/或发送数据、控制数据的访问与存储、发布命令,以及控制其他期望操作。在至少一个示例中,处理电路810可包括被配置成实现由恰适的介质提供的期望代码的电路系统。例如,处理电路810可被实现为一个或多个处理器、一个或多个控制器、和/或配置成执行可执行代码的其他结构。处理电路810的示例可包括被设计成执行本文所描述的功能的通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其他可编程逻辑组件、分立的门或晶体管逻辑、分立的硬件组件、或者其任何组合。通用处理器可包括微处理器,以及任何常规处理器、控制器、微控制器、或状态机。处理电路810还可实现为计算组件的组合,诸如DSP与微处理器的组合、数个微处理器、与DSP核协作的一个或多个微处理器、ASIC和微处理器、或任何其他数目的变化配置。处理电路810的这些示例是为了解说,并且还设想了落在本公开范围内的其他合适的配置。

[0079] 根据本公开的一个或多个方面,处理电路810可适配成执行用于本文中描述的任何或所有装置的特征、过程、功能、操作和/或例程中的任一者或全部。如本文所使用的,涉及处理电路810的术语“适配”可指处理电路810被配置、采用、实现和/或编程(以上一者或多者)为执行根据本文描述的各种特征的特定过程、功能、操作和/或例程。

[0080] 根据装置800的至少一个示例,处理电路810可包括设备耦合电路/模块820、动作发起电路/模块822、动作指示电路/模块824、响应触发电路/模块826、以及动作接收电路/模块828中的一者或多者,这些电路/模块被适配成执行本文中所描述的特征、过程、功能、操作和/或例程(例如,针对图9和/或图10描述的特征、过程、功能、操作和/或例程)中的任何或所有。

[0081] 设备耦合电路/模块820可包括适配成执行涉及例如经由单个双向线将第一设备耦合到第二设备的若干功能的电路系统和/或指令(例如,存储在存储介质804上的设备耦合指令830)。

[0082] 动作发起电路/模块822可包括适配成执行涉及例如在第一设备处发起第一动作和/或在第二设备处发起第二动作的若干功能的电路系统和/或指令(例如,存储在存储介质804上的动作发起指令832)。

[0083] 动作指示电路/模块824可包括适配成执行涉及例如通过在该单个双向线上将第一单个转变从第一设备发送到第二设备来指示在第一设备处发起的第一动作的发起,以及通过在该单个双向线上将第二单个转变从第二设备发送到第一设备来指示在第二设备处

发起的第二动作的发起的若干功能的电路系统和/或指令(例如,存储在存储介质804上的动作指示指令834)。在本公开的另一方面,动作指示电路/模块824可以被适配成执行涉及例如通过在单个双向线上生成第一事件来指示第一动作的发起的若干功能。

[0084] 响应触发电路/模块826可包括适配成执行涉及例如在接收到发送自第一设备的第一单个转变之际在第二设备处触发对第一动作的响应,以及在接收到发送自第二设备的第二单个转变之际在第一设备处触发对第二动作的响应的若干功能的电路系统和/或指令(例如,存储在存储介质804上的响应触发指令836)。相应地,动作接收电路/模块828可包括适配成执行涉及例如接收发送自第一设备的第一单个转变以及接收发送自第二设备的第二单个转变的若干功能的电路系统和/或指令(例如,存储在存储介质804上的动作接收指令838)。

[0085] 动作接收电路/模块828可进一步包括适配成执行涉及例如通过在该单个双向线上观察第二事件来接收在第二设备处发起了第二动作的指示的若干功能的电路系统和/或指令(例如,存储在存储介质804上的动作接收指令838)。相应地,响应触发电路/模块826可被进一步适配成执行涉及例如在接收到与该第二事件相关联的第一转变之际触发对该第二动作的响应的若干功能。

[0086] 如上所提及的,由存储介质804存储的指令在由处理电路810执行时使处理电路810执行本文描述的各种功能和/或过程操作中的一者或多者。例如,存储介质804可包括设备耦合指令830、动作发起指令832、动作指示指令834、响应触发指令836、以及动作接收指令838中的一者或多者。

[0087] 图9是解说在单个双向线上的设备间信令的方法的流程图900。该方法可以由一装置(例如图1的装置100、图5的设备502和504,或图8的装置800)来执行。

[0088] 该装置经由单个双向线将第一设备耦合到第二设备902。在本公开的一方面,第一设备和第二设备中的一者是功率管理集成电路(PMIC),且第一设备和第二设备中的另一者是片上系统(SoC)。

[0089] 该装置通过在该单个双向线上将第一单个转变从第一设备发送到第二设备来指示在第一设备处发起的第一动作的发起904。该装置通过在该单个双向线上将第二单个转变从第二设备发送到第一设备来指示在第二设备处发起的第二动作的发起906。在本公开的一方面,第一单个转变异于第二单个转变。

[0090] 如本申请中所使用的,术语“动作”可包括但不限于事件、触发事件、规程、过程、或状态的改变。在本公开的一方面,第一动作是复位动作或引导序列握手中的至少一者,以及第二动作是复位动作或引导序列握手中的至少一者。

[0091] 该装置在接收到发送自第一设备的第一单个转变之际在第二设备处触发对第一动作的响应908。该装置在接收到发送自第二设备的第二单个转变之际在第一设备处触发对第二动作的响应910。

[0092] 在本公开的一方面,第一单个转变是上升沿或下降沿中的至少一者,以及第二单个转变是上升沿或下降沿中的至少一者。在本公开的另一方面,由第一设备发送的第一单个转变是上升沿,并且由第二设备发送的第二单个转变是下降沿。

[0093] 图10是解说单个双向线上的信令的方法的流程图1000。该方法可以由第一设备(例如图1的装置100、图5的设备502和504中的一者,或图8的装置800)来执行。

[0094] 第一设备发起第一动作1002。第一设备通过在单个双向线上生成第一事件来指示第一动作的发起1004。第一设备通过在该单个双向线上观察第二事件来接收第二动作在第二设备处被发起的指示1006。

[0095] 如以上所提及的，术语“动作”可包括但不限于事件、触发事件、规程、过程、或状态的改变。在本公开的一方面，第一设备和第二设备中的一者是功率管理集成电路(PMIC)，且第一设备和第二设备中的另一者是片上系统(SoC)。在本公开的一方面，第一动作是复位动作或引导序列握手中的至少一者，以及第二动作是复位动作或引导序列握手中的至少一者。在本公开的进一步的方面，第一动作和第二动作是取决于包括第一设备和第二设备的系统的状态而可变的。

[0096] 第一设备在接收到与第二事件相关联的第一转变之际触发对第二动作的响应1008。在本公开的一方面，所触发的响应是取决于包括第一设备和第二设备的系统的状态而可变的。

[0097] 在本公开的一方面，第一事件包括第一数目个脉冲，且第二事件包括不同于第一数目的第二数目个脉冲。在本公开的进一步的方面，第一事件包括单脉冲，且第二事件包括双脉冲，或者第一事件包括双脉冲，且第二事件包括单脉冲。在本公开的还有另一方面，第一事件藉由电压电平、阻抗级、脉宽、和/或脉冲数目来与第二事件进行区分。

[0098] 应理解，所公开的过程中各步骤的具体次序或层次是示例性办法的解说。基于设计偏好，可以重新编排这些过程中各步骤的具体次序或层次。所附方法权利要求以示例次序呈现各种步骤的要素，且并不意味着被限定于所给出的具体次序或层次。

[0099] 如本申请中所使用的，术语“组件”、“模块”、“系统”及类似术语旨在包括计算机相关实体，诸如但并不限于硬件、固件、硬件与软件的组合、软件、或执行中的软件。例如，组件可以是但不限于是，在处理器上运行的进程、处理器、对象、可执行件、执行的线程、程序和/或计算机。作为解说，在计算设备上运行的应用和该计算设备两者皆可以是组件。一个或多个组件可驻留在进程和/或执行的线程内，且组件可以本地化在一台计算设备上和/或分布在两台或更多台计算设备之间。此外，这些组件能从其上存储着各种数据结构的各种计算机可读介质来执行。这些组件可藉由本地和/或远程进程来通信，诸如根据具有一个或多个数据分组的信号来通信，这样的数据分组诸如是来自藉由该信号与本地系统、分布式系统中另一组件交互的、和/或跨诸如因特网之类的网络与其他系统交互的一个组件的数据。

[0100] 此外，术语“或”旨在表示“包含性或”而非“排他性或”。即，除非另外指明或从上下文能清楚地看出，否则短语“X采用A或B”旨在表示任何自然的可兼排列。即，短语“X采用A或B”得到以下任何实例的满足：X采用A；X采用B；或X采用A和B两者。另外，本申请和所附权利要求书中所用的冠词“一”和“某”一般应当被理解成表示“一个或多个”，除非另外声明或者可从上下文中清楚看出是指单数形式。

[0101] 提供先前描述是为了使本领域任何技术人员均能够实践本文中所描述的各种方面。对这些方面的各种改动将容易为本领域技术人员所明白，并且在本文中所定义的普遍原理可被应用于其他方面。因此，权利要求并非旨在被限定于本文中所示出的方面，而是应被授予与语言上的权利要求相一致的全部范围，其中对要素的单数形式的引述除非特别声明，否则并非旨在表示“有且仅有一个”，而是“一个或多个”。除非特别另外声明，否则术语“一些”指的是一个或多个。本公开通篇描述的各种方面的要素为本领域普通技术人员当前

或今后所知的所有结构上和功能上的等效方案通过引述被明确纳入于此，且旨在被权利要求所涵盖。此外，本文中所公开的任何内容都并非旨在贡献给公众，无论这样的公开是否在权利要求书中被显式地叙述。没有任何权利要求元素应被解释为装置加功能，除非该元素是使用短语“用于……的装置”来明确叙述的。

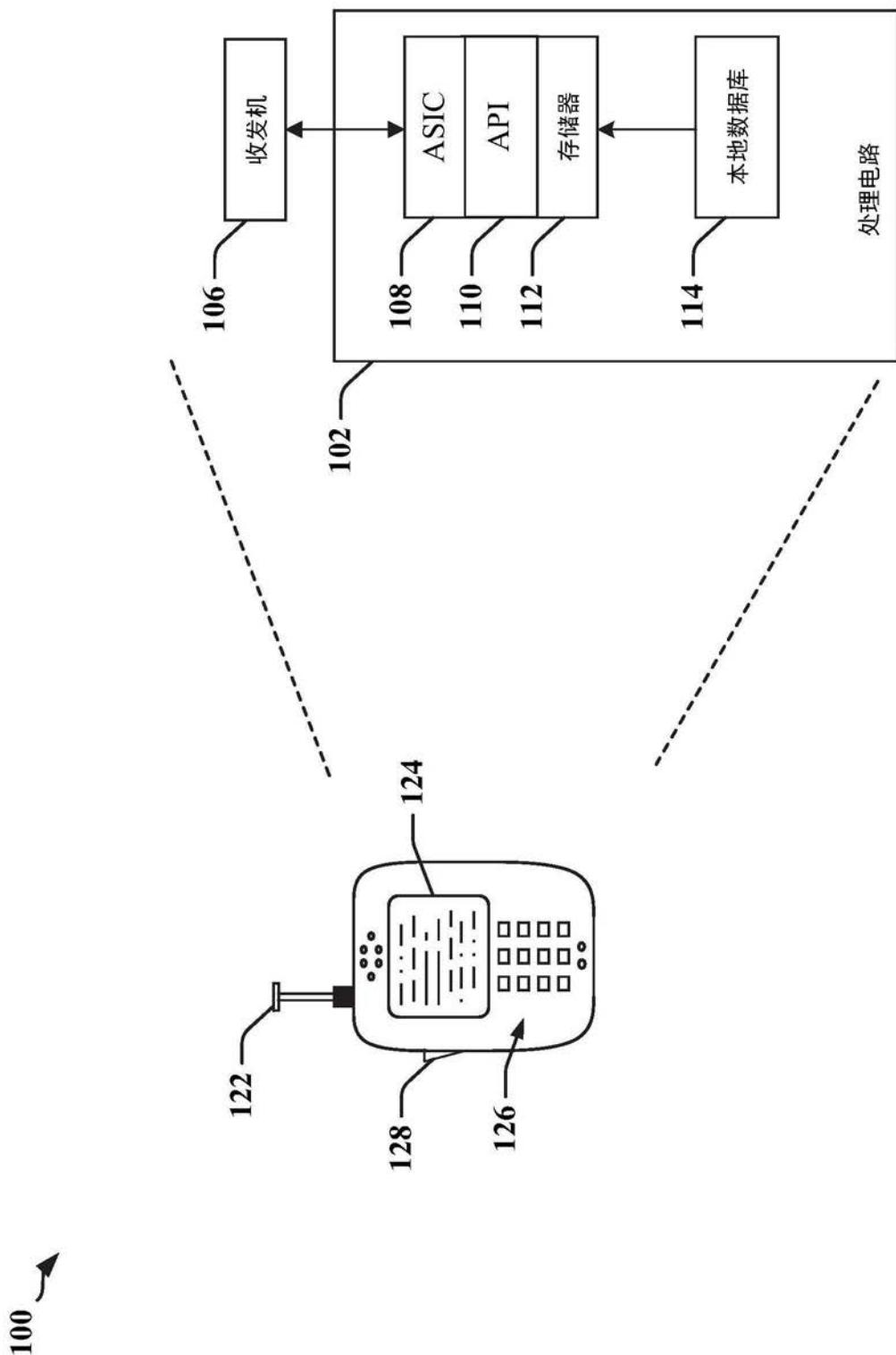


图1

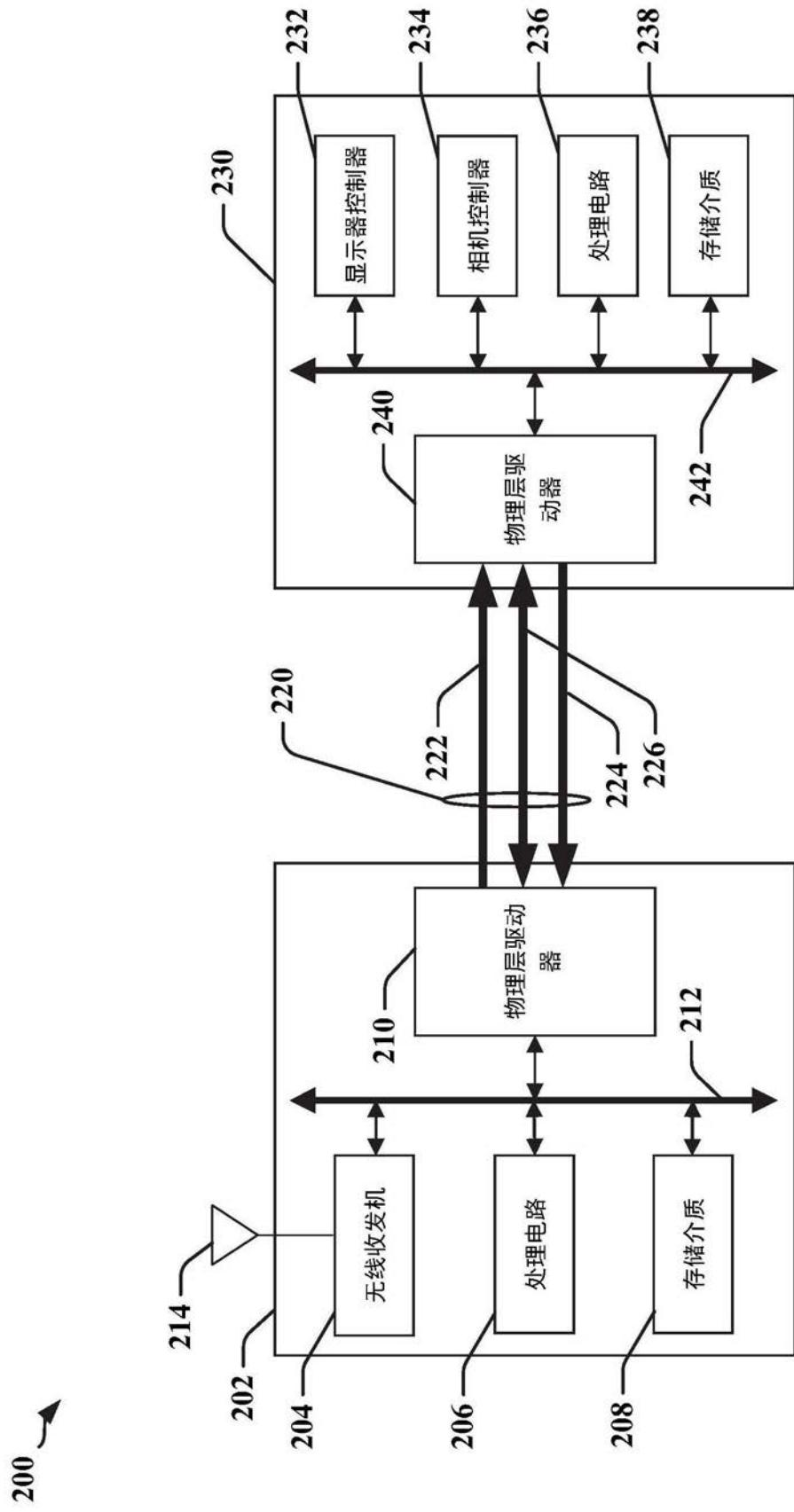


图2

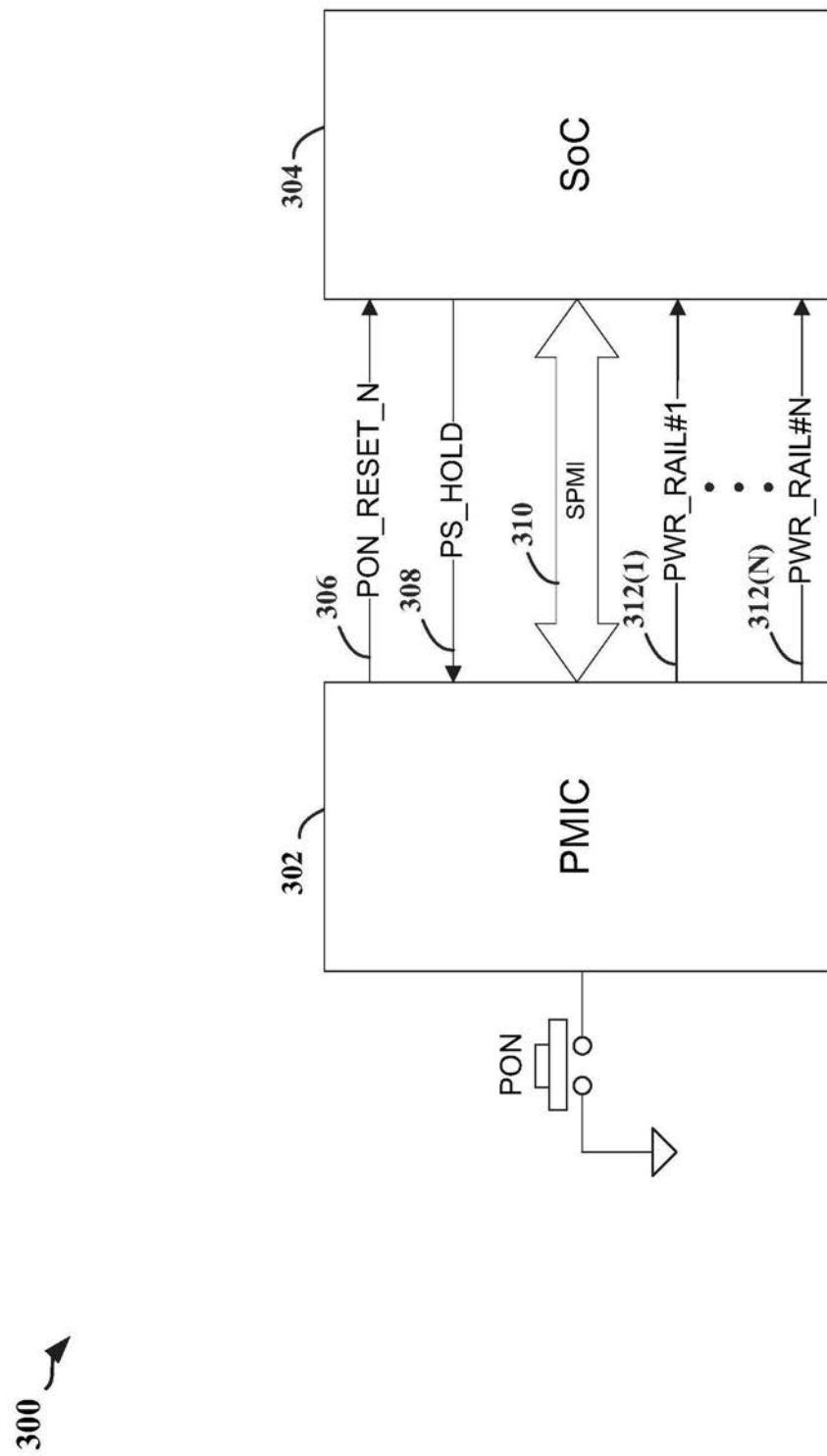


图3

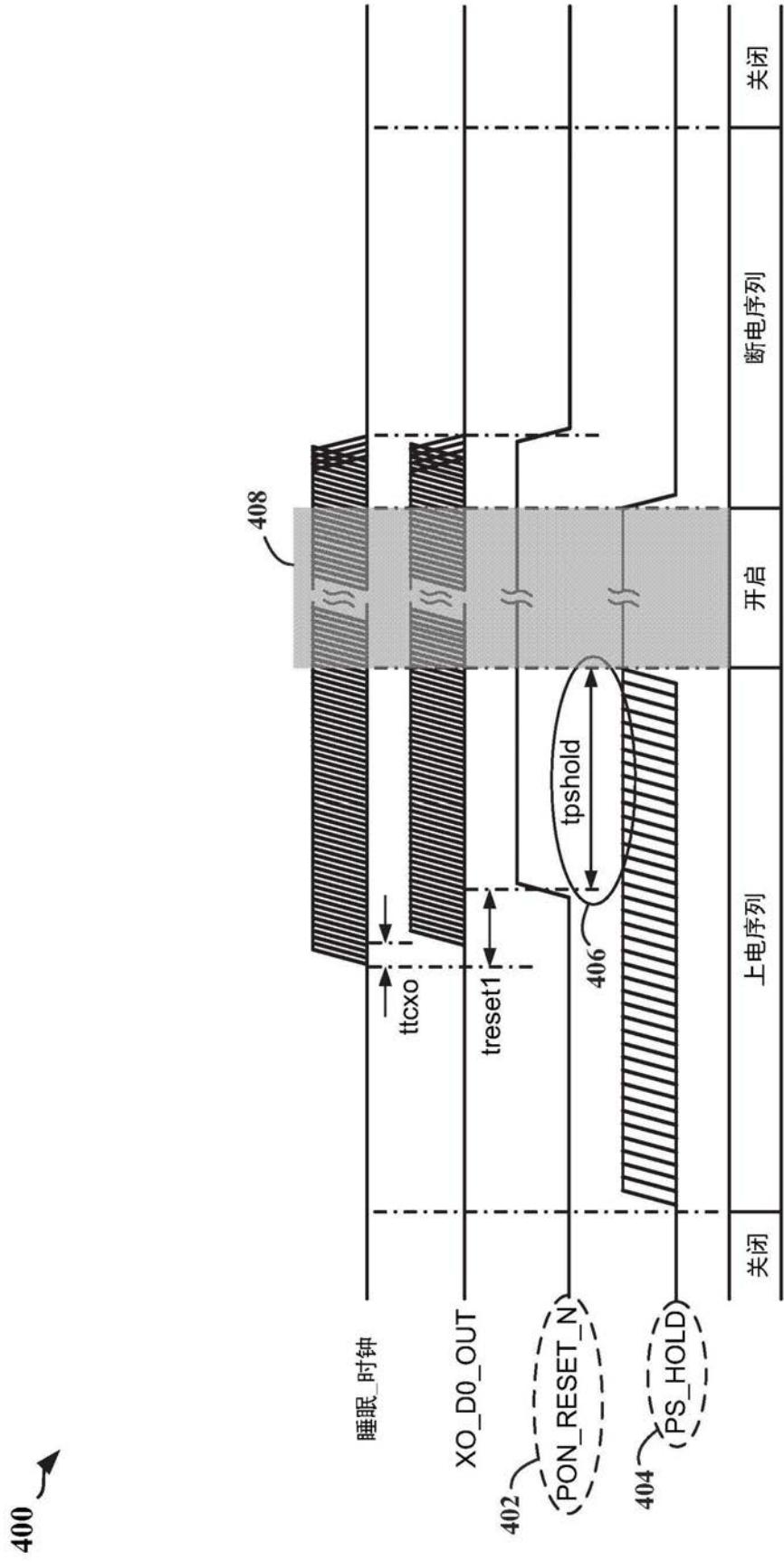


图4

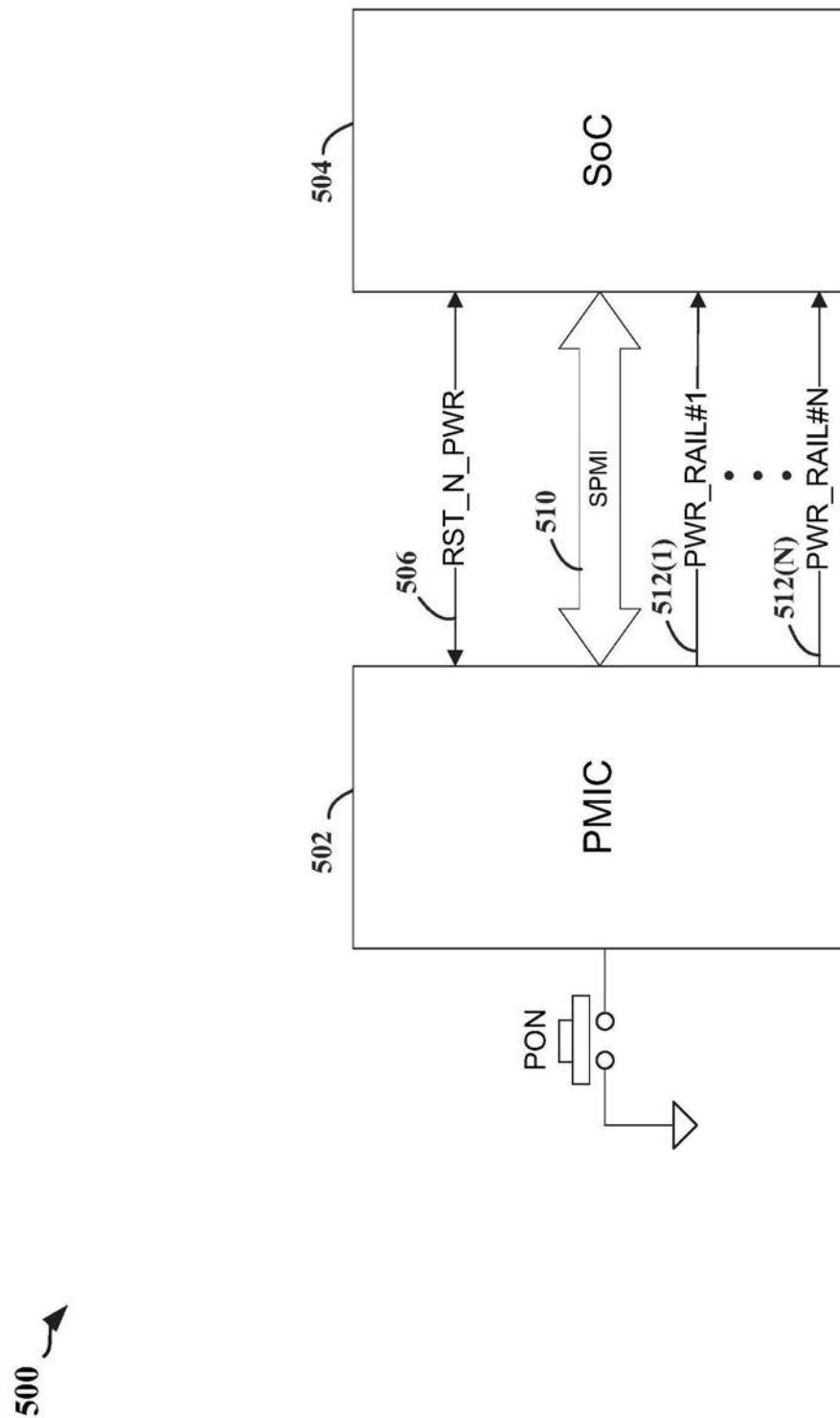


图5

600 ↗

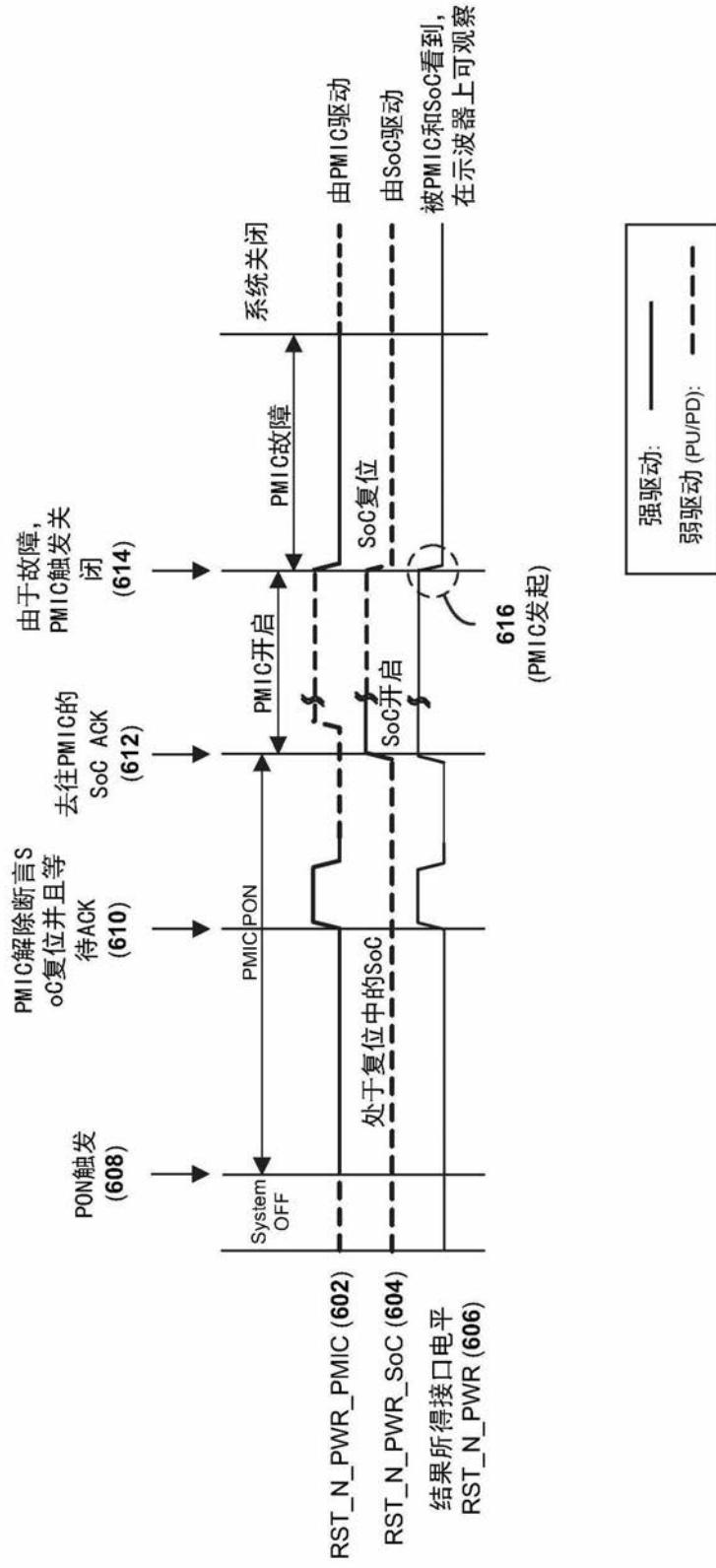


图6

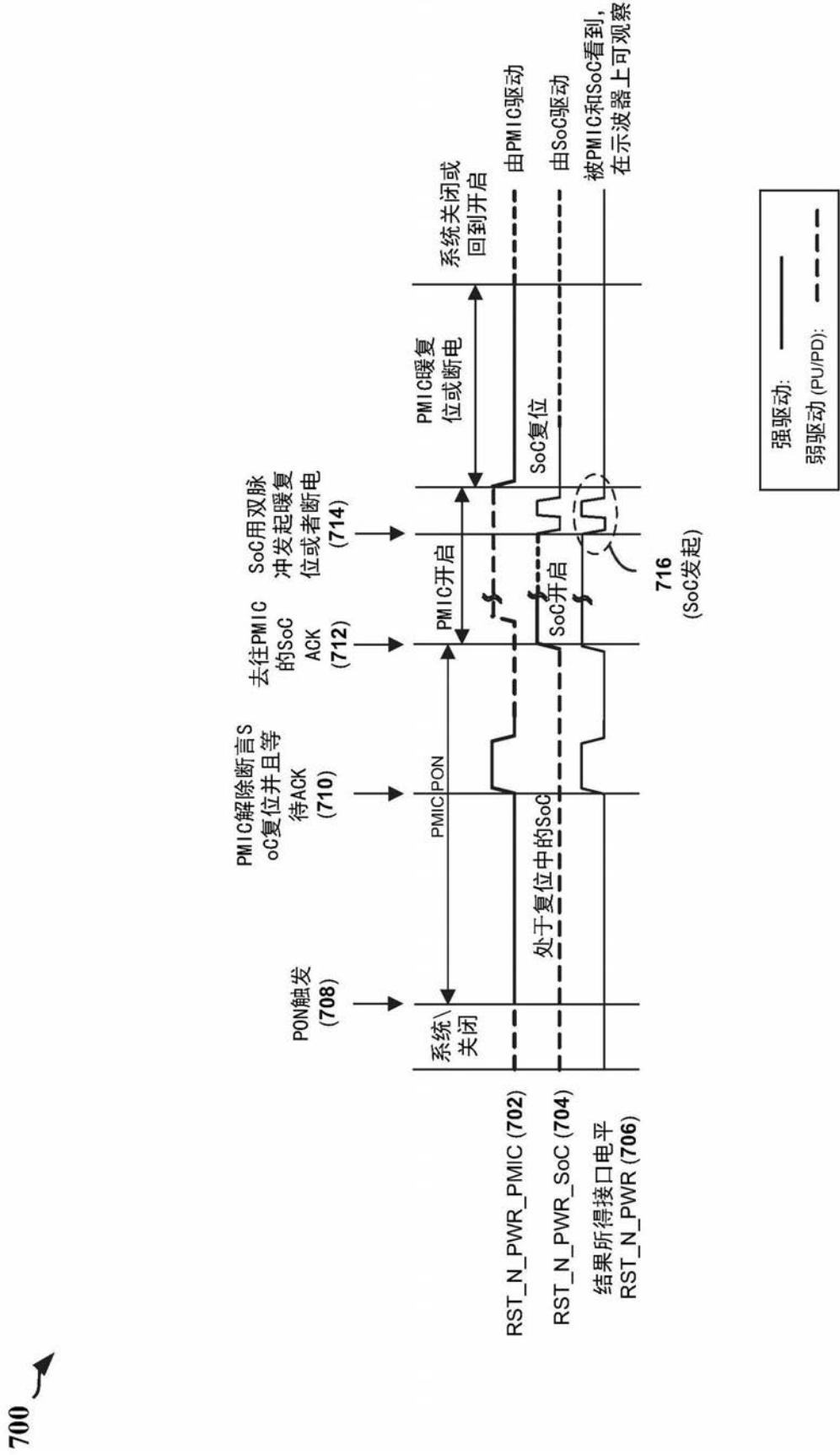


图7

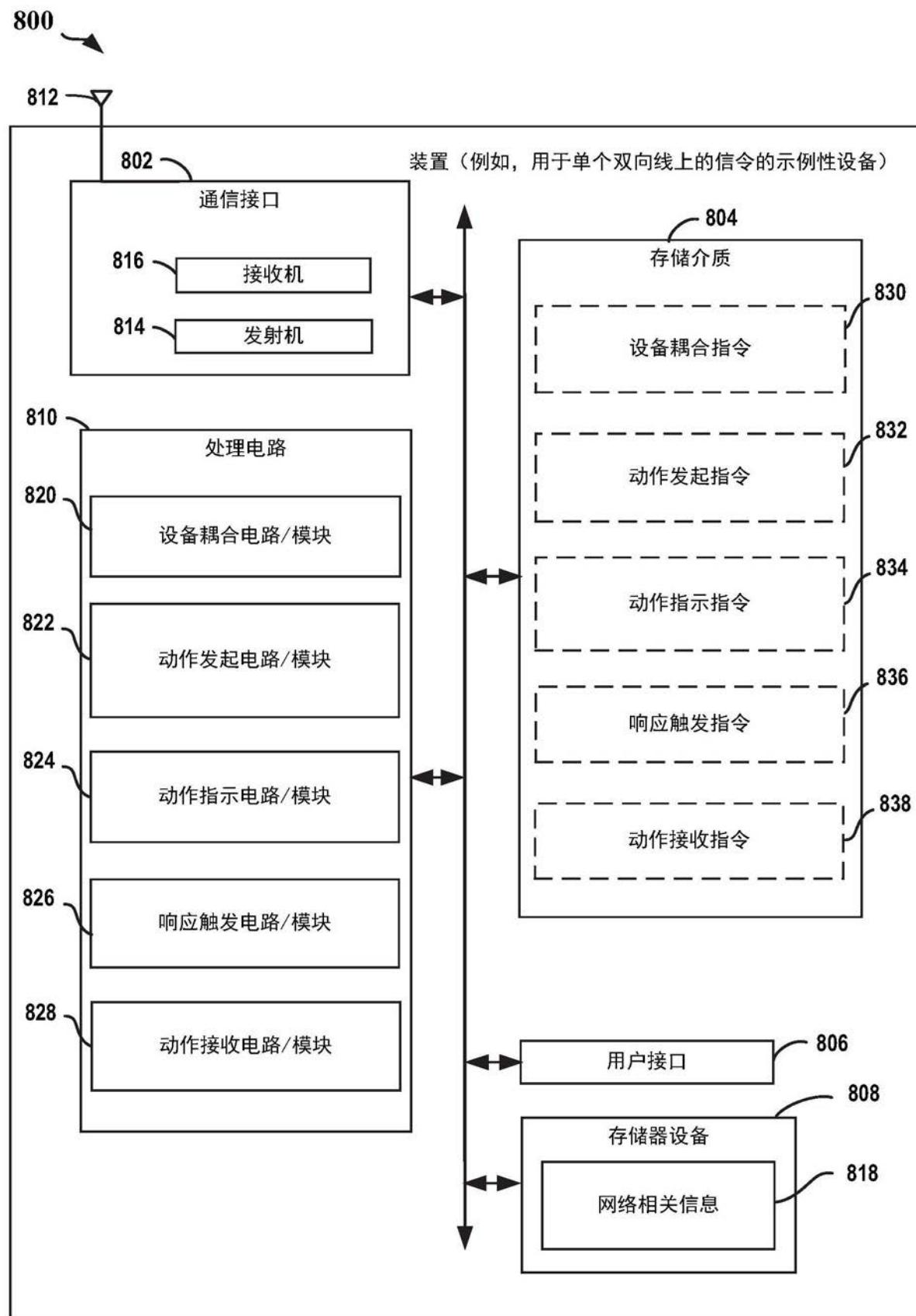


图8

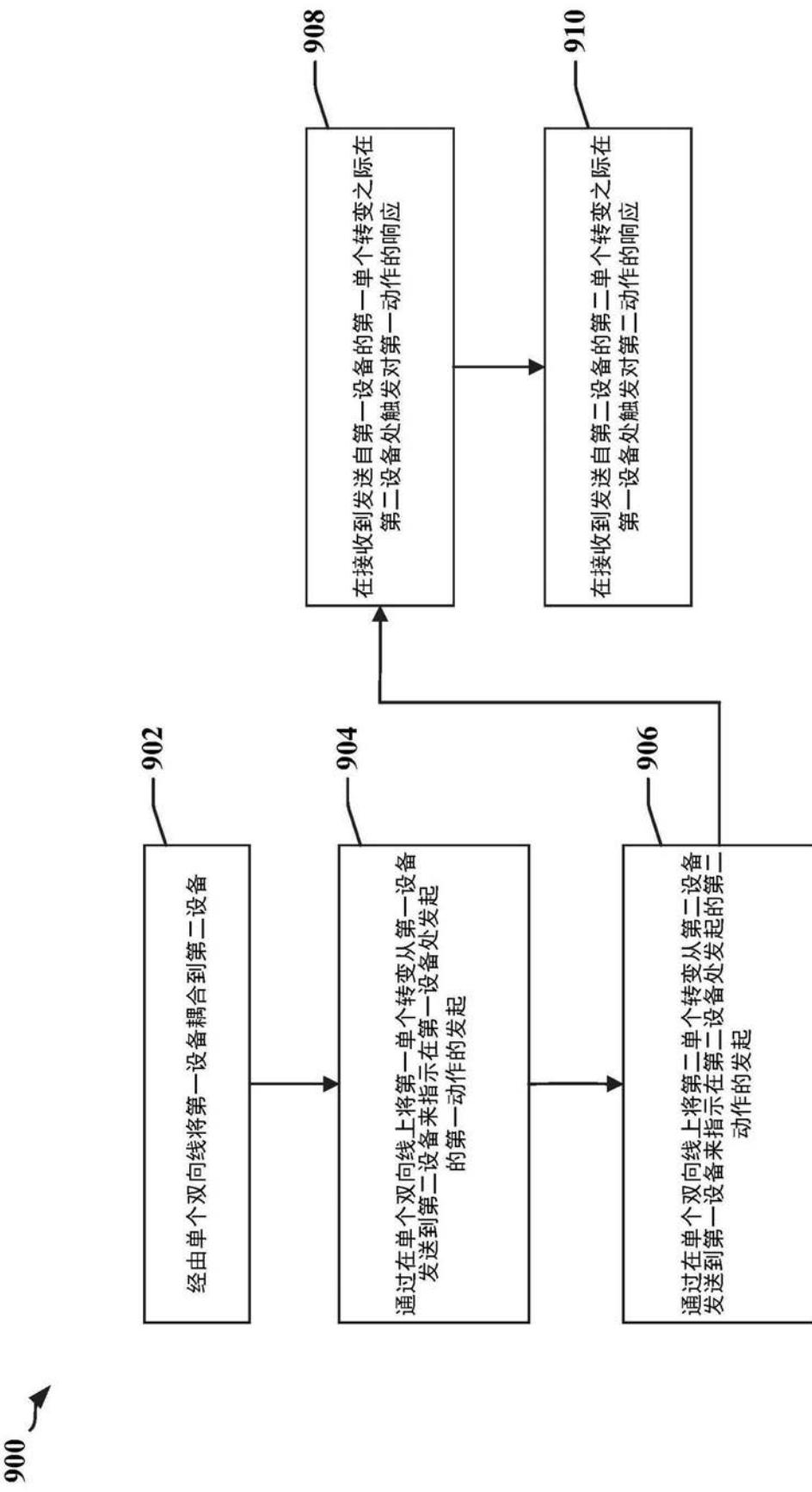


图9

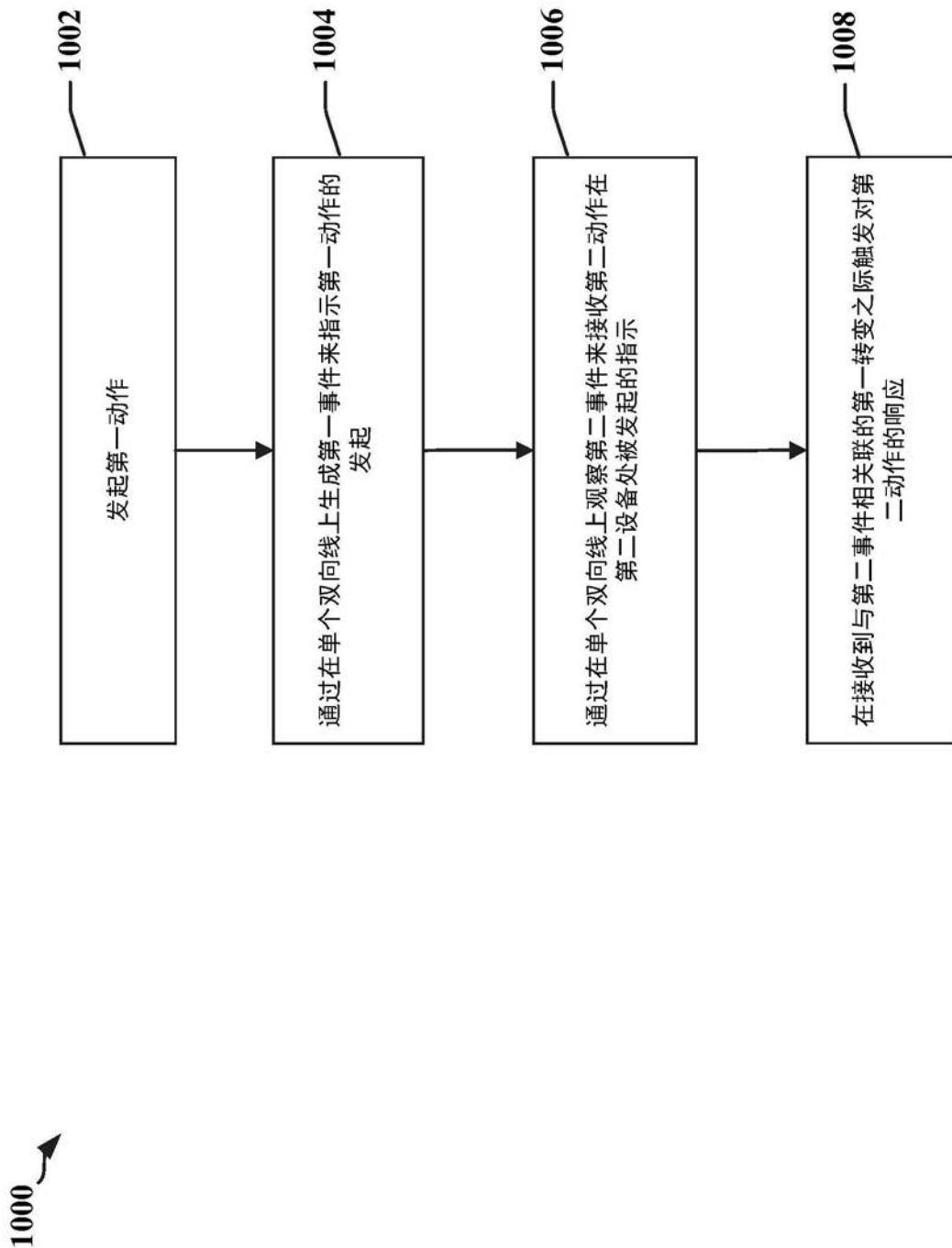


图10