

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 1 月 18 日 (18.01.2018)



(10) 国际公布号
WO 2018/010495 A1

(51) 国际专利分类号:
G09G 3/3258 (2016.01)

(21) 国际申请号: PCT/CN2017/085883

(22) 国际申请日: 2017 年 5 月 25 日 (25.05.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610551788.4 2016 年 7 月 13 日 (13.07.2016) CN

(71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。 合肥鑫晟光电科技有
限公司 (HEFEI XINSHENG OPTOELECTRONICS
TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省
合肥市新站区工业园, Anhui 230012 (CN)。

(72) 发明人: 张杨(ZHANG, Yang); 中国北京市经济技术
开发区地泽路 9 号, Beijing 100176 (CN)。 刘
金良(LIU, Jinliang); 中国北京市经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所(LIU, SHEN &
ASSOCIATES); 中国北京市海淀区彩和坊路 10
号 1 号楼 10 层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW。

(54) Title: PIXEL DRIVING CIRCUIT, DRIVING METHOD THEREOF, ARRAY SUBSTRATE, AND DISPLAY APPARATUS

(54) 发明名称: 像素驱动电路及其驱动方法、阵列基板、显示装置

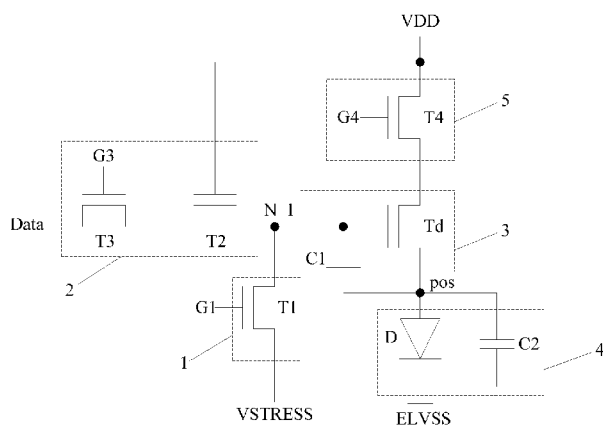


图 1B

(57) Abstract: A pixel driving circuit, a driving method thereof, an array substrate (8), and a display apparatus. The pixel driving circuit comprises a drift suppression unit (1), a data writing unit (2), a compensation unit (3), and a working unit (4). The drift suppression unit (1) receives a reference control signal (G1) and a reference signal (VSTRESS), and is used for outputting the reference signal (VSTRESS) to the compensation unit (3) under the control of the reference control signal (G1) during a drift suppression period (p1) and a reset period (p2). During the drift suppression period (p1), the potential of the reference signal (VSTRESS) is less than 0. The pixel driving circuit is used for driving the working unit (4) to work.

(57) 摘要: 一种像素驱动电路及其驱动方法、阵列基板(8)、显示装置。像素驱动电路包括: 漂移抑制单元(1)、数据写入单元(2)、补偿单元(3)和工作单元(4); 漂移抑制单元(1)接收基准控制信号(G1)和基准信号(VSTRESS), 漂移抑制单元(1)用于在漂移抑制时段(p1)和重置时段(p2), 在基准控制信号(G1)的控制下将基准信号(VSTRESS)输出给补偿单元(3); 在漂移抑制时段(p1), 基准信号(VSTRESS)的电位小于0。像素驱动电路用于驱动工作单元(4)工作。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

像素驱动电路及其驱动方法、阵列基板、显示装置

技术领域

- 5 本发明的实施例涉及一种像素驱动电路及其驱动方法、阵列基板、显示装置。

背景技术

- 10 有机发光二极管（Organic Light-Emitting Diode，以下简称 OLED）显示装置具有自发光、反应速度快、对比度高、视角广等诸多优点，是目前受到广泛关注的一种显示装置。

- OLED 显示装置包括矩阵式排布的多个像素，驱动和控制每个像素进行灰阶显示依赖于像素内部的像素驱动电路。传统的像素驱动电路中，一般通过驱动开关管驱动像素中对应的 OLED，来实现 OLED 显示装置的画面显示。
- 15 该驱动开关管在工作过程中，其栅极会长期在高偏压下工作，而这种长时间的高偏压作用会使得驱动开关管的物理特性不稳定，容易导致驱动开关管出现阈值电压漂移的现象，影响正常扫描信号的输出。

发明内容

- 20 本发明的一个实施例提供了一种像素驱动电路，包括：漂移抑制单元、数据写入单元、补偿单元和工作单元。所述漂移抑制单元配置为接收基准控制信号和基准信号，并且在所述基准控制信号的控制下将所述基准信号输出；所述数据写入单元配置为接收栅极控制信号、数据信号和电源电压信号，并且在所述栅极控制信号和电源电压信号的控制下将所述数据信号输出；所述
- 25 补偿单元与所述漂移抑制单元连接且与所述数据写入单元连接，还与输出节点连接，所述补偿单元配置为接收电源电压信号，以及生成一驱动信号并输出至所述输出节点；所述工作单元与所述输出节点连接，且还与电源负极连接，所述工作单元配置为在所述驱动信号的驱动下工作。

- 本发明的再一个实施例提供一种像素驱动电路的驱动方法，上述像素驱动电路包括：漂移抑制单元、数据写入单元、补偿单元和工作单元，其中所
- 30

述补偿单元和所述工作单元的公共端为输出节点，所述驱动方法包括多个驱动周期，每个所述驱动周期包括：

5 漂移抑制时段，向所述漂移抑制单元输入基准控制信号和基准信号，使所述漂移抑制单元在所述基准控制信号的控制下，将电位小于0的所述基准信号输出至所述补偿单元；

重置时段，向所述漂移抑制单元输入基准控制信号和基准信号，使所述漂移抑制单元在所述基准控制信号的控制下，将所述基准信号输出至所述补偿单元，使所述补偿单元处于工作状态；并向所述补偿单元输入处于低电位的电源电压信号，将所述输出节点的电位重置为重置电位；

10 补偿时段，向所述数据写入单元输入栅极控制信号、数据信号和处于高电位的电源电压信号，使所述数据写入单元在所述栅极控制信号和处于高电位的电源电压信号的控制下，将所述数据信号输出至所述补偿单元；并向所述补偿单元输入处于高电位的电源电压信号，将所述输出节点的电位从所述重置电位上拉至第一电位；

15 数据写入时段，向所述数据写入单元输入栅极控制信号、数据信号和处于高电位的电源电压信号，使所述数据写入单元在所述栅极控制信号和处于高电位的电源电压信号的控制下，将所述数据信号输出至所述补偿单元；并使所述补偿单元利用处于浮空状态的所述电源电压信号，将所述输出节点的电位从所述第一电位上拉至第二电位；

20 工作时段，向所述补偿单元输入处于高电位的电源电压信号，使所述补偿单元在所述处于高电位的电源电压信号的作用下生成一驱动信号，利用所述驱动信号驱动所述工作单元工作。

本发明的再一个实施例提供一种像素驱动电路，包括漂移抑制单元、数据写入单元、补偿单元、工作单元和第一节点。所述补偿单元的控制端连接到所述第一节点，所述补偿单元的第一端用于连接到电源电压信号，所述补偿单元的第二端连接到工作单元的第一端；所述漂移抑制单元的控制端用于连接到基准控制信号，所述漂移抑制单元的第一端用于连接到基准信号，所述漂移抑制单元的第二端连接到所述第一节点；所述数据写入单元的第一控制端用于连接到栅极控制信号，所述数据写入单元的第二控制端用于连接到
25 所述电源电压信号，所述数据写入单元的第一端用于连接到数据信号，所述
30

数据写入单元的第二端连接到所述第一节点；所述工作单元的第二端用于连接到电源负极。

本发明的再一个实施例提供一种阵列基板，所述阵列基板包括上述像素驱动电路。

5 本发明的再一个实施例提供一种显示装置，所述显示装置包括上述阵列基板。

附图说明

10 为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1A 为本发明实施例提供的像素驱动电路的结构示意图；

图 1B 为本发明实施例的一个示例提供的像素驱动电路的结构示意图；

图 2 为本发明实施例提供的像素驱动电路的控制时序图；

15 图 3 为本发明实施例提供的显示装置的示意图。

附图标记：

1-漂移抑制单元；	2-数据写入单元；	3-补偿单元；
4-工作单元；	5-电源单元；	p1-漂移抑制时段；
p2-重置时段；	p3-补偿时段；	p4-数据写入时段；
20 p5-工作时段；	T1-第一开关管；	T2-第二开关管；
T3-第三开关管；	T4-第四开关管；	Td-驱动开关管；
C1-第一电容；	C2-第二电容；	D-发光器件；
G1-基准控制信号；	G3-栅极控制信号；	G4-电源控制信号；
Data-数据信号；	VDD-电源电压信号；	ELVSS-电源负极；
25 N ₁ -输入节点；	pos-输出节点；	VSTRESS-基准信号。

具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，
30 所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描

述的本发明的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

除非另作定义，此处使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

为了进一步说明本发明实施例提供的像素驱动电路及其驱动方法、阵列基板、显示装置，下面结合说明书附图进行详细描述。

请参阅图 1A 和图 2，本发明实施例提供的像素驱动电路的一个驱动周期包括：漂移抑制时段 p1、重置时段 p2、补偿时段 p3、数据写入时段 p4 和工作时段 p5。该像素驱动电路包括：漂移抑制单元（或漂移抑制子电路）1、数据写入单元（或数据写入子电路）2、补偿单元（或补偿子电路）3 和工作单元（或工作子电路）4。例如，补偿单元 3 包括驱动开关管 Td（参见图 1B）。

漂移抑制单元 1 接收基准控制信号 G1 和基准信号 VSTRESS，漂移抑制单元 1 用于在漂移抑制时段 p1 和重置时段 p2，在基准控制信号 G1 的控制下将基准信号 VSTRESS 输出至补偿单元 3 的控制端；而且，在漂移抑制时段 p1，例如基准信号 VSTRESS 的电位小于 0；在补偿时段 p3、数据写入时段 p4 和工作时段 p5，漂移抑制单元 1 均没有信号输出。

数据写入单元 2 接收栅极控制信号 G3、数据信号 Data 和电源电压信号 VDD，数据信号 Data 的电位为数据电位，数据写入单元 2 用于在补偿时段 p3 和数据写入时段 p4，在栅极控制信号 G3 和电源电压信号 VDD 的控制下将数据信号 Data 输出至补偿单元 3 的控制端；在漂移抑制时段 p1、重置时段 p2 和工作时段 p5，数据写入单元 2 均没有信号输出。

补偿单元 3 与漂移抑制单元 1 连接且与数据写入单元 2 连接，补偿单元 3 还与输出节点 pos 连接，补偿单元 3 接收电源电压信号 VDD；补偿单元 3

用于在重置时段 p2, 利用基准信号 VSTRESS 和处于低电位的电源电压信号 VDD, 将输出节点 pos 的电位重置为重置电位; 在补偿时段 p3, 补偿单元 3 利用数据信号 Data 和处于高电位的电源电压信号 VDD, 将输出节点 pos 的电位从重置电位上拉至第一电位; 在数据写入时段 p4, 补偿单元 3 利用数据信号 Data 和处于浮空状态的电源电压信号 VDD, 将输出节点 pos 的电位从第一电位上拉至第二电位; 在工作时段 p5, 补偿单元 3 在处于高电位的电源电压信号 VDD 的作用下, 生成一驱动信号并输出至输出节点 pos; 在漂移抑制时段 p1 补偿单元 3 没有信号输出。

工作单元 4 与输出节点 pos 连接, 工作单元 4 还与电源负极 ELVSS 连接, 工作单元 4 用于在工作时段 p5, 在驱动信号的驱动下工作。

请参阅图 1 和图 2, 上述像素驱动电路在一个驱动周期的工作过程如下所述。

在漂移抑制时段 p1, 漂移抑制单元 1 接收基准控制信号 G1 和基准信号 VSTRESS, 漂移抑制单元 1 在基准控制信号 G1 的控制下, 将电位小于 0 的基准信号 VSTRESS 输出至补偿单元 3。

在重置时段 p2, 漂移抑制单元 1 接收基准控制信号 G1 和基准信号 VSTRESS, 漂移抑制单元 1 在基准控制信号 G1 的控制下, 将基准信号 VSTRESS 输出至补偿单元 3, 使补偿单元 3 处于工作状态, 同时补偿单元 3 接收处于低电位的电源电压信号 VDD, 实现将输出节点 pos 的电位重置为重置电位。

在补偿时段 p3, 数据写入单元 2 接收栅极控制信号 G3、数据信号 Data 和处于高电位的电源电压信号 VDD, 数据写入单元 2 在栅极控制信号 G3 和处于高电位的电源电压信号 VDD 的控制下, 将数据信号 Data 输出至补偿单元 3, 同时补偿单元 3 接收处于高电位的电源电压信号 VDD, 实现将输出节点 pos 的电位从重置电位上拉至第一电位。

在数据写入时段 p4, 数据写入单元 2 接收栅极控制信号 G3、数据信号 Data 和处于高电位的电源电压信号 VDD, 数据写入单元 2 在栅极控制信号 G3 和处于高电位的电源电压信号 VDD 的控制下, 将数据信号 Data 输出至补偿单元 3, 同时补偿单元 3 利用处于浮空状态的电源电压信号 VDD, 将输出节点 pos 的电位从第一电位上拉至第二电位。

在工作时段 p5, 补偿单元 3 接收处于高电位的电源电压信号 VDD, 补偿单元 3 在处于高电位的电源电压信号 VDD 的作用下生成一驱动信号, 驱动信号驱动工作单元 4 工作。

根据上述像素驱动电路的结构和像素驱动电路在一个驱动周期的工作过程可知, 本发明实施例提供的像素驱动电路中, 在漂移抑制时段 p1, 漂移抑制单元 1 能够在基准控制信号 G1 的控制下将电位小于 0 的基准信号 VSTRESS 输出给补偿单元 3, 将补偿单元 3 中的驱动开关管 Td 的栅极电位变为负电位; 在驱动开关管 Td 的栅极电位为负电位的情况下, 驱动开关管 Td 的阈值电压 Vth 向负向漂移, 而阈值电压 Vth 向负向漂移时, 其漂移程度要远小于阈值电压 Vth 向正向漂移的程度; 这样在每个驱动周期内, 驱动开关管的栅极电位能够在负电位和正电位 (高电位) 之间交替变换, 很好的避免了由于补偿单元 3 中驱动开关管 Td 的栅极长期处于高偏压下工作所导致的阈值电压 Vth 漂移的问题, 保证了扫描信号的正常输出。

驱动开关管 Td 可以为各种适当的驱动晶体管, 该驱动晶体管可以为非晶硅晶体管、多晶硅晶体管、氧化物半导体晶体管等。值得注意的是, 对于使用氧化物半导体制作的驱动开关管 Td, 其栅极更容易受到单一偏压的影响, 当采用这种氧化物驱动开关管 Td 来驱动工作单元 4 工作时, 通过本发明实施例提供的像素驱动电路, 同样能够避免由于氧化物驱动开关管的栅极长期处于高偏压下工作所导致的阈值电压 Vth 漂移的问题, 保证了扫描信号的正常输出。

需要说明的是, 本发明实施例所提供的像素驱动电路中, 补偿单元 3 所利用的电源电压信号 VDD 的电位有三种状态: 高电位、低电位和浮空; 其中, 补偿单元 3 利用浮空状态的电源电压信号 VDD, 是指补偿单元 3 不接收任何电位的电源电压信号 VDD。

此外, 漂移抑制单元 1、数据写入单元 2 和补偿单元 3 的公共端为输入节点 N_1, 补偿单元 3 和工作单元 4 的公共端为输出节点 pos。

下面以图 1B 所示的一个具体示例的电路结构为例对本发明实施例所提供的像素驱动电路进行介绍。

如图 1 所示, 本实施所提供的像素驱动电路的漂移抑制单元 1 可包括第一开关管 T1, 该第一开关管 T1 的控制端接收基准控制信号 G1, 第一开关管

T1 的输入端接收基准信号 VSTRESS, 第一开关管 T1 的输出端连接补偿单元 3。

数据写入单元 2 可包括第二开关管 T2 和第三开关管 T3; 第二开关管 T2 的控制端接收电源电压信号 VDD, 第二开关管 T2 的输入端连接第三开关管 T3 的输出端, 第二开关管 T2 的输出端连接补偿单元 3; 第三开关管 T3 的控制端接收栅极控制信号 G3, 第三开关管 T3 的输入端接收数据信号 Data。

补偿单元 3 可包括驱动开关管 Td, 该驱动开关管 Td 的控制端连接漂移抑制单元 1 且连接数据写入单元 2, 该驱动开关管 Td 的输入端接收电源电压信号 VDD, 该驱动开关管 Td 的输出端连接输出节点 pos; 第一电容 C1, 该第一电容 C1 的第一端连接驱动开关管 Td 的控制端, 该第一电容 C1 的第二端连接驱动开关管 Td 的输出端。

工作单元 4 可包括发光器件 D, 该发光器件 D 的阳极连接输出节点 pos, 该发光器件 D 的阴极连接电源负极 ELVSS, 发光器件 D 能够在驱动信号的驱动下发光。该发光器件 D 例如为发光二极管, 例如有机发光二极管。

在另一个示例中, 工作单元 4 还可以包括第二电容 C2, 该第二电容 C2 的第一端连接发光器件 D 的阳极, 该第二电容 C2 的第二端连接发光器件 D 的阴极, 以用于保持发光器件 D 两端的电压。

上述实施例提供的具体的像素驱动电路的工作过程在一个驱动周期内, 依次包括以下五个时段:

漂移抑制时段 p1, 将电位小于 0 的基准信号 VSTRESS 输出至补偿单元 3, 使补偿单元 3 中的驱动开关管 Td 的栅极处于负压状态。在此时段内, 基准控制信号 G1 处于高电位, 控制第一开关管 T1 导通, 从而电位小于 0 的基准信号 VSTRESS 从第一开关管 T1 的输出端输出, 使输入节点 N₁ 的电位 V_{N₁} 等于基准信号 VSTRESS 的电位 (即负电位), 即使得补偿单元 3 中的驱动开关管 Td 的栅极电位为负电位; 电源电压信号 VDD 处于低电位 VDD_L, 从而控制第二开关管 T2 截止, 使得数据写入单元 2 无信号输出。

重置时段 p2, 将输出节点 pos 的电位 Vpos 重置为重置电位, 清除上一驱动周期的信息。在此时段内, 基准控制信号 G1 处于高电位, 控制第一开关管 T1 导通, 从而基准信号 VSTRESS (在此阶段基准信号 VSTRESS 的电位大于或等于驱动开关管 Td 的阈值电压 Vth) 从第一开关管 T1 的输出端输

出,使输入节点 N_1 的电位 V_{N_1} 等于基准信号 V_{STRESS} 的电位,使驱动开关管 T_d 处于导通状态,此时将电源电压信号 VDD 置于低电位 VDD_L ,就使得输出节点 pos 的电位 V_{pos} 变化为重置电位(即电源电压信号 VDD 的低电位 VDD_L);驱动开关管 T_d 的栅源电压 $V_{gs}=V_{N_1}-V_{pos} > V_{th}$,从而驱动

5 开关管 T_d 继续导通,输出节点 pos 的电位 V_{pos} 保持为 VDD_L (即重置电位);而且在此时段电源电压信号 VDD 处于低电位 VDD_L ,能够控制第二开关管 T_2 截止,使得数据写入单元 2 无信号输出;需要说明的是,虽然在此时段内驱动开关管 T_d 保持导通,但是由于 $V_{pos}=VDD_L$,因此并不足以使发光器件 D 打开并发光。

10 补偿时段 p_3 ,将输出节点 pos 的电位 V_{pos} 从重置电位拉高至第一电位,对输出节点 pos 的电位 V_{pos} 进行补偿。在此时段内,基准控制信号 G_1 处于低电位,控制第一开关管 T_1 截止,从而使第一开关管 T_1 停止输出基准信号 V_{STRESS} ;同时将电源电压信号 VDD 置于高电位 VDD_H ,即能够控制第二开关管 T_2 导通,而且第三开关管 T_3 在栅极控制信号 G_3 的作用下,周期性的导通和截止,当栅极控制信号 G_3 控制第三开关管 T_3 导通时,低电位数据信号 $Data_L$ (数据信号 $Data$ 的低电位 $Data_L$ 大于等于驱动开关管 T_d 的

15 阈值电压 V_{th})从第三开关管 T_3 的输出端输出到第二开关管 T_2 的输入端,再经第二开关管 T_2 的输出端输出至输入节点 N_1 和第一电容 C_1 (存储在第一电容 C_1 内)中,当栅极控制信号 G_3 控制第三开关管 T_3 截止时,存储在

20 第一电容 C_1 中的低电位数据信号 $Data_L$ 能够继续维持输入节点 N_1 的电位 V_{N_1} ,保证驱动开关管 T_d 在此阶段一直处于导通的状态;由于在此阶段电源电压信号 VDD 处于高电位 VDD_H ,且驱动开关管 T_d 导通,使得输出节点 pos 的电位 V_{pos} 由重置电位开始上升,驱动开关管 T_d 的栅源电压 V_{gs} 开始由 $(Data_L-VDD_L)$ 逐渐减小,直至 $V_{gs}=V_{th}$,驱动开关管 T_d 截止,此时,

25 输出节点 pos 的电位 $V_{pos}=Data_L-V_{th}$, $(Data_L-V_{th})$ 即为第一电位。需要说明的是,在此阶段内,当 $V_{gs}>V_{th}$ 时,虽然驱动开关管 T_d 导通,但是输出节点 pos 的电位 V_{pos} 并不是很高,不足以驱动发光器件 D 打开并发光,当 $V_{gs}=V_{th}$ 时,驱动开关管 T_d 截止,处于高电位 VDD_H 的电源电压信号 VDD 无法输送至输出节点 pos ,因此发光器件 D 仍然无法发光。

30 数据写入时段 p_4 ,将输出节点 pos 的电位 V_{pos} 从第一电位上拉至第二

电位，以消除驱动开关管 Td 的阈值电压 V_{th} 对发光器件 D 的影响。在此时段内，基准控制信号 G1 仍然处于低电位，即第一开关管 T1 仍然截止，第一开关管 T1 不会输出基准信号 VSTRESS；电源电压信号 VDD 仍然处于高电位 VDD_H，使第二开关管 T2 继续导通，栅极控制信号 G3 处于高电位将第三开关管 T3 导通，从而控制第三开关管 T3 将高电位数据信号 Data_H 输出至第二开关管 T2 的输入端，再由第二开关管 T2 将高电位数据信号 Data_H 输出至输入节点 N_1 和第一电容 C1，这样输入节点 N_1 的电位 V_{N_1} 即为数据信号 Data 的高电位 Data_H，输入节点 N_1 的电位 V_{N_1} 的变化量即为高电位数据信号 Data_H 与低电位数据信号 Data_L 之差 ($Data_H - Data_L$)；接着将栅极控制信号 G3 处于低电位，使第三开关管 T3 截止，由存储在第一电容 C1 中的高电位数据信号 Data_H 继续维持驱动开关管 Td 的导通；在此时段控制驱动开关管 Td 的输入端不接收任何电位的电源电压信号 VDD，即驱动开关管 Td 接收浮空状态的电源电压信号 VDD，使第一电容 C1 产生电容自举效应，将输出节点 pos 的电位 Vpos 由 ($Data_L - V_{th}$) 自举为第二电位，由于输入节点 N_1 的电位 V_{N_1} 的变化量为 ($Data_H - Data_L$)，因此输出节点 pos 的变化量应为 $\alpha (Data_H - Data_L)$ ，其中 $\alpha = C1 / (C1 + C2)$ ，从而第二电位应为： $V_{pos} = Data_L - V_{th} + \alpha (Data_H - Data_L)$ 。需要说明的是，在此时段内，由于驱动晶体管不接收电源电压信号 VDD，因此发光器件 D 不会发光。

工作时段 p5，驱动开关管 Td 导通，并接收处于高电位 VDD_H 的电源电压信号 VDD，从而能够驱动发光器件 D 打开并发光。在此时段内，基准控制信号 G1 处于低电位，控制第一开关管 T1 截止；栅极控制信号 G3 处于低电位，控制第三开关管 T3 截止，从而输入节点 N_1 的电位 V_{N_1} 保持在 Data_H，驱动开关管 Td 导通，输出节点 pos 的电位 Vpos 保持在 $[Data_L - V_{th} + \alpha (Data_H - Data_L)]$ 不变，因此驱动开关管 Td 的栅源电压 Vgs 恒定，即：

$$V_{gs} = V_{N_1} - V_{pos} = Data_H - [Data_L - V_{th} + \alpha (Data_H - Data_L)] \quad \text{公式(1)}$$

$$V_{gs} = (1 - \alpha)(Data_H - Data_L) + V_{th} \quad \text{公式(2)}$$

根据发光器件 D 的工作电流的计算公式：

$$I_D = K (V_{gs} - V_{th})^2 \quad \text{公式(3)}$$

其中, K 为常数, 将上述公式 (2) 代入公式 (3) 中, 能够得到:

$$I_D = K[(1-\alpha)(Data_H - Data_L) + V_{th} - V_{th}]^2$$

$$I_D = K[(1-\alpha)(Data_H - Data_L)]^2 \quad \text{公式 (4)}$$

根据上述公式 (4) 可以看出发光器件 D 的工作电流与驱动开关管 Td 的
5 阈值电压 V_{th} 无关, 即很好的补偿了驱动开关管 Td 由于阈值电压 V_{th} 漂移
导致的发光器件 D 的工作电流的差异, 而且由上述公式 (4) 可以看出发光
器件 D 的工作电流与 V_{dd} 也无关, 即可以补偿由于电源线的压降 (IR Drop)
导致的变化, 因此本公开的实施例既保证了发光器件 D 发光亮度恒定, 又保
证了像素驱动电路工作的稳定性。

10 此外, 在工作时段 p5, 输入节点 N_1 处于浮空的状态, 因此, 输入节点
N_1 的电位 V_{N_1} 能够随着驱动开关管 Td 的输入端电位的升高而升高, 使得
驱动开关管 Td 能够更好的打开, 对驱动开关管 Td 的阈值电压 V_{th} 起到很好
的补偿作用。

另外, 本实施例仅以上述具体的电路结构为例对所提供的像素驱动电路
15 进行介绍, 在本发明的其它实施例中, 像素驱动电路的漂移抑制单元 1、数
据写入单元 2、补偿单元 3 和工作单元 4 还可各自采用其它的结构实现, 在
此不再详述。

上述实施例提供的补偿单元 3 所利用处于高电位的电源电压信号 VDD
和处于低电位的电源电压信号 $\overline{VDD}$, 例如可由阵列基板的外部驱动芯片 (未
20 示出) 提供。

基于上述示例性的像素驱动电路, 请继续参阅图 1A, 本发明实施例还可
以包括与补偿单元 3 连接的电源单元 5, 该电源单元 5 接收电源控制信号 G4
和电源电压信号 VDD; 电源单元 5 用于在漂移抑制时段 p1 和重置时段 p2,
在电源控制信号 G4 的控制下将处于低电位的电源电压信号 $\overline{VDD}$ 输出至补偿
25 单元 3; 在补偿时段 p3 和工作时段 p5, 在电源控制信号 G4 的控制下将处于
高电位的电源电压信号 VDD 输出至补偿单元 3; 在数据写入时段 p4, 在电
源控制信号 G4 的控制下使补偿单元 3 接收的电源电压信号 VDD 处于浮空状
态。

上述电源单元 5 的结构多种多样, 图 1B 的示例同样给出了一种电源单
30 元 5 的具体结构, 以对其工作过程进行详细说明, 当然不仅限于给出的这种

结构。

电源单元 5 包括第四开关管 T4，第四开关管 T4 的控制端接收电源控制信号 G4，第四开关管 T4 的输入端接收电源电压信号 VDD，第四开关管 T4 的输出端连接补偿单元 3。例如，以第四开关管 T4 高电位导通、低电位截止为例，在漂移抑制时段 p1 和重置时段 p2，电源控制信号 G4 为高电位，第四开关管 T4 导通，电源电压信号 VDD 为低电位 VDD_L，从而第四开关管 T4 的输出端输出低电位的电源电压信号 VDD；在补偿时段 p3 和工作时段 p5，电源控制信号 G4 仍高电位，第四开关管 T4 保持导通，电源电压信号 VDD 为高电位 VDD_H，从而第四开关管 T4 的输出端输出高电位的电源电压信号 VDD；在数据写入时段 p4，电源控制信号 G4 为低电位，第四开关管 T4 截止，从而第四开关管 T4 的输出端的电位浮空，即驱动开关管 Td 不利用任何电位的电源电压信号 VDD。当然，第四开关管 T4 也可采用高电位截止、低电位导通的开关管，这种情况下，第四开关管 T4 的电源控制信号 G4 的时序与前述电源控制信号 G4 的时序相反，即仅在数据写入时段 p4 为高电位，其余时段均为低电位。

上述技术方案中，通过增加用于控制电源电压信号 VDD 输入到补偿单元 3 的电源单元 5，使得电源电压信号 VDD 的变化状态可以仅为高电位和低电位，即很好的协调了电源电压信号 VDD 对数据写入单元 2 和补偿单元 3 的作用。

在上述描述中，本公开以 N 型晶体管为例进行说明。但是，本领域技术人员可以了解，本公开的实施例也可以通过 P 型晶体管实现。对于不同类型的晶体管，需要调整晶体管的控制端的控制电压的电平。例如，对于 N 型晶体管，在控制信号为高电平时，该 N 型晶体管处于开启状态；而在控制信号为低电平时，N 型晶体管处于截止状态。例如，对于 P 型晶体管时，在控制电压为低电平时，该 P 型晶体管处于开启状态；而在控制信号为高电平时，P 型晶体管处于截止状态。

为了更清楚的说明上述实施例提供的像素驱动电路的工作过程，下面给出具体示例。

实施例一

选用氧化物制作的开关管作为像素驱动电路中的驱动开关管 Td，即驱动

开关管 Td 的阈值电压为 0V。

在漂移抑制时段 p1, 将基准信号 VSTRESS 的电位置为 -16V, 以实现其将输入节点 N₁ 的电位 V_{N₁} 置于负电位。

在重置时段 p2, 将基准信号 VSTRESS 的电位升为 0V, 以实现其将驱动开关管 Td 导通; 同时将电源控制信号 G4 的电位置于 25V, 使第四开关管 T4 导通, 并将电源电压信号 VDD 的低电位 VDD_L 置于 -4V, 使得输出节点 pos 的电位 Vpos 被重置为 -4V。

在补偿时段 p3, 将电源电压信号 VDD 的高电位 VDD_H 置于 20V, 将数据信号 Data 的低电位 Data_L 置于 0V, 实现将输出节点 pos 的电位 Vpos 由 -4V 上拉至 4V。

在数据写入时段 p4, 电源电压信号 VDD 的高电位 VDD_H 仍保持 20V, 将电源控制信号 G4 的电位置于 -5V, 使第四开关管 T4 截止, 将栅极控制信号 G3 置于 25V, 使第三开关管 T3 导通, 根据数据信号 Data 实际的高电位 Data_H, 实现将 Data_H 写入到驱动开关管 Td 的栅极, 且实现将输出节点 pos 的电位 Vpos 上拉至第二电位。

在工作时段 p5, 电源电压信号 VDD 的高电位 VDD_H 仍保持 20V, 同时将电源控制信号 G4 的电位置于 25V, 使第四开关管 T4 导通; 驱动开关管 Td 导通, 接收 20V 的 VDD_H, 从而实现驱动发光器件 D 打开并发光。

本发明实施例还提供了一种像素驱动电路的驱动方法, 用于驱动上述实施例提供的像素驱动电路, 上述像素驱动电路包括: 漂移抑制单元 1、数据写入单元 2、补偿单元 3 和工作单元 4, 其中补偿单元 3 和工作单元 4 的公共端为输出节点 pos, 驱动方法包括多个驱动周期, 每个驱动周期包括如下时段。

漂移抑制时段 p1, 向漂移抑制单元 1 输入基准控制信号 G1 和基准信号 VSTRESS, 使漂移抑制单元 1 在基准控制信号 G1 的控制下, 将电位小于 0 的基准信号 VSTRESS 输出至补偿单元 3。

重置时段 p2, 向漂移抑制单元 1 输入基准控制信号 G1 和基准信号 VSTRESS, 使漂移抑制单元 1 在基准控制信号 G1 的控制下, 将基准信号 VSTRESS 输出至补偿单元 3, 使补偿单元 3 处于工作状态; 并向补偿单元 3 输入处于低电位的电源电压信号 VDD, 将输出节点 pos 的电位重置为重置电

位。

补偿时段 p3, 向数据写入单元 2 输入栅极控制信号 G3、数据信号 Data 和处于高电位的电源电压信号 VDD, 使数据写入单元 2 在栅极控制信号 G3 和处于高电位的电源电压信号 VDD 的控制下, 将数据信号 Data 输出至补偿单元 3; 并向补偿单元 3 输入处于高电位的电源电压信号 VDD, 将输出节点 pos 的电位从重置电位上拉至第一电位。

数据写入时段 p4, 向数据写入单元 2 输入栅极控制信号 G3、数据信号 Data 和处于高电位的电源电压信号 VDD, 使数据写入单元 2 在栅极控制信号 G3 和处于高电位的电源电压信号 VDD 的控制下, 将数据信号 Data 输出至补偿单元 3; 并使补偿单元 3 利用处于浮空状态的电源电压信号 VDD, 将输出节点 pos 的电位从第一电位上拉至第二电位。

工作时段 p5, 向补偿单元 3 输入处于高电位的电源电压信号 VDD, 使补偿单元 3 在处于高电位的电源电压信号 VDD 的作用下生成一驱动信号, 利用驱动信号驱动工作单元 4 工作。

本发明实施例提供的像素驱动电路的驱动方法中, 在漂移抑制时段 p1, 漂移抑制单元 1 能够在基准控制信号 G1 的控制下将电位小于 0 的基准信号 VSTRESS 输出给补偿单元 3, 将补偿单元 3 中的驱动开关管 Td 的栅极电位变为负电位, 使得在每个驱动周期内, 驱动开关管 Td 的栅极电位能够在负电位和正电位 (高电位) 之间交替, 很好的避免了由于补偿单元 3 中驱动开关管 Td 的栅极长期处于高偏压下工作所导致的阈值电压 V_{th} 漂移的问题, 保证了扫描信号的正常输出。

上述实施例提供的像素驱动电路还可以包括与补偿单元 3 连接的电源单元 5, 电源单元 5 接收电源控制信号 G4 和电源电压信号 VDD; 在漂移抑制时段 p1 和重置时段 p2, 向电源单元 5 输入电源控制信号 G4 和处于低电位的电源电压信号 VDD, 使电源单元 5 在电源控制信号 G4 的控制下将处于低电位的电源电压信号 VDD 输出至补偿单元 3; 在补偿时段 p3 和工作时段 p5, 使电源单元 5 在电源控制信号 G4 的控制下将处于高电位的电源电压信号 VDD 输出至补偿单元 3; 在数据写入时段 p4, 使电源单元 5 在电源控制信号 G4 的控制下将补偿单元 3 接收的电源电压信号 VDD 处于浮空状态。

当上述像素驱动电路中引入电源单元 5 时, 其对应的驱动方法所产生的

有益效果已在上述结构实施例部分描述，此处不再说明。

本实施例还提供了一种阵列基板，该阵列基板包括一个或多个以上各技术方案所提供的像素驱动电路，由于以上各技术方案所提供的像素驱动电路很好的避免了由于补偿单元 3 中驱动开关管 Td 的栅极长期处于高偏压下工作所导致的阈值电压 Vth 漂移的问题，保证了扫描信号的正常输出，因此本实施例所提供的阵列基板也具有这些优点。

本实施例还提供了一种显示装置，该显示装置包括上述阵列基板，该显示装置很好的避免了由于补偿单元 3 中驱动开关管 Td 的栅极长期处于高偏压下工作所导致的阈值电压 Vth 漂移的问题，保证了扫描信号的正常输出。

图 3 是本公开一个实施例提供的一种显示装置的示意性框图。该显示面板包括阵列基板 8，该阵列基板 8 包括由多个像素单元 81 构成的阵列，每个像素单元 81 包括上述任一实施例的像素电路。该显示装置还可以包括数据驱动电路 6 和栅极驱动电路 7，以用于分别提供数据信号和栅极控制信号等；该显示装置还可以包括提供电源电压信号（Vdd）等的芯片等。数据驱动电路 6 通过数据线 61 与像素单元 81 电连接，栅极驱动电路 7 通过栅线 71 与像素单元 81 电连接。当各个子像素单元中的发光元件为 OLED 时，则该显示装置可以为 AMOLED。

需要说明的是，本实施例所提供的显示装置可以为电子纸、OLED（Organic Light-Emitting Diode，有机发光二极管）面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

本申请要求于 2016 年 7 月 13 日递交的中国专利申请第 201610551788.4 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

权利要求书

1、一种像素驱动电路，包括：

漂移抑制单元，所述漂移抑制单元配置为接收基准控制信号和基准信号，

5 并且在所述基准控制信号的控制下将所述基准信号输出；

数据写入单元，所述数据写入单元配置为接收栅极控制信号、数据信号和电源电压信号，并且在所述栅极控制信号和电源电压信号的控制下将所述数据信号输出；

10 补偿单元，所述补偿单元与所述漂移抑制单元连接且与所述数据写入单元连接，还与输出节点连接，所述补偿单元配置为接收电源电压信号，以及生成一驱动信号并输出至所述输出节点；

工作单元，所述工作单元与所述输出节点连接，且还与电源负极连接，所述工作单元配置为在所述驱动信号的驱动下工作。

15 2、根据权利要求1所述的像素驱动电路，其中，所述漂移抑制单元包括第一开关管，

所述第一开关管的控制端接收所述基准控制信号，所述第一开关管的输入端接收所述基准信号，所述第一开关管的输出端连接所述补偿单元。

3、根据权利要求1所述的像素驱动电路，其中，所述数据写入单元包括第二开关管和第三开关管；

20 所述第二开关管的控制端接收电源电压信号，所述第二开关管的输入端连接所述第三开关管的输出端，所述第二开关管的输出端连接所述补偿单元；所述第三开关管的控制端接收所述栅极控制信号，所述第三开关管的输入端接收所述数据信号。

4、根据权利要求1所述的像素驱动电路，其中，所述补偿单元包括：

25 驱动开关管，所述驱动开关管的控制端连接所述漂移抑制单元且连接所述数据写入单元，所述驱动开关管的输入端接收所述电源电压信号，所述驱动开关管的输出端连接所述输出节点；

第一电容，所述第一电容的第一端连接所述驱动开关管的控制端，所述第一电容的第二端连接所述驱动开关管的输出端。

30 5、根据权利要求1所述的像素驱动电路，其中，所述工作单元包括：

发光器件，所述发光器件的阳极连接所述输出节点，所述发光器件的阴极连接所述电源负极，所述发光器件用于在所述驱动信号的驱动下发光。

6、根据权利要求5所述的像素驱动电路，其中，所述工作单元还包括：

第二电容，所述第二电容的第一端连接所述发光器件的阳极，所述第二电容的第二端连接所述发光器件的阴极。

7、根据权利要求1~6中任一项所述的像素驱动电路，其中，所述像素驱动电路还包括电源单元，所述电源单元与所述补偿单元连接，配置为接收电源控制信号和所述电源电压信号。

8、根据权利要求7所述的像素驱动电路，其中，所述电源单元包括：第四开关管，

所述第四开关管的控制端接收所述电源控制信号，所述第四开关管的输入端接收所述电源电压信号，所述第四开关管的输出端连接所述补偿单元。

9、一种像素驱动电路的驱动方法，所述像素驱动电路包括：漂移抑制单元、数据写入单元、补偿单元和工作单元，其中所述补偿单元和所述工作单元的公共端为输出节点，所述驱动方法包括多个驱动周期，每个所述驱动周期包括：

漂移抑制时段，向所述漂移抑制单元输入基准控制信号和基准信号，使所述漂移抑制单元在所述基准控制信号的控制下，将电位小于0的所述基准信号输出至所述补偿单元；

重置时段，向所述漂移抑制单元输入基准控制信号和基准信号，使所述漂移抑制单元在所述基准控制信号的控制下，将所述基准信号输出至所述补偿单元，使所述补偿单元处于工作状态；并向所述补偿单元输入处于低电位的电源电压信号，将所述输出节点的电位重置为重置电位；

补偿时段，向所述数据写入单元输入栅极控制信号、数据信号和处于高电位的电源电压信号，使所述数据写入单元在所述栅极控制信号和处于高电位的电源电压信号的控制下，将所述数据信号输出至所述补偿单元；并向所述补偿单元输入处于高电位的电源电压信号，将所述输出节点的电位从所述重置电位上拉至第一电位；

数据写入时段，向所述数据写入单元输入栅极控制信号、数据信号和处于高电位的电源电压信号，使所述数据写入单元在所述栅极控制信号和处于

高电位的电源电压信号的控制下，将所述数据信号输出至所述补偿单元；并使所述补偿单元利用处于浮空状态的所述电源电压信号，将所述输出节点的电位从所述第一电位上拉至第二电位；

5 工作时段，向所述补偿单元输入处于高电位的电源电压信号，使所述补偿单元在所述处于高电位的电源电压信号的作用下生成一驱动信号，利用所述驱动信号驱动所述工作单元工作。

10、根据权利要求9所述的像素驱动电路的驱动方法，所述像素驱动电路还包括与所述补偿单元连接的电源单元，所述电源单元接收电源控制信号和所述电源电压信号；

10 在所述漂移抑制时段和所述重置时段，向所述电源单元输入电源控制信号和处于低电位的电源电压信号，使所述电源单元在所述电源控制信号的控制下将处于低电位的电源电压信号输出至所述补偿单元；

在所述补偿时段和所述工作时段，使所述电源单元在所述电源控制信号的控制下将处于高电位的电源电压信号输出至所述补偿单元；

15 在所述数据写入时段，使所述电源单元在所述电源控制信号的控制下将所述补偿单元接收的所述电源电压信号处于浮空状态。

11、一种阵列基板，包括权利要求1~8中任一项所述的像素驱动电路。

12、一种显示装置，包括权利要求11所述的阵列基板。

13、一种像素驱动电路，包括：漂移抑制单元、数据写入单元、补偿单元、工作单元、第一节点和第二节点，其中，

20 所述补偿单元的控制端连接到所述第一节点，所述补偿单元的第一端用于接收电源电压信号，所述补偿单元的第二端连接到所述第二节点；

25 所述漂移抑制单元的控制端用于接收基准控制信号，所述漂移抑制单元的第一端用于接收基准信号，所述漂移抑制单元的第二端连接到所述第一节点；

所述数据写入单元的第一控制端用于接收栅极控制信号，所述数据写入单元的第二控制端用于接收所述电源电压信号，所述数据写入单元的第一端用于接收数据信号，所述数据写入单元的第二端连接到所述第一节点；

30 所述工作单元的第一端连接到所述第二节点，所述工作单元的第二端用于连接到电源负极。

14、根据权利要求 13 所述的像素驱动电路，还包括电源单元，其中，所述电源单元的控制端用于接收电源控制信号，所述电源单元的第一端用于接收所述电源电压信号，所述电源单元的的第二端用于连接到所述补偿单元的第一端。

5 15、根据权利要求 13~14 任一所述的像素驱动电路，其中，所述漂移抑制单元包括第一开关管，

所述第一开关管的控制端用于接收所述基准控制信号，所述第一开关管的输入端用于接收所述基准信号，所述第一开关管的输出端连接所述第一节点。

10 16、根据权利要求 13~14 任一所述的像素驱动电路，其中，所述数据写入单元包括第二开关管和第三开关管；

所述第二开关管的控制端用于接收所述电源电压信号，所述第二开关管的输入端连接所述第三开关管的输出端，所述第二开关管的输出端连接所述第一节点；

15 所述第三开关管的控制端用于接收所述栅极控制信号，所述第三开关管的输入端用于接收所述数据信号。

17、根据权利要求 13~14 任一所述的像素驱动电路，其中，所述补偿单元包括驱动开关管和第一电容，

20 所述驱动开关管的控制端连接所述第一节点，所述驱动开关管的输入端用于接收所述电源电压信号，所述驱动开关管的输出端连接所述第二节点；

所述第一电容的第一端连接所述第一节点，所述第一电容的第二端连接所述第二节点。

18、根据权利要求 13~14 任一所述的像素驱动电路，其中，所述工作单元包括发光器件，

25 所述发光器件的阳极连接所述第二节点，所述发光器件的阴极连接所述电源负极，所述发光器件用于在驱动信号的驱动下发光。

19、根据权利要求 18 所述的像素驱动电路，其中，所述工作单元还包括：第二电容，

30 所述第二电容的第一端连接所述发光器件的阳极，所述第二电容的第二端连接所述发光器件的阴极。

20、根据权利要求 14 所述的像素驱动电路，其中，所述电源单元包括第四开关管，

所述第四开关管的控制端用于接收所述电源控制信号，所述第四开关管的输入端用于接收所述电源电压信号，所述第四开关管的输出端连接所述补偿单元。

21、一种根据权利要求 13 的像素驱动电路的驱动方法，包括多个驱动周期，每个所述驱动周期包括：

漂移抑制时段，向所述漂移抑制单元输入所述基准控制信号和所述基准信号，使所述漂移抑制单元在所述基准控制信号的控制下，将电位小于 0 的所述基准信号输出至所述补偿单元；

重置时段，向所述漂移抑制单元输入所述基准控制信号和所述基准信号，使所述漂移抑制单元在所述基准控制信号的控制下，将所述基准信号输出至所述补偿单元，使所述补偿单元处于工作状态；向所述补偿单元输入处于低电位的所述电源电压信号，将所述输出节点的电位重置为重置电位；

补偿时段，向所述数据写入单元输入所述栅极控制信号、所述数据信号和处于高电位的所述电源电压信号，使所述数据写入单元在所述栅极控制信号和处于高电位的所述电源电压信号的控制下，将所述数据信号输出至所述补偿单元；向所述补偿单元输入处于高电位的所述电源电压信号，将所述输出节点的电位从所述重置电位上拉至第一电位；

数据写入时段，向所述数据写入单元输入所述栅极控制信号、所述数据信号和处于高电位的所述电源电压信号，使所述数据写入单元在所述栅极控制信号和处于高电位的所述电源电压信号的控制下，将所述数据信号输出至所述补偿单元；使所述补偿单元利用处于浮空状态的所述电源电压信号，将所述输出节点的电位从所述第一电位上拉至第二电位；

工作时段，向所述补偿单元输入处于高电位的电源电压信号，使所述补偿单元在所述处于高电位的电源电压信号的作用下生成一驱动信号，利用所述驱动信号驱动所述工作单元工作。

22、根据权利要求 21 所述的驱动方法，其中，所述像素驱动电路还包括与所述补偿单元连接的电源单元，所述电源单元接收电源控制信号和所述电源电压信号，所述方法还包括：

在所述漂移抑制时段和所述重置时段，在所述电源控制信号的控制下将处于低电位的所述电源电压信号输出至所述补偿单元；在所述补偿时段和所述工作时段，在所述电源控制信号的控制下将处于高电位的所述电源电压信号输出至所述补偿单元；在所述数据写入时段，在所述电源控制信号的控制下使所述补偿单元接收的所述电源电压信号处于浮空状态。

5

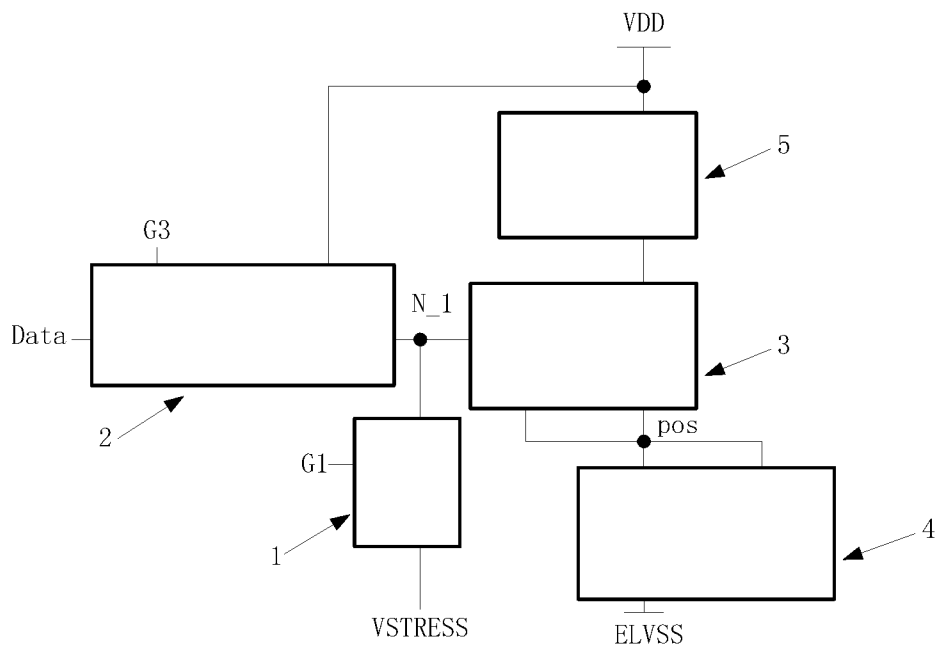


图 1A

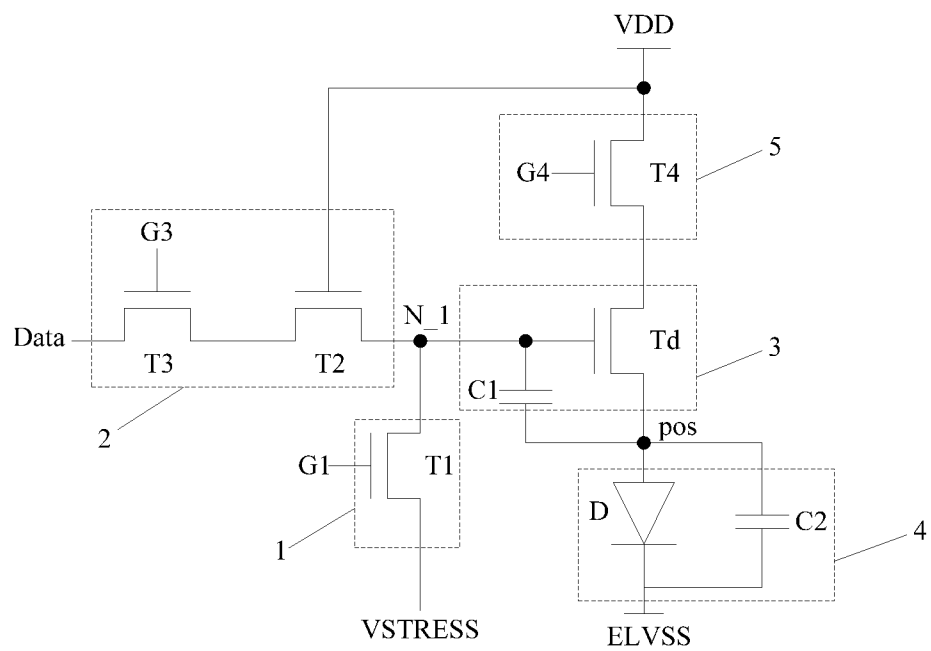


图 1B

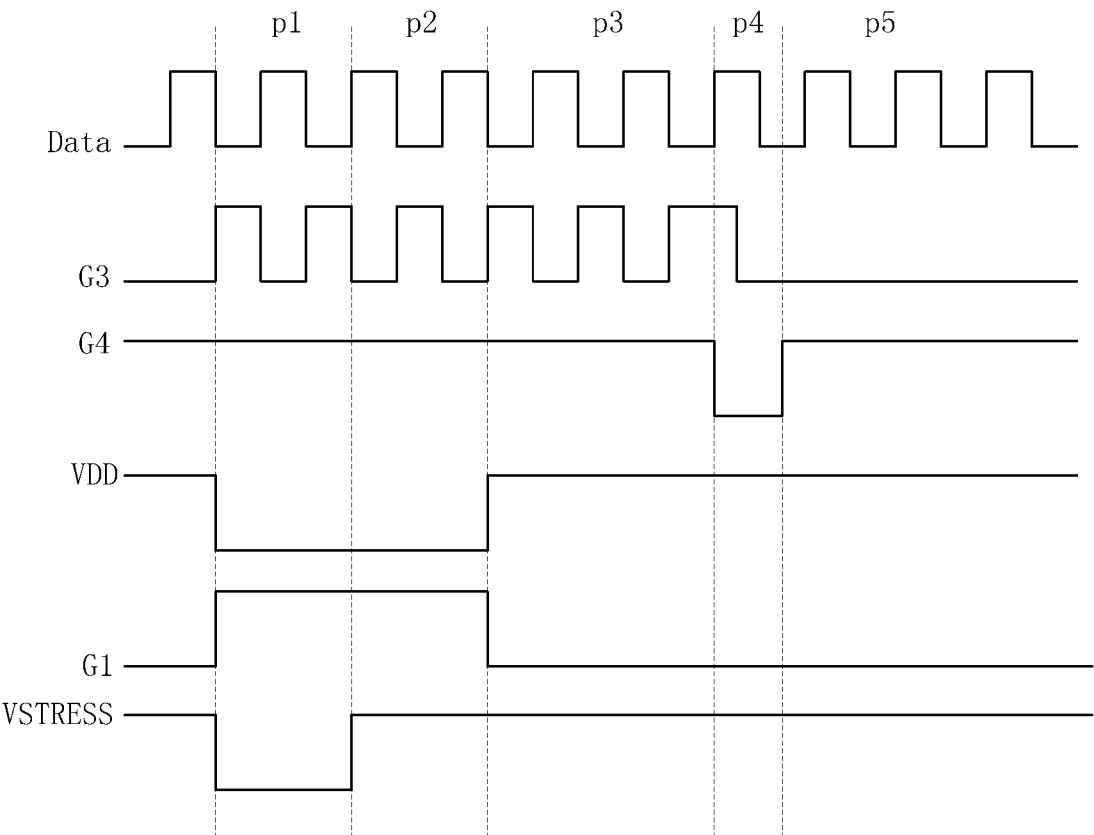


图 2

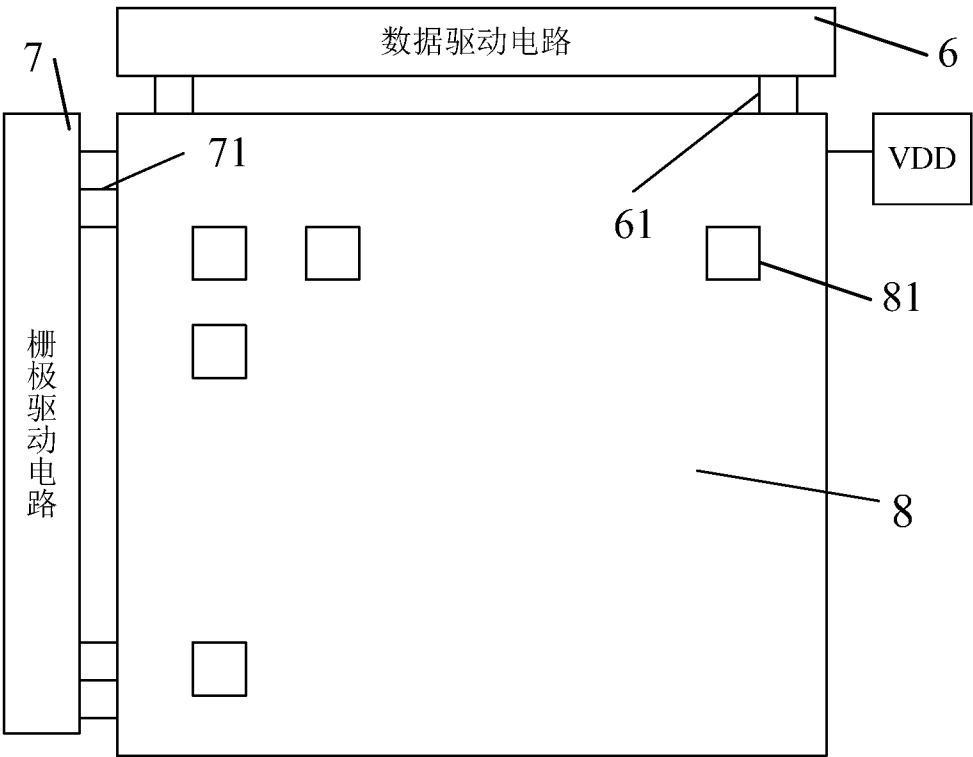


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/085883

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3258 (2016.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: BOE TECHNOLOGY GROUP CO., LTD.; HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD.; threshold, data writing, power voltage, drift+, shift, gate, reset+, compensat+, data, writ+, power, voltage, driv+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 105957474 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 21 September 2016 (21.09.2016), description, paragraphs [0033]-[0084], and figures 1-2	1-22
X	CN 104715726 A (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 17 June 2015 (17.06.2015), description, paragraphs [0063]-[0097], and figures 3-12	1-22
X	CN 104700783 A (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 10 June 2015 (10.06.2015), description, paragraphs [0047]-[0081], and figures 7-9	1-22
X	CN 103440840 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL), 11 December 2013 (11.12.2013), description, paragraphs [0090]-[0094], and figures 11-12	1-22
A	CN 103177685 A (LG DISPLAY CO., LTD.), 26 June 2013 (26.06.2013), the whole document	1-22
A	US 2014022150 A1 (INNOLUX CORP.), 23 January 2014 (23.01.2014), the whole document	1-22

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 02 August 2017 (02.08.2017)	Date of mailing of the international search report 23 August 2017 (23.08.2017)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZHANG, Xiaoli Telephone No.: (86-10) 61648154

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/085883

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105957474 A	21 September 2016	None	
CN 104715726 A	17 June 2015	WO 2016161887 A1	13 October 2016
		US 2017140707 A1	18 May 2017
CN 104700783 A	10 June 2015	US 2017039948 A1	09 February 2017
		US 9704436 B2	11 July 2017
		WO 2016155206 A1	06 October 2016
CN 103440840 A	11 December 2013	CN 103440840 B	16 September 2015
CN 103177685 A	26 June 2013	KR 20130074147 A	04 July 2013
		US 2013162617 A1	27 June 2013
		KR 1493226 B1	17 February 2015
		US 8988329 B2	24 March 2015
		DE 102012112569 B4	26 November 2015
		DE 102012112569 A1	27 June 2013
		CN 103177685 B	03 June 2015
		GB 2498634 A	24 July 2013
		GB 2498634 B	31 December 2014
US 2014022150 A1	23 January 2014	US 9001113 B2	07 April 2015
		TW 201405515 A	01 February 2014
		TW I471843 B	01 February 2015

国际检索报告

国际申请号

PCT/CN2017/085883

A. 主题的分类 G09G 3/3258(2016.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G 3/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNKI, CNPAT, WPI, EPODOC: 京东方科技集团股份有限公司, 合肥鑫晟光电科技有限公司, 漂移, 阈值, 重置, 补偿, 数据写入, 电源电压, 驱动, 栅极, drift+, shift, gate, reset+, compensat+, data, writ+, power, voltage, driv+		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 105957474 A (京东方科技集团股份有限公司 等) 2016年 9月 21日 (2016 - 09 - 21) 说明书第【0033】-【0084】段、附图1-2	1-22
X	CN 104715726 A (合肥鑫晟光电科技有限公司 等) 2015年 6月 17日 (2015 - 06 - 17) 说明书第【0063】-【0097】段、附图3-12	1-22
X	CN 104700783 A (合肥鑫晟光电科技有限公司 等) 2015年 6月 10日 (2015 - 06 - 10) 说明书第【0047】-【0081】段、附图7-9	1-22
X	CN 103440840 A (北京大学深圳研究生院) 2013年 12月 11日 (2013 - 12 - 11) 说明书第【0090】-【0094】段、附图11-12	1-22
A	CN 103177685 A (乐金显示有限公司) 2013年 6月 26日 (2013 - 06 - 26) 全文	1-22
A	US 2014022150 A1 (INNOLUX CORP.) 2014年 1月 23日 (2014 - 01 - 23) 全文	1-22
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2017年 8月 2日		国际检索报告邮寄日期 2017年 8月 23日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 张小丽 电话号码 (86-10)61648154

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/085883

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105957474	A	2016年 9月 21日	无			
CN	104715726	A	2015年 6月 17日	WO	2016161887	A1	2016年 10月 13日
				US	2017140707	A1	2017年 5月 18日
CN	104700783	A	2015年 6月 10日	US	2017039948	A1	2017年 2月 9日
				US	9704436	B2	2017年 7月 11日
				WO	2016155206	A1	2016年 10月 6日
CN	103440840	A	2013年 12月 11日	CN	103440840	B	2015年 9月 16日
CN	103177685	A	2013年 6月 26日	KR	20130074147	A	2013年 7月 4日
				US	2013162617	A1	2013年 6月 27日
				KR	1493226	B1	2015年 2月 17日
				US	8988329	B2	2015年 3月 24日
				DE	102012112569	B4	2015年 11月 26日
				DE	102012112569	A1	2013年 6月 27日
				CN	103177685	B	2015年 6月 3日
				GB	2498634	A	2013年 7月 24日
				GB	2498634	B	2014年 12月 31日
US	2014022150	A1	2014年 1月 23日	US	9001113	B2	2015年 4月 7日
				TW	201405515	A	2014年 2月 1日
				TW	I471843	B	2015年 2月 1日

表 PCT/ISA/210 (同族专利附件) (2009年7月)