

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2022年1月13日(13.01.2022)

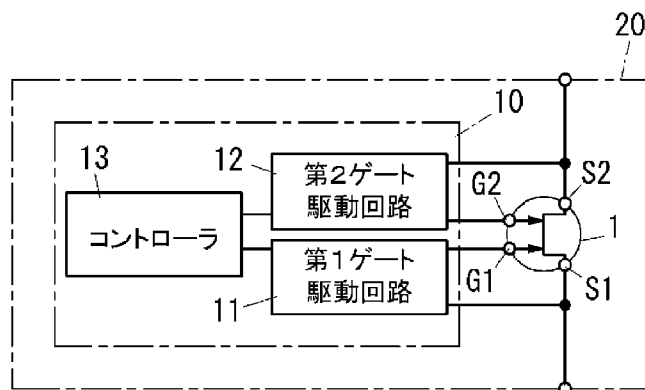


(10) 国際公開番号  
**WO 2022/009492 A1**

- (51) 国際特許分類:  
*H03K 17/04* (2006.01) *H02M 1/08* (2006.01)  
*H03K 17/687* (2006.01)
- (21) 国際出願番号: PCT/JP2021/015260
- (22) 国際出願日: 2021年4月13日(13.04.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2020-117403 2020年7月7日(07.07.2020) JP
- (71) 出願人: パナソニックIPマネジメント株式会社 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5406207 大阪府大阪市中央区城見2丁目1番61号 Osaka (JP).
- (72) 発明者: 木下 雄介 (KINOSHITA Yusuke). 野村 雅則 (NOMURA Masanori). 中澤 敏志 (NAKAZAWA Satoshi).
- (74) 代理人: 鎌田 健司, 外 (KAMATA Kenji et al.); 〒5406207 大阪府大阪市中央区城見2丁目1番61号 パナソニックIPマネジメント株式会社内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

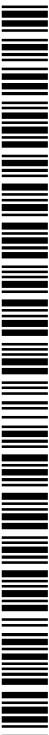
(54) Title: CONTROL SYSTEM AND CONTROL METHOD FOR DUAL-GATE BIDIRECTIONAL SWITCH

(54) 発明の名称: 制御システム及びデュアルゲート双方向スイッチの制御方法



11 First gate drive circuit  
12 Second gate drive circuit  
13 Controller

(57) Abstract: The present invention suppresses current collapse in a normally-ON dual-gate bidirectional switch. A dual-gate bidirectional switch (1) has a first gate (G1), a first source (S1), a second gate (G2), and a second source (S2). A control system (10) is provided with a first gate drive circuit (11), a second gate drive circuit (12), and a controller (13). The controller (13) controls the first gate drive circuit (11) and the second gate drive circuit (12). In the event that the potential of the first source (S1) is lower than the potential of the second source (S2) when the dual-gate bidirectional switch (1) is turned ON, the controller (13) applies a first positive voltage between the first gate (G1) and first source (S1) from the first gate drive circuit (11) for only a first period, and applies a voltage smaller than the first positive voltage after the first period has elapsed.



WO 2022/009492 A1

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

---

(57) 要約 : ノーマリオン型のデュアルゲート双方向スイッチの電流コラプスを抑制する。デュアルゲート双方向スイッチ (1) は、第1ゲート (G1) と、第1ソース (S1) と、第2ゲート (G2) と、第2ソース (S2) と、を有する。制御システム (10) は、第1ゲート駆動回路 (11) と、第2ゲート駆動回路 (12) と、コントローラ (13) と、を備える。コントローラ (13) は、第1ゲート駆動回路 (11) と第2ゲート駆動回路 (12) とを制御する。コントローラ (13) は、デュアルゲート双方向スイッチ (1) をターンオンさせるときに、第1ソース (S1) の電位が第2ソース (S2) の電位よりも低い場合、第1ゲート駆動回路 (11) から第1ゲート (G1) と第1ソース (S1) との間に、第1正電圧を第1期間だけ印加させ、第1期間の経過後に第1正電圧よりも小さな電圧を印加させる。

## 明 細 書

発明の名称：

### 制御システム及びデュアルゲート双方向スイッチの制御方法

#### 技術分野

[0001] 本開示は、制御システム、スイッチシステム、及びデュアルゲート双方向スイッチの制御方法に関し、より詳細には、デュアルゲート双方向スイッチまたは単方向スイッチの制御システム、その制御システムを備えるスイッチシステム、及び、デュアルゲート双方向スイッチの制御方法に関する。

#### 背景技術

[0002] 従来、窒化物半導体を使った半導体デバイスではスイッチオン時に電流コラプスと呼ばれる導通抵抗が増加するという問題が知られている。また、電流コラプスを抑制することが可能な双方向スイッチ素子が知られている（特許文献1）。

#### 先行技術文献

#### 特許文献

[0003] 特許文献1：国際公開第2020/004021号

#### 発明の概要

[0004] 特許文献1に開示された双方向スイッチ素子はノーマリオフ型のトランジスタであり、特許文献1には、ノーマリオン型のデュアルゲート双方向スイッチにおいて電流コラプスを抑制することについては記載されていない。

[0005] 本開示の目的は、ノーマリオン型の窒化物半導体よりなるスイッチの電流コラプスを抑制する制御システム、及び、デュアルゲート双方向スイッチの制御方法を提供することにある。

[0006] 本開示に係る一態様の制御システムは、ノーマリオン型のデュアルゲート双方向スイッチの制御システムである。デュアルゲート双方向スイッチは、第1ゲートと、第1ゲートに対応する第1ソースと、第2ゲートと、第2ゲートに対応する第2ソースと、を有する。制御システムは、第1ゲート駆動

回路と、第2ゲート駆動回路と、コントローラと、を備える。第1ゲート駆動回路は、第1ゲートと第1ソースとの間に接続される。第2ゲート駆動回路は、第2ゲートと第2ソースとの間に接続される。コントローラは、第1ゲート駆動回路と第2ゲート駆動回路とを制御する。コントローラは、デュアルゲート双方向スイッチをターンオンさせるときに、第1ソースの電位が第2ソースの電位よりも低い場合、第1ゲート駆動回路から第1ゲートと第1ソースとの間に、第1正電圧を第1期間だけ印加させ、第1期間の経過後に第1正電圧よりも小さな電圧を印加させる。

[0007] 本開示に係る他の一態様のデュアルゲート双方向スイッチの制御方法では、デュアルゲート双方向スイッチは、第1ゲートと、第1ゲートに対応する第1ソースと、第2ゲートと、第2ゲートに対応する第2ソースと、を有するノーマリオン型のデュアルゲート双方向スイッチである。デュアルゲート双方向スイッチの制御方法では、デュアルゲート双方向スイッチをターンオンさせるときに、第1ソースの電位が第2ソースの電位よりも低い場合、第1ゲートと第1ソースとの間に、第1正電圧を第1期間だけ印加させ、第1期間の経過後に第1正電圧よりも小さな電圧を印加させる。

[0008] 本開示に係る他の一態様の制御システムは、ゲート、ソース、ドレインを有するノーマリオン型のシングルゲート電界効果トランジスタの制御システムである。電界効果トランジスタは、基板と、第1窒化物半導体層と、第2窒化物半導体層と、ソース電極、ゲート電極、及びドレイン電極と、p型層と、を備える。第1窒化物半導体層は、基板上に形成されている。第2窒化物半導体層は、第1窒化物半導体層上に形成されている。また、第2窒化物半導体層は、第1窒化物半導体層よりも大きなバンドギャップを有する。ソース電極、ゲート電極、及びドレイン電極は、第2窒化物半導体層上に形成されている。また、p型層は、ゲート電極と第2窒化物半導体層との間に介在している。ゲートは、ゲート電極と、p型層と、を含む。ソースは、ソース電極を含む、ドレインは、ドレイン電極を含む。制御システムは、ゲート駆動回路と、コントローラと、を備える。ゲート駆動回路は、ゲートとソー

スとの間に接続される。コントローラは、ゲート駆動回路を制御する。また、コントローラは、電界効果トランジスタをターンオンさせるときに、ソースの電位がドレインの電位よりも低い場合、ゲート駆動回路からゲートとソースとの間に、第1正電圧を第1期間だけ印加させ、第1期間の経過後に第1正電圧よりも小さな電圧を印加させる。

[0009] 本開示の制御システム、及び、デュアルゲート双方向スイッチの制御方法は、ノーマリオン型のデュアルゲート双方向スイッチの電流コラプスを抑制することが可能となる。また、本開示の制御システムは、ノーマリオン型の窒化物半導体からなる単方向スイッチの電流コラプスを抑制することが可能となる。

### 図面の簡単な説明

[0010] [図1]図1は、実施形態に係る制御システムを備えるスイッチシステムの回路図である。

[図2A]図2Aは、同上の制御システムにおける第1ゲート駆動回路の回路図である。

[図2B]図2Bは、同上の制御システムにおける第2ゲート駆動回路の回路図である。

[図3]図3は、同上の制御システムによって制御されるデュアルゲート双方向スイッチの断面図である。

[図4]図4は、同上の制御システムによって制御されるデュアルゲート双方向スイッチのゲート電圧ーゲート電流特性図である。

[図5]図5は、同上の制御システムの動作を説明するためのタイミングチャートである。

[図6]図6は、同上の制御システムにおける第1スイッチ、第2スイッチ及び第3スイッチの切り替えタイミングの一例を説明するためのタイミングチャートである。

[図7]図7は、同上の制御システムにより制御されるデュアルゲート双方向スイッチの動作説明図である。

[図8A]図8Aは、実施形態の第1変形例に係る制御システムの動作説明図である。

[図8B]図8Bは、実施形態の第2変形例に係る制御システムの動作説明図である。

[図9]図9は、実施形態の第3変形例に係る制御システムにおける第1ゲート駆動回路及び第2ゲート駆動回路の回路図である。

[図10]図10は、実施形態の第4変形例に係る制御システムにおける第1ゲート駆動回路及び第2ゲート駆動回路の回路図である。

[図11]図11は、同上の制御システムの動作説明図である。

[図12]図12は、実施形態の第5変形例に係る制御システムにおける第1ゲート駆動回路及び第2ゲート駆動回路の回路図である。

[図13]図13は、同上の制御システムの動作説明図である。

[図14]図14は、実施形態の第6変形例に係る制御システムにおけるCMOSインバータの回路図である。

[図15]図15は、同上の制御システムの動作説明図である。

[図16]図16は、実施形態の第7変形例に係る制御システムにおける第1ゲート駆動回路及び第2ゲート駆動回路の回路図である。

[図17A]図17Aは、実施形態の第8変形例に係る制御システムにおける第1ゲート駆動回路の回路図である。

[図17B]図17Bは、同上の制御システムにおける第2ゲート駆動回路の回路図である。

[図18]図18は、同上の制御システムを備えるスイッチシステムの第1ゲート電圧及び第2ゲート電圧の波形図である。

[図19]図19は、比較例に係る制御システムにおける第1ゲート駆動回路及び第2ゲート駆動回路の回路図である。

[図20]図20は、同上の制御システムを備えるスイッチシステムの第1ゲート電圧及び第2ゲート電圧の波形図である。

[図21]図21は、実施形態の第8変形例に係る制御システム及び比較例に係

る制御システムのオン抵抗の特性図である。

[図22]図22は、実施形態の第9変形例に係る制御システムにおける第1ゲート駆動回路及び第2ゲート駆動回路の回路図である。

[図23]図23は、実施形態の第10変形例に係る制御システムにおける第1ゲート駆動回路及び第2ゲート駆動回路の回路図である。

[図24A]図24Aは、同上の制御システムの動作説明図である。

[図24B]図24Bは、同上の制御システムの動作説明図である。

[図25]図25は、実施形態の第11変形例に係る制御システムにおける第1ゲート駆動回路及び第2ゲート駆動回路の回路図である。

[図26A]図26Aは、同上の制御システムの動作説明図である。

[図26B]図26Bは、同上の制御システムの動作説明図である。

[図27]図27は、クランプ回路の他の構成例を示す回路図である。

[図28]図28は、実施形態の第12変形例に係る制御システムにおける第1ゲート駆動回路及び第2ゲート駆動回路の回路図である。

[図29]図29は、実施形態の第13変形例に係る制御システムにおける第1ゲート駆動回路及び第2ゲート駆動回路の回路図である。

[図30]図30は、実施形態の第14変形例に係る制御システムにおける第1ゲート駆動回路及び第2ゲート駆動回路の回路図である。

[図31]図31は、実施形態の第15変形例に係る制御システムにおける第1ゲート駆動回路及び第2ゲート駆動回路の回路図である。

[図32]図32は、実施形態の第16変形例に係る制御システムを備えるスイッチシステムの回路図である。

[図33]図33は、実施形態の変形例16に係る制御システムのオン抵抗の特性図および制御システムの動作を説明するためのタイミングチャートである。

[図34]図34は、実施形態の第16変形例に係る制御システムに用いられる電界効果トランジスタの断面図である。

**発明を実施するための形態**

[0011] (実施形態)

以下では、実施形態に係る制御システム10及びそれを備えるスイッチシステム20について、図1に基づいて説明する。図1は、実施形態に係る制御システム10を備えるスイッチシステム20の回路図である。

[0012] (1) 概要

制御システム10は、ノーマリオン型のデュアルゲート双方向スイッチ1の制御システムである。デュアルゲート双方向スイッチ1は、第1ゲートG1と、第1ゲートG1に対応する第1ソースS1と、第2ゲートG2と、第2ゲートG2に対応する第2ソースS2と、を有する。デュアルゲート双方向スイッチ1の第1ソースS1と第2ソースS2との間には、例えば、負荷と電源との直列回路を含む負荷回路が接続される。電源は、例えば、交流電源である。

[0013] 制御システム10は、第1ゲート駆動回路11と、第2ゲート駆動回路12と、コントローラ13と、を備える。第1ゲート駆動回路11は、第1ゲートG1と第1ソースS1との間に接続される。第2ゲート駆動回路12は、第2ゲートG2と第2ソースS2との間に接続される。コントローラ13は、第1ゲート駆動回路11と第2ゲート駆動回路12とを制御する。

[0014] スwitchシステム20は、制御システム10と、ノーマリオン型のデュアルゲート双方向スイッチ1と、を備える。

[0015] (2) スwitchシステムの各構成要素

(2. 1) デュアルゲート双方向スイッチ

デュアルゲート双方向スイッチ1は、1チップの半導体スイッチ素子である。デュアルゲート双方向スイッチ1は、例えば、図3に断面図を示すように、基板102と、第1窒化物半導体層104と、第2窒化物半導体層105と、第1ソース電極171と、第1ゲート電極181と、第2ゲート電極182と、第2ソース電極172と、第1p型層161と、第2p型層162と、を備える。

[0016] デュアルゲート双方向スイッチ1における第1ゲートG1は、第1ゲート

電極181と、第1 p型層161と、を含む。また、デュアルゲート双方向スイッチ1における第2ゲートG2は、第2ゲート電極182と、第2 p型層162と、を含む。デュアルゲート双方向スイッチ1は、デュアルゲート型のGaN系GIT (GIT: Gate Injection Transistor) である。第1窒化物半導体層104は、例えば、GaN層である。第2窒化物半導体層105は、例えば、AlGaN層である。第1 p型層161は、例えば、p型AlGaN層である。第2 p型層162は、例えば、p型AlGaN層である。

[0017] 第1窒化物半導体層104は、基板102上に形成されている。第2窒化物半導体層105は、第1窒化物半導体層104上に形成されている。第2窒化物半導体層105のバンドギャップは、第1窒化物半導体層104のバンドギャップよりも大きい。第1ソース電極171は、第2窒化物半導体層105上に形成されている。第1ゲート電極181は、第2窒化物半導体層105上に形成されており、第1ソース電極171から離れている。第2ゲート電極182は、第2窒化物半導体層105上に形成されており、第1ゲート電極181から見て第1ソース電極171とは反対側において第1ゲート電極181から離れている。第2ソース電極172は、第2窒化物半導体層105上に形成されており、第2ゲート電極182から見て第1ゲート電極181とは反対側において第2ゲート電極182から離れている。第1 p型層161は、第1ゲート電極181と第2窒化物半導体層105との間に介在している。第2 p型層162は、第2ゲート電極182と第2窒化物半導体層105との間に介在している。デュアルゲート双方向スイッチ1では、基板102上に、第1窒化物半導体層104と第2窒化物半導体層105と第1 p型層161及び第2 p型層162とを含む積層体110が形成されている。

[0018] 基板102は、例えば、シリコン基板である。基板102は、第1主面121と、第1主面121とは反対側の第2主面122と、を有する。デュアルゲート双方向スイッチ1では、積層体110は、基板102の第1主面121上に形成されている。

[0019] 第1窒化物半導体層104は、バッファ層103を介して基板102上に形成されている。ここにおいて、上述の積層体110は、バッファ層103を含む。積層体110では、バッファ層103、第1窒化物半導体層104及び第2窒化物半導体層105は、基板102側からこの順に並んでいる。また、積層体110は、第2窒化物半導体層105上に形成されている第1p型層161及び第2p型層162を含んでいる。バッファ層103は、例えば、アンドープのGaN層である。また、第1窒化物半導体層104を構成するGaN層は、例えば、アンドープのGaN層である。また、第2窒化物半導体層105を構成するAlGaN層は、例えば、アンドープのAlGaN層である。バッファ層103、第1窒化物半導体層104及び第2窒化物半導体層105のそれぞれは、MOVPE (Metal Organic Vapor Phase Epitaxy) 等による成長時に不可避免的に混入されるMg、H、Si、C、O等の不純物が存在してもよい。

[0020] 第1p型層161及び第2p型層162は、第2窒化物半導体層105の表面115の一部のみを覆っている。したがって、第2窒化物半導体層105の表面115は、第1p型層161及び第2p型層162に覆われている領域と、第1p型層161及び第2p型層162に覆われていない領域と、を含む。第1p型層161と第2p型層162とは、互いに離れている。

[0021] デュアルゲート双方向スイッチ1では、第2窒化物半導体層105は、第1窒化物半導体層104とともにヘテロ接合部HJ1を構成する。第1窒化物半導体層104においては、ヘテロ接合部HJ1の近傍に、2次元電子ガス (Two-Dimensional Electron Gas) が発生している。2次元電子ガスを含む領域 (以下、「2次元電子ガス層」ともいう) は、nチャネル層 (電子伝導層) として機能することが可能である。デュアルゲート双方向スイッチ1では、第1p型層161と第2窒化物半導体層105とnチャネル層とで、第1pinダイオード構造を構成している。また、デュアルゲート双方向スイッチ1では、第2p型層162と第2窒化物半導体層105とnチャネル層とで、第2pinダイオード構造を構成している。

[0022] 第1ソース電極171及び第2ソース電極172は、第2窒化物半導体層105の表面115において第1p型層161及び第2p型層162に覆われていない領域に形成されている。第1ソース電極171と第2ソース電極172とは、互いに離れている。第1ソース電極171及び第2ソース電極172は、ヘテロ接合部HJ1と電氣的に接続されている。ここにおいて、「電氣的に接続されている」とはオーミック接触していることを意味する。第1ソース電極171及び第2ソース電極172の各々は、例えば、TiとAlとを含んでいる。

[0023] 第1ゲート電極181は、第1p型層161を介して第2窒化物半導体層105上に形成されている。また、第2ゲート電極182は、第2p型層162を介して第2窒化物半導体層105上に形成されている。第1ゲート電極181と第2ゲート電極182との距離は、第1p型層161と第2p型層162との距離よりも長い。第1ゲート電極181及び第2ゲート電極182は、第2窒化物半導体層105の表面115に沿った方向において、対応する第1ソース電極171及び第2ソース電極172それぞれから離れている。第1ゲート電極181及び第2ゲート電極182は、例えば、第1p型層161及び第2p型層162にそれぞれオーミック接触している。第1ゲート電極181及び第2ゲート電極182の各々は、例えば、PdとAuとを含んでいる。

[0024] デュアルゲート双方向スイッチ1では、第2窒化物半導体層105の表面115に沿った一方向において、第1ソース電極171、第1ゲート電極181、第2ゲート電極182及び第2ソース電極172が、この順に並んでいる。第1ソース電極171、第1ゲート電極181、第2ゲート電極182及び第2ソース電極172は、上記一方向において互いに離れている。

[0025] 以下では、説明の便宜上、第1ゲートG1と第1ソースS1との間に第1ソースS1を基準として第1閾値電圧 $V_{th}$ （例えば、 $-10V$ ）未満の電圧が印加されている状態を、第1ゲートG1がオフ状態ともいう。また、第1ゲートG1と第1ソースS1との間に第1ソースS1を基準として第1閾

値電圧以上の電圧（0 Vを含む）が印加されている状態を、第1ゲートG1がオン状態ともいう。また、第2ゲートG2と第2ソースS2との間に第2ソースS2を基準として第2閾値電圧 $V_{th2}$ （例えば、-10 V）未満の電圧が印加されている状態を、第2ゲートG2がオフ状態ともいう。また、第2ゲートG2と第2ソースS2との間に第2ソースS2を基準として第2閾値電圧以上の電圧（0 Vを含む）が印加されている状態を、第2ゲートG2がオン状態ともいう。

[0026] デュアルゲート双方向スイッチ1は、ノーマリオン型の双方向スイッチなので、第1ゲートG1と第1ソースS1との間の電圧が0 Vであっても第1ゲートG1がオン状態であり、第2ゲートG2と第2ソースS2との間の電圧が0 Vであっても第2ゲートG2がオン状態である。

[0027] デュアルゲート双方向スイッチ1は、第1ゲートG1及び第2ゲートG2それぞれに与えられる第1ゲート電圧 $V_{G1S1}$ 及び第2ゲート電圧 $V_{G2S2}$ の組み合わせに応じて、双方向オン状態と、双方向オフ状態と、第1のダイオード状態と、第2のダイオード状態と、を切替可能である。第1ゲート電圧 $V_{G1S1}$ は、第1ゲートG1と第1ソースS1との間に印加される電圧である。第2ゲート電圧 $V_{G2S2}$ は、第2ゲートG2と第2ソースS2との間に印加される電圧である。双方向オン状態は、双方向（第1方向A1及び第1方向A1とは反対の第2方向A2）の電流を通過させる状態である。双方向オフ状態は、双方向の電流を阻止する状態である。第1のダイオード状態は、第1方向A1の電流のみを通過させる状態である。第2のダイオード状態は、第2方向A2の電流のみを通過させる状態である。

[0028] 半導体スイッチ素子2Aでは、第1ゲートG1がオン状態で、かつ第2ゲートG2がオン状態である場合に双方向オン状態となる。半導体スイッチ素子2Aでは、第1ゲートG1がオフ状態で、かつ第2ゲートG2がオフ状態である場合に双方向オフ状態となる。半導体スイッチ素子2Aでは、第1ゲートG1がオフ状態で、かつ第2ゲートG2がオン状態である場合に第1のダイオード状態となる。半導体スイッチ素子2Aでは、第1ゲートG1がオ

ン状態で、かつ第2ゲートG2がオフ状態である場合に第2のダイオード状態となる。

[0029] デュアルゲート型のGaN系GIT (gate injection transistor) により構成されるデュアルゲート双方向スイッチ1は、例えば、ゲート（例えば、第1ゲートG1）とソース（例えば、第1ソースS1）との間に印加されるゲート電圧を $V_g$ とし、ゲートに流れるゲート電流を $I_g$ とすると、図4に示すような電圧-電流特性を有する。ゲート電圧 $V_g$ が0Vでもゲートはオン状態であるが、ゲート電流 $I_g$ は流れない。ゲート電圧 $V_g$ が正電圧になるとゲート電圧 $V_g$ が増加するにつれてゲート電流 $I_g$ が増加する。ゲートは、ゲート電圧 $V_g$ が負電圧であってもゲート電圧 $V_g$ が閾値電圧 $V_{th}$ よりも大きければ、オン状態である。ゲートは、ゲート電圧 $V_g$ が閾値電圧 $V_{th}$ 未満であればオフ状態である。

[0030] (2.2) 制御システム

実施形態に係る制御システム10は、図1に示すように、第1ゲート駆動回路11と、第2ゲート駆動回路12と、コントローラ13と、を備える。

[0031] (2.2.1) 第1ゲート駆動回路

第1ゲート駆動回路11は、第1ゲートG1と第1ソースS1との間に接続される。

[0032] 第1ゲート駆動回路11は、例えば、図2Aに示すように、正電源E1と第1スイッチSW1とを含む直列回路と、第2スイッチSW2と、負電源E2と第3スイッチSW3とを含む直列回路と、を有する。正電源E1と第1スイッチSW1とを含む直列回路は、第1ゲートG1と第1ソースS1との間に接続される。第2スイッチSW2は、第1ゲートG1と第1ソースS1との間に接続される。負電源E2と第3スイッチSW3とを含む直列回路は、第1ゲートG1と第1ソースS1との間に接続される。

[0033] 第1ゲート駆動回路11は、一对の出力端子 $T_{mg}$ ,  $T_{ms}$ を有し、一对の出力端子 $T_{mg}$ ,  $T_{ms}$ の間に、正電源E1と第1スイッチSW1とを含む直列回路と、第2スイッチSW2と、負電源E2と第3スイッチSW3と

を含む直列回路と、の並列回路を有する。

[0034] 第1ゲート駆動回路11の有する正電源E1は、直流電源であり、第1ゲートG1に正極が接続され、負極が第1ソースS1に接続される。これにより、第1ゲート駆動回路11は、デュアルゲート双方向スイッチ1の第1ゲートG1と第1ソースS1との間に第1ソースS1を基準として第1ゲートG1を高電位側とする正バイアス電圧（第1正電圧 $V_{P1}$ ）を印加することができる。第1ゲート駆動回路11では、正電源E1を構成する直流電源の正極が、第1スイッチSW1及び第1抵抗（ゲート抵抗）R1を介して第1ゲートG1に接続される。第1ゲート駆動回路11では、正電源E1の正極に接続されている出力端子 $T_{mg}$ が第1ゲートG1に接続され、正電源E1の負極に接続されている出力端子 $T_{ms}$ が第1ソースS1に接続される。

[0035] 第1ゲート駆動回路11の有する第2スイッチSW2は、第2抵抗（第2ゲート抵抗）R2を介して第1ゲートG1に接続される。

[0036] 第1ゲート駆動回路11の有する負電源E2は、直流電源であり、第1ゲートG1に負極が接続され、正極が第1ソースS1に接続される。これにより、第1ゲート駆動回路11は、デュアルゲート双方向スイッチ1の第1ゲートG1と第1ソースS1との間に第1ソースS1を基準として第1ゲートG1を低電位側とする負バイアス電圧（第1閾値電圧 $V_{th1}$ よりも小さな第1負電圧 $V_{N1}$ ）を印加することができる。第1ゲート駆動回路11では、負電源E2を構成する直流電源の負極が第3スイッチSW3及び第3抵抗（第3ゲート抵抗）R3を介して第1ゲートG1に接続される。

[0037] 第1ゲート駆動回路11の有する第1スイッチSW1、第2スイッチSW2及び第3スイッチSW3の各々は、例えば、ノーマリオフ型の半導体スイッチである。

[0038] (2. 2. 2) 第2ゲート駆動回路

第2ゲート駆動回路12は、第2ゲートG2と第2ソースS2との間に接続される。

[0039] 第2ゲート駆動回路12は、例えば、図2Bに示すように、第1ゲート駆

動回路 1 1 と同じ回路構成を有する。第 2 ゲート駆動回路 1 2 では、正電源 E 1 と第 1 スイッチ SW 1 とを含む直列回路は、第 2 ゲート G 2 と第 2 ソース S 2 との間に接続される。第 2 スイッチ SW 2 は、第 2 ゲート G 2 と第 2 ソース S 2 との間に接続される。負電源 E 2 と第 3 スイッチ SW 3 とを含む直列回路は、第 2 ゲート G 2 と第 2 ソース S 2 との間に接続される。

[0040] 第 2 ゲート駆動回路 1 2 は、一对の出力端子 T m g , T m s を有し、一对の出力端子 T m g , T m s の間に、正電源 E 1 と第 1 スイッチ SW 1 とを含む直列回路と、第 2 スイッチ SW 2 と、負電源 E 2 と第 3 スイッチ SW 3 とを含む直列回路と、の並列回路を有する。

[0041] 第 2 ゲート駆動回路 1 2 の有する正電源 E 1 は、直流電源であり、第 2 ゲート G 2 に正極が接続され、負極が第 2 ソース S 2 に接続される。これにより、第 2 ゲート駆動回路 1 2 は、デュアルゲート双方向スイッチ 1 の第 2 ゲート G 2 と第 2 ソース S 2 との間に第 2 ソース S 2 を基準として第 2 ゲート G 2 を高電位側とする第 2 正電圧 V P 2 を印加することができる。第 2 ゲート駆動回路 1 2 では、正電源 E 1 の正極に接続されている出力端子 T m g が第 2 ゲート G 2 に接続され、正電源 E 1 の負極に接続されている出力端子 T m s が第 2 ソース S 2 に接続される。

[0042] 第 2 ゲート駆動回路 1 2 の有する第 2 スイッチ SW 2 は、第 2 抵抗（第 2 ゲート抵抗） R 2 を介して第 2 ゲート G 2 に接続される。

[0043] 第 2 ゲート駆動回路 1 2 の負電源 E 2 は、直流電源であり、第 2 ゲート G 2 に負極が接続され、正極が第 2 ソース S 2 に接続される。これにより、第 2 ゲート駆動回路 1 2 は、デュアルゲート双方向スイッチ 1 の第 2 ゲート G 2 と第 2 ソース S 2 との間に第 2 ソース S 2 を基準として第 2 ゲート G 2 を低電位側とする負バイアス電圧（第 2 閾値電圧 V t h 2 よりも小さな第 2 負電圧 V N 2）を印加することができる。第 2 ゲート駆動回路 1 2 では、負電源 E 2 を構成する直流電源の負極が第 3 スイッチ SW 3 及び第 3 抵抗（第 3 ゲート抵抗） R 3 を介して第 2 ゲート G 2 に接続される。

[0044] 第 2 ゲート駆動回路 1 2 の有する第 1 スイッチ SW 1、第 2 スイッチ SW

2及び第3スイッチSW3の各々は、例えば、ノーマリオフ型の半導体スイッチである。

[0045] (2. 2. 3) コントローラ

コントローラ13は、第1ゲート駆動回路11と第2ゲート駆動回路12とを制御する。

[0046] 実施形態に係る制御システム10では、コントローラ13は、デュアルゲート双方向スイッチ1をターンオンさせるときに、以下のタイミングを揃える。すなわち、図5に示すように、第1ゲート駆動回路11から第1ゲートG1と第1ソースS1との間に第1正電圧VP1の印加を開始させるタイミングと、第2ゲート駆動回路12から第2ゲートG2と第2ソースS2との間に第2閾値電圧Vth2よりも高い電圧（例えば、第2正電圧VP2）の印加を開始させるタイミングと、を揃える。また、コントローラ13は、第1ゲート駆動回路11の第1スイッチSW1、第2スイッチSW2及び第3スイッチSW3を制御する。

[0047] また、コントローラ13は、デュアルゲート双方向スイッチ1をターンオンさせるときに、ゲート電圧を以下のように制御する。すなわち、コントローラ13は、2つのソース（第1ソースS1、第2ソースS2）のうち相対的に電位の低いソース（第1ソースS1又は第2ソースS2）に対応するゲート（第1ゲートG1又は第2ゲートG2）のゲート電圧（ゲート電圧 $V_{G1S1}$ 又はゲート電圧 $V_{G2S2}$ ）を正電圧（第1正電圧VP1又は第2正電圧VP2）にする。その後、コントローラ13は、正電圧（第1正電圧VP1又は第2正電圧VP2）よりも小さくかつ閾値電圧（第1閾値電圧Vth1又は第2閾値電圧Vth2）よりも大きな電圧（第1電圧V1又は第2電圧V2）にする。

[0048] (2. 2. 3. 1) 第1ソースS1の電位が第2ソースS2の電位よりも低い場合

コントローラ13は、デュアルゲート双方向スイッチ1をターンオンさせるときに、第1ゲート駆動回路11から第1ゲートG1と第1ソースS1と

の間に、図5に示すように、第1正電圧 $V_{P1}$ を第1期間 $T_1$ だけ印加させ、第1期間 $T_1$ の経過後に第1正電圧 $V_{P1}$ よりも小さな第1電圧 $V_1$ （ここでは、 $0V$ ）を印加させる。第1電圧 $V_1$ は、第1ゲート $G_1$ の閾値電圧 $V_{th1}$ よりも大きい。ここにおいて、 $V_{P1} > V_1 > V_{th1} > V_{N1}$ である。

[0049] コントローラ13は、例えば、図6に示すようなタイミングで第1ゲート駆動回路11の第1スイッチ $SW_1$ 、第2スイッチ $SW_2$ 及び第3スイッチ $SW_3$ を制御する。

[0050] コントローラ13は、ノーマリオン型のデュアルゲート双方向スイッチ1をオフ状態に制御しているときには、第1スイッチ $SW_1$ と第2スイッチ $SW_2$ と第3スイッチ $SW_3$ とのうち第3スイッチ $SW_3$ のみをオンに制御している。そして、コントローラ13は、デュアルゲート双方向スイッチ1をターンオンさせるときには、第3スイッチ $SW_3$ をオンからオフに制御した後、第1スイッチ $SW_1$ をオフからオンに制御し、第1一定時間後に、第1スイッチ $SW_1$ をオフに制御し、その後、第2スイッチ $SW_2$ をオフからオンに制御する。第1期間 $T_1$ は、第1スイッチ $SW_1$ のオン期間（上記第1一定時間）によって決まる。ここで、第1一定時間は、第1ゲート $G_1$ と第1ソース $S_1$ との間のオン抵抗の特性により決まる時間である。なお、コントローラ13は、デュアルゲート双方向スイッチ1をターンオンさせるときに、第3スイッチ $SW_3$ をオフさせるタイミングと第1スイッチ $SW_1$ をオンさせるタイミングとを同じにしてもよい。また、コントローラ13は、第1スイッチ $SW_1$ をオフさせるタイミングと第2スイッチ $SW_2$ をオンさせるタイミングとを同じにしてもよい。

[0051] コントローラ13は、デュアルゲート双方向スイッチ1をターンオフさせるときには、第2スイッチ $SW_2$ をオンからオフに制御し、その後、第3スイッチ $SW_3$ をオフからオンに制御する。コントローラ13は、第2スイッチ $SW_2$ をオフさせるタイミングと、第3スイッチ $SW_3$ をオンさせるタイミングとを同じにしてもよい。

[0052] また、コントローラ13は、デュアルゲート双方向スイッチ1をターンオンさせるときに、第1ソースS1の電位が第2ソースS2の電位よりも低い場合、第2ゲート駆動回路12から第2ゲートG2と第2ソースS2との間に、図5に示すように、第2正電圧VP2を第2期間T2だけ印加させ、第2期間T2の経過後に第2正電圧VP2よりも小さな第2電圧V2（例えば、0V）を印加させる。第2電圧V2は、第2ゲートG2の閾値電圧Vth2よりも大きい。ここにおいて、 $VP2 > V2 > Vth2 > VN2$ である。なお、第2期間T2は、第2ゲートG2と第2ソースS2との間のオン抵抗の特性により決まる時間である。

[0053] コントローラ13は、例えば、第2ゲート駆動回路12を制御する場合、第1ゲート駆動回路11と同様、図6に示すようなタイミングで第2ゲート駆動回路12の第1スイッチSW1、第2スイッチSW2及び第3スイッチSW3を制御する。

[0054] なお、第1期間T1と第2期間T2との関係は、 $T1 > T2$ であってもよく、 $T1 < T2$ であってもよい。

[0055] (2. 2. 3. 2) 第2ソースS2の電位が第1ソースS1の電位よりも低い場合

コントローラ13は、デュアルゲート双方向スイッチ1をターンオンさせるときに、第2ゲート駆動回路12から第2ゲートG2と第2ソースS2との間に、第2正電圧VP2を第2期間T2だけ印加させ、第2期間T2の経過後に第2正電圧VP2よりも小さな第2電圧V2（ここでは、0V）を印加させる。

[0056] また、コントローラ13は、デュアルゲート双方向スイッチ1をターンオンさせるときに、第1ゲート駆動回路11から第1ゲートG1と第1ソースS1との間に、第1正電圧VP1を第1期間T1だけ印加させ、第1期間T1の経過後に第1正電圧VP1よりも小さな第1電圧V1（ここでは、0V）を印加させる。

[0057] (2. 2. 3. 3) コントローラの構成

コントローラ13の実行主体は、コンピュータシステムを含んでいる。コンピュータシステムは、1又は複数のコンピュータを有している。コンピュータシステムは、ハードウェアとしてのプロセッサ及びメモリを主構成とする。コンピュータシステムのメモリに記録されたプログラムをプロセッサが実行することによって、本開示におけるコントローラ13の実行主体としての機能が実現される。プログラムは、コンピュータシステムのメモリに予め記憶されていてもよいが、電気通信回線を通じて提供されてもよいし、コンピュータシステムで読み取り可能なメモリカード、光学ディスク、ハードディスクドライブ（磁気ディスク）等の非一時的記憶媒体に記憶されて提供されてもよい。コンピュータシステムのプロセッサは、半導体集積回路（IC）又は大規模集積回路（LSI）を含む1又は複数の電子回路で構成される。複数の電子回路は、1つのチップに集約されていてもよいし、複数のチップに分散して設けられていてもよい。複数のチップは、1つの装置に集約されていてもよいし、複数の装置に分散して設けられていてもよい。

[0058] (4) 利点

(4.1) 制御システム

実施形態に係る制御システム10では、コントローラ13は、ノーマリオン型のデュアルゲート双方向スイッチ1をターンオンさせるときに、第1ソースS1の電位が第2ソースS2の電位よりも低い場合、第1ゲート駆動回路11を以下のように制御する。すなわち、コントローラ13は、第1ゲート駆動回路11から第1ゲートG1と第1ソースS1との間に、第1正電圧VP1を第1期間T1だけ印加させ、第1期間T1の経過後に第1正電圧VP1よりも小さな第1電圧V1を印加させる。これにより、実施形態に係る制御システム10は、ノーマリオン型のデュアルゲート双方向スイッチ1の電流コラプスを抑制することが可能となる。

[0059] 電流コラプスは、デュアルゲート双方向スイッチ1に関してオフ状態からオン状態にターンオフした後のオン抵抗が増加する現象である。より詳細には、デュアルゲート双方向スイッチ1では、電流コラプスは、第1ソースS

1と第2ソースS2との間に高電圧（ストレス電圧）が印加されているときに結晶（第1窒化物半導体層104、第2窒化物半導体層105等）中の欠陥、第2窒化物半導体層105の表面における表面トラップまたは第1窒化物半導体層104と第2窒化物半導体層105との界面等に負電荷 $e^-$ が捕獲され、オン抵抗が増大する現象である。本願発明者らは、鋭意研究の結果、ノーマリオン型のデュアルゲート双方向スイッチ1では、ノーマリオフ型のデュアルゲート双方向スイッチと比べて、電流コラプスが悪化するという実験結果を得た。デュアルゲート双方向スイッチ1では、第1ゲートG1がオフ状態で、かつ、第2ゲートG2がオフ状態では、例えば、図7の模式図に示すように、第2ゲートG2と第2ソースS2との間に負バイアス電圧が印加されても、第2ゲートG2が第1ソースS1及び第1ゲートG1よりも高電位となる場合がある。この場合、一時的に第2ゲートG2と負電荷 $e^-$ との間に電界が印加され、正孔 $h^+$ が注入されやすい。注入された正孔 $h^+$ は、電流コラプスを引き起こす負電荷をキャンセルする効果を発揮し、電流コラプスを改善しうる。一方で、図7の例では、第1ゲートG1の電位が低電位であり、第1ゲートG1から結晶中に正孔 $h^+$ が注入されにくいので、電流コラプスが悪化すると本願発明者らは推考した。

[0060] これに対し、実施形態に係る制御システム10は、上述のように、コントローラ13がノーマリオン型のデュアルゲート双方向スイッチ1をターンオンさせるときに、第1ソースS1の電位が第2ソースS2の電位よりも低い場合、第1ゲート駆動回路11を以下のように制御する。すなわち、制御システム10は、第1ゲート駆動回路11から第1ゲートG1と第1ソースS1との間に、第1正電圧 $V_{P1}$ を第1期間 $T1$ だけ印加させ、第1期間 $T1$ の経過後に第1正電圧 $V_{P1}$ よりも小さな第1電圧 $V1$ を印加させる。実施形態に係る制御システム10は、ノーマリオン型のデュアルゲート双方向スイッチ1の電流コラプスを抑制できることが確認された。これは、実施形態に係る制御システム10は、第1ゲートG1から正孔 $h^+$ が注入されやすくなったからであると推考される。

[0061] また、実施形態に係る制御システム10は、デュアルゲート双方向スイッチ1をターンオンさせるときに、第1ゲートG1と第1ソースS1との間に第1正電圧VP1を第1期間T1だけ印加した後に、第1正電圧VP1よりも小さな第1電圧V1を印加させる。そのため、デュアルゲート双方向スイッチ1がデュアルゲートGIT（例えば、デュアルゲートGaN系GIT）である場合に、ゲート電流I<sub>g</sub>が流れることによる電力損失を抑制することが可能となる。特に、実施形態に係る制御システム10は、第1電圧V1=0Vなので、電力損失を抑制する点で有利である。

[0062] また、実施形態に係る制御システム10は、デュアルゲート双方向スイッチ1をターンオンさせるときに、第2ゲートG2と第2ソースS2との間に第2正電圧VP2を第2期間T2だけ印加した後に、第2正電圧VP2よりも小さな第2電圧V2を印加させる。そのため、デュアルゲート双方向スイッチ1がデュアルゲートGIT（例えば、デュアルゲートGaN系GIT）である場合に、ゲート電流I<sub>g</sub>が流れることによる電力損失を抑制することが可能となる。特に、実施形態に係る制御システム10は、第2電圧V2=0Vなので、電力損失を抑制する点で有利である。

[0063] 実施形態に係る制御システム10は、電力損失を抑制する観点から、デュアルゲート双方向スイッチ1をターンオンさせた後、オン状態を維持する場合、第1ゲート電圧を第1電圧V1に維持し、第2ゲート電圧を第2電圧V2に維持することが好ましい。

[0064] （4.2）スイッチシステム

実施形態に係るスイッチシステム20は、制御システム10と、デュアルゲート双方向スイッチ1と、を備える。これにより、実施形態に係るスイッチシステム20は、ノーマリオン型のデュアルゲート双方向スイッチ1の電流コラプスを抑制することが可能となる。

[0065] （4.3）デュアルゲート双方向スイッチの制御方法

実施形態に係る制御システム10は、以下のデュアルゲート双方向スイッチ1の制御方法を実現することができる。

[0066] デュアルゲート双方向スイッチ1の制御方法では、デュアルゲート双方向スイッチ1は、第1ゲートG1と、第1ゲートG1に対応する第1ソースS1と、第2ゲートG2と、第2ゲートG2に対応する第2ソースS2と、を有するノーマリオン型のデュアルゲート双方向スイッチ1である。デュアルゲート双方向スイッチの制御方法では、デュアルゲート双方向スイッチ1をターンオンさせるときに、第1ソースS1の電位が第2ソースS2の電位よりも低い場合、第1ゲートG1と第1ソースS1との間に、第1正電圧VP1を第1期間T1だけ印加させ、第1期間T1の経過後に第1正電圧VP1よりも小さな第1電圧V1を印加させる。

[0067] これにより、デュアルゲート双方向スイッチ1の制御方法は、ノーマリオン型のデュアルゲート双方向スイッチ1の電流コラプスを抑制することが可能となる。

[0068] 上述のデュアルゲート双方向スイッチ1の制御方法は、上述の制御システム10によって実現される場合限定されない。

[0069] (5) 変形例

(5.1) 第1変形例

実施形態の第1変形例に係る制御システム10の回路構成については、実施形態に係る制御システム10(図1参照)と同じなので、図示及び説明を省略する。

[0070] 第1変形例に係る制御システム10では、コントローラ13は、デュアルゲート双方向スイッチ1をターンオンさせるときに、第1ソースS1の電位が第2ソースS2の電位よりも低電位である場合、第1ゲート電圧 $V_{G1S1}$ 及び第2ゲート電圧 $V_{G2S2}$ が図8Aに示す変化になるように、第1ゲート駆動回路11及び第2ゲート駆動回路12を制御する。すなわち、コントローラ13は、第1ゲート駆動回路11から第1ゲートG1と第1ソースS1との間に第1正電圧VP1の印加を開始させ、その後、第1期間T1内に第2ゲート駆動回路12から第2ゲートG2と第2ソースS2との間に閾値電圧(第2閾値電圧 $V_{th2}$ )よりも高い電圧(例えば、第2正電圧VP2)の印

加を開始させる。これにより、第1変形例に係る制御システム10では、第1ゲートG1から正孔が注入されやすくなり、電流コラプスを抑制することが可能となる。

[0071] (5.2) 第2変形例

実施形態の第2変形例に係る制御システム10の回路構成については、実施形態に係る制御システム10(図1参照)と同じなので、図示及び説明を省略する。

[0072] 第2変形例に係る制御システム10では、コントローラ13は、デュアルゲート双方向スイッチ1をターンオンさせるときに、第2ソースS2の電位が第1ソースS1の電位よりも高電位である場合、第1ゲート電圧 $V_{G1S1}$ 及び第2ゲート電圧 $V_{G2S2}$ が図8Bに示す変化になるように、第1ゲート駆動回路11及び第2ゲート駆動回路12を制御する。すなわち、コントローラ13は、第2ゲート駆動回路12から第2ゲートG2と第2ソースS2との間に第2正電圧 $V_{P2}$ の印加を開始させ、その後、第2期間 $T2$ 内に第1ゲート駆動回路11から第1ゲートG1と第1ソースS1との間に第1正電圧 $V_{P1}$ の印加を開始させる。これにより、第2変形例に係る制御システム10では、第1ゲートG1と第2ゲートG2とのうち相対的に電位の高いゲート(第2ゲートG2)の近くの負電荷 $e^-$ を第2ゲートG2からの正孔 $h^+$ の注入によって抑制し、その後、相対的に電位の低いゲート(第1ゲートG1)と第1ソースS1との間に第1正電圧 $V_{P1}$ を印加させるので、電流コラプスをより抑制することが可能となる。

[0073] (5.3) 第3変形例

実施形態の第3変形例に係る制御システム10の回路構成については、実施形態に係る制御システム10(図1参照)と略同じなので、図示及び説明を省略する。

[0074] 図9に、第3変形例に係る第1ゲート駆動回路11及び第2ゲート駆動回路12の各々の回路構成を示す。

[0075] 第3変形例に係る制御システム10は、第1ゲート駆動回路11及び第2

ゲート駆動回路12の各々が図9に示すように第1抵抗R1、第2抵抗R2及び第3抵抗R3を備えていない点で、図1、図2Aおよび図2Bに示す制御システム10と相違する。したがって、第1ゲート駆動回路11及び第2ゲート駆動回路12の各々では、正電源E1と第1スイッチSW1との直列回路と、第2スイッチSW2と、負電源E2と第3スイッチSW3との直列回路と、が並列接続されている。なお、第1ゲート駆動回路11aと第2ゲート駆動回路12aとは、同じ回路構成を有する。

[0076] 第3変形例に係る制御システム10では、図1、図2Aおよび図2Bに示す制御システム10と比べて、部品点数を少なくできる。

[0077] (5.4) その他の変形例

実施形態、第1変形例～第3変形例の各々では、制御システム10によって制御されるデュアルゲート双方向スイッチ1は、デュアルゲートGITに限らず、例えば、デュアルゲートMOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) であってもよいが、以下の各変形例では、制御システム10によって制御されるデュアルゲート双方向スイッチ1は、デュアルゲートGITである。

[0078] (5.4.1) 第4変形例

実施形態の第4変形例に係る制御システム10の全体の回路構成については、実施形態に係る制御システム10 (図1参照) と略同じなので、図示及び説明を省略する。

[0079] 第4変形例に係る制御システム10は、実施形態に係る制御システム10における第1ゲート駆動回路11及び第2ゲート駆動回路12の代わりに、図10に示すような第1ゲート駆動回路11a及び第2ゲート駆動回路12aを備える点で、図1、図2Aおよび図2Bに示す制御システム10と相違する。第1ゲート駆動回路11aと第2ゲート駆動回路12aとは、同じ回路構成を有する。第1ゲート駆動回路11a及び第2ゲート駆動回路12aの各々において、第1ゲート駆動回路11及び第2ゲート駆動回路12と同様の構成要素には同一の符号を付して説明を適宜省略する。

- [0080] 第1ゲート駆動回路11a及び第2ゲート駆動回路12aの各々は、一対の出力端子 $T_{mg}$ 、 $T_{ms}$ を有する。また、第1ゲート駆動回路11a及び第2ゲート駆動回路12aの各々は、一対の出力端子 $T_{mg}$ 、 $T_{ms}$ の間に、正電源 $E_1$ と第1スイッチ $SW_1$ と第1抵抗 $R_1$ とを含む直列回路と、正電源 $E_1$ と第2スイッチ $SW_2$ と第2抵抗 $R_2$ とを含む直列回路と、負電源 $E_2$ と第3スイッチ $SW_3$ と第3抵抗 $R_3$ とを含む直列回路と、を有する。第2スイッチ $SW_2$ は、正電源 $E_1$ の正極と第1スイッチ $SW_1$ との間の経路上のノード $N_1$ と、第2抵抗 $R_2$ と、の間に接続されている。第1ゲート駆動回路11a及び第2ゲート駆動回路12aの各々では、第1抵抗 $R_1$ の抵抗値が、第2抵抗 $R_2$ の抵抗値よりも小さい。
- [0081] 第1ゲート駆動回路11aでは、出力端子 $T_{mg}$ が第1ゲート $G_1$ に接続され、出力端子 $T_{ms}$ が第1ソース $S_1$ に接続される。したがって、第1ゲート駆動回路11aでは、正電源 $E_1$ と第1スイッチ $SW_1$ と第1抵抗 $R_1$ とを含む直列回路と、正電源 $E_1$ と第2スイッチ $SW_2$ と第2抵抗 $R_2$ とを含む直列回路と、負電源 $E_2$ と第3スイッチ $SW_3$ と第3抵抗 $R_3$ とを含む直列回路と、が第1ゲート $G_1$ と第1ソース $S_1$ との間に接続される。
- [0082] 第2ゲート駆動回路12aでは、出力端子 $T_{mg}$ が第2ゲート $G_2$ に接続され、出力端子 $T_{ms}$ が第2ソース $S_2$ に接続される。したがって、第2ゲート駆動回路12aでは、正電源 $E_1$ と第1スイッチ $SW_1$ と第1抵抗 $R_1$ とを含む直列回路と、正電源 $E_1$ と第2スイッチ $SW_2$ と第2抵抗 $R_2$ とを含む直列回路と、負電源 $E_2$ と第3スイッチ $SW_3$ と第3抵抗 $R_3$ とを含む直列回路と、が第2ゲート $G_2$ と第2ソース $S_2$ との間に接続される。
- [0083] コントローラ13は、実施形態に係る制御システム10におけるコントローラ13の第1ゲート駆動回路11に対する制御と同様に、例えば、図6に示すようなタイミングで第1ゲート駆動回路11aの第1スイッチ $SW_1$ 、第2スイッチ $SW_2$ 及び第3スイッチ $SW_3$ を制御する。したがって、デュアルゲート双方向スイッチ1をターンオンさせるときには、第1ゲート電圧 $V_{G1S1}$ は、図11に示すように変化する。第4変形例に係る制御システム1

0では、 $V_{P1} > V_1 > 0V > V_{th1} > V_{N1}$ である。第1ゲート駆動回路11aにおける第2抵抗R2の抵抗値は、例えば、 $0V < V_1 < 1V$ となるように決定してある。第2抵抗R2の抵抗値は、第1抵抗R1の抵抗値よりも大きい。

[0084] また、コントローラ13は、実施形態に係る制御システム10におけるコントローラ13の第1ゲート駆動回路11に対する制御と同様に、例えば、図6に示すようなタイミングで第2ゲート駆動回路12aの第1スイッチSW1、第2スイッチSW2及び第3スイッチSW3を制御する。したがって、デュアルゲート双方向スイッチ1をターンオンさせるときには、第2ゲート電圧 $V_{G2S2}$ は、図11に示すように変化する。第4変形例に係る制御システム10では、 $V_{P2} > V_2 > 0V > V_{th2} > V_{N2}$ である。第2ゲート駆動回路12aにおける第2抵抗R2の抵抗値は、例えば、 $0V < V_2 < 1V$ となるように決定してある。第2抵抗R2の抵抗値は、第1抵抗R1の抵抗値よりも大きい。

[0085] 第4変形例に係る制御システム10では、デュアルゲート双方向スイッチ1をターンオンさせるときに、第1ゲート駆動回路11aの第1スイッチSW1と第2スイッチSW2とを切り替えてオンすることにより、第1抵抗R1と第2抵抗R2との抵抗値の差によって第1ゲート電圧 $V_{G1S1}$ を変えることができる。また、第4変形例に係る制御システム10では、デュアルゲート双方向スイッチ1をターンオンさせるときに、第2ゲート駆動回路12aの第1スイッチSW1と第2スイッチSW2とを切り替えてオンすることにより、第1抵抗R1と第2抵抗R2との抵抗値の差によって第2ゲート電圧 $V_{G2S2}$ を変えることができる。

[0086] (5.4.2) 第5変形例

実施形態の第5変形例に係る制御システム10の全体の回路構成については、実施形態に係る制御システム10(図1参照)と略同じなので、図示及び説明を省略する。

[0087] 第5変形例に係る制御システム10は、図1、図2Aおよび図2Bに示す

制御システム10における第1ゲート駆動回路11及び第2ゲート駆動回路12の代わりに、図12に示すような第1ゲート駆動回路11b及び第2ゲート駆動回路12bを備える点で、図1、図2Aおよび図2Bに示す制御システム10と相違する。第1ゲート駆動回路11bと第2ゲート駆動回路12bとは、同じ回路構成を有する。第1ゲート駆動回路11b及び第2ゲート駆動回路12bの各々において、第1ゲート駆動回路11及び第2ゲート駆動回路12と同様の構成要素には同一の符号を付して説明を適宜省略する。

[0088] 第1ゲート駆動回路11b及び第2ゲート駆動回路12bの各々は、一対の出力端子 $T_{mg}$ 、 $T_{ms}$ を有する。また、第1ゲート駆動回路11b及び第2ゲート駆動回路12bの各々は、一対の出力端子 $T_{mg}$ 、 $T_{ms}$ の間に接続される、正電源 $E_1$ と第1スイッチ $SW_1$ とコンデンサ $C_1$ と第1抵抗 $R_1$ とを含む直列回路を有する。また、第1ゲート駆動回路11b及び第2ゲート駆動回路12bの各々は、コンデンサ $C_1$ と第1抵抗 $R_1$ との直列回路に並列接続されている第2抵抗 $R_2$ を有する。また、第1ゲート駆動回路11b及び第2ゲート駆動回路12bの各々は、一対の出力端子 $T_{mg}$ 、 $T_{ms}$ の間に接続される、負電源 $E_2$ と第2スイッチ $SW_2$ と第3抵抗 $R_3$ とを含む直列回路を有する。第1ゲート駆動回路11b及び第2ゲート駆動回路12bの各々では、第1抵抗 $R_1$ の抵抗値が、第2抵抗 $R_2$ の抵抗値よりも小さい。

[0089] 第1ゲート駆動回路11bでは、出力端子 $T_{mg}$ が第1ゲート $G_1$ に接続され、出力端子 $T_{ms}$ が第1ソース $S_1$ に接続される。したがって、第1ゲート駆動回路11bでは、正電源 $E_1$ と第1スイッチ $SW_1$ とコンデンサ $C_1$ と第1抵抗 $R_1$ とを含む直列回路と、正電源 $E_1$ と第1スイッチ $SW_1$ と第2抵抗 $R_2$ とを含む直列回路と、負電源 $E_2$ と第3スイッチ $SW_3$ と第3抵抗 $R_3$ とを含む直列回路と、が第1ゲート $G_1$ と第1ソース $S_1$ との間に接続される。第1ゲート駆動回路11bでは、コンデンサ $C_1$ と第1抵抗 $R_1$ と第2抵抗 $R_2$ とで、スピードアップ回路を構成している。スピードアッ

プ回路は、デュアルゲート双方向スイッチ1をより高速でターンオンさせるための回路である。コンデンサC1と第1抵抗R1との直列回路のインピーダンスは、第2抵抗R2のインピーダンスよりも小さい。

[0090] 第2ゲート駆動回路12bでは、出力端子Tmgが第2ゲートG2に接続され、出力端子Tmsが第2ソースS2に接続される。したがって、第2ゲート駆動回路12bでは、正電源E1と第1スイッチSW1とコンデンサC1と第1抵抗R1とを含む直列回路と、正電源E1と第1スイッチSW1と第2抵抗R2とを含む直列回路と、負電源E2と第3スイッチSW3と第3抵抗R3とを含む直列回路と、が第2ゲートG2と第2ソースS2との間に接続される。第2ゲート駆動回路12bでは、コンデンサC1と第1抵抗R1と第2抵抗R2とで、スピードアップ回路を構成している。スピードアップ回路は、デュアルゲート双方向スイッチ1をより高速でターンオンさせるための回路である。コンデンサC1と第1抵抗R1との直列回路のインピーダンスは、第2抵抗R2のインピーダンスよりも小さい。

[0091] コントローラ13は、第1ゲート駆動回路11bの第1スイッチSW1及び第2スイッチSW2を制御する。コントローラ13は、デュアルゲート双方向スイッチ1をターンオンさせるとき、第1スイッチSW1をオフからオンに制御し、第1一定時間後に、第1スイッチSW1をオフに制御し、その後、第2スイッチSW2をオフからオンに制御する。第5変形例において、第1期間T1は、第1スイッチSW1がオンされてからコンデンサC1に電荷が溜まってコンデンサC1に電流が流れなくなるまでの時間によって決まり、第1一定時間よりも短く設定してある。コンデンサC1に電流が流れなくなると、第1ゲートG1に流れる電流は、正電源E1から第1スイッチSW1と第2抵抗R2とを通過して流れる電流のみになる。したがって、デュアルゲート双方向スイッチ1をターンオンさせるときには、第1ゲート電圧 $V_{G1s1}$ は、図13に示すように変化する。第5変形例に係る制御システム10では、 $V_{P1} \geq V_1 > 0V > V_{th1} > V_{N1}$ である。第1正電圧 $V_{P1}$ は、正電源E1と第1スイッチSW1とコンデンサC1と第1抵抗R1とを通っ

て第1ゲートG1に電流が流れているときに第1ゲートG1と第1ソースS1との間に印加されるので、時間経過とともに小さくなる。なお、コントローラ13は、デュアルゲート双方向スイッチ1をターンオンさせるときに、第1ゲート駆動回路11bの第1スイッチSW1をオフさせるタイミングと第2スイッチSW2をオンさせるタイミングとを同じにしてもよい。

[0092] また、コントローラ13は、第2ゲート駆動回路12aの第1スイッチSW1及び第2スイッチSW2を制御する。したがって、デュアルゲート双方向スイッチ1をターンオンさせるときには、第2ゲート電圧 $V_{G2S2}$ は、図13に示すように変化する。第5変形例に係る制御システム10では、 $V_{P2} \geq V_2 > 0V > V_{th2} > V_{N2}$ である。第2正電圧 $V_{P2}$ は、正電源E1と第1スイッチSW1とコンデンサC1と第1抵抗R1とを通過して第2ゲートG2に電流が流れているときに第2ゲートG2と第2ソースS2との間に印加されるので、時間経過とともに小さくなる。なお、コントローラ13は、デュアルゲート双方向スイッチ1をターンオンさせるときに、第2ゲート駆動回路12bの第1スイッチSW1をオフさせるタイミングと第2スイッチSW2をオンさせるタイミングとを同じにしてもよい。

[0093] 実施形態の第5変形例に係る制御システム10では、第1ゲート駆動回路11b及び第2ゲート駆動回路12bの各々において、第1ゲート駆動回路11及び第2ゲート駆動回路12と比べて、スイッチの数を3つから2つに減らすことができるので、小型化、低コスト化の点で有利である。

[0094] (5.4.3) 第6変形例

第6変形例に係る制御システム10の全体の回路構成については、実施形態に係る制御システム10(図1参照)と略同じなので、図示及び説明を省略する。

[0095] 第6変形例に係る制御システム10では、第5変形例に係る制御システム10の第1ゲート駆動回路11b及び第2ゲート駆動回路12bの各々において、正電源E1と第1スイッチSW1との直列回路と、負電源E2と第2スイッチSW2との直列回路と、の代わりに、図14に示すようなドライバ

ICとしてCMOS (Complementary Metal-Oxide Semiconductor) インバータ15を備えている点で相違する。

[0096] CMOSインバータ15は、pチャネルMOSFET151とnチャネルMOSFET152との逆直列回路を含む。CMOSインバータ15では、pチャネルMOSFET151とnチャネルMOSFET152とのゲート同士が接続され、pチャネルMOSFET151とnチャネルMOSFET152とのドレイン同士が接続されており、pチャネルMOSFET151のソースが例えば12Vの電源に接続され、nチャネルMOSFET152のソースが-12Vの電源に接続されている。制御システム10を備えるスイッチシステム20では、図15に示すように、コントローラ13からCMOSインバータ15に入力されるドライブ信号の電位に応じてCMOSインバータ15の出力電圧の電位レベルが変化し、ゲート電圧 $V_g$ が変化する。

[0097] 第1ゲート駆動回路11bにおいて、正電源E1と第1スイッチSW1との直列回路の代わりにCMOSインバータ15は、第1正電圧 $V_{P1}$ と、第1閾値電圧 $V_{th1}$ 未満の第1負電圧 $V_{N1}$ と、を選択的に出力可能である。

[0098] また、第2ゲート駆動回路12bにおいて、正電源E1と第1スイッチSW1との直列回路の代わりにCMOSインバータ15は、第2正電圧 $V_{P2}$ と、第2閾値電圧 $V_{th2}$ 未満の第2負電圧 $V_{N2}$ と、を選択的に出力可能である。

[0099] 第6変形例に係る制御システム10は、実施形態に係る制御システム10と同様、デュアルゲート双方向スイッチ1の電流コラプスを抑制可能となる。

[0100] (5.4.4) 第7変形例

第7変形例に係る制御システム10の全体の回路構成については、実施形態に係る制御システム10(図1参照)と略同じなので、図示及び説明を省略する。

[0101] 第7変形例に係る制御システム10は、実施形態に係る制御システム10

における第1ゲート駆動回路11及び第2ゲート駆動回路12の代わりに、図16に示すような第1ゲート駆動回路11c及び第2ゲート駆動回路12cを備える点で、実施形態に係る制御システム10と相違する。第1ゲート駆動回路11cと第2ゲート駆動回路12cとは、同じ回路構成を有する。第1ゲート駆動回路11c及び第2ゲート駆動回路12cの各々において、第1ゲート駆動回路11及び第2ゲート駆動回路12と同様の構成要素には同一の符号を付して説明を適宜省略する。

[0102] 第1ゲート駆動回路11c及び第2ゲート駆動回路12cの各々は、一対の出力端子Tmg, Tmsを有する。また、第1ゲート駆動回路11c及び第2ゲート駆動回路12cの各々は、一対の出力端子Tmg, Tmsの間に接続される、正電源E1と第1スイッチSW1とコンデンサC1と第1抵抗R1との直列回路と、正電源E1と第1スイッチSW1との直列回路に並列接続された、負電源E2と第2スイッチSW2との直列回路と、コンデンサC1と第1抵抗R1との直列回路に並列接続されている第2抵抗R2と、を有する。第1抵抗R1の抵抗値が、第2抵抗R2の抵抗値よりも小さい。

[0103] 第1ゲート駆動回路11cでは、出力端子Tmgが第1ゲートG1に接続され、出力端子Tmsが第1ソースS1に接続される。したがって、第1ゲート駆動回路11cでは、正電源E1と第1スイッチSW1とコンデンサC1と第1抵抗R1とを含む直列回路と、正電源E1と第1スイッチSW1と第2抵抗R2とを含む直列回路が第1ゲートG1と第1ソースS1との間に接続される。また、第1ゲート駆動回路11cでは、コンデンサC1と第1抵抗R1との直列回路に第2抵抗R2が接続されており、コンデンサC1と第1抵抗R1と第2抵抗R2とで、スピードアップ回路を構成している。スピードアップ回路は、デュアルゲート双方向スイッチ1をより高速でターンオンさせるための回路である。コンデンサC1と第1抵抗R1との直列回路のインピーダンスは、第2抵抗R2のインピーダンスよりも小さい。また、第1ゲート駆動回路11cでは、正電源E1と第1スイッチSW1との直列回路に、負電源E2と第2スイッチSW2との直列回路が並列接続されてい

る。

[0104] 第2ゲート駆動回路12cでは、出力端子Tmgが第2ゲートG2に接続され、出力端子Tmsが第2ソースS2に接続される。したがって、第2ゲート駆動回路12cでは、正電源E1と第1スイッチSW1とコンデンサC1と第1抵抗R1とを含む直列回路と、正電源E1と第1スイッチSW1と第2抵抗R2とを含む直列回路が第2ゲートG2と第2ソースS2との間に接続される。また、第2ゲート駆動回路12cでは、コンデンサC1と第1抵抗R1との直列回路に第2抵抗R2が接続されており、コンデンサC1と第1抵抗R1と第2抵抗R2とで、スピードアップ回路を構成している。スピードアップ回路は、デュアルゲート双方向スイッチ1をより高速でターンオンさせるための回路である。コンデンサC1と第1抵抗R1との直列回路のインピーダンスは、第2抵抗R2のインピーダンスよりも小さい。また、第2ゲート駆動回路12cでは、正電源E1と第1スイッチSW1との直列回路に、負電源E2と第2スイッチSW2との直列回路が並列接続されている。

[0105] コントローラ13は、第1ゲート駆動回路11cの第1スイッチSW1及び第2スイッチSW2を制御する。コントローラ13は、デュアルゲート双方向スイッチ1をターンオンさせるとき、第1スイッチSW1をオフからオンに制御し、第1一定時間後に、第1スイッチSW1をオフに制御し、その後、第2スイッチSW2をオフからオンに制御する。第1期間T1は、第1スイッチSW1がオンされてからコンデンサC1に電荷が溜まってコンデンサC1に電流が流れなくなるまでの時間によって決まり、第1一定時間よりも短く設定してある。コンデンサC1に電流が流れなくなると、正電源E1から第1スイッチSW1と第2抵抗R2とを通過して第1ゲートG1に電流が流れる。したがって、デュアルゲート双方向スイッチ1をターンオンさせるときには、第1ゲート電圧 $V_{G1S1}$ は、図13に示すように変化する。第7変形例に係る制御システム10では、 $V_{P1} \geq V_1 > 0V > V_{th1} > V_{N1}$ である。第1正電圧 $V_{P1}$ は、正電源E1と第1スイッチSW1とコンデン

サC1と第1抵抗R1とを通過して第1ゲートG1に電流が流れているときに第1ゲートG1と第1ソースS1との間に印加されるので、時間経過とともに小さくなる。なお、コントローラ13は、デュアルゲート双方向スイッチ1をターンオンさせるときに、第1ゲート駆動回路11cの第1スイッチSW1をオフさせるタイミングと第2スイッチSW2をオンさせるタイミングとを同じにしてもよい。

[0106] また、コントローラ13は、第2ゲート駆動回路12cの第1スイッチSW1及び第2スイッチSW2を制御する。したがって、デュアルゲート双方向スイッチ1をターンオンさせるときには、第2ゲート電圧 $V_{G2S2}$ は、図13に示すように変化する。第7変形例に係る制御システム10では、 $V_{P2} \geq V_2 > 0V > V_{th2} > V_{N2}$ である。第2正電圧 $V_{P2}$ は、正電源E1と第1スイッチSW1とコンデンサC1と第1抵抗R1とを通過して第2ゲートG2に電流が流れているときに第2ゲートG2と第2ソースS2との間に印加されるので、時間経過とともに小さくなる。なお、コントローラ13は、デュアルゲート双方向スイッチ1をターンオンさせるときに、第2ゲート駆動回路12cの第1スイッチSW1をオフさせるタイミングと第2スイッチSW2をオンさせるタイミングとを同じにしてもよい。

[0107] 第7変形例に係る制御システム10は、実施形態に係る制御システム10と同様、デュアルゲート双方向スイッチ1の電流コラプスを抑制可能となる。

[0108] (5.4.5) 第8変形例

第8変形例に係る制御システム10の全体の回路構成については、実施形態に係る制御システム10(図1参照)と略同じなので、図示及び説明を省略する。

[0109] 第8変形例に係る制御システム10は、第7変形例に係る制御システム10と略同じであり、第2ゲート駆動回路12cが、図17Bに示すように、第1ゲート駆動回路11cの有する正電源E1を有していない点で、第7変形例に係る制御システム10と相違する。

- [0110] 第8変形例に係る制御システム10では、デュアルゲート双方向スイッチ1をターンオンさせるときに、第1ゲート駆動回路11cの第1スイッチSW1をオンさせるとともに、第2ゲート駆動回路12cの第1スイッチSW1をオンさせる。また、第8変形例に係る制御システム10では、デュアルゲート双方向スイッチ1をターンオフさせるときに、第1ゲート駆動回路11c及び第2ゲート駆動回路12cの各々の第1スイッチSW1をオフさせてから第2スイッチSW2をオンさせる。
- [0111] 第8変形例に係る制御システム10を用いた場合の、第1ゲート電圧 $V_{G1S1}$ 及び第2ゲート電圧 $V_{G2S2}$ それぞれの波形の一例を図18に示す。
- [0112] これに対し、図19に示すように第1ゲート駆動回路11r及び第2ゲート駆動回路12rの各々が第2ゲート駆動回路12cと同様に正電源E1を有していない比較例に係る制御システムでは、デュアルゲート双方向スイッチ1をターンオンさせるときに、第1ゲート駆動回路11rの第1スイッチSW1をオンさせるとともに、第2ゲート駆動回路12rの第1スイッチSW1をオンさせる。また、比較例に係る制御システムでは、デュアルゲート双方向スイッチ1をターンオフさせるときに、第1ゲート駆動回路11r及び第2ゲート駆動回路12rの各々の第1スイッチSW1をオフさせてから第2スイッチSW2をオンさせる。
- [0113] 比較例に係る制御システムを用いた場合の、第1ゲート電圧 $V_{G1S1}$ 及び第2ゲート電圧 $V_{G2S2}$ それぞれの波形の一例を図20に示す。
- [0114] 図21は、第8変形例に係る制御システム10を用いてデュアルゲート双方向スイッチ1をターンオンさせた場合のオン抵抗の経時変化を実線A1で示し、比較例に係る制御システムを用いてデュアルゲート双方向スイッチ1をターンオンさせた場合のオン抵抗の経時変化を実線A2で示してある。図21は、デュアルゲート双方向スイッチ1の第1ソースS1と第2ソースS2との間に第2ソースS2を高電位側として400Vの電圧を印加している状態でデュアルゲート双方向スイッチ1をターンオンさせたときのオン抵抗の経時変化を示している。デュアルゲート双方向スイッチ1のオン状態にお

いてデュアルゲート双方向スイッチ1に流れる電流は、10Aである。図21の縦軸は、実線A1に関して電流コラプスの発生していないときのオン抵抗を1として規格化されたオン抵抗である。図21から、第8変形例に係る制御システムを用いてデュアルゲート双方向スイッチ1をターンオンさせた場合には、比較例に係る制御システムを用いてデュアルゲート双方向スイッチ1をターンオンさせた場合と比べて、オン抵抗を低減できていることが分かる。見方を変えれば、比較例に係る制御システムを用いてデュアルゲート双方向スイッチ1をターンオンさせた場合には、第8変形例に係る制御システムを用いてデュアルゲート双方向スイッチ1をターンオンさせた場合と比べてオン抵抗が約50%大きくなっていることが分かる。

[0115] これに対し、デュアルゲート双方向スイッチ1に直流電圧を印加してデュアルゲート双方向スイッチ1の静特性を評価した際には、第1ゲート電圧 $V_{G1S1}$ を0Vとした場合と、第1ゲート電圧 $V_{G1S1}$ を3Vとした場合とでオン抵抗の差は10%以下であった。よって、図21において第8変形例に係る制御システムを用いてデュアルゲート双方向スイッチ1をターンオンさせた場合に、比較例に係る制御システムを用いてデュアルゲート双方向スイッチ1をターンオンさせた場合と比べて、オン抵抗を低減できているのは、電流コラプスの抑制による効果であると考えられる。

[0116] (5.4.6) 第9変形例

第9変形例に係る制御システム10の全体の回路構成については、実施形態に係る制御システム10(図1参照)と略同じなので、図示及び説明を省略する。

[0117] 第9変形例に係る制御システム10は、実施形態に係る制御システム10における第1ゲート駆動回路11及び第2ゲート駆動回路12の代わりに、図22に示すような第1ゲート駆動回路11d及び第2ゲート駆動回路12dを備える点で、実施形態に係る制御システム10と相違する。第1ゲート駆動回路11dと第2ゲート駆動回路12dとは、同じ回路構成を有する。第1ゲート駆動回路11d及び第2ゲート駆動回路12dの各々において、

第1ゲート駆動回路11及び第2ゲート駆動回路12と同様の構成要素には同一の符号を付して説明を適宜省略する。

[0118] 第1ゲート駆動回路11d及び第2ゲート駆動回路12dの各々は、一対の出力端子 $T_{mg}$ 、 $T_{ms}$ を有する。また、第1ゲート駆動回路11d及び第2ゲート駆動回路12dの各々は、一対の出力端子 $T_{mg}$ 、 $T_{ms}$ の間に接続される、正電源E1と第1スイッチSW1と第1ダイオードD1とコンデンサC1と第1抵抗R1との直列回路を有する。また、第1ゲート駆動回路11d及び第2ゲート駆動回路12dの各々は、正電源E1と第1スイッチSW1との直列回路に並列接続された、負電源E2と第2スイッチSW2との直列回路を有する。また、第1ゲート駆動回路11d及び第2ゲート駆動回路12dの各々は、第1ダイオードD1とコンデンサC1と第1抵抗R1との直列回路に並列接続されている第2抵抗R2を有する。また、第1ゲート駆動回路11d及び第2ゲート駆動回路12dの各々は、第1ダイオードD1とコンデンサC1と第1抵抗R1との直列回路に並列接続されている、第2ダイオードD2と第3抵抗R3とを含む直列回路を有する。

[0119] 第1ダイオードD1のアノードは、第1スイッチSW1を介して正電源E1の正極に接続されるとともに、第2スイッチSW2を介して負電源E2の負極に接続されている。第2ダイオードD2のカソードは、第1スイッチSW1を介して正電源E1の正極に接続されるとともに、第2スイッチSW2を介して負電源E2の負極に接続されている。第1抵抗R1の抵抗値が、第2抵抗R2の抵抗値よりも小さい。第3抵抗R3の抵抗値が、第2抵抗R2の抵抗値よりも小さい。コントローラ13は、第1スイッチSW1及び第2スイッチSW2を制御する。

[0120] 第9変形例に係る制御システム10では、デュアルゲート双方向スイッチ1をターンオンさせるときに、第1ゲート駆動回路11dの第1スイッチSW1をオンさせるとともに、第2ゲート駆動回路12dの第1スイッチSW1をオンさせる。

[0121] 制御システム10では、デュアルゲート双方向スイッチ1をターンオンさ

せるときに、コントローラ13が第1ゲート駆動回路11dの第1スイッチSW1をオンさせることにより、正電源E1から第1ダイオードD1とコンデンサC1と第1抵抗R1とを通る経路で第1ゲートG1を充電して第1正電圧 $V_{P1}$ を印加することができる。そして、制御システム10は、コンデンサC1に電荷が溜まると第2抵抗R2を通る経路でゲート電流 $I_g$ を供給することができるので、デュアルゲート双方向スイッチ1の第1ゲート電圧 $V_{G1S1}$ を第1電圧V1にすることができる。ここにおいて、第2抵抗R2の抵抗値が大きいほど、ゲート電流 $I_g$ を小さくでき、第1ゲートG1での電力損失を小さくすることができる。

- [0122] 制御システム10では、デュアルゲート双方向スイッチ1をターンオンさせるときに、コントローラ13が第2ゲート駆動回路12dの第1スイッチSW1をオンさせることにより、正電源E1から第1ダイオードD1とコンデンサC1と第1抵抗R1とを通る経路で第2ゲートG2を充電して第2正電圧 $V_{P2}$ を印加することができる。そして、制御システム10は、コンデンサC1に電荷が溜まると第2抵抗R2を通る経路でゲート電流 $I_g$ を供給することができるので、デュアルゲート双方向スイッチ1の第2ゲート電圧 $V_{G2S2}$ を第2電圧V2にすることができる。ここにおいて、第2抵抗R2の抵抗値が大きいほど、ゲート電流 $I_g$ を小さくでき、第2ゲートG2での電力損失を小さくすることができる。

- [0123] また、第9変形例に係る制御システム10では、デュアルゲート双方向スイッチ1をターンオフさせるときに、第1ゲート駆動回路11d及び第2ゲート駆動回路12dの各々の第1スイッチSW1をオフさせてから第2スイッチSW2をオンさせる。

- [0124] 制御システム10では、デュアルゲート双方向スイッチ1をターンオフさせるときに、コントローラ13が第1ゲート駆動回路11dの第1スイッチSW1をオフして第2スイッチSW2をオンさせることにより、第2抵抗R2を通る経路と、第3抵抗R3及び第2ダイオードD2を通る経路と、で第1ゲートG1の電荷を放電させることができ、その後、第1ゲート電圧 $V_{G1S}$

$V_{N1}$ を第1負電圧 $V_{N1}$ に維持することができる。

[0125] 制御システム10では、デュアルゲート双方向スイッチ1をターンオフさせるときに、コントローラ13が第2ゲート駆動回路12dの第1スイッチSW1をオフして第2スイッチSW2をオンさせることにより、第2抵抗R2を通る経路と、第3抵抗R3及び第2ダイオードD2を通る経路と、で第2ゲートG2の電荷を放電させることができ、その後、第2ゲート電圧 $V_{G2S2}$ を第2負電圧 $V_{N2}$ に維持することができる。

[0126] 以上説明したように、第9変形例に係る制御システム10は、第1ゲート駆動回路11dが、第1ダイオードD1とコンデンサC1と第1抵抗R1との直列回路及び第2抵抗R2に並列接続されている、第2ダイオードD2と第3抵抗R3とを含む直列回路を有する。第2ダイオードD2は、第1スイッチSW1と第2スイッチSW2との接続点に対して、第1ダイオードD1とは逆向きに接続される。要するに、第2ダイオードD2のカソードと第1ダイオードD1のアノードとが接続されている。これにより、第9変形例に係る制御システム10は、デュアルゲート双方向スイッチ1をターンオンさせるときに第1正電圧 $V_{P1}$ を与える経路と、デュアルゲート双方向スイッチ1をターンオフさせるときにターンオフ速度を調整する経路とを分離することができる。これにより、第9変形例に係る制御システム10は、第1正電圧 $V_{P1}$ の大きさと、ターンオフ時のスイッチ損失とを独立して制御することができる。

[0127] また、第9変形例に係る制御システム10は、第2ゲート駆動回路12dが、第1ダイオードD1とコンデンサC1と第1抵抗R1との直列回路及び第2抵抗R2に並列接続されている、第2ダイオードD2と第3抵抗R3とを含む直列回路を有する。第2ダイオードD2は、第1スイッチSW1と第2スイッチSW2との接続点に対して、第1ダイオードD1とは逆向きに接続される。要するに、第2ダイオードD2のカソードと第1ダイオードD1のアノードとが接続されている。これにより、第9変形例に係る制御システム10は、デュアルゲート双方向スイッチ1をターンオンさせるときに第2

正電圧 $V_{P2}$ を与える経路と、デュアルゲート双方向スイッチ1をターンオフさせるときにターンオフ速度を調整する経路とを分離することができる。これにより、第9変形例に係る制御システム10は、第2正電圧 $V_{P2}$ の大きさと、ターンオフ時のスイッチ損失とを独立して制御することができる。

[0128] (5. 4. 7) 第10変形例

第10変形例に係る制御システム10の全体の回路構成については、実施形態に係る制御システム10(図1参照)と略同じなので、図示及び説明を省略する。

[0129] 第10変形例に係る制御システム10は、図1、図2Aおよび図2Bに示す制御システム10における第1ゲート駆動回路11及び第2ゲート駆動回路12の代わりに、図23に示すような第1ゲート駆動回路11e及び第2ゲート駆動回路12eを備える点で、図1、図2Aおよび図2Bに示す制御システム10と相違する。第1ゲート駆動回路11eと第2ゲート駆動回路12eとは、同じ回路構成を有する。第1ゲート駆動回路11e及び第2ゲート駆動回路12eの各々において、第1ゲート駆動回路11及び第2ゲート駆動回路12と同様の構成要素には同一の符号を付して説明を適宜省略する。

[0130] 第1ゲート駆動回路11e及び第2ゲート駆動回路12eの各々は、一対の出力端子 $T_{mg}$ 、 $T_{ms}$ を有する。また、第1ゲート駆動回路11e及び第2ゲート駆動回路12eの各々は、一対の出力端子 $T_{mg}$ 、 $T_{ms}$ の間に接続される、負電源 $E_2$ と第1スイッチ $SW_1$ とコンデンサ $C_1$ と第1抵抗 $R_1$ との直列回路を有する。また、第1ゲート駆動回路11e及び第2ゲート駆動回路12eの各々は、負電源 $E_2$ と第1スイッチ $SW_1$ との直列回路に並列接続されている第2スイッチ $SW_2$ を有する。また、第1ゲート駆動回路11e及び第2ゲート駆動回路12eの各々は、コンデンサ $C_1$ と第1抵抗 $R_1$ との直列回路に並列接続されている第2抵抗 $R_2$ を有する。また、第1ゲート駆動回路11e及び第2ゲート駆動回路12eの各々は、一対の出力端子 $T_{mg}$ 、 $T_{ms}$ の間に接続されている第3抵抗 $R_3$ を有する。第1

抵抗R1の抵抗値が、第2抵抗R2の抵抗値よりも小さい。

[0131] コントローラ13は、第1スイッチSW1及び第2スイッチSW2を制御する。

[0132] コントローラ13は、デュアルゲート双方向スイッチ1をターンオフさせるときに図24Aに示すように第1ゲート駆動回路11e及び第2ゲート駆動回路12eの各々の第1スイッチSW1をオンさせる。デュアルゲート双方向スイッチ1がオフのときの第1ゲートG1のゲート電圧 $V_{G1S1}$ 及び第2ゲートG2のゲート電圧 $V_{G2S2}$ を $V_{goff}$ とすると、ゲート電圧 $V_{goff}$ は、負電源E2の電圧を第2抵抗R2と第3抵抗R3とで分圧した値に収束する。負電源E2の電圧を $V_{dd}$ とし、第2抵抗R2の抵抗値を $r2$ 、第3抵抗R3の抵抗値を $r3$ とすると、 $V_{goff}$ は、下記の式の値に収束する。

$$V_{goff} = V_{dd} \times \{ r3 / (r2 + r3) \}$$

ここにおいて、 $V_{goff}$ は、第1閾値電圧 $V_{th1}$ 及び第2閾値電圧 $V_{th2}$ よりも小さい。

[0133] 例えば負電源E2の電圧が $-15V$ であり、第3抵抗R3の抵抗値が第2抵抗R2の抵抗値の2倍であるとする、 $V_{goff}$ が $-10V$ 、第2抵抗R2の両端電圧が $5V$ となり、コンデンサC1には電流が流れなくなった状態において $5V$ の電圧が印加される。ここにおいて、コンデンサC1の電荷量を $Q$ 、コンデンサC1の容量を $C$ 、コンデンサC1の電圧を $V$ とすると、コンデンサC1には、 $Q = CV$ で決まる電荷が溜まる。

[0134] コントローラ13は、デュアルゲート双方向スイッチ1をターンオンさせるときに、図24Bに示すように、第1スイッチSW1をオフさせ、第2スイッチSW2をオンさせる。これにより、第1ゲート駆動回路11eは、コンデンサC1の正電荷の一部を第1ゲートG1に放電できるので、第1スイッチSW1と第2スイッチSW2との接続点の電位が $0V$ であっても第1ゲート電圧 $V_{G1S1}$ を一時的に第1正電圧 $V_{P1}$ （例えば、 $3V$ ）にすることができる。また、第2ゲート駆動回路12eは、コンデンサC1の正電荷の一

部を第2ゲートG2に放電できるので、第2ゲート電圧 $V_{G2S2}$ を一時的に第2正電圧 $V_{P2}$ （例えば、3V）にすることができる。

[0135] よって、第10変形例に係る制御システム10は、実施形態に係る制御システム10と同様、デュアルゲート双方向スイッチ1の電流コラプスを抑制することが可能となる。

[0136] 第10変形例に係る制御システム10は、電源として負電源E2のみを備えていればよいので、実施形態に係る制御システム10と比べて低コスト化を図れる。

[0137] 第10変形例に係る制御システム10における第1ゲート駆動回路11e及び第2ゲート駆動回路12eの各々では、負電源E2から正電圧（第1正電圧 $V_{P1}$ 、第2正電圧 $V_{P2}$ ）を生成するためにコンデンサC1を利用している。コンデンサC1に溜められた電荷でゲート容量を充電するため、正電圧を発生させるためにはコンデンサC1の容量は大きいほうが好ましい。デュアルゲート双方向スイッチ1のオフ状態でのコンデンサC1の両端電圧とコンデンサC1の容量との積が、デュアルゲート双方向スイッチ1のオフ状態でのゲート電圧とオン状態でのゲート・ソース間容量との積よりも大きいのが好ましい。コンデンサC1の容量は、上記関係を不等式で表したときに求まるコンデンサC1の最小容量の2倍以上であるのが好ましい。

[0138] （5.4.8）第11変形例

第11変形例に係る制御システム10の全体の回路構成については、実施形態に係る制御システム10（図1参照）と略同じなので、図示及び説明を省略する。

[0139] 第11変形例に係る制御システム10は、図1、図2Aおよび図2Bに示す制御システム10における第1ゲート駆動回路11及び第2ゲート駆動回路12の代わりに、図25に示すような第1ゲート駆動回路11f及び第2ゲート駆動回路12fを備える点で、図1、図2Aおよび図2Bに示す制御システム10と相違する。第1ゲート駆動回路11fと第2ゲート駆動回路

12fとは、同じ回路構成を有する。第1ゲート駆動回路11f及び第2ゲート駆動回路12fの各々において、第1ゲート駆動回路11及び第2ゲート駆動回路12と同様の構成要素には同一の符号を付して説明を適宜省略する。

[0140] 第1ゲート駆動回路11f及び第2ゲート駆動回路12fの各々は、一対の出力端子Tmg, Tmsを有する。また、第1ゲート駆動回路11f及び第2ゲート駆動回路12fの各々は、一対の出力端子Tmg, Tmsの間に接続される、負電源E2と第1スイッチSW1とコンデンサC1と第1抵抗R1との直列回路を有する。また、第1ゲート駆動回路11f及び第2ゲート駆動回路12fの各々は、負電源E2と第1スイッチSW1との直列回路に並列接続されている第2スイッチSW2を有する。また、第1ゲート駆動回路11f及び第2ゲート駆動回路12fの各々は、コンデンサC1と第1抵抗R1との直列回路に並列接続されている第2抵抗R2を有する。第1ゲート駆動回路11f及び第2ゲート駆動回路12fの各々では、第1抵抗R1の抵抗値が、第2抵抗R2の抵抗値よりも小さい。

[0141] 制御システム10は、第1ゲート駆動回路11f及び第2ゲート駆動回路12fのそれぞれに対応するクランプ回路14を更に備える。2つのクランプ回路14の各々は、一対の出力端子Tmg, Tmsの間に接続されている。第1ゲート駆動回路11fに対応するクランプ回路14は、第1ゲートG1と第1ソースS1との間に接続され、第1ゲートG1と第1ソースS1との間の電圧をクランプする。第2ゲート駆動回路12fに対応するクランプ回路14は、第2ゲートG2と第2ソースS2との間に接続され、第2ゲートG2と第2ソースS2との間の電圧をクランプする。

[0142] クランプ回路14は、例えば、ツェナダイオードDzと抵抗Rzとの直列回路を含む。ツェナダイオードDzのアノードが出力端子Tmgに接続され、カソードが抵抗Rzを介して出力端子Tmsに接続されている。

[0143] コントローラ13は、第1スイッチSW1及び第2スイッチSW2を制御する。

- [0144] コントローラ13は、デュアルゲート双方向スイッチ1をターンオフさせるときに図26Aに示すように第1ゲート駆動回路11f及び第2ゲート駆動回路12fの各々の第1スイッチSW1をオンさせる。デュアルゲート双方向スイッチ1がオフのときの第1ゲートG1のゲート電圧 $V_{G1S1}$ 及び第2ゲートG2のゲート電圧 $V_{G2S2}$ を $V_{goff}$ とすると、ゲート電圧 $V_{goff}$ は、クランプ回路14によってクランプされる。ここにおいて、 $V_{goff}$ は、第1閾値電圧 $V_{th1}$ 及び第2閾値電圧 $V_{th2}$ よりも小さい。
- [0145] 例えば負電源E2の電圧が $-15V$ であり、第1スイッチSW1と第2スイッチSW2との接続点N2の電圧が $-15V$ であり、クランプ回路14によるクランプ電圧が $-10V$ であるとすると、 $V_{goff}$ が $-10V$ 、第2抵抗R2の両端電圧が $5V$ となり、コンデンサC1には電流が流れなくなった状態において $5V$ の電圧が印加される。ここにおいて、コンデンサC1の電荷量を $Q$ 、コンデンサC1の容量を $C$ 、コンデンサC1の電圧を $V$ とすると、コンデンサC1には、 $Q = CV$ で決まる電荷が溜まる。
- [0146] コントローラ13は、デュアルゲート双方向スイッチ1をターンオンさせるときに、図26Bに示すように、第1スイッチSW1をオフさせ、第2スイッチSW2をオンさせる。これにより、第1ゲート駆動回路11fは、コンデンサC1の正電荷の一部を第1ゲートG1に放電できるので、第1スイッチSW1と第2スイッチSW2との接続点N2の電位が $0V$ であっても第1ゲート電圧 $V_{G1S1}$ を一時的に第1正電圧 $V_{P1}$ （例えば、 $3V$ ）にすることができる。また、第2ゲート駆動回路12fは、コンデンサC1の正電荷の一部を第2ゲートG2に放電できるので、第2ゲート電圧 $V_{G2S2}$ を一時的に第2正電圧 $V_{P2}$ （例えば、 $3V$ ）にすることができる。
- [0147] よって、第11変形例に係る制御システム10は、実施形態に係る制御システム10と同様、デュアルゲート双方向スイッチ1の電流コラプスを抑制することが可能となる。
- [0148] 第11変形例に係る制御システム10は、電源として負電源E2のみを備えていればよいので、実施形態に係る制御システム10と比べて低コスト化

を図れる。

[0149] クランプ回路14は、ツェナダイオードDzを用いた回路に限らず、例えば、図27に示すように、複数のダイオードD14を直列接続して構成されていてもよい。図27に示したクランプ回路では、複数のダイオードD14のうち回路的に出力端子Tmgに最も近いダイオードD14のカソードが出力端子Tmgに接続され、回路的に出力端子Tmsに最も近いダイオードD14のアノードが抵抗Rzを介して出力端子Tmsに接続される。

[0150] (5.4.9) 第12変形例

第12変形例に係る制御システム10の全体の回路構成については、実施形態に係る制御システム10(図1参照)と略同じなので、図示及び説明を省略する。

[0151] 第12変形例に係る制御システム10は、図1、図2Aおよび図2Bに示す制御システム10における第1ゲート駆動回路11及び第2ゲート駆動回路12の代わりに、図28に示すような第1ゲート駆動回路11g及び第2ゲート駆動回路12gを備える点で、図1、図2Aおよび図2Bに示す制御システム10と相違する。第1ゲート駆動回路11gと第2ゲート駆動回路12gとは、同じ回路構成を有する。第1ゲート駆動回路11g及び第2ゲート駆動回路12gの各々において、第1ゲート駆動回路11及び第2ゲート駆動回路12と同様の構成要素には同一の符号を付して説明を適宜省略する。

[0152] 第1ゲート駆動回路11g及び第2ゲート駆動回路12gの各々は、一対の出力端子Tmg, Tmsを有する。また、第1ゲート駆動回路11g及び第2ゲート駆動回路12gの各々は、一対の出力端子Tmg, Tmsの間に接続される、負電源E2と第1スイッチSW1とコンデンサC1と第1ダイオードD1と第1抵抗R1との直列回路を有する。また、第1ゲート駆動回路11g及び第2ゲート駆動回路12gの各々は、第1ダイオードD1と第1抵抗R1との直列回路に並列接続されている、第2ダイオードD2と第2抵抗R2との直列回路を有する。また、第1ゲート駆動回路11g及び第2

ゲート駆動回路12gの各々は、コンデンサC1と第1ダイオードD1と第1抵抗R1との直列回路に並列接続されている第3抵抗R3を有する。第1ゲート駆動回路11g及び第2ゲート駆動回路12gの各々では、第1ダイオードD1のアノードがコンデンサC1に接続され、第2ダイオードD2のカソードがコンデンサC1に接続されている。第1ゲート駆動回路11g及び第2ゲート駆動回路12gの各々では、第1抵抗R1の抵抗値が、第2抵抗R2の抵抗値よりも小さい。

[0153] 制御システム10は、第1ゲート駆動回路11g及び第2ゲート駆動回路12gのそれぞれに対応するクランプ回路14を更に備える。2つのクランプ回路14の各々は、一对の出力端子Tmg, Tmsの間に接続されている。第1ゲート駆動回路11gに対応するクランプ回路14は、第1ゲートG1と第1ソースS1との間に接続され、第1ゲートG1と第1ソースS1との間の電圧をクランプする。第2ゲート駆動回路12gに対応するクランプ回路14は、第2ゲートG2と第2ソースS2との間に接続され、第2ゲートG2と第2ソースS2との間の電圧をクランプする。

[0154] クランプ回路14は、例えば、ツェナダイオードDzと抵抗Rzとの直列回路を含む。ツェナダイオードDzのアノードが出力端子Tmgに接続され、カソードが抵抗Rzを介して出力端子Tmsに接続されている。

[0155] コントローラ13は、第1スイッチSW1及び第2スイッチSW2を制御する。

[0156] 第12変形例に係る制御システム10は、デュアルゲート双方向スイッチ1をターンオンさせるときには、第1ゲート駆動回路11gでは、第1ダイオードD1を通して第1ゲートG1を充電することにより、第1正電圧VP1を印加することができ、第2ゲート駆動回路12gでは、第1ダイオードD1を通して第2ゲートG2を充電することにより、第2正電圧VP2を印加することができる。

[0157] また、第12変形例に係る制御システム10は、デュアルゲート双方向スイッチ1をターンオンさせた後には第1ゲート駆動回路11gの第3抵抗R

3を通して第1ゲートG1の第1ゲート電圧 $V_{G1S1}$ を第1電圧 $V1$  ( $>$ 第1閾値電圧 $V_{th1}$ )に維持する。それとともに、第2ゲート駆動回路12gの第3抵抗 $R3$ を通して第2ゲートG2の第2ゲート電圧 $V_{G2S2}$ を第2電圧 $V2$  ( $>$ 第2閾値電圧 $V_{th2}$ )に維持する。これらのことにより、デュアルゲート双方向スイッチ1を定常オン状態に維持することができる。したがって、第1ゲート駆動回路11gの第3抵抗 $R3$ の抵抗値を大きくして第1ゲートG1に流れるゲート電流 $I_g$ を小さくすることによって、第1ゲートG1での電力損失を小さくできる。また、第2ゲート駆動回路12gの第3抵抗 $R3$ の抵抗値を大きくして第2ゲートG2に流れるゲート電流 $I_g$ を小さくすることによって、第2ゲートG2での電力損失を小さくできる。

[0158] コントローラ13は、デュアルゲート双方向スイッチ1をターンオフさせるときに、第1ゲート駆動回路11g及び第2ゲート駆動回路12gの各々の第1スイッチ $SW1$ をオンさせる。デュアルゲート双方向スイッチ1がオフのときの第1ゲートG1のゲート電圧 $V_{G1S1}$ 及び第2ゲートG2のゲート電圧 $V_{G2S2}$ を $V_{goff}$ とすると、ゲート電圧 $V_{goff}$ は、クランプ回路14によってクランプされる。ここにおいて、 $V_{goff}$ は、第1閾値電圧 $V_{th1}$ 及び第2閾値電圧 $V_{th2}$ よりも小さい。

[0159] また、デュアルゲート双方向スイッチ1をターンオフさせるときには、第1ゲートG1の電荷を第1ゲート駆動回路11gの第2ダイオード $D2$ を通して放電させることができ、第2ゲートG2の電荷を第2ゲート駆動回路12gの第2ダイオード $D2$ を通して放電させることができる。

[0160] よって、第12変形例に係る制御システム10は、実施形態に係る制御システム10と同様、デュアルゲート双方向スイッチ1の電流コラプスを抑制することが可能となる。

[0161] また、第12変形例に係る制御システム10は、電源として負電源 $E2$ のみを備えていればよいので、実施形態に係る制御システム10と比べて低コスト化を図れる。

[0162] また、第12変形例に係る制御システム10では、第1ゲート駆動回路1

1gにおいて、第1ダイオードD1と第1抵抗R1との直列回路と、第2ダイオードD2と第2抵抗R2との直列回路と、の並列回路が、コンデンサC1に接続されている。そのため、第1ゲートG1に第1正電圧VP1を与える経路と、ターンオフ速度を調整する経路と、を分離することができ、第1正電圧VP1の大きさとターンオフ時のスイッチ損失を独立して制御することが可能となる。

[0163] また、第12変形例に係る制御システム10では、第2ゲート駆動回路12gにおいて、第1ダイオードD1と第1抵抗R1との直列回路と、第2ダイオードD2と第2抵抗R2との直列回路と、の並列回路が、コンデンサC1に接続されている。そのため、第2ゲートG2に第2正電圧VP2を与える経路と、ターンオフ速度を調整する経路と、を分離することができ、第2正電圧VP2の大きさとターンオフ時のスイッチ損失を独立して制御することが可能となる。

[0164] なお、第12変形例に係る制御システム10では、一对の出力端子Tmg, TmsにツェナダイオードDzと抵抗Rzとの直列回路を接続する代わりに、抵抗Rzを接続した構成を採用してもよい。

[0165] (5.4.10) 第13変形例

第13変形例に係る制御システム10の全体の回路構成については、実施形態に係る制御システム10(図1参照)と略同じなので、図示及び説明を省略する。

[0166] 第13変形例に係る制御システム10では、図29に示すように、第1ゲート駆動回路11h及び第2ゲート駆動回路12hの各々に対応するクランプ回路14が、ツェナダイオードDzと抵抗Rzとの間においてツェナダイオードDzとは逆向きに接続されているダイオードD5を有する点で、第12変形例に係る制御システム10と相違する。クランプ回路14では、ツェナダイオードDzのカソードにダイオードD5のカソードが接続され、ダイオードD5のアノードが抵抗Rzに接続されている。第1ゲート駆動回路11hでは、ツェナダイオードDzのアノードが第1ゲートG1に接続され、

ツェナダイオード $D_z$ のカソードにダイオード $D_5$ のカソードが接続され、ダイオード $D_5$ のアノードが第1ソース $S_1$ に接続される。第2ゲート駆動回路12hでは、ツェナダイオード $D_z$ のアノードが第2ゲート $G_2$ に接続され、ツェナダイオード $D_z$ のカソードにダイオード $D_5$ のカソードが接続され、ダイオード $D_5$ のアノードが第2ソース $S_2$ に接続される。

[0167] 第13変形例に係る制御システム10では、第1ゲート駆動回路11hに対応するクランプ回路14がダイオード $D_5$ を備えているので、デュアルゲート双方向スイッチ1をターンオンさせるときに、第1ゲート駆動回路11hから第1ゲート $G_1$ に第1正電圧 $V_{P1}$ を印加したときにゲート電流 $I_g$ の一部がツェナダイオード $D_z$ を通して漏れるのを抑制でき、第1正電圧 $V_{P1}$ を大きくしやすくなる。また、第13変形例に係る制御システム10では、第2ゲート駆動回路12hに対応するクランプ回路14がダイオード $D_5$ を備えているので、デュアルゲート双方向スイッチ1をターンオンさせるときに、第2ゲート駆動回路12hから第2ゲート $G_2$ に第2正電圧 $V_{P2}$ を印加したときにゲート電流 $I_g$ の一部がツェナダイオード $D_z$ を通して漏れるのを抑制でき、第2正電圧 $V_{P2}$ を大きくしやすくなる。

[0168] なお、第13変形例に係る制御システム10では、一对の出力端子 $T_{mg}$ 、 $T_{ms}$ にツェナダイオード $D_z$ とダイオード $D_5$ と抵抗 $R_z$ との直列回路を接続する代わりに、ダイオード $D_5$ と抵抗 $R_z$ との直列回路を接続した構成を採用してもよい。

[0169] (5.4.11) 第14変形例

第14変形例に係る制御システム10の全体の回路構成については、実施形態に係る制御システム10(図1参照)と略同じなので、図示及び説明を省略する。

[0170] 第14変形例に係る制御システム10では、図30に示すように、第1ゲート駆動回路11i及び第2ゲート駆動回路12iの各々が、コンデンサ $C_1$ と第2ダイオード $D_2$ と第2抵抗 $R_2$ との直列回路に並列接続されている、第3ダイオード $D_3$ と第4抵抗 $R_4$ との直列回路を更に有する点で、第1

3変形例に係る制御システム10と相違する。第1ゲート駆動回路11i及び第2ゲート駆動回路12iの各々では、第3ダイオードD3のカソードがコンデンサC1に接続され、第3ダイオードD3のアノードが抵抗R4を介して出力端子Tmgに接続されている。第3ダイオードD3と第4抵抗R4との直列回路は、第3抵抗R3に並列接続されている。

[0171] 第14変形例に係る制御システム10は、第1ゲート駆動回路11iがダイオードD3と抵抗R4との直列回路を備えているので、デュアルゲート双方向スイッチ1をターンオフさせるときに、第1ゲートG1の電荷を、コンデンサC1を通らない経路でも放電させることができる。したがって、第14変形例に係る制御システム10は、例えばコンデンサC1の容量が第1ゲートG1の容量よりも小さい場合でも、第1ゲートG1の電荷を放電させることができ、ターンオフ速度をコントロールしやすくなる。第1ゲート駆動回路11iでは、抵抗R4の抵抗値を第2抵抗R2の抵抗値よりも小さくすれば、抵抗R4を流れるゲート放電電流を、第2抵抗R2を流れるゲート放電電流よりも大きくすることができ、ターンオフ速度を速くすることが可能となる。

[0172] また、第14変形例に係る制御システム10は、第2ゲート駆動回路12iがダイオードD3と抵抗R4との直列回路を備えているので、デュアルゲート双方向スイッチ1をターンオフさせるときに、第2ゲートG2の電荷を、コンデンサC1を通らない経路でも放電させることができる。したがって、第14変形例に係る制御システム10は、例えばコンデンサC1の容量が第2ゲートG2の容量よりも小さい場合でも、第2ゲートG2の電荷を放電させることができ、ターンオフ速度をコントロールしやすくなる。第2ゲート駆動回路12iでは、抵抗R4の抵抗値を第2抵抗R2の抵抗値よりも小さくすれば、抵抗R4を流れるゲート放電電流を、第2抵抗R2を流れるゲート放電電流よりも大きくすることができ、ターンオフ速度を速くすることが可能となる。

[0173] 第1ゲート駆動回路11i及び第2ゲート駆動回路12iの各々では、第

1 抵抗 R 1 の抵抗値が第 3 抵抗 R 3 の抵抗値よりも小さい。また、抵抗 R 4 の抵抗値が第 2 抵抗 R 2 の抵抗値よりも小さい。第 2 抵抗 R 2 の抵抗値は、第 3 抵抗 R 3 の抵抗値よりも小さい。

[0174] また、第 1 4 変形例に係る制御システム 1 0 では、デュアルゲート双方向スイッチ 1 をターンオンさせるときには抵抗 R 4 には電流が流れないので、抵抗 R 4 がデュアルゲート双方向スイッチ 1 の定常オン状態での電力損失の要因にならないようにすることができる。

[0175] また、第 1 4 変形例に係る制御システム 1 0 は、第 1 ゲート駆動回路 1 1 i 及び第 2 ゲート駆動回路 1 2 i の各々に対応するクランプ回路 1 4 においてツェナダイオード D z が定電圧動作するためには、ツェナダイオード D z に一定の電流を流し続ける必要があるが、コンデンサ C 1 は直流電流を流し続けられない。しかしながら、第 1 ゲート駆動回路 1 1 i 及び第 2 ゲート駆動回路 1 2 i の各々は、ダイオード D 3 と抵抗 R 4 との直列回路を有するので、負電源 E 2、抵抗 R z、ダイオード D 5、ツェナダイオード D z、抵抗 R 4、ダイオード D 3 及び第 1 スwitch SW 1 を含む閉回路でツェナダイオード D z に一定の電流を流し続けることができ、ツェナダイオード D z を定電圧動作させることができる。

[0176] (5. 4. 1 2) 第 1 5 変形例

第 1 5 変形例に係る制御システム 1 0 の全体の回路構成については、実施形態に係る制御システム 1 0 (図 1 参照) と略同じなので、図示及び説明を省略する。

[0177] 第 1 5 変形例に係る制御システム 1 0 では、図 3 1 に示すように、第 1 ゲート駆動回路 1 1 j 及び第 2 ゲート駆動回路 1 2 j の各々が、クランプ回路 1 4 を有している点で、第 1 4 変形例に係る制御システム 1 0 と相違する。第 1 ゲート駆動回路 1 1 j 及び第 2 ゲート駆動回路 1 2 j の各々では、クランプ回路 1 4 は、第 3 ダイオード D 3 と抵抗 R 4 との間に接続されたツェナダイオード D 4 を含んでいる。また、第 1 ゲート駆動回路 1 1 j 及び第 2 ゲート駆動回路 1 2 j の各々では、ダイオード D 5 と抵抗 R 5 との直列回路が

、一対の出力端子  $T_{mg}$ 、 $T_{ms}$  間に接続されている。

[0178] 第1ゲート駆動回路11j及び第2ゲート駆動回路12jの各々では、クランプ回路14は、デュアルゲート双方向スイッチ1のオフ状態のときに接続点N2と接続点N4との間の電圧をクランプする。接続点N4は、第1抵抗R1と第2抵抗R2とが接続されている点である。したがって、第1ゲート駆動回路11j及び第2ゲート駆動回路12jの各々では、デュアルゲート双方向スイッチ1のオフ状態のときにコンデンサC1に電荷を溜めることができる。したがって、デュアルゲート双方向スイッチ1をターンオンさせるときに、第1ゲートG1と第1ソースS1との間に第1正電圧VP1を印加することができるとともに、第2ゲートG2と第2ソースS2との間に第2正電圧VP2を印加することができる。

[0179] よって、第15変形例に係る制御システム10は、実施形態に係る制御システム10と同様、電流コラプスを抑制することが可能となる。

[0180] クランプ回路14は、ツェナダイオードD4により構成される場合に限らず、複数のダイオード（例えば、ショットキーダイオード）の直列回路によって構成されてもよい。

[0181] 上記の実施形態は、本開示の様々な実施形態の一つに過ぎない。上記の実施形態は、本開示の目的を達成できれば、設計等に依じて種々の変更が可能である。

[0182] 例えば、デュアルゲート双方向スイッチ1は、第2窒化物半導体層105の表面115において第1ゲートG1及び第2ゲートG2の各々の直下にリセス構造を有していてもよい。

[0183] また、デュアルゲート双方向スイッチ1における第1p型層161及び第2p型層162の各々は、p型AlGaIn層に限らず、例えば、p型GaN層であってもよいし、p型金属酸化物半導体層であってもよい。p型金属酸化物半導体層は、例えば、NiO層である。NiO層は、例えば、リチウム、ナトリウム、カリウム、ルビジウム及びセシウムの群から選ばれる少なくとも1種のアルカリ金属を不純物として含んでいてもよい。また、NiO層

は、例えば、不純物として添加されたときに一価となる銀、銅等の遷移金属を含んでいてもよい。

[0184] デュアルゲート双方向スイッチ1の各々は、バッファ層103と第1窒化物半導体層104との間に、1層以上の窒化物半導体層を含んでいてもよい。また、バッファ層103は、単層構造に限らず、例えば、超格子構造を有していてもよい。

[0185] また、デュアルゲート双方向スイッチ1における基板102は、シリコン基板に限らず、例えば、GaN基板、SiC基板、サファイア基板等であってもよい。

[0186] (5.4.13) 第16変形例

実施形態の第16変形例に係る制御システムの回路構成を図32に示す。制御システム40は、コントローラ43と、ゲート駆動回路41と、窒化物半導体素子からなる単方向スイッチ素子42から構成される。第16変形例に係る単方向スイッチ素子42は、双方向スイッチ素子とは異なり、pn接合からなるゲート部が1つのみであることを特徴としている。また、第16変形例に係る制御システム40では、ゲート駆動回路41が1つであることが、実施例1および第1変形例～第15変形例に係る制御システム10と相違する。ゲート駆動回路41は、ゲートGとソースSとの間に接続される。コントローラ43は、ゲート駆動回路41を制御する。ゲート駆動回路41は、実施例1から第1変形例～第15変形例に係る駆動回路のいずれかを適用すると、単方向スイッチ素子42をターンオンさせるときに、ゲートGとソースSとの間に第1正電圧 $V_{P1}$ を印加することができる。これにより、電流コラプスを抑制することができる。具体的に、図25のゲート駆動回路を適用した際は、図33のような特性を示す。図33は、実施形態の第16変形例に係る制御システム40のオン抵抗の特性図および制御システム40の動作を説明するためのタイミングチャートである。図33において、単方向スイッチ素子42をターンオンさせたとき、ゲートGとソースSとの間のオン抵抗の値は $R_{on}$ となる。その後徐々にオン抵抗の値が小さくなり、単

方向スイッチ素子42のターンオンから所定の時間（第1期間T1）が経過したとき抵抗値は $R_g$ （ $R_g < R_1$ ）となり、一定となる。コントローラ43は単方向スイッチ素子42をターンオンさせるときに、ソースSの電位がドレインDの電位よりも低い場合、ゲート駆動回路41を以下のように制御する。すなわち、コントローラ43は、ゲート駆動回路41からゲートGとソースSとの間に、第1正電圧 $V_{P1}$ を第1期間T1だけ印加させ、第1期間T1の経過後に第1正電圧 $V_{P1}$ よりも小さな電圧 $V_1$ を印加させる。

[0187] 単方向スイッチ素子42の構造を図34に示す断面図でもって説明する。図34は、単方向スイッチ素子42の、基板51に垂直かつソース電極55、ドレイン電極56およびゲート電極57を含む平面で切ったときの断面図である。単方向スイッチ素子42は、ゲートG、ソースS、ドレインDを有するノーマリオン型のシングルゲート電界効果トランジスタである。単方向スイッチ素子42は、基板51と、第1窒化物半導体層52と、第2窒化物半導体層53と、ソース電極55、ゲート電極57、及びドレイン電極56と、p型層54と、を備える。第1窒化物半導体層52は、基板51上に形成されている。第2窒化物半導体層53は、第1窒化物半導体層52上に形成されている。また、第2窒化物半導体層53は、第1窒化物半導体層52よりも大きなバンドギャップを有する。ソース電極55、ゲート電極57、及びドレイン電極56は、第2窒化物半導体層53上に形成されている。また、p型層54は、ゲート電極57と第2窒化物半導体層53との間に介在している。ゲートGは、ゲート電極57と、p型層54と、を含む。ソースSは、ソース電極55を含む、ドレインDは、ドレイン電極56を含む。第1窒化物半導体層52およびp型層54は、例えばGa<sub>1-x</sub>NまたはAlGa<sub>1-x</sub>Nよりなる。また、第2窒化物半導体層53は、例えばAlGa<sub>1-x</sub>Nよりなる。なお、AlGa<sub>1-x</sub>Nとは、組成がAl<sub>x</sub>Ga<sub>1-x</sub>N（ $0 < x < 1$ ）よりなる窒化物のことをいう。なお、第1窒化物半導体層52、第2窒化物半導体層53およびp型層として、組成がAl<sub>x</sub>Ga<sub>1-x-y</sub>In<sub>y</sub>N（ $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）であり、かつ各層により定められた値を有するx、yよりなる窒化物

を用いてもよい。また、基板51は、例えば、Si基板よりなる。なお、基板51は、Si基板に限らず、GaN基板、SiC基板、サファイア基板等であってもよい。

[0188] (態様)

以上説明した実施形態等から本明細書には以下の態様が開示されている。

[0189] 第1の態様に係る制御システム(10)は、ノーマリオン型のデュアルゲート双方向スイッチ(1)の制御システムである。デュアルゲート双方向スイッチ(1)は、第1ゲート(G1)と、第1ゲート(G1)に対応する第1ソース(S1)と、第2ゲート(G2)と、第2ゲート(G2)に対応する第2ソース(S2)と、を有する。制御システム(10)は、第1ゲート駆動回路(11; 11a; 11b; 11c; 11d; 11e; 11f; 11g; 11h; 11i; 11j)と、第2ゲート駆動回路(12; 12a; 12b; 12c; 12d; 12e; 12f; 12g; 12h; 12i; 12j)と、コントローラ(13)と、を備える。第1ゲート駆動回路(11; 11a; 11b; 11c; 11d; 11e; 11f; 11g; 11h; 11i; 11j)は、第1ゲート(G1)と第1ソース(S1)との間に接続される。第2ゲート駆動回路(12; 12a; 12b; 12c; 12d; 12e; 12f; 12g; 12h; 12i; 12j)は、第2ゲート(G2)と第2ソース(S2)との間に接続される。コントローラ(13)は、第1ゲート駆動回路(11; 11a; 11b; 11c; 11d; 11e; 11f; 11g; 11h; 11i; 11j)と第2ゲート駆動回路(12; 12a; 12b; 12c; 12d; 12e; 12f; 12g; 12h; 12i; 12j)とを制御する。コントローラ(13)は、デュアルゲート双方向スイッチ(1)をターンオンさせるときに、第1ソース(S1)の電位が第2ソース(S2)の電位よりも低い場合、第1ゲート駆動回路(11; 11a; 11b; 11c; 11d; 11e; 11f; 11g; 11h; 11i; 11j)を以下のように制御する。すなわち、コントローラ(13)は、第1ゲート駆動回路(11; 11a; 11b; 11c; 11d; 11e; 11f; 11

g ; 1 1 h ; 1 1 i ; 1 1 j ) から第1ゲート ( G 1 ) と第1ソース ( S 1 ) との間に、第1正電圧 ( V P 1 ) を第1期間 ( T 1 ) だけ印加させ、第1期間 ( T 1 ) の経過後に第1正電圧 ( V P 1 ) よりも小さな電圧 ( V 1 ) を印加させる。

[0190] 第1の態様に係る制御システム ( 1 0 ) は、ノーマリオン型のデュアルゲート双方向スイッチ ( 1 ) の電流コラプスを抑制することが可能となる。

[0191] 第2の態様に係る制御システム ( 1 0 ) では、第1の態様において、コントローラ ( 1 3 ) は、デュアルゲート双方向スイッチ ( 1 ) をターンオンさせるときに、第1ソース ( S 1 ) の電位が第2ソース ( S 2 ) の電位よりも低い場合、第2ゲート駆動回路 ( 1 2 ; 1 2 a ; 1 2 b ; 1 2 c ; 1 2 d ; 1 2 e ; 1 2 f ; 1 2 g ; 1 2 h ; 1 2 i ; 1 2 j ) を以下のように制御する。すなわち、コントローラ ( 1 3 ) は、第2ゲート駆動回路 ( 1 2 ; 1 2 a ; 1 2 b ; 1 2 c ; 1 2 d ; 1 2 e ; 1 2 f ; 1 2 g ; 1 2 h ; 1 2 i ; 1 2 j ) から第2ゲート ( G 2 ) と第2ソース ( S 2 ) との間に、第2正電圧 ( V P 2 ) を第2期間 ( T 2 ) だけ印加させ、第2期間 ( T 2 ) の経過後に第2正電圧 ( V P 2 ) よりも小さな電圧 ( V 2 ) を印加させる。

[0192] 第2の態様に係る制御システム ( 1 0 ) では、ノーマリオン型のデュアルゲート双方向スイッチ ( 1 ) の電流コラプスを抑制することが可能となる。

[0193] 第3の態様に係る制御システム ( 1 0 ) では、第1又は2の態様において、コントローラ ( 1 3 ) は、デュアルゲート双方向スイッチ ( 1 ) をターンオンさせるときに、以下の ( i ) に示すタイミングと、 ( ii ) に示すタイミングと、を揃える。

[0194] ( i ) 第1ゲート駆動回路 ( 1 1 ; 1 1 a ; 1 1 b ; 1 1 c ; 1 1 d ; 1 1 e ; 1 1 f ; 1 1 g ; 1 1 h ; 1 1 i ; 1 1 j ) から第1ゲート ( G 1 ) と第1ソース ( S 1 ) との間に第1正電圧 ( V P 1 ) の印加を開始させるタイミング。

[0195] ( ii ) 第2ゲート駆動回路 ( 1 2 ; 1 2 a ; 1 2 b ; 1 2 c ; 1 2 d ; 1 2 e ; 1 2 f ; 1 2 g ; 1 2 h ; 1 2 i ; 1 2 j ) から第2ゲート ( G 2 )

と第2ソース（S2）との間に閾値電圧よりも高い電圧の印加を開始させるタイミング。

[0196] 第4の態様に係る制御システム（10）では、第1又は2の態様において、コントローラ（13）は、デュアルゲート双方向スイッチ（1）をターンオンさせるときに、第1ソース（S1）の電位が第2ソース（S2）の電位よりも低電位である場合、第1ゲート駆動回路（11；11a；11b；11c；11d；11e；11f；11g；11h；11i；11j）および第2ゲート駆動回路（12）を以下のように制御する。すなわち、制御システム（10）は、第1ゲート駆動回路（11；11a；11b；11c；11d；11e；11f；11g；11h；11i；11j）から第1ゲート（G1）と第1ソース（S1）との間に第1正電圧（VP1）の印加を開始させ、その後、第1期間（T1）内に第2ゲート駆動回路（12）から第2ゲート（G2）と第2ソース（S2）との間に閾値電圧よりも高い電圧の印加を開始させる。

[0197] 第4の態様に係る制御システム（10）は、第1ゲート（G1）から正孔（h<sup>+</sup>）が注入されやすくなり、電流コラプスを抑制することが可能となる。

[0198] 第5の態様に係る制御システム（10）では、第2の態様において、コントローラ（13）は、デュアルゲート双方向スイッチ（1）をターンオンさせるときに、第2ソース（S2）の電位が第1ソース（S1）の電位よりも高電位である場合、第1ゲート駆動回路（11；11a；11b；11c；11d；11e；11f；11g；11h；11i；11j）および第2ゲート駆動回路（12）を以下のように制御する。すなわち、コントローラ（13）は、第2ゲート駆動回路（12）から第2ゲート（G2）と第2ソース（S2）との間に第2正電圧（VP2）の印加を開始させ、その後、第2期間（T2）内に第1ゲート駆動回路（11；11a；11b；11c；11d；11e；11f；11g；11h；11i；11j）から第1ゲート（G1）と第1ソース（S1）との間に第1正電圧（VP1）の印加を開始させる。

[0199] 第5の態様に係る制御システム(10)は、第1ゲート(G1)と第2ゲート(G2)とのうち相対的に電位の高い第2ゲートG2の近くの負電荷を第2ゲート(G2)からの正孔注入によって抑制し、その後、相対的に電位の低い第1ゲート(G1)と第1ソース(S1)との間に第1正電圧(VP1)を印加させるので、電流コラプスをより抑制することが可能となる。

[0200] 第6の態様に係る制御システム(10)では、第1~5の態様のいずれか一つにおいて、デュアルゲート双方向スイッチ(1)は、基板(102)と、第1窒化物半導体層(104)と、第2窒化物半導体層(105)と、第1ソース電極(171)、第1ゲート電極(181)、第2ゲート電極(182)及び第2ソース電極(172)と、第1p型層(161)と、第2p型層(162)と、を備える。第1窒化物半導体層(104)は、基板(102)上に形成されている。第2窒化物半導体層(105)は、第1窒化物半導体層(104)上に形成されている。第2窒化物半導体層(105)のバンドギャップは、第1窒化物半導体層(104)のバンドギャップよりも大きい。第1ソース電極(171)、第1ゲート電極(181)、第2ゲート電極(182)、及び第2ソース電極(172)は、第2窒化物半導体層(105)上に形成されている。第1p型層(161)は、第1ゲート電極(181)と第2窒化物半導体層(105)との間に介在している。第2p型層(162)は、第2ゲート電極(182)と第2窒化物半導体層(105)との間に介在している。第1ゲート(G1)は、第1ゲート電極(181)と、第1p型層(161)と、を含む。第2ゲート(G2)は、第2ゲート電極(182)と、第2p型層(162)と、を含む。

[0201] 第7の態様に係る制御システム(10)では、第1~5の態様のいずれか一つにおいて、第1ゲート駆動回路(11)は、第1ゲート(G1)と第1ソース(S1)との間に接続される、第1の直列回路、第2スイッチ(SW2)および第2の直列回路を有する。第1の直列回路は、正電源(E1)と第1スイッチ(SW1)とを含む。第2スイッチ(SW2)は、第1ゲート(G1)と第1ソース(S1)との間に接続される。第2の直列回路は負電

源（E 2）と第3スイッチ（SW 3）とを含み、第1ゲート（G 1）と第1ソース（S 1）との間に接続される。コントローラ（1 3）は、第1スイッチ（SW 1）、第2スイッチ（SW 2）及び第3スイッチ（SW 3）を制御する。

[0202] 第7の態様に係る制御システム（1 0）では、第1ゲート駆動回路（1 1）の回路設計が容易になる。

[0203] 第8の態様に係る制御システム（1 0）では、第6の態様において、第1ゲート駆動回路（1 1 a）は、それぞれ第1ゲート（G 1）と第1ソース（S 1）との間に接続される、第1の直列回路と、第2の直列回路と、第3の直列回路と、を有する。第1の直列回路は、正電源（E 1）と第1スイッチ（SW 1）と第1抵抗（R 1）とを含む直列回路である。第2の直列回路は、正電源（E 1）と第2スイッチ（SW 2）と第2抵抗（R 2）とを含む直列回路である。第3の直列回路は、負電源（E 2）と第3スイッチ（SW 3）と第3抵抗（R 3）とを含む直列回路である。第1抵抗（R 1）の抵抗値が、第2抵抗（R 2）の抵抗値よりも小さい。コントローラ（1 3）は、第1スイッチ（SW 1）、第2スイッチ（SW 2）及び第3スイッチ（SW 3）を制御する。

[0204] 第8の態様に係る制御システム（1 0）は、第1ゲート駆動回路（1 1）の回路設計が容易になる。

[0205] 第9の態様に係る制御システム（1 0）では、第6の態様において、第1ゲート駆動回路（1 1 b）は、それぞれ第1ゲート（G 1）と第1ソース（S 1）との間に接続される、第1の直列回路と、第2抵抗（R 2）と、第2の直列回路と、を有する。第1の直列回路は、正電源（E 1）と第1スイッチ（SW 1）とコンデンサ（C 1）と第1抵抗（R 1）とを含む直列回路である。第2抵抗（R 2）は、コンデンサ（C 1）と第1抵抗（R 1）との直列回路に並列接続されている。第2の直列回路は、負電源（E 2）と第2スイッチ（SW 2）と第3抵抗（R 3）とを含む直列回路である。第1抵抗（R 1）の抵抗値が、第2抵抗（R 2）の抵抗値よりも小さい。コントローラ

(13)は、第1スイッチ(SW1)及び第2スイッチ(SW2)を制御する。

[0206] 第9の態様に係る制御システム(10)は、コンデンサ(C1)の容量によって第1正電圧(VP1)が印加される第1期間(T1)が決まる。

[0207] 第10の態様に係る制御システム(10)では、第6の態様において、第1ゲート駆動回路(11c)は、それぞれ第1ゲート(G1)と第1ソース(S1)との間に接続される、第1の直列回路と、第2の直列回路と、第2抵抗(R2)と、を有する。第1の直列回路は、正電源(E1)と第1スイッチ(SW1)とコンデンサ(C1)と第1抵抗(R1)との直列回路である。第2の直列回路は、正電源(E1)と第1スイッチ(SW1)との直列回路に並列接続された、負電源(E2)と第2スイッチ(SW2)との直列回路である。第2抵抗(R2)は、コンデンサ(C1)と第1抵抗(R1)との直列回路に並列接続されている。第1抵抗(R1)の抵抗値が、第2抵抗(R2)の抵抗値よりも小さい。コントローラ(13)は、第1スイッチ(SW1)及び第2スイッチ(SW2)を制御する。

[0208] 第10の態様に係る制御システム(10)は、第9の態様に係る制御システム(10)と比べて、小型化及び低コスト化を図ることが可能となる。

[0209] 第11の態様に係る制御システム(10)では、第6の態様において、第1ゲート駆動回路(11d)は、それぞれ第1ゲート(G1)と第1ソース(S1)との間に接続される、第1の直列回路と、第2の直列回路と、第2抵抗(R2)と、第3の直列回路と、を有する。第1の直列回路は、正電源(E1)と第1スイッチ(SW1)と第1ダイオード(D1)とコンデンサ(C1)と第1抵抗(R1)とを含む直列回路である。第2の直列回路は、正電源(E1)と第1スイッチ(SW1)との直列回路に並列接続された、負電源(E2)と第2スイッチ(SW2)との直列回路である。第2抵抗(R2)は、第1ダイオード(D1)とコンデンサ(C1)と第1抵抗(R1)との直列回路に並列接続されている。第3の直列回路は、第1ダイオード(D1)とコンデンサ(C1)と第1抵抗(R1)との直列回路に並列接続

されている、第2ダイオード(D2)と第3抵抗(R3)とを含む直列回路である。第1ダイオード(D1)のアノードは、正電源(E1)の正極及び負電源(E2)の負極に接続されている。第2ダイオード(D2)のカソードは、正電源(E1)の正極及び負電源(E2)の負極に接続されている。第1抵抗(R1)の抵抗値が、第2抵抗(R2)の抵抗値よりも小さい。第3抵抗(R3)の抵抗値が、第2抵抗(R2)の抵抗値よりも小さい。コントローラ(13)は、第1スイッチ(SW1)及び第2スイッチ(SW2)を制御する。

- [0210] 第11の態様に係る制御システム(10)は、デュアルゲート双方向スイッチ(1)の第1ゲート(G1)での電力損失を抑制することができる。
- [0211] 第12の態様に係る制御システム(10)では、第6の態様において、第1ゲート駆動回路(11e)は、それぞれ第1ゲート(G1)と第1ソース(S1)との間に接続される、第1の直列回路と、第2スイッチ(SW2)と、第2抵抗(R2)と、第3抵抗(R3)と、を有する。第1の直列回路は、負電源(E2)と第1スイッチ(SW1)とコンデンサ(C1)と第1抵抗(R1)との直列回路である。第2スイッチ(SW2)は、負電源(E2)と第1スイッチ(SW1)との直列回路に並列接続されている。第2抵抗(R2)は、コンデンサ(C1)と第1抵抗(R1)との直列回路に並列接続されている。第3抵抗(R3)は、第1ゲート(G1)と第1ソース(S1)との間に接続される。第1抵抗(r1)の抵抗値が、第2抵抗(R2)の抵抗値よりも小さい。コントローラ(13)は、第1スイッチ(SW1)及び第2スイッチ(SW2)を制御する。
- [0212] 第12の態様に係る制御システム(10)は、正電源を用いることなく第1正電圧(VP1)を生成することが可能となり、小型化及び低コスト化を図ることが可能となる。
- [0213] 第13の態様に係る制御システム(10)では、第6の態様において、第1ゲート駆動回路(11f)は、それぞれ第1ゲート(G1)と第1ソース(S1)との間に接続される、第1の直列回路と、第2スイッチ(SW2)

と、第2抵抗 ( $R_2$ ) と、を有する。第1の直列回路は、負電源 ( $E_2$ ) と第1スイッチ ( $SW_1$ ) とコンデンサ ( $C_1$ ) と第1抵抗 ( $R_1$ ) との直列回路である。第2スイッチ ( $SW_2$ ) は、負電源 ( $E_2$ ) と第1スイッチ ( $SW_1$ ) との直列回路に並列接続されている。第2抵抗 ( $R_2$ ) は、コンデンサ ( $C_1$ ) と第1抵抗 ( $R_1$ ) との直列回路に並列接続されている。第1抵抗 ( $R_1$ ) の抵抗値が、第2抵抗 ( $R_2$ ) の抵抗値よりも小さい。制御システム (10) は、クランプ回路 (14) を更に備える。クランプ回路 (14) は、第1ゲート ( $G_1$ ) と第1ソース ( $S_1$ ) との間に接続され、第1ゲート ( $G_1$ ) と第1ソース ( $S_1$ ) との間の電圧をクランプする。コントローラ (13) は、第1スイッチ ( $SW_1$ ) 及び第2スイッチ ( $SW_2$ ) を制御する。

[0214] 第13の態様に係る制御システム (10) は、正電源を用いることなく第1正電圧 ( $V_{P1}$ ) を生成することが可能となり、小型化及び低コスト化を図ることが可能となる。

[0215] 第14の態様に係る制御システム (10) では、第6の態様において、第1ゲート駆動回路 (11g; 11h) は、第1ゲート ( $G_1$ ) と第1ソース ( $S_1$ ) との間に接続される、第1の直列回路と、第2スイッチ ( $SW_2$ ) と、第2の直列回路と、第3抵抗 ( $R_3$ ) と、を有する。第1の直列回路は、負電源 ( $E_2$ ) と第1スイッチ ( $SW_1$ ) とコンデンサ ( $C_1$ ) と第1ダイオード ( $D_1$ ) と第1抵抗 ( $R_1$ ) との直列回路である。第2スイッチ ( $SW_2$ ) は、負電源 ( $E_2$ ) と第1スイッチ ( $SW_1$ ) との直列回路に並列接続されている。第2の直列回路は、第1ダイオード ( $D_1$ ) と第1抵抗 ( $R_1$ ) との直列回路に並列接続されており、第2ダイオード ( $D_2$ ) と第2抵抗 ( $R_2$ ) との直列回路である。第3抵抗 ( $R_3$ ) は、コンデンサ ( $C_1$ ) と第1ダイオード ( $D_1$ ) と第1抵抗 ( $R_1$ ) との直列回路に並列接続されている。第1ダイオード ( $D_1$ ) のアノードがコンデンサ ( $C_1$ ) に接続されている。第2ダイオード ( $D_2$ ) のカソードがコンデンサ ( $C_1$ ) に接続されている。第1抵抗 ( $R_1$ ) の抵抗値が、第2抵抗 ( $R_2$ ) の抵抗値よ

りも小さい。制御システム（10）は、クランプ回路（14）を更に備える。クランプ回路（14）は、第1ゲート（G1）と第1ソース（S1）との間に接続され、第1ゲート（G1）と第1ソース（S1）との間の電圧をクランプする。コントローラ（13）は、第1スイッチ（SW1）及び第2スイッチ（SW2）を制御する。

[0216] 第14の態様に係る制御システム（10）は、正電源を用いることなく第1正電圧（VP1）を生成することが可能となり、また、第1ゲート駆動回路（11g；11h）の回路設計が容易になる。

[0217] 第15の態様に係る制御システム（10）では、第14の態様において、クランプ回路（14）は、ツェナダイオード（Dz）と、ダイオード（D5）と、を有する。ツェナダイオード（Dz）のアノードが第1ゲート（G1）に接続され、ツェナダイオード（Dz）のカソードにダイオード（D5）のカソードが接続され、ダイオード（D5）のアノードが第1ソース（S1）に接続される。

[0218] 第15の態様に係る制御システム（10）は、第1ゲート（G1）に第1正電圧（VP1）を印加するときゲート電流の一部がツェナダイオード（Dz）を通過して漏れるのを抑制することが可能となり、第1正電圧（VP1）を大きくしやすくなる。

[0219] 第16の態様に係る制御システム（10）では、第15の態様において、第1ゲート駆動回路（11i）は、コンデンサ（C1）と第2ダイオード（D2）と第2抵抗（R2）との直列回路に並列接続されている、第3ダイオード（D3）と第4抵抗（R4）との直列回路を更に有する。第3ダイオード（D3）のカソードがコンデンサ（C1）に接続されている。

[0220] 第16の態様に係る制御システム（10）は、デュアルゲート双方向スイッチ（1）のターンオフ速度をコントロールしやすくなる。

[0221] 第17の態様に係る制御システム（10）では、第6の態様において、第1ゲート駆動回路（11j）は、第1ゲート（G1）と第1ソース（S1）との間に接続される、第1の直列回路と、第2スイッチ（SW2）と、第2

の直列回路と、第3抵抗 (R3) と、を有する。第1の直列回路は、負電源 (E2) と第1スイッチ (SW1) とコンデンサ (C1) と第1ダイオード (D1) と第1抵抗 (R1) との直列回路である。第2スイッチ (SW2) は、負電源 (E2) と第1スイッチ (SW1) との直列回路に並列接続されている。第2の直列回路は、第1ダイオード (D1) と第1抵抗 (R1) との直列回路に並列接続されており、第2ダイオード (D2) と第2抵抗 (R2) との直列回路である。第3抵抗 (R3) は、コンデンサ (C1) と第1ダイオード (D1) と第1抵抗 (R1) との直列回路に並列接続されている。第1ダイオード (D1) のアノードがコンデンサ (C1) に接続されている。第2ダイオード (D2) のカソードがコンデンサ (C1) に接続されている。第1抵抗 (R1) の抵抗値が、第2抵抗 (R2) の抵抗値よりも小さい。第1ゲート駆動回路 (11) は、クランプ回路 (14) を更に有する。クランプ回路 (14) は、コンデンサ (C1) と第1ダイオード (D1) と第1抵抗 (R1) との直列回路に並列接続されている。コントローラ (13) は、第1スイッチ (SW1) 及び第2スイッチ (SW2) を制御する。

[0222] 第17の態様に係る制御システム (10) では、デュアルゲート双方向スイッチ (1) のターンオフ速度をコントロールしやすくなる。

[0223] 第18の態様に係る制御システム (10) は、第1~6の態様のいずれか一つにおいて、第1ゲート駆動回路 (11) は、第1正電圧 (VP1) と、閾値電圧未満の負電圧と、を選択的に出力可能なCMOSインバータを含む。

[0224] 第19の態様に係るスイッチシステム (20) は、ノーマリオン型のデュアルゲート双方向スイッチ (1) の電流コラプスを抑制することが可能となる。

[0225] 第20の態様に係るデュアルゲート双方向スイッチの制御方法では、デュアルゲート双方向スイッチ (1) は、第1ゲート (G1) と、第1ゲート (G1) に対応する第1ソース (S1) と、第2ゲート (G2) と、第2ゲート (G2) に対応する第2ソース (S2) と、を有するノーマリオン型のデ

デュアルゲート双方向スイッチ（１）である。デュアルゲート双方向スイッチの制御方法では、デュアルゲート双方向スイッチ（１）をターンオンさせるときに、第１ソース（Ｓ１）の電位が第２ソース（Ｓ２）の電位よりも低い場合、第１ゲート（Ｇ１）と第１ソース（Ｓ１）との間に、第１正電圧（ $V_{P1}$ ）を第１期間（ $T1$ ）だけ印加させ、第１期間（ $T1$ ）の経過後に第１正電圧（ $V_{P1}$ ）よりも小さな電圧（ $V1$ ）を印加させる。

[0226] 第１９の態様に係るデュアルゲート双方向スイッチの制御方法は、ノーマリオン型のデュアルゲート双方向スイッチ（１）の電流コラプスを抑制することが可能となる。

[0227] 第２０の態様に係る制御システム（４０）は、単方向スイッチ素子（４２）の制御システムである。単方向スイッチ素子（４２）は、ゲート（ $G$ ）、ソース（ $S$ ）、ドレイン（ $D$ ）を有するノーマリオン型のシングルゲート電界効果トランジスタである。単方向スイッチ素子（４２）は、基板（５１）と、第１窒化物半導体層（５２）と、第２窒化物半導体層（５３）と、ソース電極（ $S$ ）、ゲート電極（ $G$ ）、及びドレイン電極（ $D$ ）と、 $p$ 型層（５４）と、を備える。第１窒化物半導体層（５２）は、基板（５１）上に形成されている。第２窒化物半導体層（５３）は、第１窒化物半導体層（５２）上に形成されている。また、第２窒化物半導体層（５３）は、第１窒化物半導体層（５２）よりも大きなバンドギャップを有する。ソース電極（５５）、ゲート電極（５７）、及びドレイン電極（５６）は、第２窒化物半導体層（６２）上に形成されている。また、 $p$ 型層（５４）は、ゲート電極（５７）と第２窒化物半導体層（５３）との間に介在している。ゲート（ $G$ ）は、ゲート電極（５７）と、 $p$ 型層（５２）と、を含む。ソース（ $S$ ）は、ソース電極（５５）を含む、ドレイン（ $D$ ）は、ドレイン電極（５６）を含む。制御システム（４０）は、ゲート駆動回路（４３）と、コントローラ（４１）と、を備える。ゲート駆動回路（４３）は、ゲート（ $G$ ）とソース（ $S$ ）との間に接続される。コントローラ（４１）は、ゲート駆動回路（４３）を制御する。また、コントローラ（４１）は、単方向スイッチ素子（４２）を

ターンオンさせるときに、ソース（S）の電位がドレイン（D）の電位よりも低い場合、ゲート駆動回路（43）からゲート（G）とソース（S）との間に、第1正電圧を第1期間だけ印加させ、第1期間の経過後に第1正電圧よりも小さな電圧を印加させる。

[0228] 第20の様態に係る制御システムは、ノーマリオン型の窒化物半導体からなる単方向スイッチの電流コラプスを抑制することが可能となる。

### 産業上の利用可能性

[0229] 本開示の制御システム、及び、デュアルゲート双方向スイッチの制御方法は、ノーマリオン型のデュアルゲート双方向スイッチの電流コラプスを抑制することが可能となる。また、本開示の制御システムは、ノーマリオン型の窒化物半導体からなる単方向スイッチの電流コラプスを抑制することが可能となる。すなわち、本開示の制御システム、及び、デュアルゲート双方向スイッチの制御方法は、特にノーマリオン型のスイッチにおいて有用である。

### 符号の説明

[0230] 1 デュアルゲート双方向スイッチ

- G1 第1ゲート
- S1 第1ソース
- G2 第2ゲート
- S2 第2ソース
- 10、40 制御システム
- 11、11a、11b、11c、11d、11e、11f、11g、11h、11i、11j、11r 第1ゲート駆動回路
- 12、12a、12b、12c、12d、12e、12f、12g、12h、12i、12j、12r 第2ゲート駆動回路
- 13、43 コントローラ
- 14 クランプ回路
- 20 スイッチシステム
- 161 第1p型層

- 162 第2 p型層
- 171 第1ソース電極
- 172 第2ソース電極
- 181 第1ゲート電極
- 182 第2ゲート電極
- C1 コンデンサ
- D1 第1ダイオード
- D2 第2ダイオード
- D4、Dz ツェナダイオード
- E1 正電源
- E2 負電源
- R1 第1抵抗
- R2 第2抵抗
- R3 第3抵抗
- SW1 第1スイッチ
- SW2 第2スイッチ
- SW3 第3スイッチ
- T1 第1期間
- T2 第2期間
- V1 第1電圧
- V2 第2電圧
- VP1 第1正電圧
- VP2 第2正電圧
- S ソース
- G ゲート
- D ドレイン
- 41 ゲート駆動回路
- 51、102 基板

52、104 第1窒化物半導体層

53、105 第2窒化物半導体層

54 p型層

55 ソース電極

56 ドレイン電極

57 ゲート電極

## 請求の範囲

- [請求項1] 第1ゲートと、前記第1ゲートに対応する第1ソースと、第2ゲートと、前記第2ゲートに対応する第2ソースと、を有するノーマリオン型のデュアルゲート双方向スイッチの制御システムであって、
- 前記第1ゲートと前記第1ソースとの間に接続される第1ゲート駆動回路と、
- 前記第2ゲートと前記第2ソースとの間に接続される第2ゲート駆動回路と、
- 前記第1ゲート駆動回路と前記第2ゲート駆動回路とを制御するコントローラと、を備え、
- 前記コントローラは、前記デュアルゲート双方向スイッチをターンオンさせるときに、
- 前記第1ソースの電位が前記第2ソースの電位よりも低い場合、
- 前記第1ゲート駆動回路から前記第1ゲートと前記第1ソースとの間に、第1正電圧を第1期間だけ印加させ、前記第1期間の経過後に前記第1正電圧よりも小さな電圧を印加させる、
- 制御システム。
- [請求項2] 前記コントローラは、前記デュアルゲート双方向スイッチをターンオンさせるときに、
- 前記第1ソースの電位が前記第2ソースの電位よりも低い場合、
- 前記第2ゲート駆動回路から前記第2ゲートと前記第2ソースとの間に、第2正電圧を第2期間だけ印加させ、前記第2期間の経過後に前記第2正電圧よりも小さな電圧を印加させる、
- 請求項1に記載の制御システム。
- [請求項3] 前記コントローラは、前記デュアルゲート双方向スイッチをターンオンさせるときに、
- 前記第1ゲート駆動回路から前記第1ゲートと前記第1ソースとの間に前記第1正電圧の印加を開始させるタイミングと、

前記第2ゲート駆動回路から前記第2ゲートと前記第2ソースとの間に閾値電圧よりも高い電圧の印加を開始させるタイミングと、を揃える、

請求項1又は2に記載の制御システム。

[請求項4] 前記コントローラは、前記デュアルゲート双方向スイッチをターンオンさせるときに、

前記第1ソースの電位が前記第2ソースの電位よりも低電位である場合、

前記第1ゲート駆動回路から前記第1ゲートと前記第1ソースとの間に前記第1正電圧の印加を開始させ、

その後、前記第1期間内に前記第2ゲート駆動回路から前記第2ゲートと前記第2ソースとの間に閾値電圧よりも高い電圧の印加を開始させる、

請求項1又は2に記載の制御システム。

[請求項5] 前記コントローラは、前記デュアルゲート双方向スイッチをターンオンさせるときに、

前記第2ソースの電位が前記第1ソースの電位よりも高電位である場合、

前記第2ゲート駆動回路から前記第2ゲートと前記第2ソースとの間に前記第2正電圧の印加を開始させ、

その後、前記第2期間内に前記第1ゲート駆動回路から前記第1ゲートと前記第1ソースとの間に前記第1正電圧の印加を開始させる、

請求項2に記載の制御システム。

[請求項6] 前記デュアルゲート双方向スイッチは、

基板と、

前記基板上に形成された第1窒化物半導体層と、

前記第1窒化物半導体層上に形成されており、前記第1窒化物半

導体層よりもバンドギャップの大きな第2窒化物半導体層と、

前記第2窒化物半導体層上に形成されている第1ソース電極、第1ゲート電極、第2ゲート電極、及び第2ソース電極と、

前記第1ゲート電極と前記第2窒化物半導体層との間に介在している第1p型層と、

前記第2ゲート電極と前記第2窒化物半導体層との間に介在している第2p型層と、を備え、

前記第1ゲートは、前記第1ゲート電極と、前記第1p型層と、を含み、

前記第2ゲートは、前記第2ゲート電極と、前記第2p型層と、を含む、

請求項1～5のいずれか一項に記載の制御システム。

[請求項7]

前記第1ゲート駆動回路は、

前記第1ゲートと前記第1ソースとの間に接続される、正電源と第1スイッチとを含む直列回路と、

前記第1ゲートと前記第1ソースとの間に接続される第2スイッチと、

前記第1ゲートと前記第1ソースとの間に接続される、負電源と第3スイッチとを含む直列回路と、を有し、

前記コントローラは、前記第1スイッチ、前記第2スイッチ及び前記第3スイッチを制御する、

請求項1～5のいずれか一項に記載の制御システム。

[請求項8]

前記第1ゲート駆動回路は、

前記第1ゲートと前記第1ソースとの間に接続される、正電源と第1スイッチと第1抵抗とを含む直列回路と、

前記第1ゲートと前記第1ソースとの間に接続される、前記正電源と第2スイッチと第2抵抗とを含む直列回路と、

前記第1ゲートと前記第1ソースとの間に接続される、負電源と

第3スイッチと第3抵抗とを含む直列回路と、を有し、  
前記第1抵抗の抵抗値が、前記第2抵抗の抵抗値よりも小さい、  
前記コントローラは、前記第1スイッチ、前記第2スイッチ及び前記第3スイッチを制御する、  
請求項6に記載の制御システム。

## [請求項9]

前記第1ゲート駆動回路は、  
前記第1ゲートと前記第1ソースとの間に接続される、正電源と第1スイッチとコンデンサと第1抵抗とを含む直列回路と、  
前記コンデンサと前記第1抵抗との直列回路に並列接続されている第2抵抗と、  
前記第1ゲートと前記第1ソースとの間に接続される、負電源と第2スイッチと第3抵抗とを含む直列回路と、を有し、  
前記第1抵抗の抵抗値が、前記第2抵抗の抵抗値よりも小さく、  
前記コントローラは、前記第1スイッチ及び前記第2スイッチを制御する、  
請求項6に記載の制御システム。

## [請求項10]

前記第1ゲート駆動回路は、  
前記第1ゲートと前記第1ソースとの間に接続される、正電源と第1スイッチとコンデンサと第1抵抗との直列回路と、  
前記正電源と前記第1スイッチとの直列回路に並列接続された、負電源と第2スイッチとの直列回路と、  
前記コンデンサと前記第1抵抗との直列回路に並列接続されている第2抵抗と、を有し、  
前記第1抵抗の抵抗値が、前記第2抵抗の抵抗値よりも小さく、  
前記コントローラは、前記第1スイッチ及び前記第2スイッチを制御する、  
請求項6に記載の制御システム。

## [請求項11]

前記第1ゲート駆動回路は、

前記第1ゲートと前記第1ソースとの間に接続される、正電源と第1スイッチと第1ダイオードとコンデンサと第1抵抗とを含む直列回路と、

前記正電源と前記第1スイッチとの直列回路に並列接続された、負電源と第2スイッチとの直列回路と、

前記第1ダイオードと前記コンデンサと前記第1抵抗との直列回路に並列接続されている第2抵抗と、

前記第1ダイオードと前記コンデンサと前記第1抵抗との直列回路に並列接続されている、第2ダイオードと第3抵抗とを含む直列回路と、を有し、

前記第1ダイオードのアノードは、前記正電源の正極及び前記負電源の負極に接続されており、

前記第2ダイオードのカソードは、前記正電源の正極及び前記負電源の負極に接続されており、

前記第1抵抗の抵抗値が、前記第2抵抗の抵抗値よりも小さく、

前記第3抵抗の抵抗値が、前記第2抵抗の抵抗値よりも小さく、

前記コントローラは、前記第1スイッチ及び前記第2スイッチを制御する、

請求項6に記載の制御システム。

[請求項12]

前記第1ゲート駆動回路は、

前記第1ゲートと前記第1ソースとの間に接続される、負電源と第1スイッチとコンデンサと第1抵抗との直列回路と、

前記負電源と前記第1スイッチとの直列回路に並列接続されている第2スイッチと、

前記コンデンサと前記第1抵抗との直列回路に並列接続されている第2抵抗と、

前記第1ゲートと前記第1ソースとの間に接続される第3抵抗と、を有し、

前記第1抵抗の抵抗値が、前記第2抵抗の抵抗値よりも小さく、  
前記コントローラは、前記第1スイッチ及び前記第2スイッチを制御する、

請求項6に記載の制御システム。

[請求項13]

前記第1ゲート駆動回路は、

前記第1ゲートと前記第1ソースとの間に接続される、負電源と第1スイッチとコンデンサと第1抵抗との直列回路と、

前記負電源と前記第1スイッチとの直列回路に並列接続されている第2スイッチと、

前記コンデンサと前記第1抵抗との直列回路に並列接続されている第2抵抗と、を有し、

前記第1抵抗の抵抗値が、前記第2抵抗の抵抗値よりも小さく、

前記第1ゲートと前記第1ソースとの間に接続され、前記第1ゲートと前記第1ソースとの間の電圧をクランプするクランプ回路を更に備え、

前記コントローラは、前記第1スイッチ及び前記第2スイッチを制御する、

請求項6に記載の制御システム。

[請求項14]

前記第1ゲート駆動回路は、

前記第1ゲートと前記第1ソースとの間に接続される、負電源と第1スイッチとコンデンサと第1ダイオードと第1抵抗との直列回路と、

前記負電源と前記第1スイッチとの直列回路に並列接続されている第2スイッチと、

前記第1ダイオードと前記第1抵抗との直列回路に並列接続されている、第2ダイオードと第2抵抗との直列回路と、

前記コンデンサと前記第1ダイオードと前記第1抵抗との直列回路に並列接続されている第3抵抗と、を有し、

前記第1ダイオードのアノードが前記コンデンサに接続され、  
前記第2ダイオードのカソードが前記コンデンサに接続されており、  
前記第1抵抗の抵抗値が、前記第2抵抗の抵抗値よりも小さく、  
前記第1ゲートと前記第1ソースとの間に接続され、前記第1ゲートと前記第1ソースとの間の電圧をクランプするクランプ回路を更に備え、  
前記コントローラは、前記第1スイッチ及び前記第2スイッチを制御する、  
請求項6に記載の制御システム。

[請求項15]

前記クランプ回路は、  
ツェナダイオードと、  
ダイオードと、を有し、  
前記ツェナダイオードのアノードが前記第1ゲートに接続され、  
前記ツェナダイオードのカソードに前記ダイオードのカソードが接続され、前記ダイオードのアノードが前記第1ソースに接続される、  
請求項14に記載の制御システム。

[請求項16]

前記第1ゲート駆動回路は、  
前記コンデンサと前記第2ダイオードと前記第2抵抗との直列回路に並列接続されている、第3ダイオードと第4抵抗との直列回路を更に有し、  
前記第3ダイオードのカソードが前記コンデンサに接続されている、  
請求項15に記載の制御システム。

[請求項17]

前記第1ゲート駆動回路は、  
前記第1ゲートと前記第1ソースとの間に接続される、負電源と第1スイッチとコンデンサと第1ダイオードと第1抵抗との直列回路と、

前記負電源と前記第1スイッチとの直列回路に並列接続されている第2スイッチと、

前記第1ダイオードと前記第1抵抗との直列回路に並列接続されている、第2ダイオードと第2抵抗との直列回路と、

前記コンデンサと前記第1ダイオードと前記第1抵抗との直列回路に並列接続されている第3抵抗と、を有し、

前記第1ダイオードのアノードが前記コンデンサに接続され、

前記第2ダイオードのカソードが前記コンデンサに接続されており、

前記第1抵抗の抵抗値が、前記第2抵抗の抵抗値よりも小さく、

前記第1ゲート駆動回路は、

前記コンデンサと前記第1ダイオードと前記第1抵抗との直列回路に並列接続されているクランプ回路を更に有し、

前記コントローラは、前記第1スイッチ及び前記第2スイッチを制御する、

請求項6に記載の制御システム。

[請求項18] 前記第1ゲート駆動回路は、前記第1正電圧と、閾値電圧未満の負電圧と、を選択的に出力可能なCMOSインバータを含む、

請求項1～6のいずれか一項に記載の制御システム。

[請求項19] 第1ゲートと、前記第1ゲートに対応する第1ソースと、第2ゲートと、前記第2ゲートに対応する第2ソースと、を有するノーマリオン型のデュアルゲート双方向スイッチの制御方法であって、

前記デュアルゲート双方向スイッチをターンオンさせるときに、

前記第1ソースの電位が前記第2ソースの電位よりも低い場合、

前記第1ゲートと前記第1ソースとの間に、第1正電圧を第1期間だけ印加させ、前記第1期間の経過後に前記第1正電圧よりも小さな電圧を印加させる、

デュアルゲート双方向スイッチの制御方法。

[請求項20] ゲート、ソース、ドレインを有する単方向スイッチ素子の制御システムであって、

前記制御システムは、ゲート駆動回路と、前記ゲート駆動回路を制御するコントローラと、を備え、

前記単方向スイッチ素子は、ノーマリオン型のシングルゲート電界効果トランジスタであり、

前記電界効果トランジスタは、

基板と、

前記基板上に形成された第1窒化物半導体層と、

前記第1窒化物半導体層上に形成されており、前記第1窒化物半導体層よりもバンドギャップの大きな第2窒化物半導体層と、

前記第2窒化物半導体層上に形成されているソース電極、ゲート電極、及びドレイン電極と、

前記ゲート電極と前記第2窒化物半導体層との間に介在しているp型層と、

を備え、

前記ゲートは、前記ゲート電極と、前記p型層と、を含み、

前記ソースは、前記ソース電極を含み、

前記ドレインは、前記ドレイン電極を含み、

前記ゲート駆動回路は、前記ゲートと前記ソースとの間に接続され、

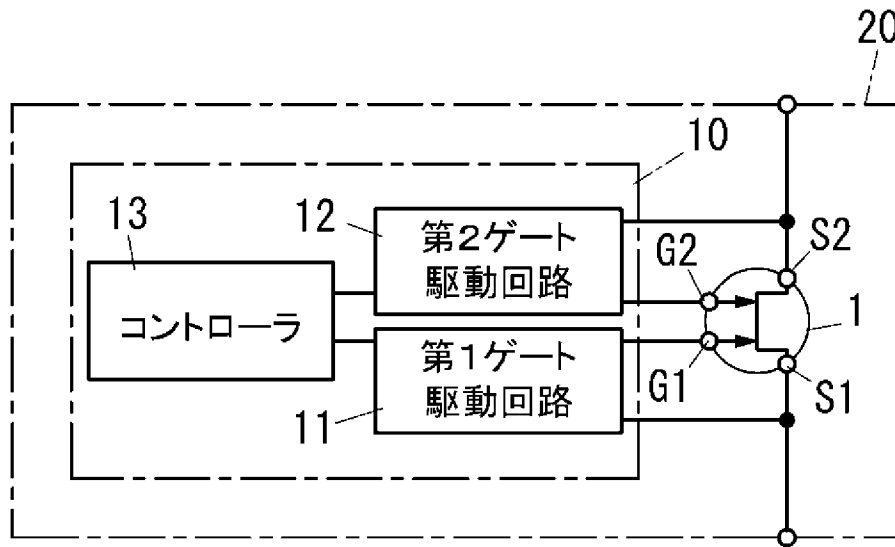
前記コントローラは、前記単方向スイッチ素子をターンオンさせるときに、

前記ソースの電位が前記ドレインの電位よりも低い場合、

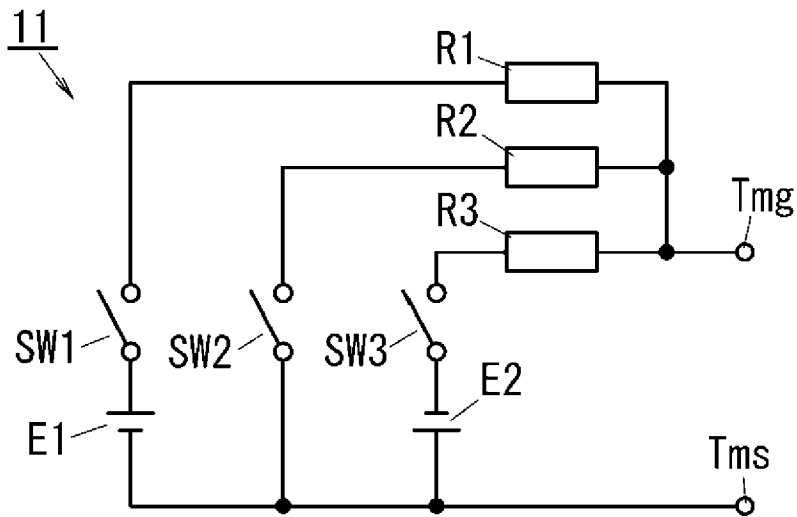
前記ゲート駆動回路から前記ゲートと前記ソースとの間に、第1正電圧を第1期間だけ印加させ、前記第1期間の経過後に前記第1正電圧よりも小さな電圧を印加させる、

制御システム。

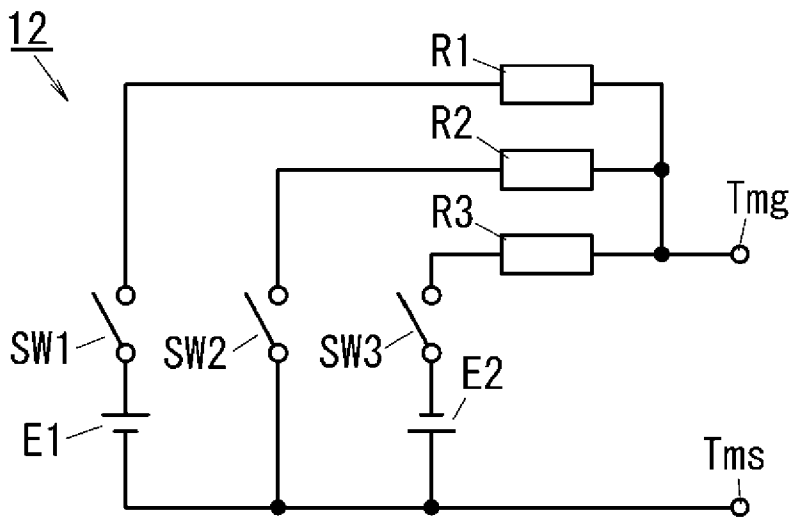
[図1]



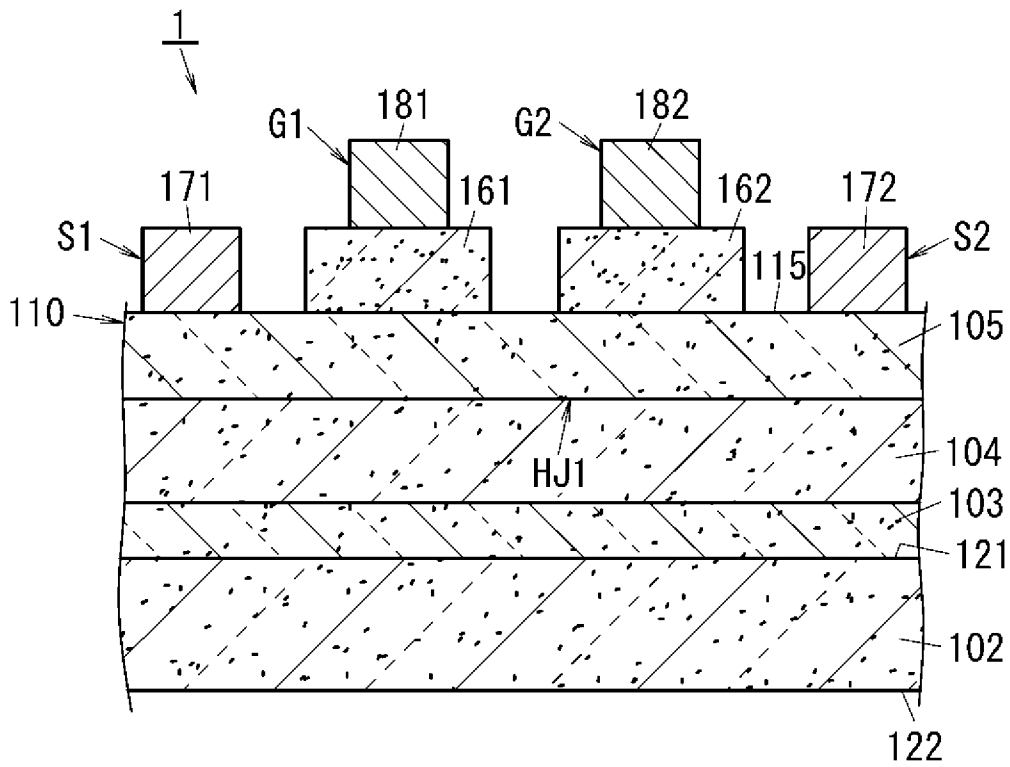
[図2A]



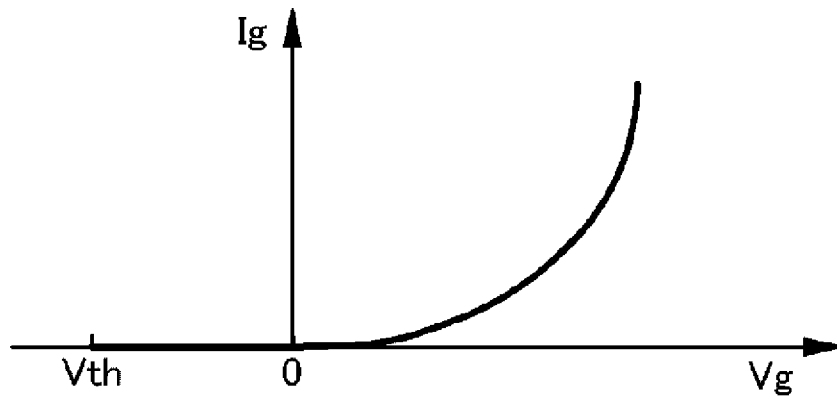
[図2B]



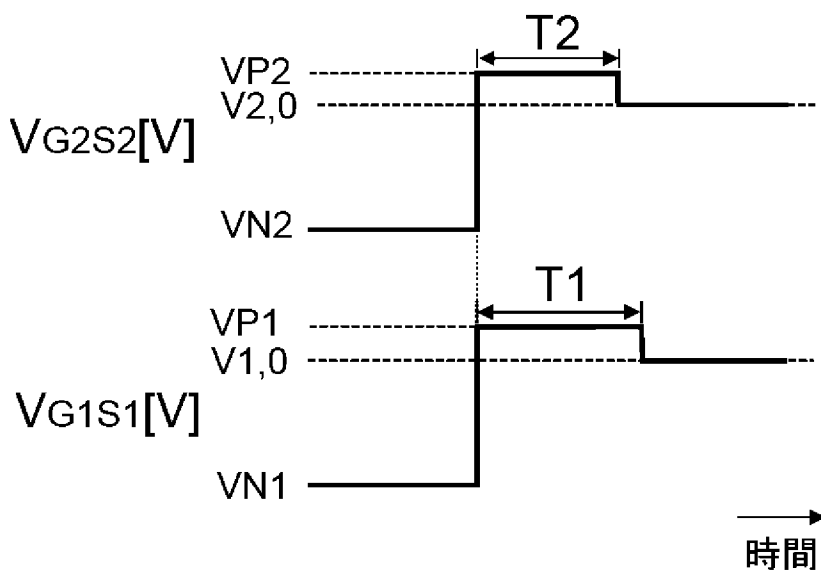
[図3]



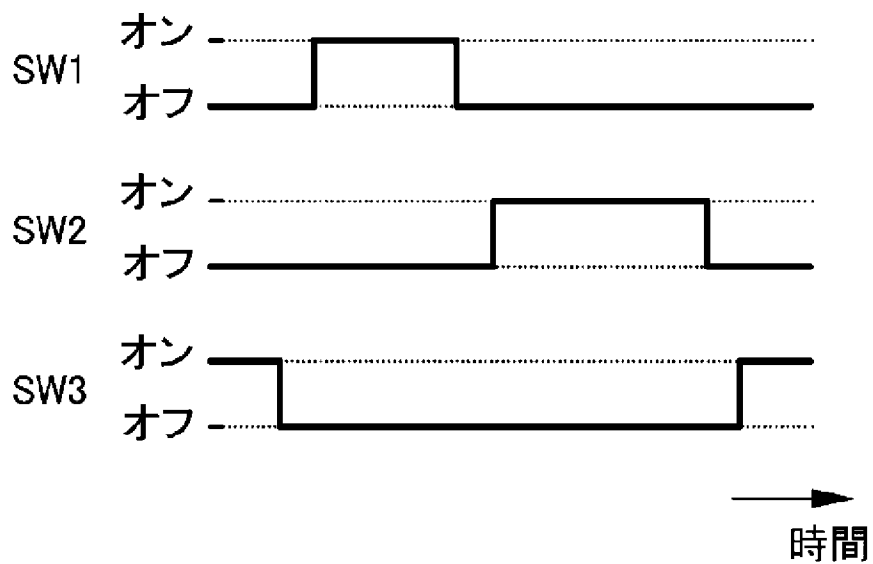
[図4]



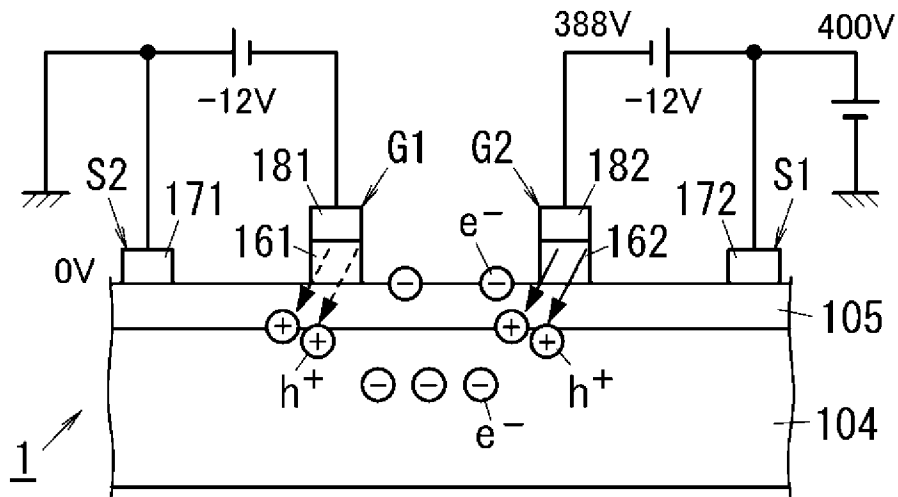
[図5]



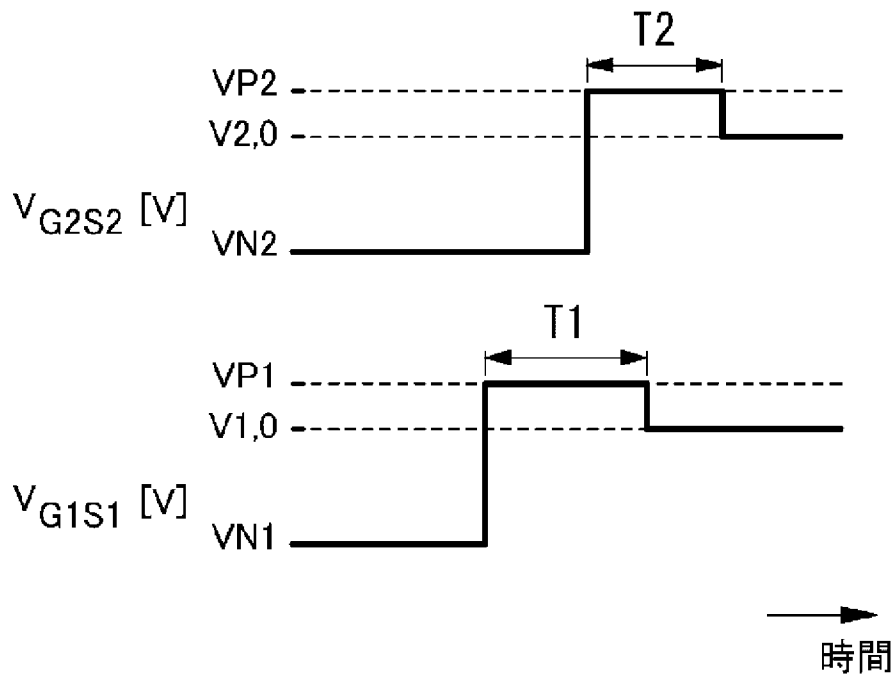
[図6]



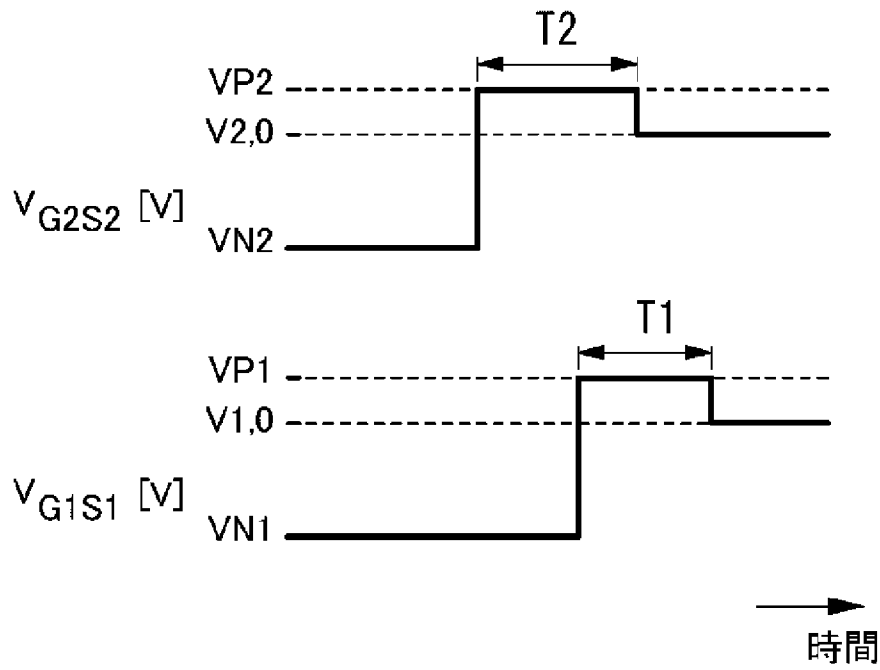
[図7]



[図8A]

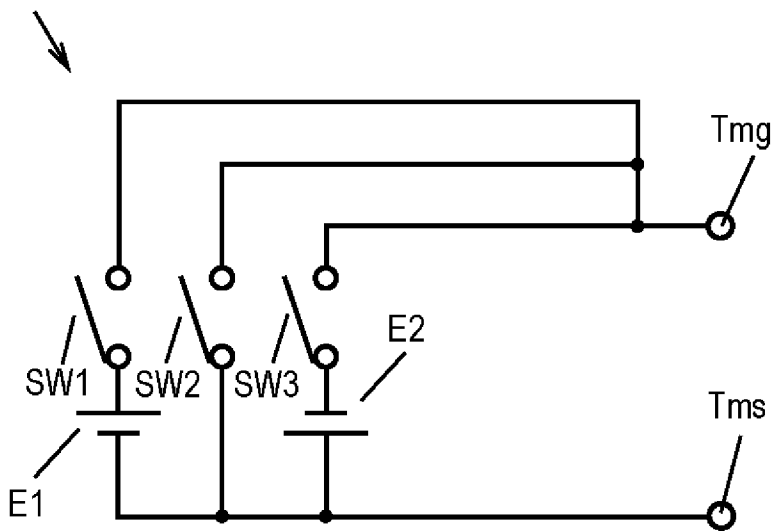


[図8B]

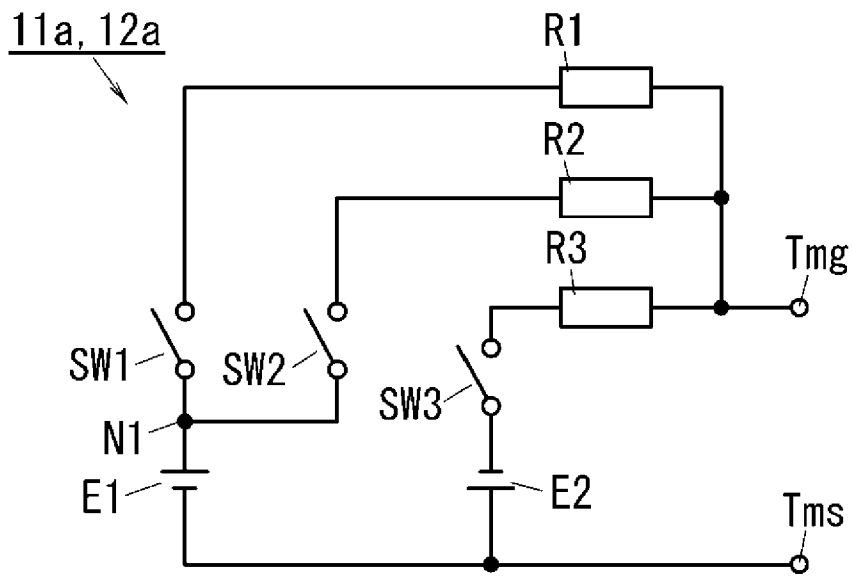


[図9]

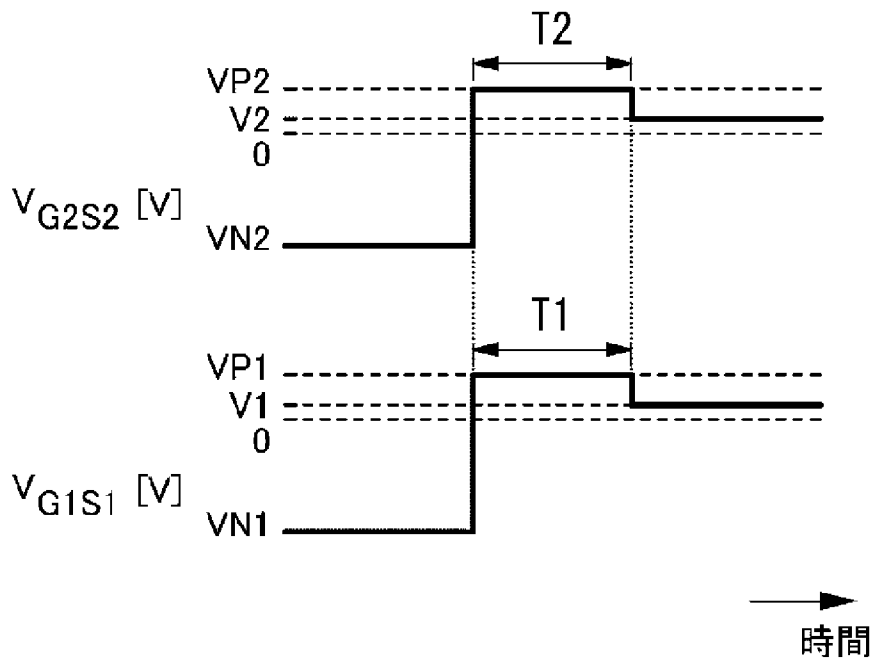
11,12



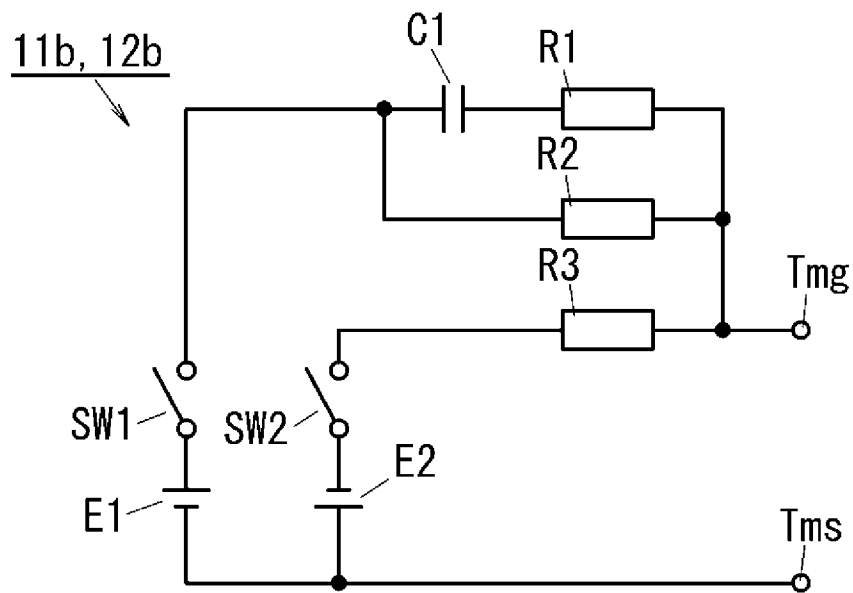
[図10]



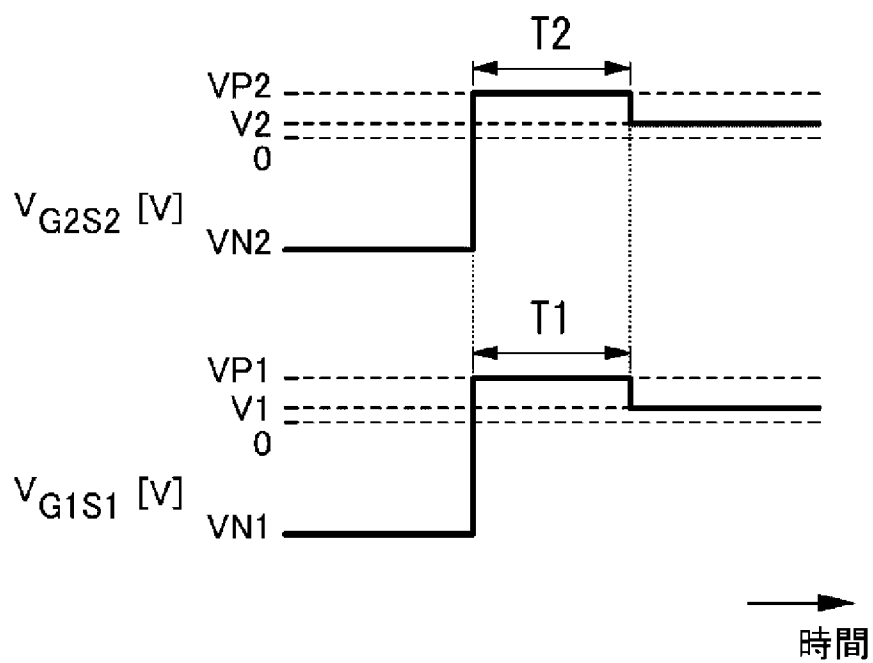
[図11]



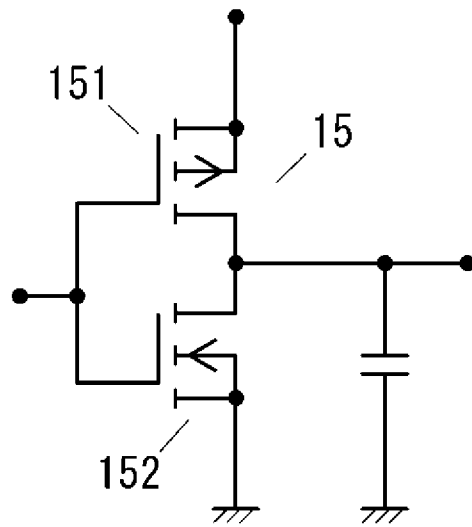
[図12]



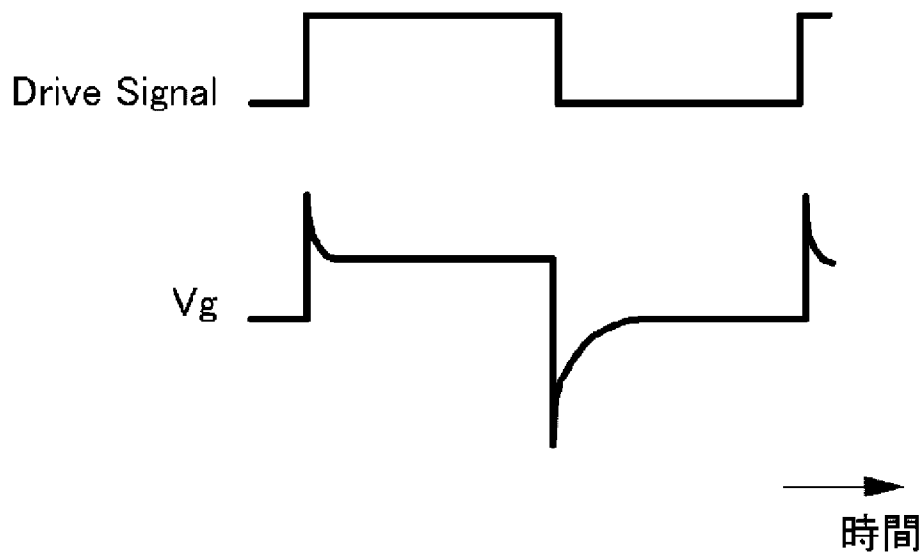
[図13]



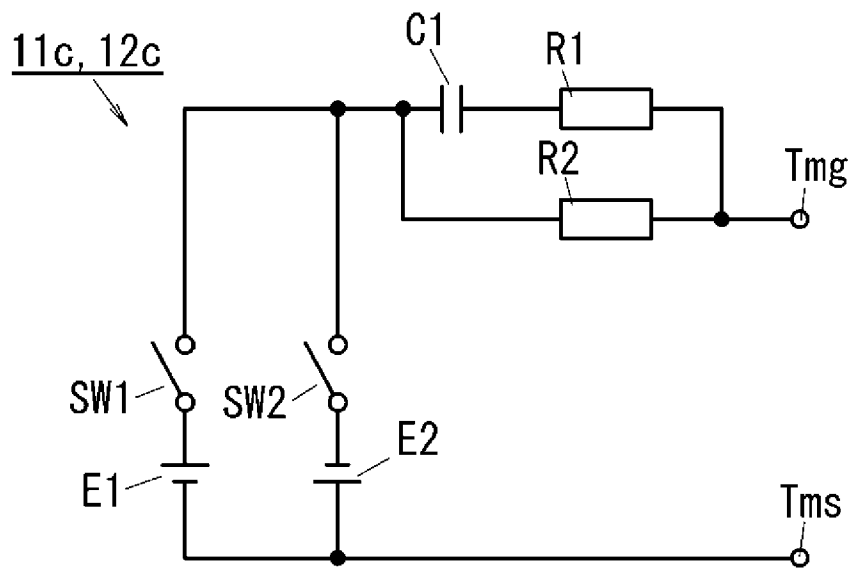
[図14]



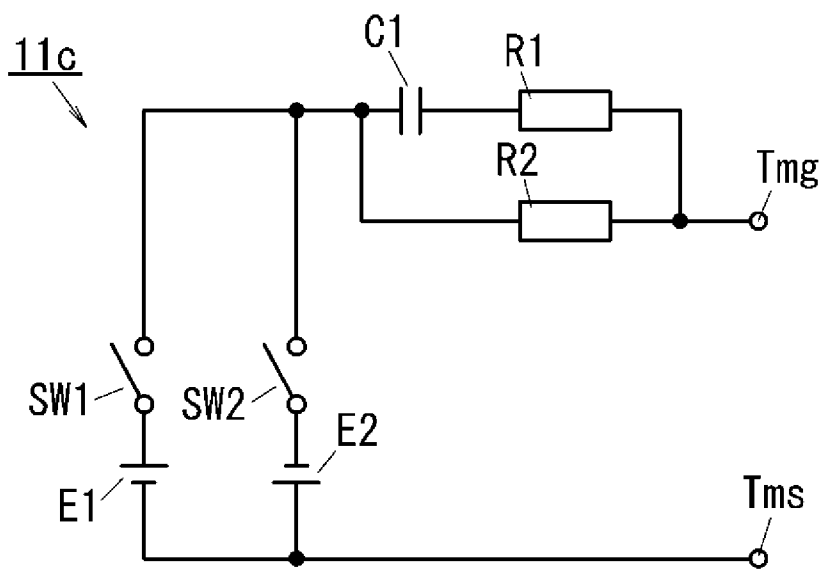
[図15]



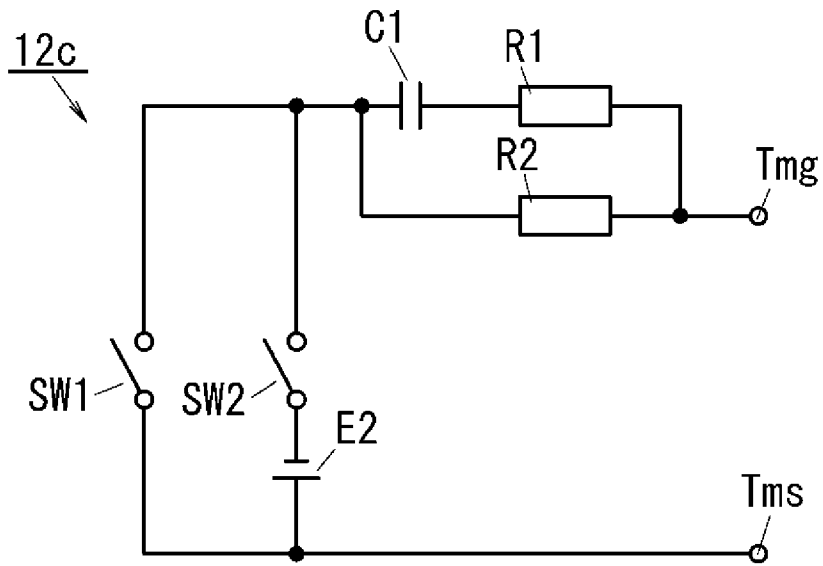
[図16]



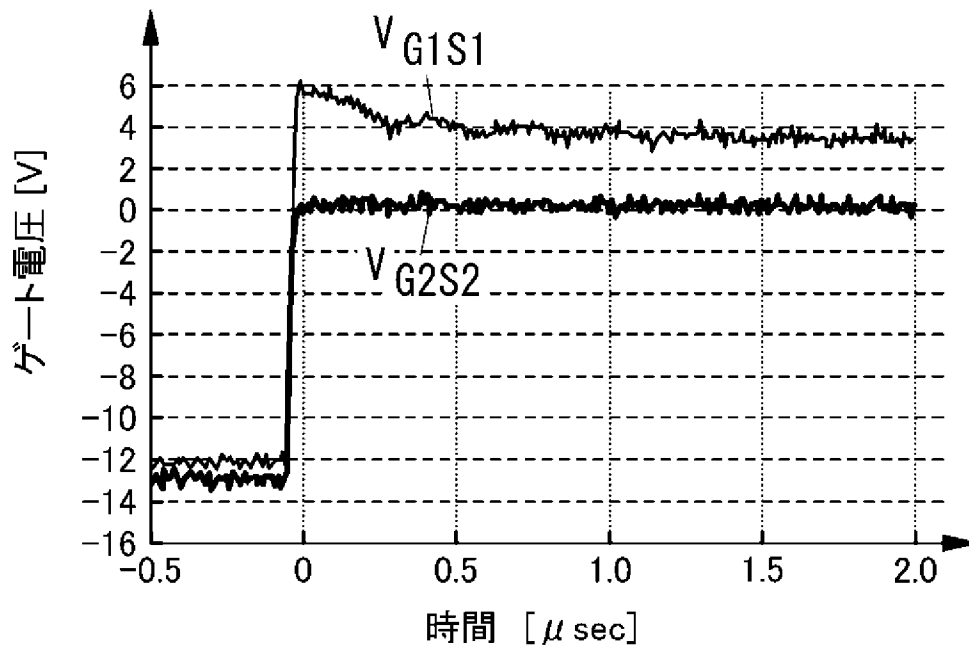
[図17A]



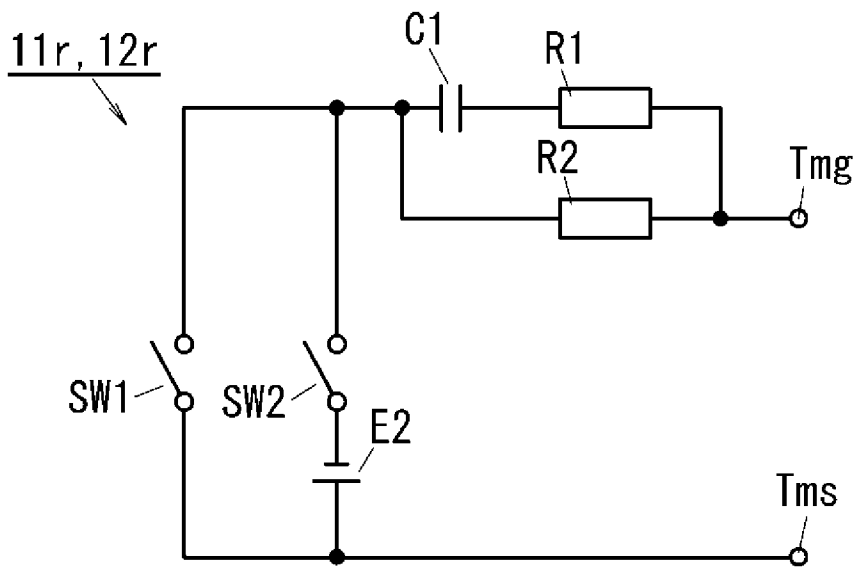
[図17B]



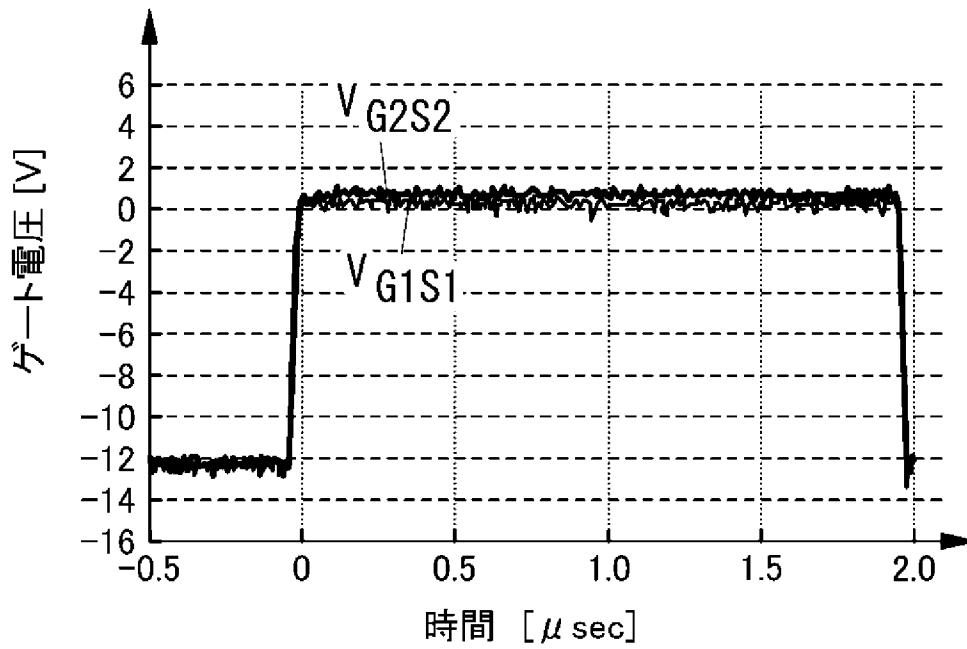
[図18]



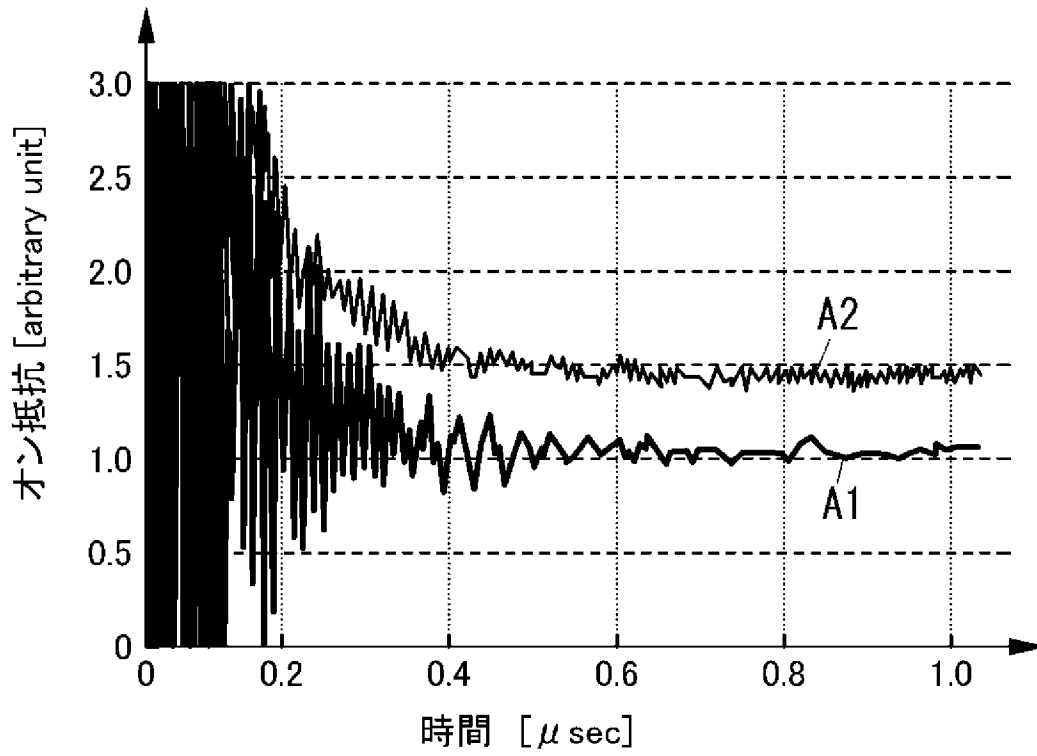
[図19]



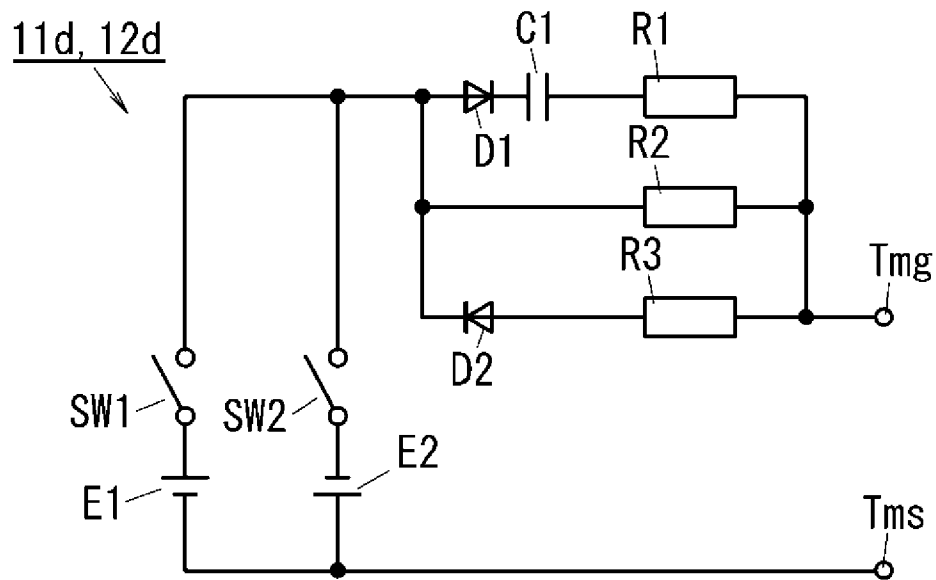
[図20]



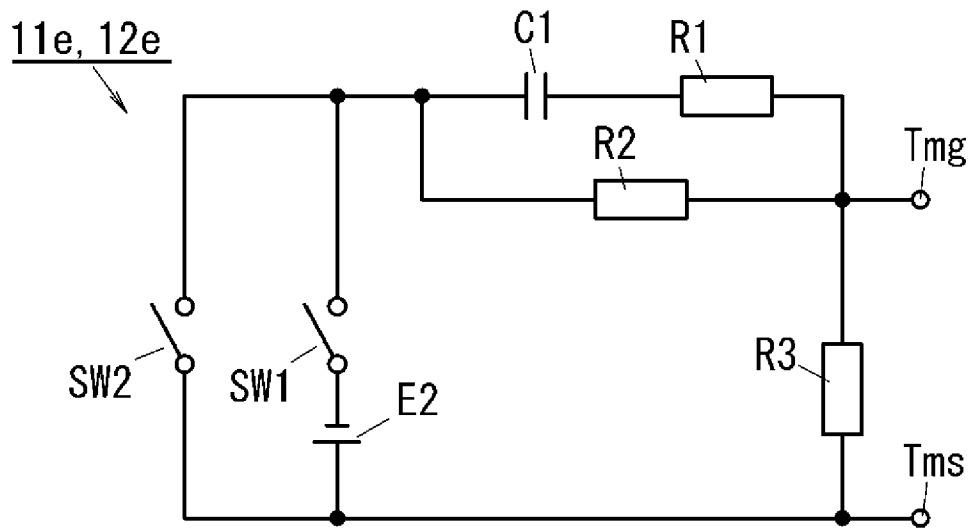
[図21]



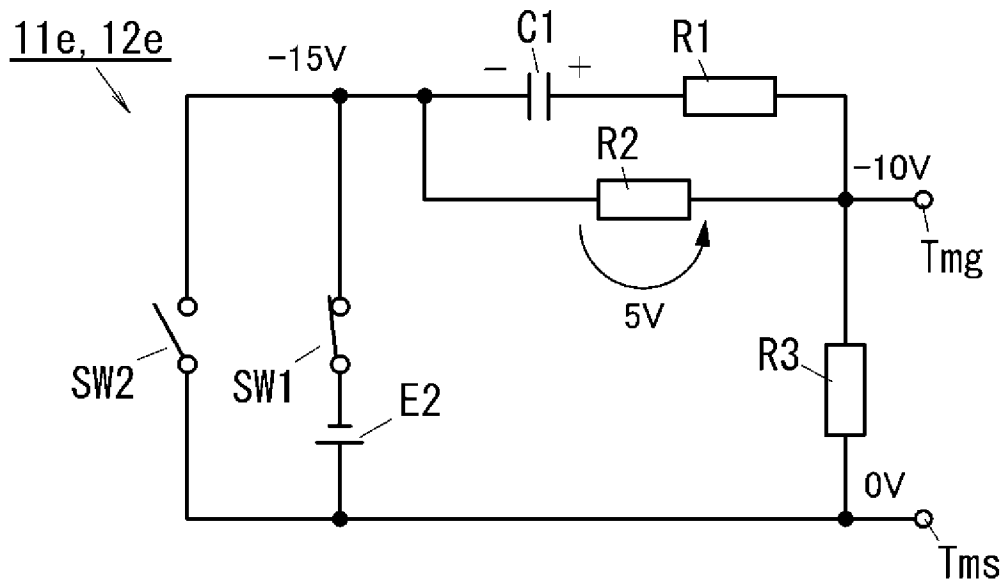
[図22]



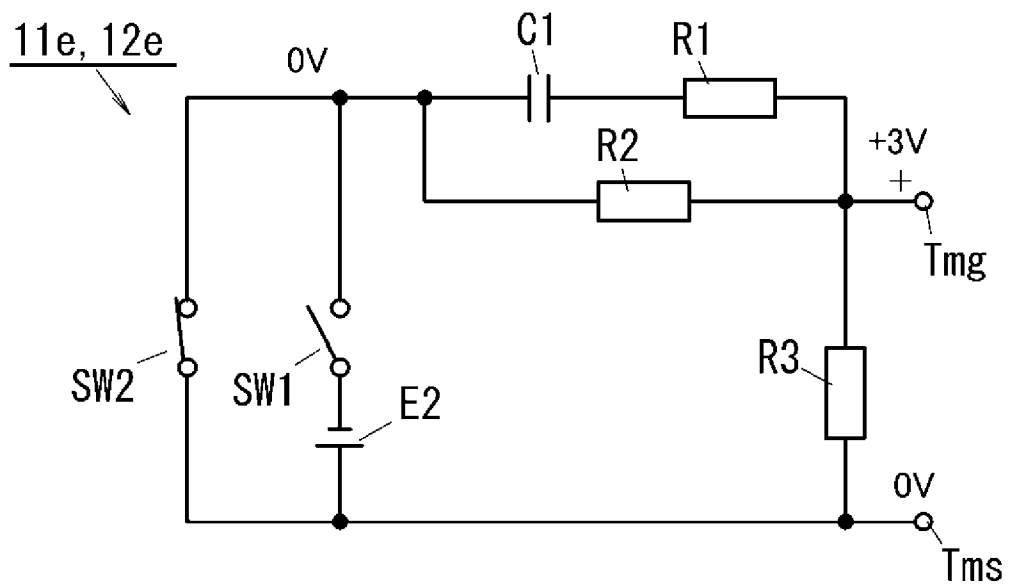
[図23]



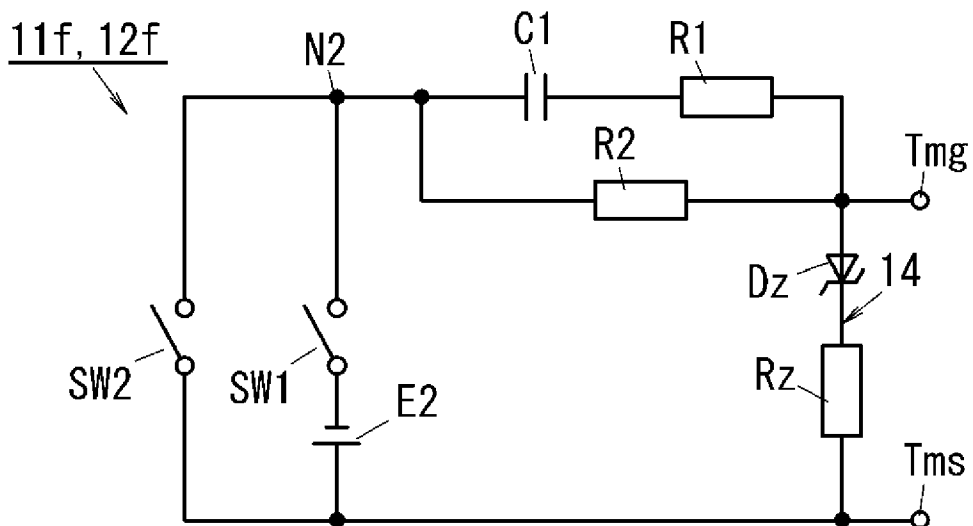
[図24A]



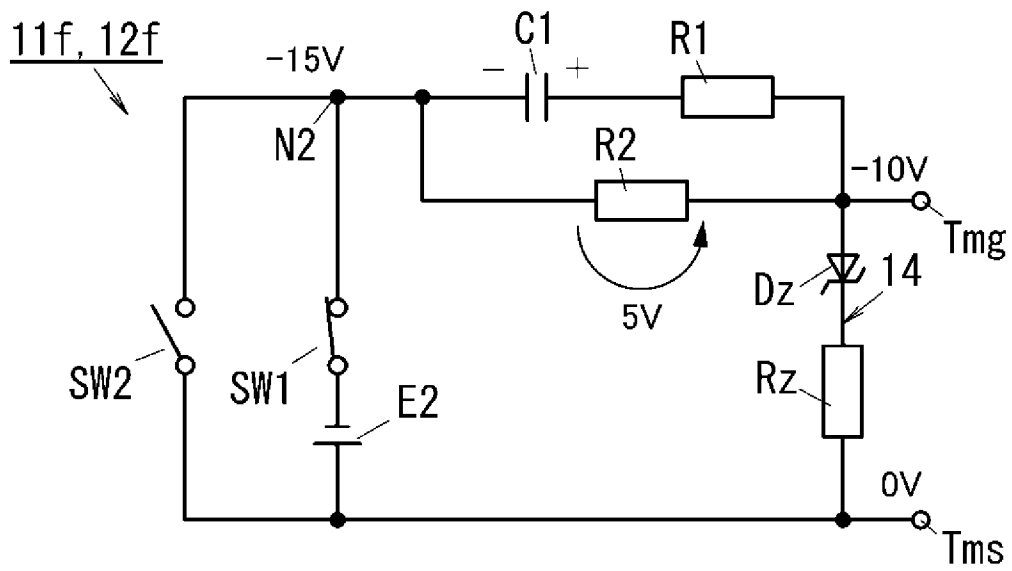
[図24B]



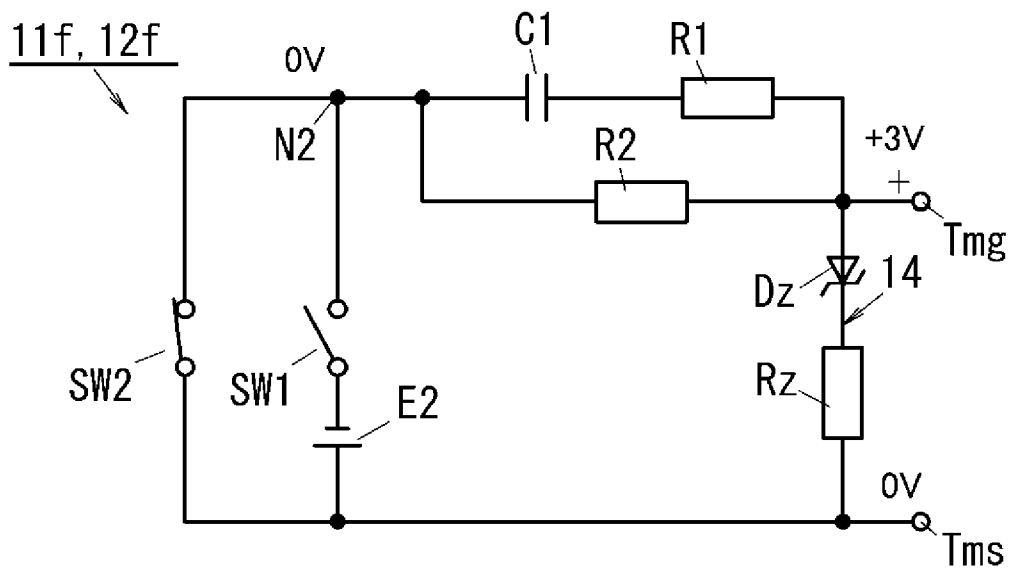
[図25]



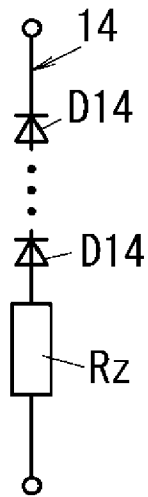
[図26A]



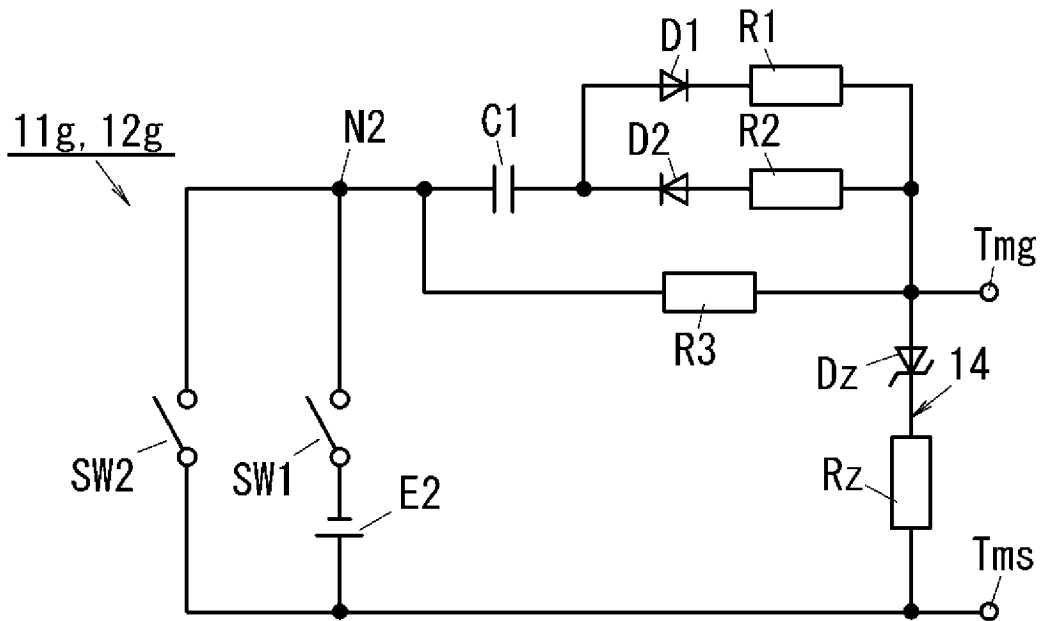
[図26B]



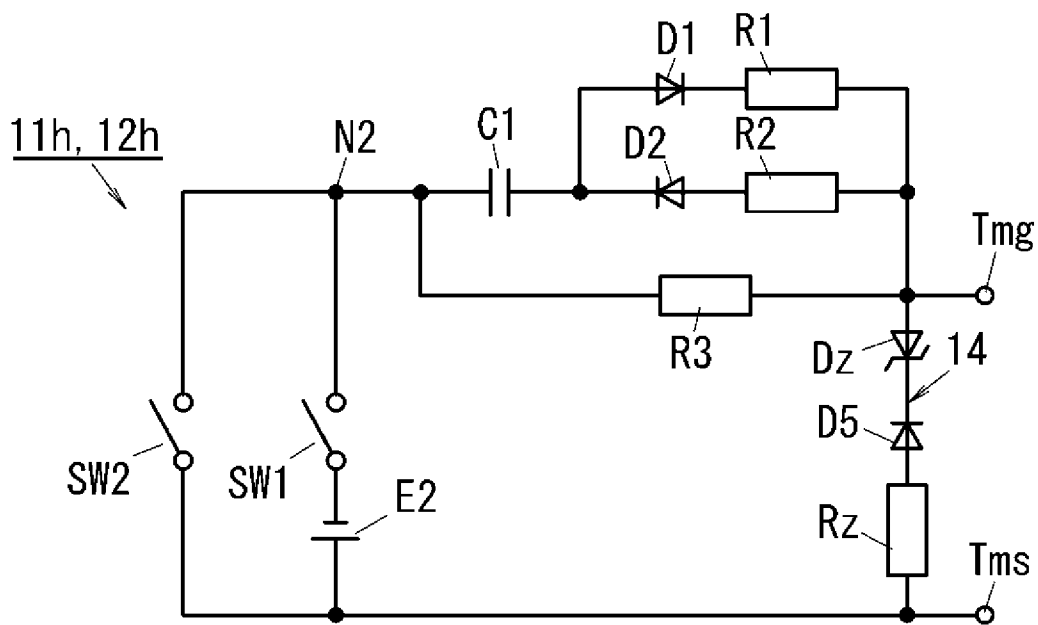
[図27]



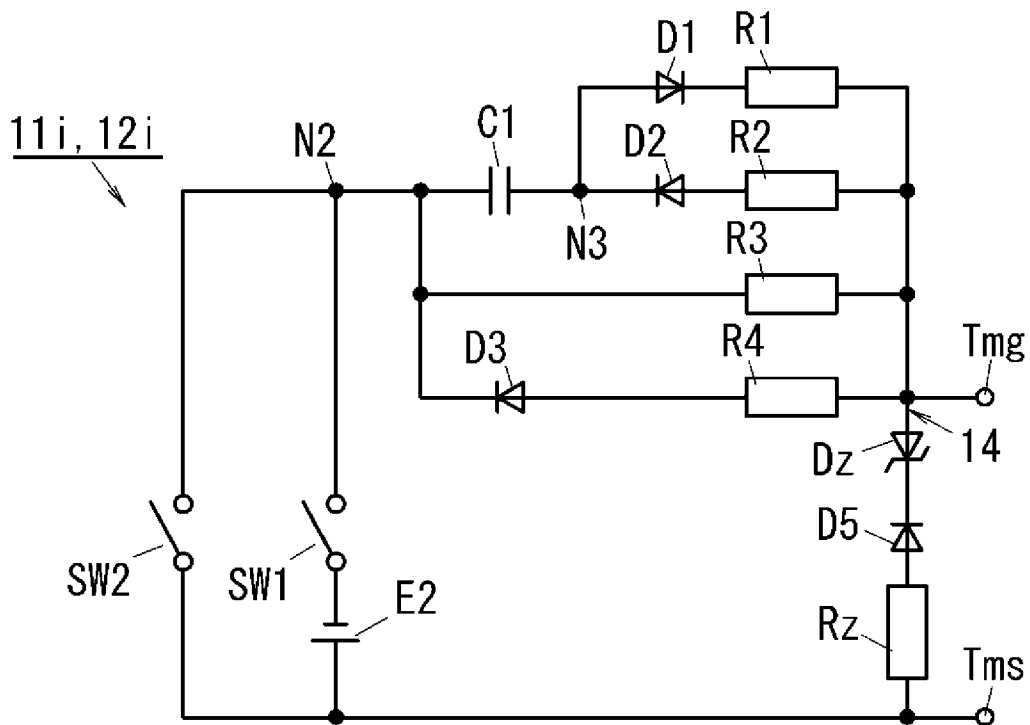
[図28]



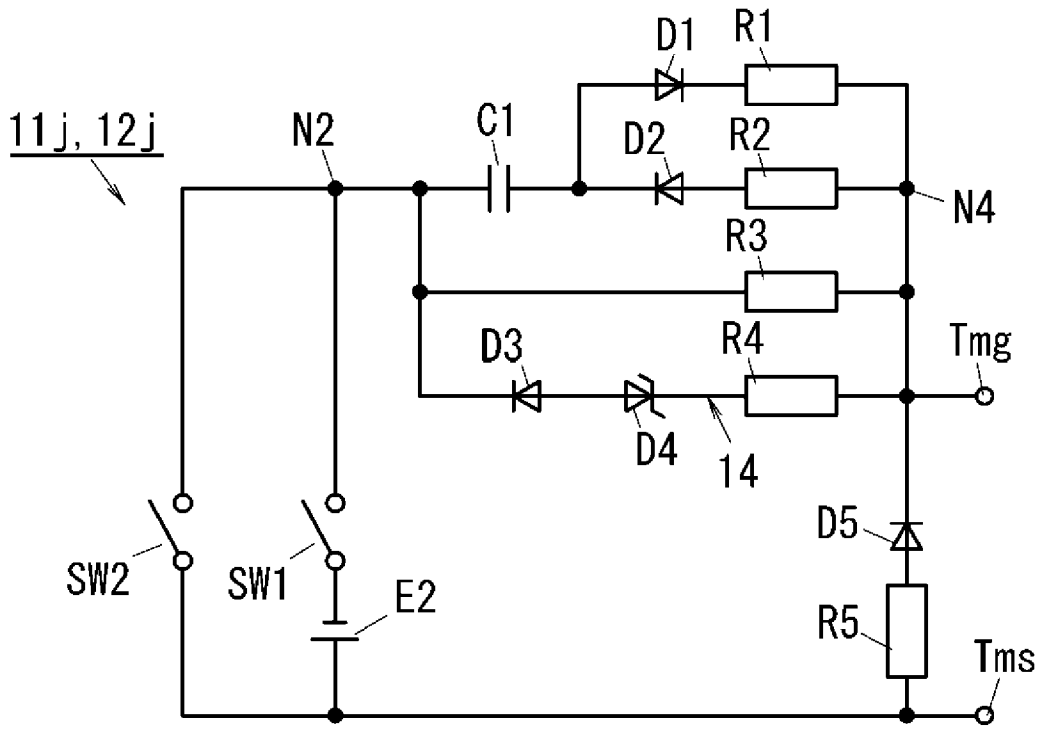
[図29]



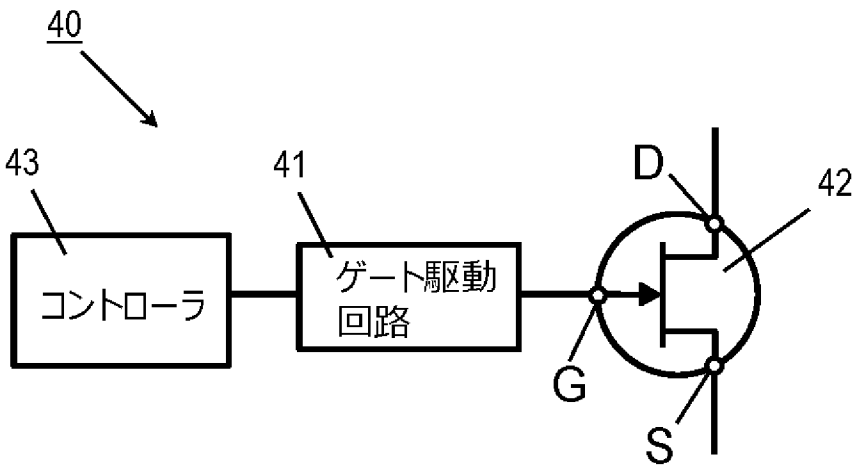
[図30]



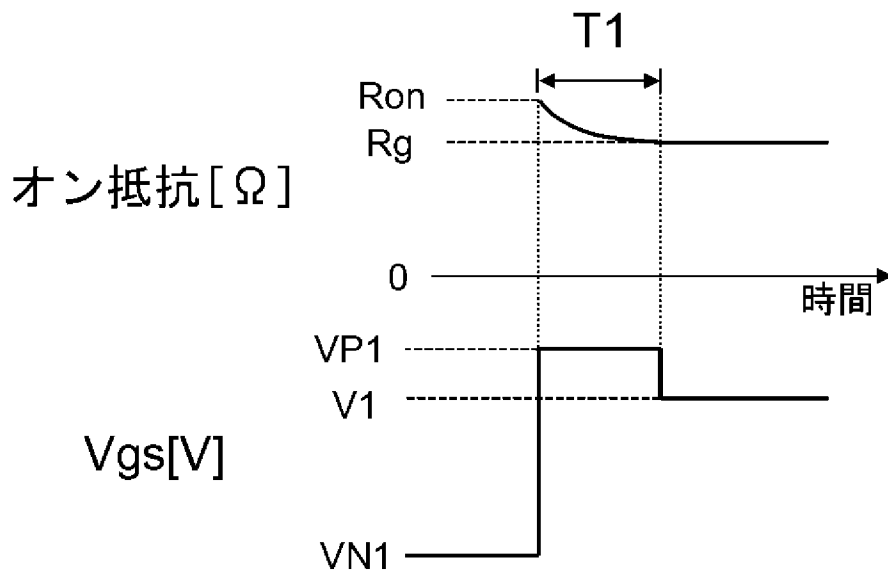
[図31]



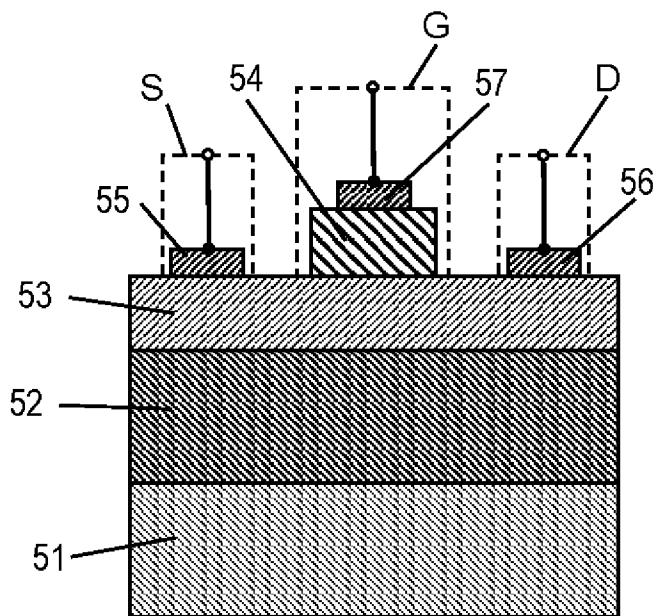
[図32]



[図33]



[図34]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2021/015260

**A. CLASSIFICATION OF SUBJECT MATTER**

Int. Cl. H03K17/04 (2006.01) i, H03K17/687 (2006.01) i, H02M1/08 (2006.01) i  
 FI: H03K17/04 E, H03K17/687 A, H02M1/08 A

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H03K17/04, H03K17/687, H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996  
 Published unexamined utility model applications of Japan 1971-2021  
 Registered utility model specifications of Japan 1996-2021  
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2010-166301 A (DAIKIN INDUSTRIES, LTD.) 29 July 2010, paragraphs [0001]-[0010], [0029]-[0090], fig. 3, 7-9	1-16, 18-20 17
Y A	JP 2013-530625 A (MICROSEMI CORP.) 25 July 2013, paragraphs [0003], [0004], [0029]-[0031], fig. 2, 3	1-16, 18-20 17
Y A	WO 2017/159559 A1 (PANASONIC CORP.) 21 September 2017, paragraphs [0040]-[0052], fig. 1, 2	6-16, 18, 20 17
Y A	JP 2018-196026 A (TOYOTA CENTRAL RESEARCH AND DEVELOPMENT LABORATORIES, INC.) 06 December 2018, paragraphs [0012]-[0033], fig. 1, 3	6-16, 18, 20 17

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
18.06.2021

Date of mailing of the international search report  
29.06.2021

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer  
  
Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP2021/015260

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-527178 A (SS SC IP LLC) 01 November 2012, paragraphs [0026]-[0029], fig. 3, 11A	7-16, 18, 20 17
Y A	JP 2009-239214 A (DENSO CORP.) 15 October 2009, paragraphs [0059]-[0064], fig. 15C	8-16, 18, 20 17
Y A	JP 2015-50864 A (DAIKIN INDUSTRIES, LTD.) 16 March 2015, paragraphs [0001]-[0007], [0035], [0038]- [0055], fig. 3, 17	8-16, 18, 20 17
Y A	US 2016/0261266 A1 (INFINEON TECHNOLOGIES AUSTRIA AG) 08 September 2016, paragraphs [0022]-[0025], fig. 1B, 5	9-16, 18, 20 17
Y A	JP 2020-68629 A (OMRON CORP.) 30 April 2020, paragraphs [0043]-[0045], fig. 15	9-16, 18, 20 17

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/JP2021/015260

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2010-166301 A	29.07.2010	(Family: none)	
JP 2013-530625 A	25.07.2013	US 2011/0273207 A1 paragraphs [0003], [0004], [0028]- [0030], fig. 2, 3 WO 2011/143261 A2 CN 103039002 A KR 10-2013-0115991 A	
WO 2017/159559 A1	21.09.2017	US 2019/0006499 A1 paragraphs [0058]- [0070], fig. 1, 2	
JP 2018-196026 A	06.12.2018	(Family: none)	
JP 2012-527178 A	01.11.2012	US 2010/0283515 A1 paragraphs [0058]- [0061], fig. 3, 11A WO 2010/132460 A2 CN 102422537 A KR 10-2012-0030411 A	
JP 2009-239214 A	15.10.2009	DE 102009015322 A1 paragraphs [0090]- [0095], fig. 15C	
JP 2015-50864 A	16.03.2015	(Family: none)	
US 2016/0261266 A1	08.09.2016	DE 102016101907 A1 paragraphs [0021]- [0024], fig. 1B, 5 CN 105939151 A	
JP 2020-68629 A	30.04.2020	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 17/04(2006.01)i; H03K 17/687(2006.01)i; H02M 1/08(2006.01)i FI: H03K17/04 E; H03K17/687 A; H02M1/08 A		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03K17/04; H03K17/687; H02M1/08 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2010-166301 A (ダイキン工業株式会社) 29.07.2010 (2010-07-29) 段落[0001]-[0010], [0029]-[0090], 図3, 7-9	1-16, 18-20 17
Y A	JP 2013-530625 A (マイクロセミ コーポレイション) 25.07.2013 (2013-07-25) 段落[0003]-[0004], [0029]-[0031], 図2-3	1-16, 18-20 17
Y A	WO 2017/159559 A1 (パナソニック株式会社) 21.09.2017 (2017-09-21) 段落[0040]-[0052], 図1-2	6-16, 18, 20 17
Y A	JP 2018-196026 A (株式会社豊田中央研究所) 06.12.2018 (2018-12-06) 段落[0012]-[0033], 図1,3	6-16, 18, 20 17
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 18.06.2021	国際調査報告の発送日 29.06.2021	
名称及びあて先 日本国特許庁 (ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 及川 尚人 5W 5888 電話番号 03-3581-1101 内線 3576	

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2012-527178 A (エスエス エスシー アイピー、エルエルシー) 01.11.2012 (2012 - 11 - 01) 段落[0026]-[0029], 図3, 11A	7-16, 18, 20  17
Y A	JP 2009-239214 A (株式会社デンソー) 15.10.2009 (2009 - 10 - 15) 段落[0059]-[0064], 図15C	8-16, 18, 20  17
Y A	JP 2015-50864 A (ダイキン工業株式会社) 16.03.2015 (2015 - 03 - 16) 段落[0001]-[0007], [0035], [0038]-[0055], 図3, 17	8-16, 18, 20  17
Y A	US 2016/0261266 A1 (INFINEON TECHNOLOGIES AUSTRIA AG) 08.09.2016 (2016 - 09 - 08) 段落[0022]-[0025], 図1B, 5	9-16, 18, 20  17
Y A	JP 2020-68629 A (オムロン株式会社) 30.04.2020 (2020 - 04 - 30) 段落[0043]-[0045], 図15	9-16, 18, 20  17

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/015260

引用文献	公表日	パテントファミリー文献	公表日
JP 2010-166301 A	29.07.2010	(ファミリーなし)	
JP 2013-530625 A	25.07.2013	US 2011/0273207 A1 段落[0003]-[0004], [0028]-[0030], 図2-3 WO 2011/143261 A2 CN 103039002 A KR 10-2013-0115991 A	
WO 2017/159559 A1	21.09.2017	US 2019/0006499 A1 段落[0058]-[0070], 図1-2	
JP 2018-196026 A	06.12.2018	(ファミリーなし)	
JP 2012-527178 A	01.11.2012	US 2010/0283515 A1 段落[0058]-[0061], 図3, 11A WO 2010/132460 A2 CN 102422537 A KR 10-2012-0030411 A	
JP 2009-239214 A	15.10.2009	DE 102009015322 A1 段落[0090]-[0095], 図15C	
JP 2015-50864 A	16.03.2015	(ファミリーなし)	
US 2016/0261266 A1	08.09.2016	DE 102016101907 A1 段落[0021]-[0024], 図1B, 5 CN 105939151 A	
JP 2020-68629 A	30.04.2020	(ファミリーなし)	