



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I887353 B

(45)公告日：中華民國 114 (2025) 年 06 月 21 日

(21)申請案號：110104486

(22)申請日：中華民國 110 (2021) 年 02 月 05 日

(51)Int. Cl. : *H10D62/10 (2025.01)**H10D62/80 (2025.01)**H10D64/64 (2025.01)**H10D30/67 (2025.01)**H10D8/60 (2025.01)*

(30)優先權：2020/02/07 日本

2020-019325

2020/02/07 日本

2020-019327

2020/02/07 日本

2020-019329

(71)申請人：日商 F L O S F I A 股份有限公司 (日本) FLOSFIA INC. (JP)

日本

(72)發明人：松原佑典 MATSUBARA, YUSUKE (JP)；今藤修 IMAFUJI, OSAMU (JP)；安藤裕

之 ANDO, HIROYUKI (JP)；竹原秀樹 TAKEHARA, HIDEKI (JP)；四戶孝

SHINOHE, TAKASHI (JP)；沖川滿 OKIGAWA, MITSURU (JP)

(74)代理人：葉信金

(56)參考文獻：

TW 201820625A

CN 105097957A

JP 2008-300627A

JP 2014-183310A

JP 2016-082232A

JP 2017-118014A

JP 2018-060992A

US 2011/0156022A1

WO 2013/035844A1

WO 2017/111174A1

審查人員：朱啓信

申請專利範圍項數：18 項 圖式數：17 共 46 頁

(54)名稱

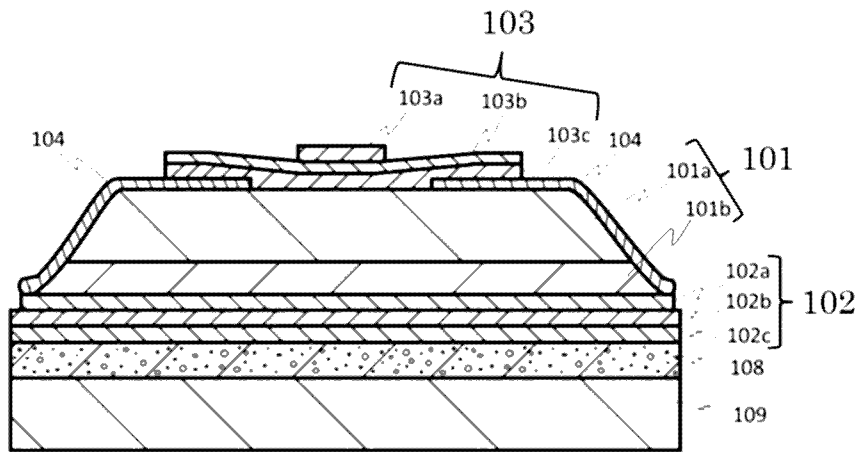
半導體元件、半導體裝置及半導體系統

(57)摘要

本發明提供半導體特性及散熱性優良的半導體元件及半導體裝置。

本發明係一種半導體元件，其係在導電性基板上直接或隔著其他層積層具有含鎵之氧化物作為主成分的氧化物半導體膜而成的積層結構體，其中前述導電性基板具有比前述氧化物半導體膜更大的面積，以及一種半導體裝置，其係藉由接合構件將前述半導體元件與引線框架、電路基板或散熱基板接合而成。

指定代表圖：



【圖1】

符號簡單說明：

- 101:半導體層
- 101a:第1半導體層
- 101b:第2半導體層
- 102:歐姆電極
- 102a:金屬層
- 102b:金屬層
- 102c:金屬層
- 103:肖特基電極
- 103a:金屬層
- 103b:金屬層
- 103c:金屬層
- 104:絕緣體膜
- 108:多孔質層
- 109:基板



I887353

【發明摘要】**【中文發明名稱】** 半導體元件、半導體裝置及半導體系統**【中文】**

本發明提供半導體特性及散熱性優良的半導體元件及半導體裝置。

本發明係一種半導體元件，其係在導電性基板上直接或隔著其他層積層具有含銻之氧化物作為主成分的氧化物半導體膜而成的積層結構體，其中前述導電性基板具有比前述氧化物半導體膜更大的面積，以及一種半導體裝置，其係藉由接合構件將前述半導體元件與引線框架、電路基板或散熱基板接合而成。

【指定代表圖】 圖1**【代表圖之符號簡單說明】**

101:半導體層

101a:第 1 半導體層

101b:第 2 半導體層

102:歐姆電極

102a:金屬層

102b:金屬層

102c:金屬層

103:肖特基電極

103a:金屬層

103b:金屬層

103c:金屬層

104:絕緣體膜

108:多孔質層

109:基板

【發明說明書】

【中文發明名稱】 半導體元件、半導體裝置及半導體系統

【技術領域】

【0001】

本發明係關於可用於功率元件等的半導體元件、以及使用該半導體元件的半導體裝置及半導體系統。

【先前技術】

【0002】

氧化鎵(Ga_2O_3)在室溫中具有 4.8-5.3eV 這種廣泛的能隙，係幾乎不吸收可見光及紫外光的透明半導體。因此係特別有希望用於在深紫外光區域運作的光/電子元件及透明電子產品的材料，近年正在開發以氧化鎵(Ga_2O_3)為基礎的光檢測器、發光二極體(LED)及電晶體(參照非專利文獻 1)。

【0003】

又，氧化鎵(Ga_2O_3)存在 α 、 β 、 γ 、 σ 、 ϵ 的 5 種結晶結構，一般最穩定的結構為 β - Ga_2O_3 。然而因為 β - Ga_2O_3 為 β -gallia 結構，因此與一般用於電子材料等的結晶系不同，並不一定適用於半導體元件。又， β - Ga_2O_3 薄膜的成長需要高的基板溫度以及高的真空度，因此亦具有製造成本增加這樣的問題。又，如亦記載於非專利文獻 2 中的內容，在 β - Ga_2O_3 中，即使是高濃度(例如 $1 \times 10^{19}/\text{cm}^3$ 以上)的摻雜物(Si)，若在離子注入後未以 $800^\circ\text{C} \sim 1100^\circ\text{C}$ 的高溫實施退火處理，亦無法作為予體(donor)使用。

【0004】

另一方面， $\alpha\text{-Ga}_2\text{O}_3$ 因為具有與已通用之藍寶石基板相同的結晶結構，因此適用於光/電子元件，而且因為具有比 $\beta\text{-Ga}_2\text{O}_3$ 更為廣泛的能隙而對於功率元件特別有用，因此目前期望一種使用 $\alpha\text{-Ga}_2\text{O}_3$ 作為半導體的半導體元件。

【0005】

專利文獻 1 及 2 中記載一種半導體元件，其係使用 $\beta\text{-Ga}_2\text{O}_3$ 作為半導體，並且使用由 Ti 層及 Au 層所構成的 2 層、由 Ti 層、Al 層及 Au 層所構成的 3 層、或是由 Ti 層、Al 層、Ni 層及 Au 層所構成的 4 層以作為可得到適合該半導體之歐姆特性的電極。

又，專利文獻 3 中記載一種半導體元件，其係使用 $\beta\text{-Ga}_2\text{O}_3$ 作為半導體，並使用 Au、Pt、或 Ni 及 Au 之積層體的任一者以作為可得到適合該半導體之肖特基特性的電極。

然而，在將專利文獻 1~3 記載的電極應用於使用 $\alpha\text{-Ga}_2\text{O}_3$ 作為半導體之半導體元件的情況，具有並未發揮作為肖特基電極或歐姆電極的功能、電極未接合於膜、有損半導體特性等問題。再者，專利文獻 1~3 記載的電極構成會從電極端部產生漏電流等，其作為半導體元件在實用上仍有所不足。

【0006】

特別是近年使用氧化鎵作為半導體的情況中，發生散熱性的問題而具有對於半導體特性造成不良影響等問題。針對這樣的問題，本案申請人等研究將導電性基板貼合於氧化鎵所構成的半導體膜以製作半導體元件，但在將導電性基板切斷時於氧化鎵產生裂縫或雜質、或是產生毛邊等，難以製作能夠滿足的半導體元件。

[先前技術文獻]

[專利文獻]

【0007】

[專利文獻 1]日本特開 2005-260101 號公報

[專利文獻 2]日本特開 2009-81468 號公報

[專利文獻 3]日本特開 2013-12760 號公報

[非專利文獻]

【0008】

[非專利文獻 1] Jun Liang Zhao et al, “UV and Visible Electroluminescence From a Sn:Ga₂O₃/n+ – Si Heterojunction by Metal – Organic Chemical Vapor Deposition” ,IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 58, NO.5 MAY 2011

[非專利文獻 2] Kohei Sasaki et al, “Si-Ion Implantation Doping in β – Ga₂O₃ and Its Application to Fabrication of Low – Resistance Ohmic Contacts” , Applied Physics Express 6 (2013) 086502

【發明內容】

[發明所欲解決之課題]

【0009】

本發明之目的在於提供一種散熱性及半導體特性優良的包含氧化物半導體膜之半導體元件及半導體裝置。

[解決課題之手段]

【0010】

本案發明人為了達成上述目的而詳細研究的結果，發現藉由貼合比氧化物半導體膜大一圈的導電性基板，再從導電性基板側切斷而製作半導體元件，藉此可解決毛邊等問題而使半導體特性良好，進一步成功創造了散熱性優良的包含氧化物半導體膜之半導體元件，這樣的半導體元件能夠一舉解決上述以往的問題。

又，本案發明人得到上述見解後進一步反覆研究而完成本發明。

【0011】

亦即，本發明係關於以下發明。

[1] 一種半導體元件，包含在導電性基板上直接或隔著其他層積層具有含鎵之氧化物作為主成分的氧化物半導體膜而成的積層結構體，其中前述導電性基板具有比前述氧化物半導體膜更大的面積。

[2] 一種半導體元件，包含在電極上直接或隔著其他層積層具有含鎵之氧化物作為主成分的氧化物半導體膜而成的積層結構體，其中前述電極具有比前述氧化物半導體膜更大的面積。

[3] 如前述[1]或[2]之半導體元件，其中前述氧化物具有剛玉結構。

[4] 如前述[1]或[2]之半導體元件，其中前述氧化物為 $\alpha\text{-Ga}_2\text{O}_3$ 或其混晶。

[5] 如前述[1]之半導體元件，其中前述導電性基板的線熱膨脹係數與前述氧化物半導體膜的線熱膨脹係數相同或比其更小。

[6] 如前述[1]之半導體元件，其中前述氧化物半導體膜至少含有第 1 邊、第 2 邊、第 1 結晶軸及第 2 結晶軸，第 1 結晶軸方向的線熱膨脹係數小於第 2 結晶軸方向的線熱膨脹係數，第 1 邊方向與第 1 結晶軸方向平行或大致平行，第 2 邊方向與第 2 結晶軸方向平行或大致平行，前述導電性

基板至少含有與前述第 1 邊對應的邊以及與前述第 2 邊對應的邊，與前述第 1 邊對應的邊比與前述第 2 邊對應的邊更長。

[7] 如前述[1]之半導體元件，其中前述導電性基板為金屬基板或半導體基板。

[8] 如前述[1]之半導體元件，其中前述導電性基板比前述氧化物半導體膜大一圈。

[9] 如前述[2]之半導體元件，其中前述電極比前述氧化物半導體膜大一圈。

[10] 如前述[1]之半導體元件，其中前述導電性基板的面積為前述氧化物半導體膜的面積的 1.1 倍~4 倍。

[11] 如前述[2]之半導體元件，其中前述電極的面積為前述氧化物半導體膜的面積的 1.1 倍~4 倍。

[12] 如前述[1]之半導體元件，其中前述導電性基板的側面為截斷面，前述截斷面具有階差或毛邊。

[13] 如前述[1]或[2]之半導體元件，其為縱型元件。

[14] 如前述[1]或[2]之半導體元件，其為功率元件。

[15] 如前述[1]或[2]之半導體元件，其為肖特基屏障二極體(SBD)、金氧半場效電晶體(MOSFET)或絕緣閘雙極電晶體(IGBT)。

[16] 一種半導體裝置，其係以接合構件至少將半導體元件接合於引線框架、電路基板或散熱基板所構成，其中前述半導體元件為如前述[1]或[2]之半導體元件。

[17] 如前述[16]之半導體裝置，其為功率模組、反向器或轉換器。

[18] 如前述[16]之半導體裝置，其為功率卡。

[19] 一種半導體系統，其具備半導體元件或半導體裝置，其中前述半導體元件為如前述[1]或[2]之半導體元件，前述半導體裝置為如前述[16]至[18]中任一項之半導體裝置。

[發明之效果]

【0012】

本發明的半導體元件其半導體特性及散熱性優良。

【圖式簡單說明】

【0013】

圖 1 係示意顯示本發明的半導體元件的較佳之一態樣的剖面圖。

圖 2 係說明圖 1 之半導體元件的較佳製造方法的一態樣的圖。

圖 3 係說明圖 1 之半導體元件的較佳製造方法的一態樣的圖。

圖 4 係說明圖 1 之半導體元件的較佳製造方法的一態樣的圖。

圖 5 係說明圖 1 之半導體元件的較佳製造方法的一態樣的圖。

圖 6 係示意顯示本發明的半導體元件的較佳之一態樣的剖面圖。

圖 7 係顯示剖面 SEM 影像以作為試驗例之結果的圖，(a)顯示藉由一般的退火形成由銀所構成之多孔質層的情況，(b)進一步顯示進行熱壓接而使空隙率在 10% 以下的多孔質層。

圖 8 係示意顯示電源系統之較佳例的圖。

圖 9 係示意顯示系統裝置之較佳例的圖。

圖 10 係示意顯示電源裝置的電源電路圖的之較佳例的圖。

圖 11 係示意顯示半導體裝置之較佳例的圖。

圖 12 係示意顯示功率卡之較佳例的圖。

圖 13 係示意顯示本發明的半導體元件的較佳之一態樣的剖面圖。

圖 14 係示意顯示本發明的半導體元件的較佳之一態樣的剖面圖。

圖 15 係顯示實施例中的熱分布模擬之評價結果的圖。

圖 16 係顯示實施例中的熱分布模擬之評價結果的圖。另外，圖中箭號表示熱的移動方向。

圖 17 係示意顯示本發明之半導體元件較佳之一態樣的剖面圖。

【實施方式】

【0014】

本發明的半導體元件，含有在導電性基板上直接或隔著其他層積層具有含銻之氧化物作為主成分的氧化物半導體膜而成的積層結構體，其特徵為：前述導電性基板具有比前述氧化物半導體膜更大的面積。

【0015】

又，本發明的半導體元件，含有在電極上直接或隔著其他層積層具有含銻之氧化物作為主成分的氧化物半導體膜而成的積層結構體，其特徵為：前述電極具有比前述氧化物半導體膜更大的面積。

【0016】

本發明中，前述導電性基板的線熱膨脹係數較佳係與前述氧化物半導體膜的線熱膨脹係數相同或比其更小。又，本發明中，前述氧化物半導體膜至少含有第 1 邊、第 2 邊、第 1 結晶軸與第 2 結晶軸，第 1 結晶軸方向的線熱膨脹係數小於第 2 結晶軸方向的線熱膨脹係數，第 1 邊方向與第 1 結晶軸方向平行或大致平行，第 2 邊方向與第 2 結晶軸方向平行或大致平行，前述導電性基至少含有與前述第 1 邊對應的邊以及與前述第 2 邊對應

的邊，與前述第 1 邊對應的邊比與前述第 2 邊對應的邊更長，而可使半導體元件的散熱性更優良，因而較佳。另外「結晶軸」係用以系統性地顯示結晶面及對於旋轉的對稱性等而從結晶結構導出的座標軸。又，「第 1 邊」可為直線亦可為曲線，但本發明中為了使與結晶軸的關係性更為優良而較佳為直線。「第 2 邊」仍可為直線亦可為曲線，但本發明中為了使與結晶軸的關係性更為優良而較佳為直線。另外，「線熱膨脹係數」係依照 JIS R 3102(1995)測量。「邊方向」係指構成特定形狀之邊的方向。「大致平行」係指亦可未完全平行，亦可為稍微偏離的態樣(例如可為此等所形成的角度大於 0° 且在 10° 以下的態樣)。

【0017】

又，本發明中，前述導電性基板比前述氧化物半導體膜大一圈，可使前述半導體元件的散熱性優良，並且更輕易使前述半導體元件小型化，因而較佳。此處，「大一圈」係指例如前述導電性基板之面積為前述氧化物半導體膜之面積的 1.1 倍~4 倍的情況等。又，本發明中，前述導電性基板的側面為截斷面，前述截斷面具有階差或毛邊亦較佳。

【0018】

前述氧化物半導體膜(以下亦僅稱為「半導體層」或「半導體膜」)，只要是具有含鎵之氧化物作為主成分半導體膜則未特別限定。又，本發明中，前述氧化物的結晶結構亦並未特別限定。作為前述氧化物的結晶結構，可列舉例如：剛玉結構、 β -gallia 結構或六方晶結構(例如 ϵ 型結構)等。本發明中，前述氧化物較佳為具有剛玉結構，具有剛玉結構而且主面為 m 面可更抑制氧等擴散，進一步可使電特性更優良，因而更佳。又，前述氧化物半導體膜亦可具有偏離角。又，本發明中，前述氧化物較佳為 α - Ga_2O_3 或其混晶。另外，「主成分」係指以原子比計，相對半導體層的

總成分較佳包含 50% 以上的前述氧化物，更佳為 70% 以上，再佳為 90% 以上，亦可為 100%。又，前述半導體層的厚度並未特別限定，可為 $1\mu\text{m}$ 以下，亦可為 $1\mu\text{m}$ 以上，但本發明中較佳為 $1\mu\text{m}$ 以上，更佳為 $10\mu\text{m}$ 以上。前述半導體膜的表面積並未特別限定，可為 1mm^2 以上，亦可為 1mm^2 以下，但較佳為 $10\text{mm}^2\sim 300\text{cm}^2$ ，更佳為 $100\text{mm}^2\sim 100\text{cm}^2$ 。又，前述半導體膜較佳為單晶膜，亦可為多晶膜或含有多晶的結晶膜。又，前述半導體膜係至少包含第 1 半導體層與第 2 半導體層的多層膜，在第 1 半導體層上設有肖特基電極的情況中，作為第 1 半導體層的載子密度小於第 2 半導體層之載子密度的多層膜亦較佳。另外，此情況中，第 2 半導體層中通常含有摻雜物，前述半導體層的載子密度可藉由調節摻雜量而適當設定。

【0019】

此外，氧化物半導體優選為金屬氧化物。前述金屬氧化物並未特別限定，但較佳係至少包含周期表第 4 周期～第 6 周期的 1 種或 2 種以上的金屬，更佳為至少含鎵、銮、銻或銱，最佳為含鎵。又，本發明中，前述金屬氧化物含有鎵與銮或/及鋁亦較佳。

【0020】

前述半導體層較佳係含有摻雜物。前述摻雜物並未特別限定，亦可為習知者。作為前述摻雜物，可列舉例如：錫、鍺、矽、鈦、鉛、釩或鈮等 n 型摻雜物，或鎂、鈣、鋅等 p 型摻雜物等。本發明中，前述半導體層較佳為包含 n 型摻雜物，更佳為 n 型氧化物半導體層。又，本發明中，前述 n 型摻雜物較佳為 Sn、Ge 或 Si。摻雜物的含量在前述半導體層的組成中較佳為 0.00001 原子% 以上，更佳為 0.00001 原子%～20 原子%，最佳為 0.00001 原子%～10 原子%。更具體而言，摻雜物的濃度通常可為約

$1 \times 10^{16}/\text{cm}^3 \sim 1 \times 10^{22}/\text{cm}^3$ ，又，亦可使摻雜物的濃度為例如約 $1 \times 10^{17}/\text{cm}^3$ 以下的低濃度。又，根據本發明的一態樣，亦可以約 $1 \times 10^{20}/\text{cm}^3$ 以上的高濃度含有摻雜物。又，前述半導體層的固定電荷的濃度亦未特別限定，在本發明中，在 $1 \times 10^{17}/\text{cm}^3$ 以下可藉由前述半導體層良好地形成耗盡層，因而較佳。

【0021】

前述半導體層亦可使用習知的手段形成。作為前述半導體層的形成手段，可列舉例如：CVD 法、MOCVD 法、MOVPE 法、霧化 CVD 法、霧化/磊晶法、MBE 法、HVPE 法、脈衝成長法或 ALD 法等。本發明中，前述半導體層的形成手段較佳為霧化 CVD 法或霧化/磊晶法。前述的霧化 CVD 法或霧化/磊晶法中，例如使原料溶液霧化(霧化步驟)、使液滴飄浮，霧化後以載氣載持所得之霧化液滴以將其運送至基體上(運送步驟)，然後在前述基體附近使前述霧化液滴進行熱反應，藉此在基體上積層包含氧化物作為主成分的半導體膜(成膜步驟)，以形成前述半導體層。

【0022】

(霧化步驟)

霧化步驟中，使前述原料溶液霧化。前述原料溶液的霧化手段只要可使前述原料溶液霧化則未特別限定，可為習知的手段，本發明中較佳為使用超音波的霧化手段。使用超音波所得之霧化液滴，初速為零而飄浮在空中，因而較佳，例如並非係以噴霧的方式吹附，而是能夠飄浮於空間中而作為氣體運送的霧化液滴(包含霧氣)，因此不會因為衝撞的能量而造成損傷，因而極佳。液滴尺寸並未特別限定，可為數 mm 左右的液滴，較佳為 $50\mu\text{m}$ 以下，更佳為 $100\text{nm} \sim 10\mu\text{m}$ 。

【0023】

(原料溶液)

前述原料溶液只要是可霧化並包含可形成半導體膜之原料則未特別限定，可為無機材料，亦可為有機材料。本發明中，前述原料較佳為金屬或金屬化合物，更佳為包含選自鋁、鎵、銦、鐵、鉻、釩、鈦、銻、鎳、鈷及銱中的 1 種或 2 種以上的金屬。

【0024】

本發明中，可適當地使用以錯合物或鹽的形態使前述金屬溶解或分散於有機溶劑或水中的溶液，以作為前述原料溶液。作為錯合物的形態，可列舉例如：乙醯丙酮錯合物、羰基錯合物、氨錯合物、氫化物錯合物等。作為鹽的形態，可列舉例如：有機金屬鹽(例如乙酸金屬鹽、乙二酸金屬鹽、檸檬酸金屬鹽等)、硫化金屬鹽、硝化金屬鹽、磷氧化金屬鹽、鹵化金屬鹽(例如氯化金屬鹽、溴化金屬鹽、碘化金屬鹽等)等。

【0025】

又，較佳地亦可在前述原料溶液中混合氫鹵酸或氧化劑等添加劑。作為前述氫鹵酸，可列舉例如：氫溴酸、鹽酸、氫碘酸等。其中，由於可以更有效地抑制異常晶粒的產生，優選為氫溴酸或碘化氫。作為前述氧化劑，可列舉例如：過氧化氫(H_2O_2)、過氧化鈉(Na_2O_2)、過氧化鋇(BaO_2)、過氧化苯甲醯(C_6H_5CO) $_2O_2$ 等過氧化物、次氯酸(HClO)、過氯酸、硝酸、臭氧水、過乙酸或硝基苯等有機過氧化物等。

【0026】

前述原料溶液中亦可含有摻雜物。藉由使原料溶液含有摻雜物，可良好地進行摻雜。前述摻雜物只要不阻礙本發明之目的則未特別限定。作為前述摻雜物，可列舉例如：錫、銻、矽、鈦、鋯、釩或鈮等 n 型摻雜物、或 Mg、H、Li、Na、K、Rb、Cs、Fr、Be、Ca、Sr、Ba、Ra、Mn、

Fe、Co、Ni、Pd、Cu、Ag、Au、Zn、Cd、Hg、Ti、Pb、N、或P等p型摻雜物等。前述摻雜物的含量可藉由使用校正曲線來適當設定，該校正曲線顯示摻雜物在原料中的濃度相對於預期之載子密度的關係。

【0027】

原料溶液的溶劑並未特別限定，可為水等無機溶劑，亦可為醇等有機溶劑，亦可為無機溶劑與有機溶劑的混合溶劑。本發明中，前述溶劑較佳為含水，更佳為水或水與醇的混合溶劑。

【0028】

(運送步驟)

運送步驟中，以載氣載持而將前述霧化液滴運送至成膜室內。作為前述載氣只要不阻礙本發明之目的則未特別限定，例如可列舉：氧、臭氧、氮氣或氬氣等非活性氣體、或是氫氣或合成氣體等還原氣體等作為較佳的例子。又，載氣的種類可為1種，亦可為2種以上，亦可進一步將降低流量的稀釋氣體(例如10倍稀釋氣體等)等作為第2載氣使用。又，載氣的供給處可不僅為1處而為2處以上。載氣的流量並未特別限定，較佳為0.01~20L/分鐘，更佳為1~10L/分鐘。稀釋氣體的情況中，稀釋氣體的流量較佳為0.001~2L/分鐘，更佳為0.1~1L/分鐘。

【0029】

(成膜步驟)

成膜步驟中，藉由在前述基體附近使前述霧化液滴進行熱反應而在基體上形成前述半導體膜。熱反應只要是以熱使前述霧化液滴反應即可，反應條件等只要不阻礙本發明之目的則亦未特別限定。本步驟中，通常係以溶劑的蒸發溫度以上的溫度使前述熱反應進行，較佳為不太高的溫度(例如1000°C)以下，更佳為650°C以下，最佳為300°C~650°C。又，熱反

應只要不阻礙本發明之目的，則亦可在真空下、非氧環境下(例如非活性氣體環境下等)、還原氣體環境下及氧環境下的任一環境下進行，但較佳係在非活性氣體環境下或氧環境下進行。又，亦可在大氣壓下、加壓下及減壓下的任一條件下進行，但本發明中較佳係在大氣壓下進行。另外，前述半導體膜的膜厚可藉由調整成膜時間來設定。

【0030】

(基體)

前述基體只要可支撐前述半導體膜則未特別限定。只要不阻礙本發明之目的，則前述基體的材料亦未特別限定，可為習知的基體，亦可為有機化合物，亦可為無機化合物。作為前述基體的形狀，可為任何形狀，對於所有形狀皆有效，可列舉例如：平板、圓板等板狀、纖維狀、棒狀、圓柱狀、角柱狀、筒狀、螺旋狀、球狀、環狀等，但本發明中較佳為基板。基板的厚度在本發明中並未特別限定。

【0031】

前述基板只要是板狀且成為前述半導體膜的支撐體則未特別限定。可為絕緣體基板，亦可為半導體基板，亦可為金屬基板及導電性基板，但前述基板較佳為絕緣體基板，又，表面具有金屬膜的基板亦較佳。作為前述基板，可列舉例如：包含具有剛玉結構之基板材料作為主成分的底層基板、或是包含具有 β -gallia 結構之基板材料作為主成分的底層基板、包含具有六方晶結構之基板材料作為主成分的底層基板等。此處，「主成分」係指以原子比計，相對於基板材料的所有成分，較佳為含有 50% 以上的具有前述特定結晶結構的基板材料，更佳為含有 70% 以上，再佳為含有 90% 以上，亦可為 100%。

【0032】

基板材料只要不阻礙本發明之目的則未特別限定，亦可為習知者。作為前述具有剛玉結構的基板材料，可較佳地列舉例如： α - Al_2O_3 (藍寶石基板)或 α - Ga_2O_3 ，並可舉出 a 面藍寶石基板、m 面藍寶石基板、r 面藍寶石基板、c 面藍寶石基板、以及 α 型氧化鎵基板(a 面、m 面或 r 面)等作為更佳例子。包含具有 β -gallia 結構的基板材料作為主成分的底層基板，可列舉例如： β - Ga_2O_3 基板、或是包含 Ga_2O_3 與 Al_2O_3 並且 Al_2O_3 多於 0wt% 且在 60wt% 以下的混晶體基板等。又，作為包含具有六方晶結構的基板材料作為主成分的底層基板，可列舉例如： SiC 基板、 ZnO 基板、 GaN 基板等。

【0033】

本發明中，亦可在前述成膜步驟之後進行退火處理。退火的處理溫度只要不阻礙本發明之目的則未特別限定，通常為 $300^\circ\text{C}\sim 650^\circ\text{C}$ ，較佳為 $350^\circ\text{C}\sim 550^\circ\text{C}$ 。又，退火的處理時間通常為 1 分鐘 \sim 48 小時，較佳為 10 分鐘 \sim 24 小時，更佳為 30 分鐘 \sim 12 小時。另外，退火處理只要不阻礙本發明之目的則可在任何環境下進行。可為非氧環境，亦可為氧環境。作為非氧環境，可列舉例如：非活性氣體環境下(例如氮氣環境下)或還原氣體環境下等，但本發明中較佳為非活性氣體環境，更佳為氮氣環境。

【0034】

又，本發明中，亦可直接在前述基體上設置前述半導體膜，亦可隔著應力緩和層(例如緩衝層、ELO 層等)、剝離犧牲層等其他層設置前述半導體膜。各層的形成手段並未特別限定，亦可為習知手段，但本發明中較佳為霧化 CVD 法。

【0035】

本發明中，亦可將前述半導體膜貼附於表面積大於前述半導體膜的前述導電性基板，然後使用從前述基體等剝離等的習知手段後作為前述半導體層而用於半導體元件，亦可直接作為前述半導體層而用於與前述半導體膜與表面積大於前述半導體膜的前述導電性基板在熱性質上連結的半導體元件。

【0036】

又，本發明中，亦可將積層結構體，其為前述電極與直接或隔著其他層積層於前述電極上的前述半導體膜所構成，貼附於表面積大於前述半導體膜的前述導電性基板，然後使用從前述基體等剝離等的習知手段後作為前述積層結構體用於半導體元件，亦可直接作為前述積層結構體而用於與前述半導體膜、前述電極以及表面積大於前述半導體膜的前述導電性基板在熱性質上連結的半導體元件。

【0037】

前述電極的構成材料只要具有導電性並可作為電極使用，並且不阻礙本發明之目的，則未特別限定。前述電極的構成材料可為導電性無機材料，亦可為導電性有機材料。本發明中，前述電極的材料較佳為金屬。作為前述金屬，較佳可列舉例如：選自周期表第 4 族～第 11 族中的至少 1 種金屬等。作為周期表第 4 族的金屬，可列舉例如：鈦(Ti)、鋯(Zr)、鈪(Hf)等。作為周期表第 5 族的金屬，可列舉例如：釩(V)、鈮(Nb)、鉭(Ta)等。作為周期表第 6 族的金屬，可列舉例如：鉻(Cr)、鉬(Mo)及鎢(W)等。作為周期表第 7 族的金屬，可列舉例如：錳(Mn)、鎝(Tc)、錪(Re)等。作為周期表第 8 族的金屬，可列舉例如：鐵(Fe)、鈷(Ru)、銱(Os)等。作為周期表第 9 族的金屬，可列舉例如：鈷(Co)、銠(Rh)、銱(Ir)等。作為周期表第 10 族的金屬，可列舉例如：鎳(Ni)、鈀(Pd)、鉑

(Pt)等。作為周期表第 11 族的金屬，可列舉例如：銅(Cu)、銀(Ag)、金(Au)等。前述電極的厚度並未特別限定，但較佳為 0.1nm~10 μ m，更佳為 5nm~500nm，最佳為 10nm~200nm。又，前述電極可為尚特基電極，亦可為歐姆電極，但本發明中較佳為歐姆電極。

【0038】

本發明中，前述氧化物半導體膜及前述電極較佳係隔著多孔質層形成於前述導電性基板上。又，本發明中，前述多孔質層的空隙率較佳為 10%以下。此處，「空隙率」係指因為空隙所產生之空間的體積在多孔質層之體積(包含空隙的體積)中所占的比例。多孔質層的空隙率，例如可根據掃描式電子顯微鏡(SEM, Scanning Electron Microscope)所拍攝的剖面影像求出。具體而言係在多處拍攝多孔質層的剖面影像(SEM 影像)。接著使用市售的影像分析軟體對於所拍攝之 SEM 影像進行 2 值化，求出 SEM 影像中相當於孔(空隙)的部分(例如黑色部分)之比例。將從多處拍攝之 SEM 影像所求出的黑色部分之比例平均，作為多孔質層的空隙率。另外，前述「多孔質層」不僅為連續之膜狀結構體的多孔質膜狀，亦包含多孔質的凝集體狀。

【0039】

前述多孔質層並未特別限定，較佳為包含金屬，更佳為包含例如金(Au)、銀(Ag)、鉑(Pt)、鈀(Pd)、銻(Rh)、銱(Ir)、鈦(Ru)等貴金屬，最佳為含銀(Ag)。另外，前述多孔質層，在多孔質基板中亦可由前述貴金屬等金屬膜所被覆，但本發明中較佳為前述金屬的多孔質層，更佳為前述貴金屬的多孔質層，最佳為銀(Ag)的多孔質層。又，前述多孔質層可為單層，亦可為多層。又，前述多孔質層的厚度只要不阻礙本發明之目的則未特別

限定，較佳為約 10nm~約 1mm，更佳為 10nm~200 μ m，再佳為 30nm~50 μ m。

【0040】

前述多孔質層可適當地藉由將金屬(較佳為貴金屬)燒結來獲得。另外，使前述多孔質層的空隙率為 10%的手段並未特別限定，可為習知的手段，藉由適當設定燒結時間、壓力、燒結溫度等燒結條件，可輕易使前述多孔質層的空隙率為 10%，例如，可列舉藉由在加熱下進行壓接(熱壓接)等而將空隙率調節為 10%以下的手段等，更具體可列舉例如：在燒結時於一定的加壓下以比通常更長的燒結時間進行燒結等。圖 7(a)係作為試驗例而顯示藉由一般退火將 Ag 所構成之多孔質層接合之情況的空隙率。如圖 7(a)所示，多孔質層的空隙率通常超過 10%，但如圖 7(b)所示，進一步例如在 300°C~500°C的加熱下、例如在 0.2MPa~10MPa 的加壓下進行壓接 1 小時，則空隙率成為 10%以下，藉由將這種空隙率在 10%以下的多孔質層用於半導體元件，可無損半導體特性而緩和翹曲及熱應力的集中等。

【0041】

前述導電性基板只要具有導電性且可支撐半導體層則未特別限定。前述導電性基板的材料只要不阻礙本發明之目的則未特別限定。作為前述導電性基板的材料，可列舉例如：金屬(例如鋁、鎳、鉻、鎳鉻合金、銅、金、銀、鉑、銻、銻、鉬、鎢)或導電性金屬氧化物(例如 ITO(InSnO 化合物)及 FTO(摻雜了氟等的氧化錫)、氧化鋅等)、導電性碳、半導體(SiC、GaN、Si 或鑽石等)等。本發明中，前述導電性基板較佳為金屬基板或半導體基板，更佳為金屬基板。前述導電性基板為半導體基板的情況，前述導電性基板較佳為 SiC 基板。前述導電性基板為金屬基板的情況，前述導

電性基板較佳為包含過渡金屬，更佳為包含選自周期表第 6 族及第 11 族的至少 1 種金屬，較佳為包含周期表第 6 族的金屬。作為周期表第 6 族的金屬，可列舉例如：選自鉻(Cr)、鉬(Mo)及鎢(W)中的至少 1 種以上的金屬等。本發明中，周期表第 6 族的金屬較佳為包含鉬。作為周期表第 11 族的金屬，可列舉例如：選自銅(Cu)、銀(Ag)及金(Au)的至少 1 種金屬等。又，本發明中，前述導電性基板包含 2 種以上的金屬亦較佳，作為這樣的 2 種以上的金屬的組合，可列舉例如：銅(Cu)-銀(Ag)、銅(Cu)-錫(Sn)、銅(Cu)-鐵(Fe)、銅(Cu)-鎢(W)、銅(Cu)-鉬(Mo)、銅(Cu)-鈦(Ti)、鉬(Mo)-鏷(La)、鉬(Mo)-釷(Y)、鉬(Mo)-錳(Re)、鉬(Mo)-鎢(W)、鉬(Mo)-鎳(Nb)、鉬(Mo)-鉭(Ta)等。本發明中，前述導電性基板較佳為包含鉬作為主成分，更佳為包含鉬及銅。此處，「主成分」係指例如在前述導電性基板包含 Mo 作為主成分的情況中，以原子比計，相對於前述導電性基板的所有成分，較佳為含有 50% 以上的 Mo，更佳為含有 70% 以上，再佳為含有 90% 以上，亦可為 100%。這種較佳的導電性基板的材料，藉由將較佳之前述導電性接著層、及上述較佳的半導體層組合使用，可在半導體元件中更良好地呈現上述較佳的半導體層所具有之半導體特性。另外，本發明中，較佳係在前述導電性基板中，於基板表面的至少一部分含鎳，又前述導電性基板表面的至少一部分含金亦較佳。

【0042】

本發明中，直接或隔著其他層將具有含鎳之氧化物作為主成分的前述氧化物半導體膜積層於面積比前述氧化物半導體膜更大的前述導電性基板上，藉此可得到前述半導體元件。此處，製作前述半導體元件的情況，通常係對於每隔既定間距在表面上直接或隔著其他層貼有前述氧化物半導體膜的前述導電性基板，與該間距對應地各別切斷為既定面積(形狀並未特

別限定，較佳為多角形，更佳為四角形，最佳為長方形)，而前述導電性基板的截斷面上產生毛邊可能難以製作工業上可用的半導體元件，因此在切斷時，較佳係使前述導電性基板的截斷面為階差狀、或是不從前述氧化物半導體膜側而是從前述導電性基板側切斷以避免毛邊對於半導體特性造成不良影響而製作半導體元件。另外，作為「其他層」，並未特別限定，可列舉：結晶膜、非晶膜、金屬膜等各種膜等，可為導電性膜，亦可為絕緣膜。又，可為單層結構，亦可為由前述膜的 1 種或 2 種以上所構成的多層結構。

另外，本發明中，透過接著層(例如導電性接著劑或由金屬所構成之接著層等)等 1 層以上的其他層將前述半導體層與表面積大於前述半導體層的前述導電性基板貼合，此時較佳係使前述接著層燒結而形成前述多孔質層。

【0043】

又，本發明中直接或隔著其他層將具有含鎳之氧化物作為主成分的前述氧化物半導體膜積層於前述電極上，再將所得之積層結構體直接或隔著其他層積層於面積比前述氧化物半導體膜更大的前述導電性基板上後，藉由對於前述氧化物半導體膜的側面進行蝕刻而可得到前述半導體元件。

[實施例]

【0044】

以下使用圖式更詳細說明本發明的較佳實施態樣，但本發明不限於此等實施態樣。

【0045】

圖 1 係顯示肖特基屏障二極體(SBD)的主要部份作為本發明的較佳實施態樣之一的半導體元件。半導體元件至少具有半導體層 101、配置於半

導體層 101 的第 1 面側或與第 1 面側之相反側的第 2 面側的多孔質層 108，其空隙率在 10% 以下。圖 1 的 SBD 更具備歐姆電極 102、肖特基電極 103、電介質膜 104。歐姆電極 102 包含金屬層 102a、金屬層 102b、金屬層 102c。半導體層 101 包含第 1 半導體層 101a、第 2 半導體層 101b。肖特基電極 103 包含金屬層 103a、金屬層 103b、金屬層 103c。第 1 半導體層 101a 為例如 n-型半導體層，第 2 半導體層 101b 為例如 n+ 型半導體層 101b。又，電介質膜 104(以下有時亦稱為「絕緣體膜」)覆蓋半導體層 101 的側面(第 1 半導體層 101a 的側面與第 2 半導體層 101b 的側面)，具有位於半導體層 101(第 1 半導體層 101a)上表面的開口部，開口部設於第 1 半導體層 101a 的一部分與前述肖特基電極 103 的金屬層 103c 之間。電介質膜 104 亦可以覆蓋半導體層 101 的側面並且覆蓋半導體層 101(第 1 半導體層 101a)上表面之一部分的方式延伸設置。圖 1 的半導體元件中，藉由電介質膜 104 可改善端部的結晶缺陷而更良好地形成耗盡層，電場緩和亦變得更加良好，又可更良好地抑制漏電流。另外，本實施態樣中，多孔質層 108 配置於歐姆電極 102(金屬層 102c)上，半導體元件更具有配置於前述多孔質層 108 上的導電性基板(以下亦僅稱為「基板」)109。本實施態樣中，前述基板 109 具有比前述半導體層 101 更大的面積。又，本實施態樣中，歐姆電極 102 具有比前述半導體層 101 更大的面積。此處，「具有大面積」係指圖 1 中從鉛直方向(積層方向)以俯視觀看半導體元件時，前述基板 109 或前述歐姆電極 102 的面積大於前述半導體層 101 的面積。

【0046】

歐姆電極 102 及肖特基電極 103 中的各金屬層的構成材料，只要是具有導電性並且可分別用作歐姆電極及肖特基電極者，並且不阻礙本發明之

目的，則未特別限定，亦可為習知的金屬。作為前述金屬，較佳可列舉例如：選自周期表第 4 族～第 11 族的至少 1 種金屬等。作為周期表第 4 族的金屬，可列舉例如：鈦(Ti)、鋯(Zr)、鈷(Hf)等。作為周期表第 5 族的金屬，可列舉例如：釩(V)、鈮(Nb)、鉭(Ta)等。作為周期表第 6 族的金屬，可列舉例如：鉻(Cr)、鉬(Mo)及鎢(W)等。作為周期表第 7 族的金屬，可列舉例如：錳(Mn)、鎝(Tc)、錳(Re)等。作為周期表第 8 族的金屬，可列舉例如：鐵(Fe)、鈳(Ru)、銱(Os)等。作為周期表第 9 族的金屬，可列舉例如：鈷(Co)、銠(Rh)、銱(Ir)等。作為周期表第 10 族的金屬，可列舉例如：鎳(Ni)、鈀(Pd)、鉑(Pt)等。作為周期表第 11 族的金屬，可列舉例如：銅(Cu)、銀(Ag)、金(Au)等。前述各金屬層的層厚並未特別限定，較佳為 0.1nm～10 μ m，更佳為 5nm～500nm，最佳為 10nm～200nm。

【0047】

歐姆電極 102 及肖特基電極 103 中的各金屬層的形成手段並未特別限定，亦可為習知的手段。作為前述形成手段，具體而言，可列舉例如：乾式法或濕式法等。作為乾式法，可列舉例如：濺鍍、真空蒸鍍、CVD 等。作為濕式法，可列舉例如：網版印刷或模塗布等。

【0048】

針對圖 1 所示的半導體元件及前述基板 109 具有與前述半導體層 101 相同之面積的半導體元件的熱分散性，分別在用於半導體裝置的情況中實施熱分布的模擬。評價結果顯示於圖 15。由圖 15 明確得知，本發明的半導體元件熱分散性優良，而能夠用於需要散熱性的半導體裝置。又，針對圖 1 所示的半導體元件及前述歐姆電極 102 具有與前述半導體層 101 相同

之面積的半導體元件的熱分散性，分別在用於半導體裝置的情況中實施熱分布模擬的情況，亦得到相同的評價結果。

【0049】

又在本發明中，前述半導體層 101 至少包含第 1 邊、第 2 邊、第 1 結晶軸、第 2 結晶軸，第 1 結晶軸方向的線熱膨脹係數小於第 2 結晶軸方向的線熱膨脹係數，第 1 邊方向與第 1 結晶軸方向平行或大致平行，第 2 邊方向與第 2 結晶軸方向平行或大致平行，前述基板 109 至少包含與前述第 1 邊對應的邊、與前述第 2 邊對應的邊，與前述第 1 邊對應的邊比與前述第 2 邊對應的邊更長，而能夠使半導體元件的散熱性更為優良，因而較佳。相同地，前述歐姆電極 102 至少包含與前述第 1 邊對應的邊、與前述第 2 邊對應的邊，與前述第 1 邊對應的邊比與前述第 2 邊對應的邊更長，而能夠使半導體元件的散熱性更為優良，因而較佳。在將這種較佳的半導體元件用於半導體裝置的情況中、以及在將前述基板 109 具有與前述半導體層 101 相同面積的半導體元件用於半導體裝置的情況中，實施熱分布的模擬。評價結果顯示於圖 16。如圖 16 明確得知，上述本發明的較佳半導體元件其熱分散性更為優良，對於需要散熱性的半導體裝置而言更為有用。相同地對於將這種較佳的半導體元件用於半導體裝置的情況、以及將前述歐姆電極 102 具有與前述半導體層 101 相同面積的半導體元件用於半導體裝置的情況，亦實施熱分布的模擬，而得到相同的評價結果。

【0050】

圖 6 係顯示肖特基屏障二極體(SBD)的主要部以作為本發明的較佳之實施態樣之一的半導體元件。圖 6 的 SBD，相較於圖 1 的 SBD，在肖特基電極 103 的側面具有錐狀區域，此點有所不同。圖 6 的半導體元件中，作為第 1 金屬層的金屬層 103b 及/或金屬層 103c 的外端部相較於第 2 金

屬層的金屬層 103a 之外端部位於更外側，因此可更佳地抑制漏電流。又再者，金屬層 103b 及/或金屬層 103c 之中，比金屬層 103a 的外端部更往外側凸出的部分，具有膜厚往半導體元件的外側減少的錐狀區域，因此成為耐壓性更為優良的構成。又在本實施態樣中，基板 109 具有比半導體層 101 更大的面積。又在本實施態樣中，歐姆電極 102 具有比前述半導體層 101 更大的面積。此處，「具有大的面積」係指在圖 1 中從鉛直方向(積層方向)以俯視觀看半導體元件時前述基板 109 的面積大於前述半導體層 101 的面積。

【0051】

作為金屬層 103a 的構成材料，可列舉例如：例示為各金屬層之構成材料的上述金屬等。又，作為金屬層 103b 及金屬層 103c 的構成材料，可列舉例如：例示為各金屬層之構成材料的上述金屬等。圖 1 中的各層之形成手段，只要不阻礙本發明之目的則未特別限定，可為習知的手段。可列舉例如：藉由真空蒸鍍法、CVD 法、濺鍍法、各種塗布技術成膜後，藉由光微影法進行圖案化的手段、或是使用印刷技術等直接進行圖案化的手段等。

【0052】

以下說明圖 1 之 SBD 的較佳製造步驟，但本發明不限於此等較佳的製造方法。圖 2(a)係顯示藉由上述霧化 CVD 法，在作為基體 110 的結晶成長用基板(藍寶石基板)上隔著應力緩和層積層有第 1 半導體層 101a、第 2 半導體層 101b 的積層體。在第 2 半導體層 101b 上，使用前述乾式法或前述濕式法形成金屬層 102a、金屬層 102b 及金屬層 102c 以作為歐姆電極，得到圖 2(b)的積層體。又，在圖 2(b)的積層體上隔著由貴金屬所構成之多孔質層 108 積層基板 109 而得到積層體(c)。然後，如圖 3 所示，

使用習知的剝離手段將積層體(c)的基體 110 及應力緩和層 111 剝離，得到積層體(d)。然後，如圖 4 所示，以蝕刻使積層體(d)的半導體層的側面成為錐狀，得到積層體(e)之後，在錐狀的側面及半導體層的開口部以外的上表面積層絕緣體膜 104，得到積層體(f)。接著如圖 5 所示，在積層體(f)的半導體層的上表面開口部分，使用前述乾式法或前述濕式法形成金屬層 103a、103b 及 103c 以作為肖特基電極，而得到積層體(g)。如上述所得之半導體元件中，前述歐姆電極 102 及前述基板 109 具有比前述半導體層 101a 及 101b 更大的面積，因此半導體特性及散熱性優良。又，如上述所得之半導體元件成為下述構成：可良好地抑制半導體層的氧等擴散，而可發揮優良的歐姆特性，並且改善端部的結晶缺陷而更良好地形成耗盡層，電場緩和變得更加良好，而且可更良好地抑制漏電流。另外，以上述較佳的態樣試作 SBD，結果並未特別產生裂縫或凹凸等，平坦性優良，且以顯微鏡等確認未產生應變。然後以功率循環試驗對於所試作的本實施例之製品進行性能評價，完成 5 分鐘 3000 循環，評價結果良好，可知具有充分的散熱性及熱耐性。另外，本實施例之製品中，如圖 7(b)所示，係使用空隙率 10% 以下的多孔質層。

【0053】

前述半導體元件為橫型元件之情況的一例顯示於圖 17。圖 17 的 MOSFET 具備：橫型的 MOSFET、n+型半導體層(n+型源極層)1b、n+型半導體層(n+型汲極層)1c、作為 p 型半導體層的高電阻氧化物膜 2，閘極絕緣膜 4a、閘電極 5a、源電極 5b、汲電極 5c、絕緣體基板 9、多孔質層 108 及基板 109。本實施態樣中，前述基板 109 具有比前述 n+型半導體層(n+型源極層)1b 及前述 n+型半導體層(n+型汲極層)1c 更大的面積。又，圖 17 的半導體元件中，絕緣體基板 9 隔著多孔質層 108 接合於基板

109，但本發明中，絕緣體基板 9 可直接接合於基板 109，亦可使用其他習知的手段進行接合。又，圖 17 中的各層之形成手段，只要不阻礙本發明之目的則未特別限定，亦可為習知的手段。可列舉例如：在藉由真空蒸鍍法、CVD 法、濺鍍法及各種塗布技術進行成膜後再藉由光微影法進行圖案化的手段，或是使用印刷技術等直接進行圖案化的手段等。

【0054】

前述半導體元件可為橫型元件，亦可為縱型元件，但本發明中較佳為縱型元件，又對於功率元件尤其有用。作為前述半導體元件，可列舉例如：二極體(例如 PN 二極體、肖特基屏障二極體、接面屏障肖特基二極體等)或電晶體(例如 MOSFET、MESFET 等)等，其中較佳為肖特基屏障二極體(SBD)、金氧半場效電晶體(MOSFET)或絕緣閘雙極電晶體(IGBT)，更佳為肖特基屏障二極體(SBD)。

【0055】

本發明的半導體元件，除了上述事項以外，再根據一般方法藉由接合構件接合於引線框架、電路基板或散熱基板等而適當作為半導體裝置使用，尤其可較佳地作為功率模組、反向器或轉換器使用，進一步可較佳地用於例如使用了電源裝置的半導體系統等。前述半導體裝置的較佳例顯示於圖 11。圖 11 的半導體裝置，在半導體元件 500 的兩面上分別藉由焊錫 501 與引線框架、電路基板或散熱基板 502 接合。藉由如此構成而可作為散熱性優良的半導體裝置。另外，本發明中較佳係以樹脂密封焊錫等接合構件的周圍。本發明中，前述導電性基板的側面為截斷面，前述截斷面具有階差或毛邊，可在不對於前述半導體元件的半導體特性造成不良影響的情況下製作前述半導體裝置，因而較佳。另外，前述導電性基板的側面為截斷面，前述截斷面具有階差之情況的半導體元件的一例顯示於圖 13。

又，前述導電性基板的側面為截斷面，前述截斷面具有毛邊 112 之情況的半導體元件的一例顯示於圖 14。此處，「毛邊」係指因為切斷處理而從切斷處理面的端部等延伸出來的殘渣、細毛等。又，前述階差可為 1 或 2 個以上的階差，只要不阻礙本發明之目的，則階差的形狀等亦未特別限定。

【0056】

前述電源裝置可藉由一般方法連接於配線圖案等，而從前述半導體裝置製得前述電源裝置，或是製得作為前述半導體裝置的前述電源裝置。圖 8 中，使用多個前述電源裝置 171、172 與控制電路 173 構成電源系統 170。前述電源系統，如圖 9 所示，可將電子電路 181 與電源系統 182 組合而用於系統裝置 180。另外，電源裝置的電源電路圖的一例顯示於圖 10。圖 10 係顯示功率電路與控制電路所構成的電源裝置的電源電路，藉由反向器 192(由 MOSFET A~D 所構成)以高頻切換 DC 電壓而轉換成 AC 後，以變壓器 193 實施絕緣及變壓，以整流 MOSFET194 進行整流後，以 DCL195(平滑用線圈 L1、L2)與電容器進行平滑，並輸出直流電壓。此時藉由電壓比較器 197 將輸出電壓與基準電壓比較，以 PWM 控制電路 196 控制反向器 192 及整流 MOSFET194，以成為預期的輸出電壓。

【0057】

本發明中前述半導體裝置較佳為功率卡，且包含冷卻器及絕緣構件，更佳為在前述半導體層的兩側分別至少隔著前述絕緣構件設置前述冷卻器，最佳為在前述半導體層的兩側分別設置散熱層，而在散熱層的外側至少隔著前述絕緣構件分別設置前述冷卻器。圖 12 係顯示本發明之較佳實施態樣之一的功率卡。圖 12 的功率卡為兩面冷卻型功率卡 201，具備：冷媒管 202、間隔器 203、絕緣板(絕緣間隔器)208、密封樹脂部 209、半

導體晶片 301a、金屬散熱板(突出端子部)302b，散熱器(heatsink)及電極 303、金屬散熱板(突出端子部)303b、焊接層 304、控制電極端子 305、接合線 308。冷媒管 202 的厚度方向剖面具有多個流路 222，其係以互相隔著既定間隔在流路方向上延伸的多個分隔壁 221 所劃分而成。根據這種較佳的功率卡可實現更高的散熱性，而可達到更高的可靠度。

【0058】

半導體晶片 301a 係以焊接層 304 接合於金屬散熱板 302b 內側的主面上，而金屬散熱板(突出端子部)302b 以焊接層 304 接合於半導體晶片 301a 剩餘的主面上，藉此使續流二極體(flywheel diode)的陽電極面和陰電極面，以所謂的逆並聯連接至 IGBT 的射電極面和集電極面。作為金屬散熱板(突出端子部)302b 及 303b 的材料，可列舉例如：Mo 或 W 等。金屬散熱板(突出端子部)302b 及 303b 具有厚度差用以吸收半導體晶片 301a 之厚度差，藉此金屬散熱板 302b 及 303b 的外表面成為平面。

【0059】

密封樹脂部 209 例如由環氧樹脂所構成，覆蓋該等金屬散熱板 302b 及 303b 的側面並加以模製成型，半導體晶片 301a 用密封樹脂部 209 而模製成型。其中，金屬散熱板 302b 及 303b 的外主面、亦即接觸受熱面完全露出。在圖 12 中，金屬散熱板(突出端子部)302b 及 303b 從密封樹脂部 209 往右側突出，作為所謂引線框架端子的控制電極端子 305，例如將形成有 IGBT 的半導體晶片 301a 之間極(控制)電極面與控制電極端子 305 連接。

【0060】

作為絕緣間隔器的絕緣板 208，例如係以氮化鋁膜所構成，但亦可為其他絕緣膜。絕緣板 208 完全覆蓋金屬散熱板 302b 及 303b 而進行密

合，但絕緣板 208 與金屬散熱板 302b 及 303b 亦可僅接觸，亦可塗布矽潤滑脂(silicon grease)等良好的導熱材料，亦可以各種方法將此等接合。又，亦可以陶瓷噴鍍等形成絕緣層，亦可將絕緣板 208 接合於金屬散熱板上，亦可接合或形成於冷媒管上。

【0061】

以拉擠成形法或擠製成形法使鋁合金成形為板材，再將其裁切成需要的長度，以製作冷媒管 202。冷媒管 202 的厚度方向剖面具有多個流路 222，其係以互相隔著既定間隔而在流路方向上延伸的多個分隔壁 221 劃分而成。間隔器 203，例如可為焊接合金等軟質的金屬板，但亦可為藉由塗布等而形成於金屬散熱板 302b 及 303b 之接觸面的膜(film)。此軟質之間隔器 203 的表面可輕易變形而配合絕緣板 208 的微小凹凸或翹曲、冷媒管 202 的微小凹凸或翹曲以降低熱阻。另外，亦可在間隔器 203 的表面等塗布習知的良熱傳導性油脂等，亦可省略間隔器 203。

[產業上的可利用性]

【0062】

本發明的半導體元件可用於半導體(例如化合物半導體電子元件等)、電子零件/電力設備零件、光學/電子影像相關裝置、工業構件等所有區域，但對於功率元件尤其有用。

【符號說明】

【0063】

1:n+型半導體層

1a:第 1 半導體區域

1b:n+型半導體層(n+型源極層)

1c:n+型半導體層(n+型汲極層)

2:高電阻氧化物膜

3:n-型半導體層

4a:閘極絕緣膜

4b:絕緣膜

5a:閘電極

5b:源電極

5c:汲電極

9:基板

101:半導體層

101a:第 1 半導體層

101b:第 2 半導體層

102:歐姆電極

102a:金屬層

102b:金屬層

102c:金屬層

103:肖特基電極

103a:金屬層

103b:金屬層

103c:金屬層

104:絕緣體膜

108:多孔質層

109:基板

- 110:基體
- 111:應力緩和層
- 112:毛邊
- 170:電源系統
- 171:電源裝置
- 172:電源裝置
- 173:控制電路
- 180:系統裝置
- 181:電子電路
- 182:電源系統
- 192:反向器
- 193:變壓器
- 194:整流 MOSFET
- 195:DCL
- 196:PWM 控制電路
- 197:電壓比較器
- 200:半導體裝置
- 201:兩面冷卻型功率卡
- 202:冷媒管
- 203:間隔器
- 208:絕緣板(絕緣間隔器)
- 209:密封樹脂部
- 221:隔壁
- 222:流路

- 301a:半導體晶片
- 302b:金屬散熱板(突出端子部)
- 303: 散熱器及電極
- 303b:金屬散熱板(突出端子部)
- 304:焊接層
- 305:控制電極端子
- 308:接合線
- 500:半導體元件
- 501:焊錫
- 502:引線框架、電路基板或散熱基板

【發明申請專利範圍】

【請求項1】一種半導體元件，含有在導電性基板上隔著多孔質層積層具有含鎵之氧化物作為主成分的氧化物半導體膜而成的積層結構體，其中前述導電性基板具有比前述氧化物半導體膜更大的面積。

【請求項2】一種半導體元件，含有在電極上直接或隔著其他層積層具有含鎵之氧化物作為主成分的氧化物半導體膜而成的積層結構體，其中前述電極具有比前述氧化物半導體膜更大的面積，而且所述電極的側面的上端部形成有缺口。

【請求項3】如請求項1或2之半導體元件，其中前述氧化物具有剛玉結構。

【請求項4】如請求項1或2之半導體元件，其中前述氧化物為 $\alpha\text{-Ga}_2\text{O}_3$ 或其混晶。

【請求項5】如請求項1之半導體元件，其中前述導電性基板的線熱膨脹係數與前述氧化物半導體膜的線熱膨脹係數相同或比其更小。

【請求項6】如請求項1之半導體元件，其中前述導電性基板為金屬基板或半導體基板。

【請求項7】如請求項1之半導體元件，其中前述導電性基板比前述氧化物半導體膜大一圈。

【請求項8】如請求項2之半導體元件，其中前述電極比前述氧化物半導體膜大一圈。

【請求項9】如請求項1之半導體元件，其中前述導電性基板的面積為前述氧化物半導體膜的面積的1.1倍～4倍。

【請求項10】 如請求項2之半導體元件，其中前述電極的面積為前述氧化物半導體膜的面積的1.1倍～4倍。

【請求項11】 如請求項1之半導體元件，其中前述導電性基板的側面為截斷面，前述截斷面具有階差或毛邊。

【請求項12】 如請求項1或2之半導體元件，其為縱型元件。

【請求項13】 如請求項1或2之半導體元件，其為功率元件。

【請求項14】 如請求項1或2之半導體元件，其為肖特基屏障二極體(SBD)、金屬氧化膜半導體場效電晶體(MOSFET)或絕緣閘雙極電晶體(IGBT)。

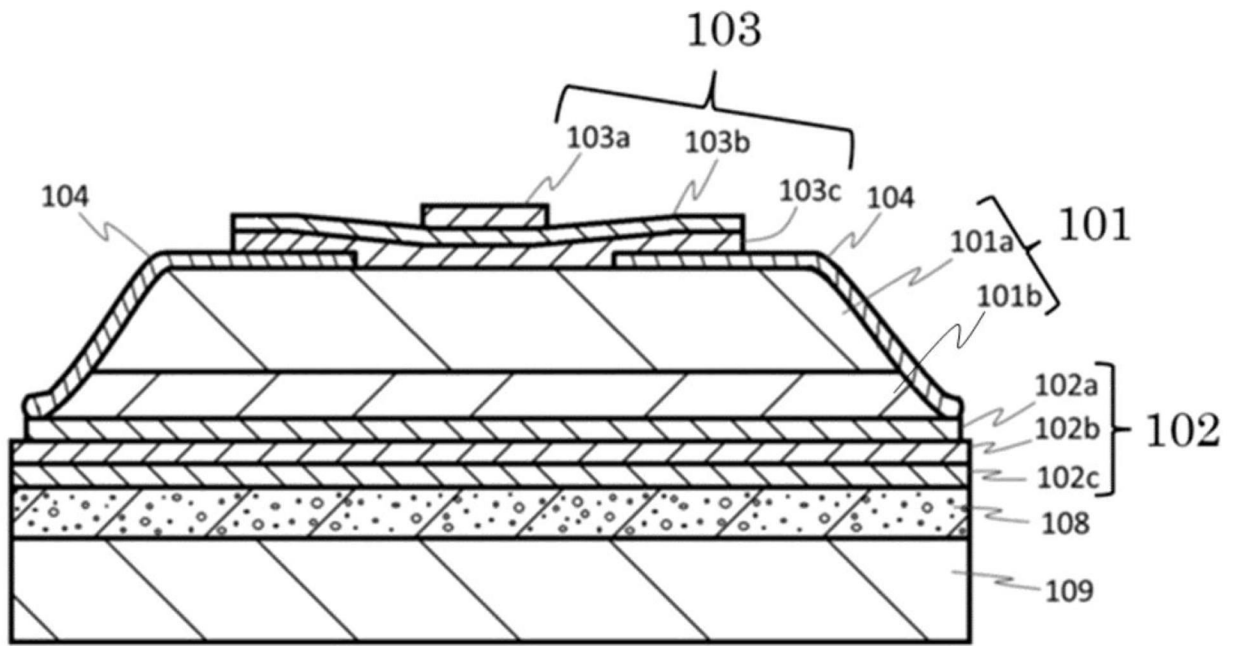
【請求項15】 一種半導體裝置，其係以接合構件至少將半導體元件接合於引線框架、電路基板或散熱基板所構成，其中前述半導體元件為如請求項1或2之半導體元件。

【請求項16】 如請求項15之半導體裝置，其為功率模組、反向器或轉換器。

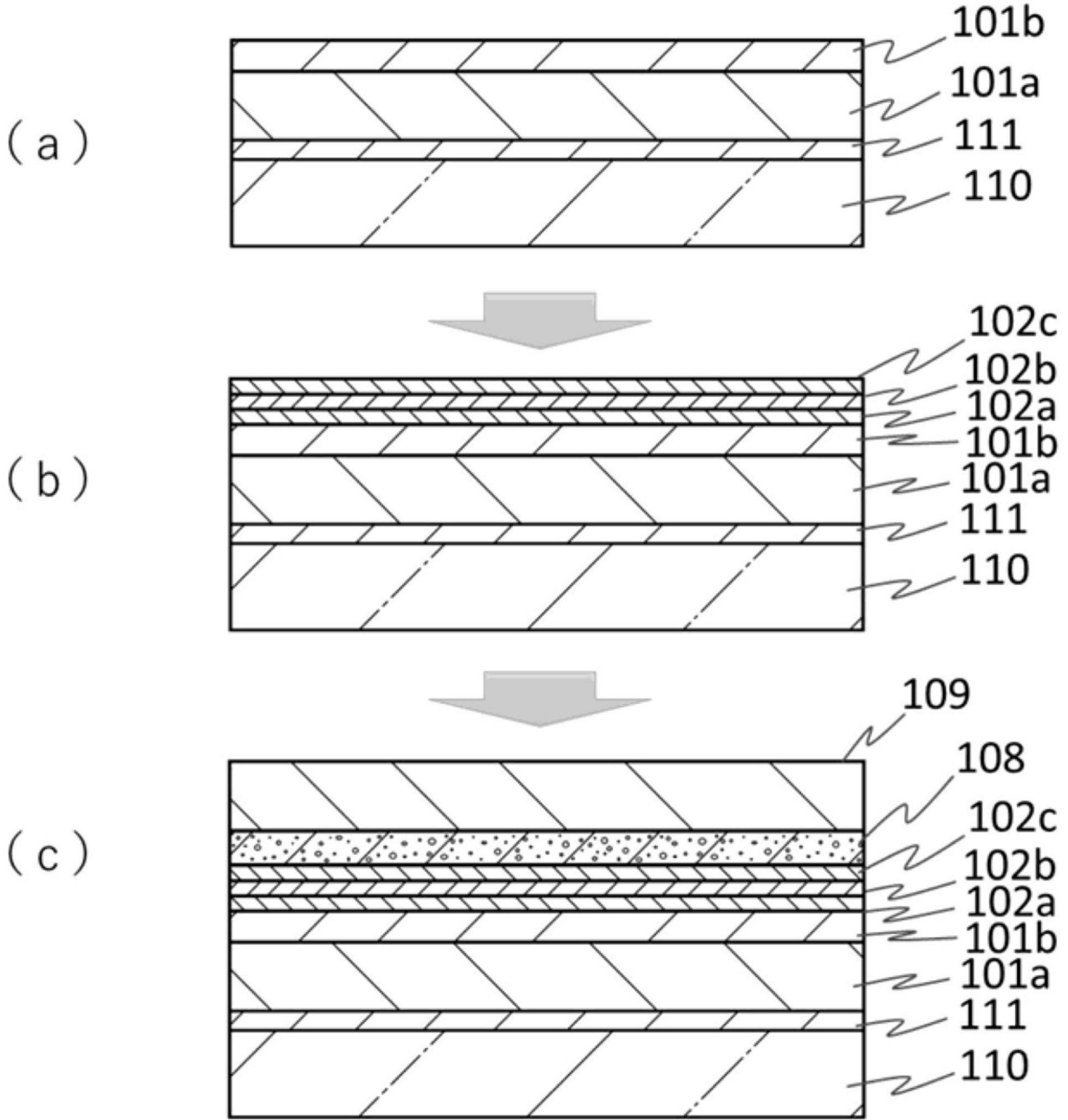
【請求項17】 如請求項15之半導體裝置，其為功率卡。

【請求項18】 一種半導體系統，其具備半導體元件或半導體裝置，其中前述半導體元件為如請求項1或2之半導體元件，前述半導體裝置為如請求項15至17中任一項之半導體裝置。

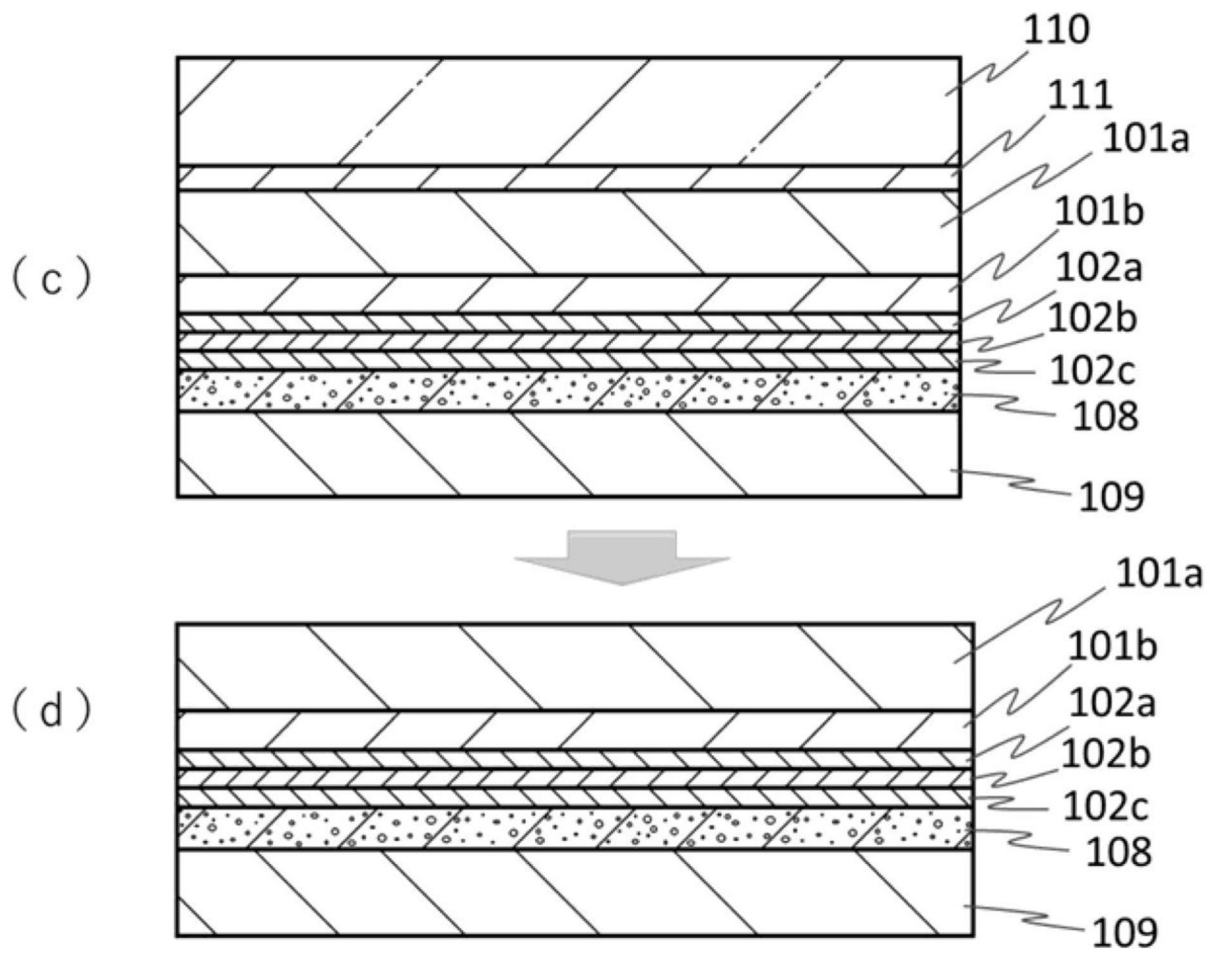
【發明圖式】



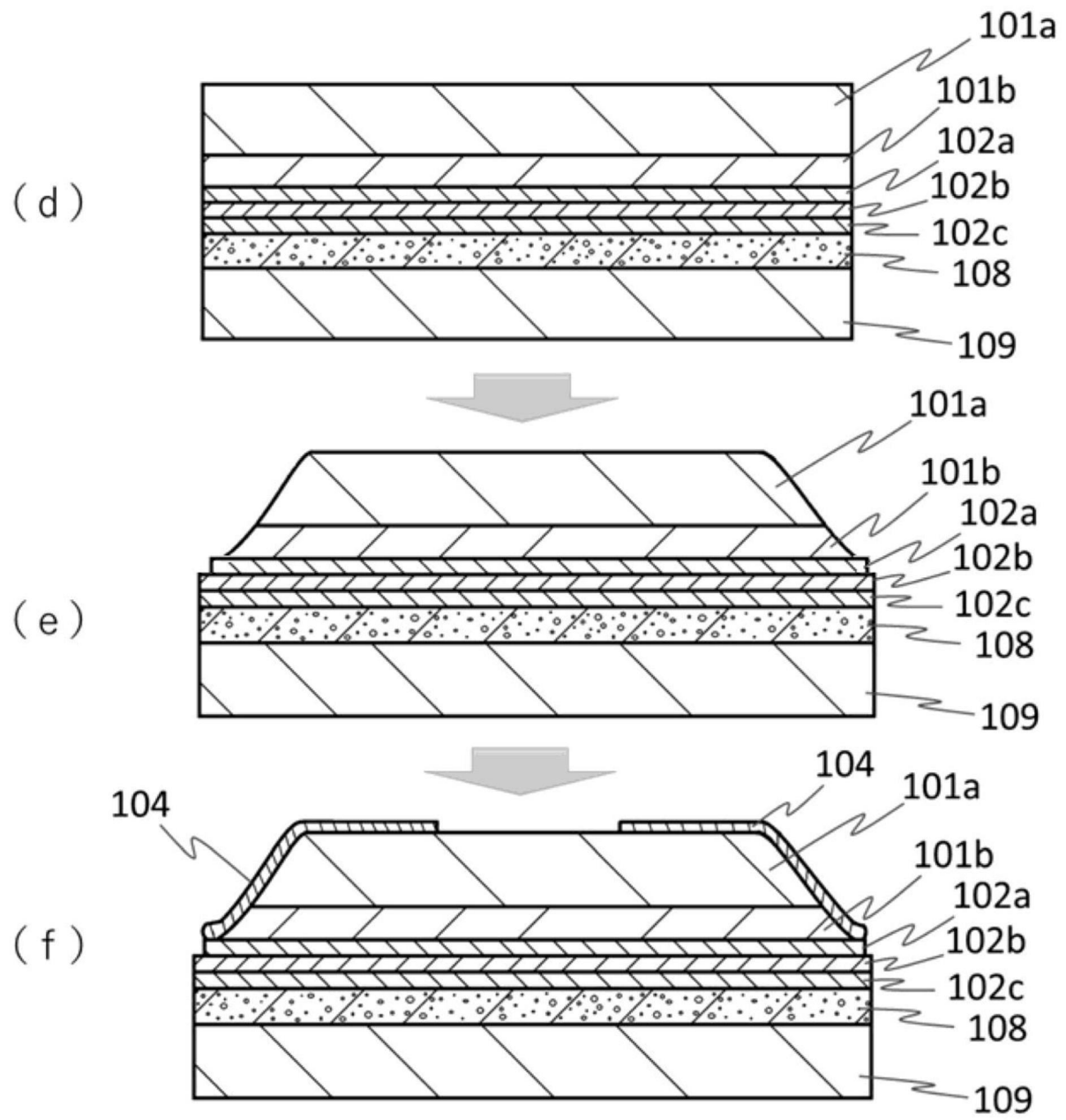
【圖1】



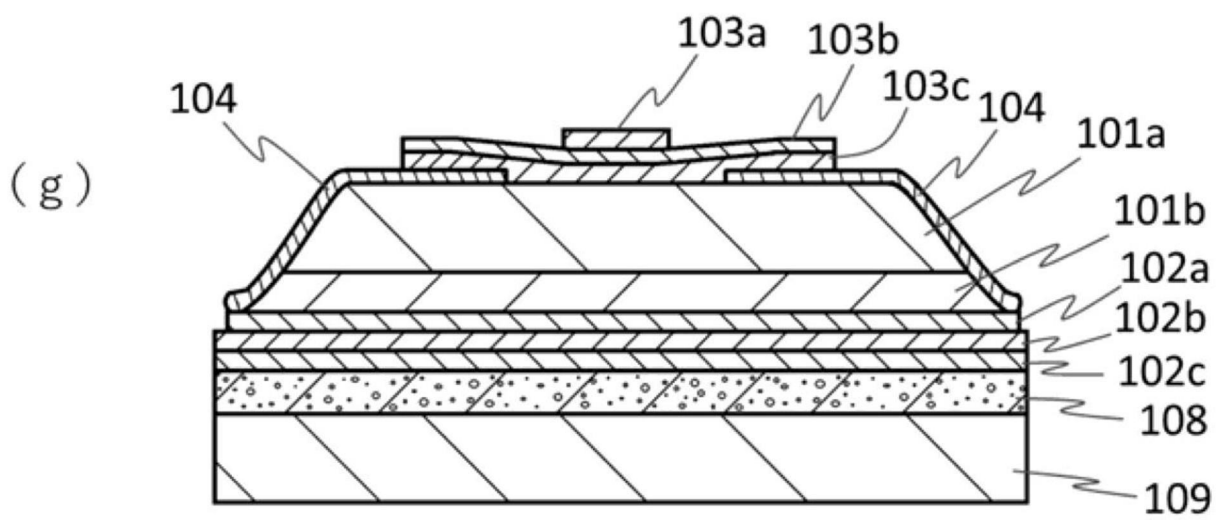
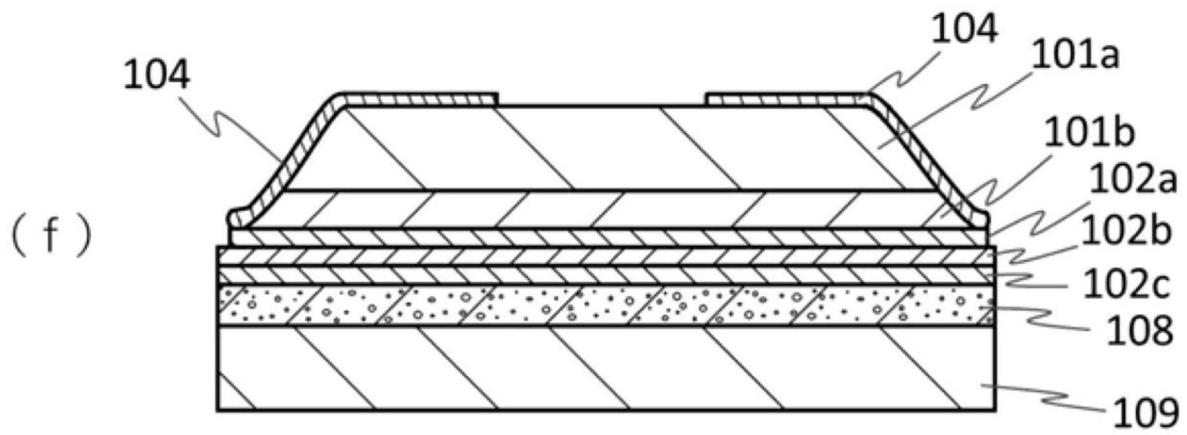
【圖2】



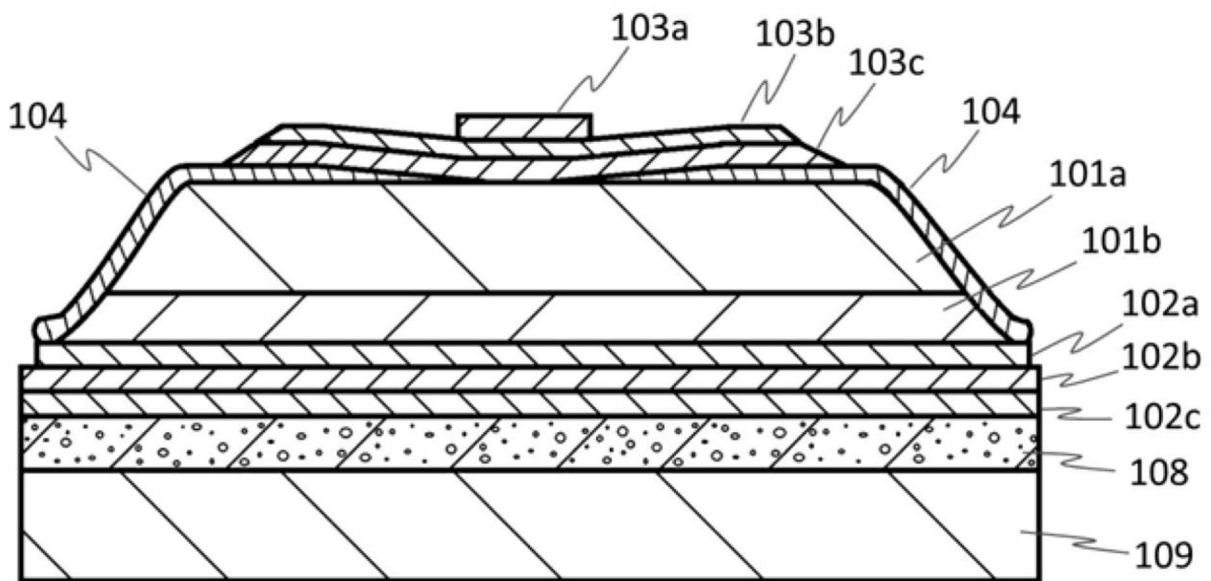
【圖3】



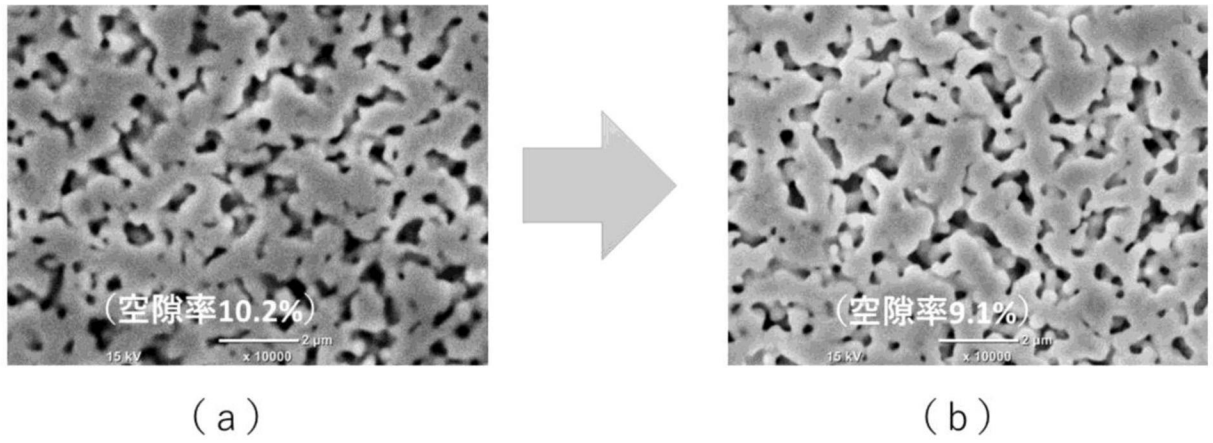
【圖4】



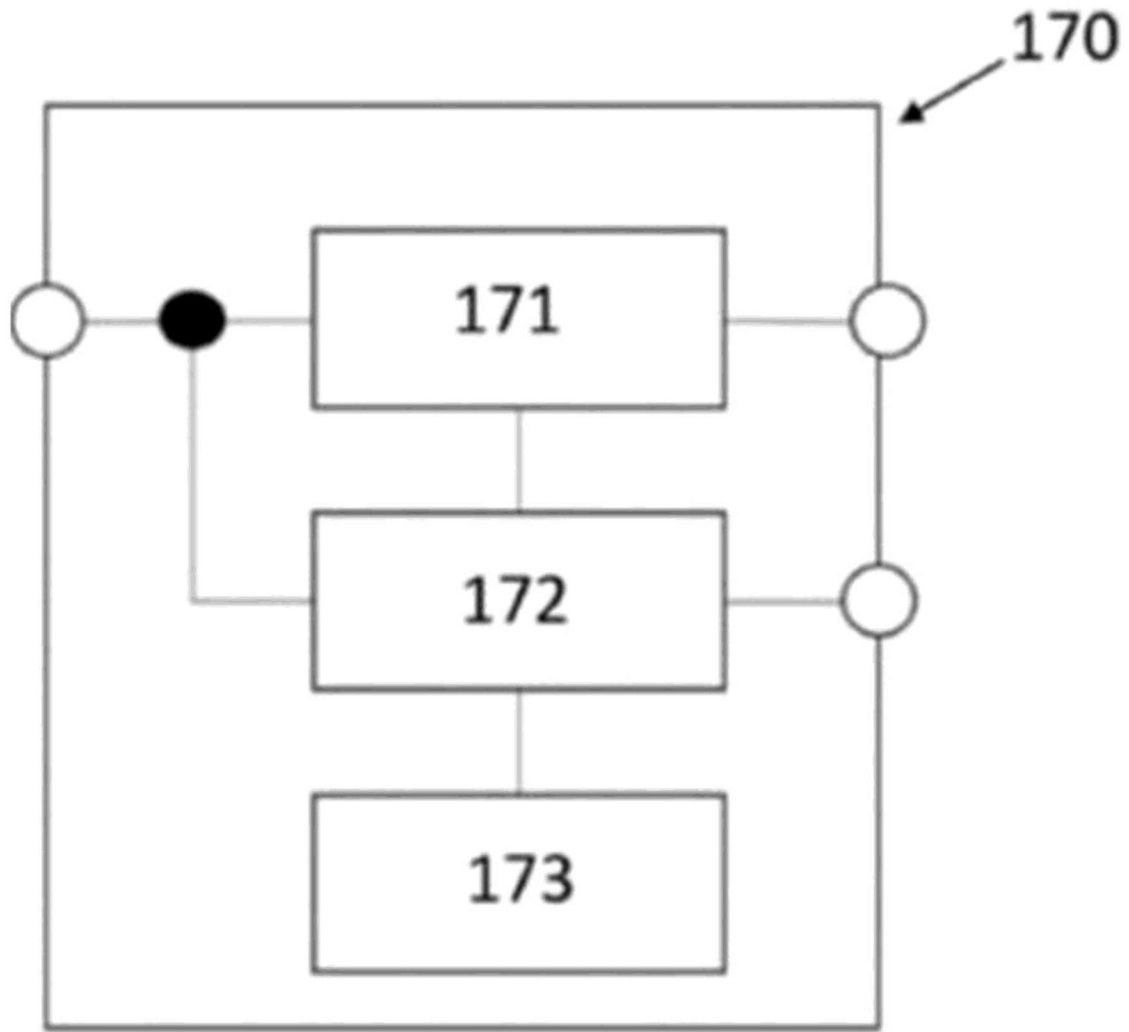
【圖5】



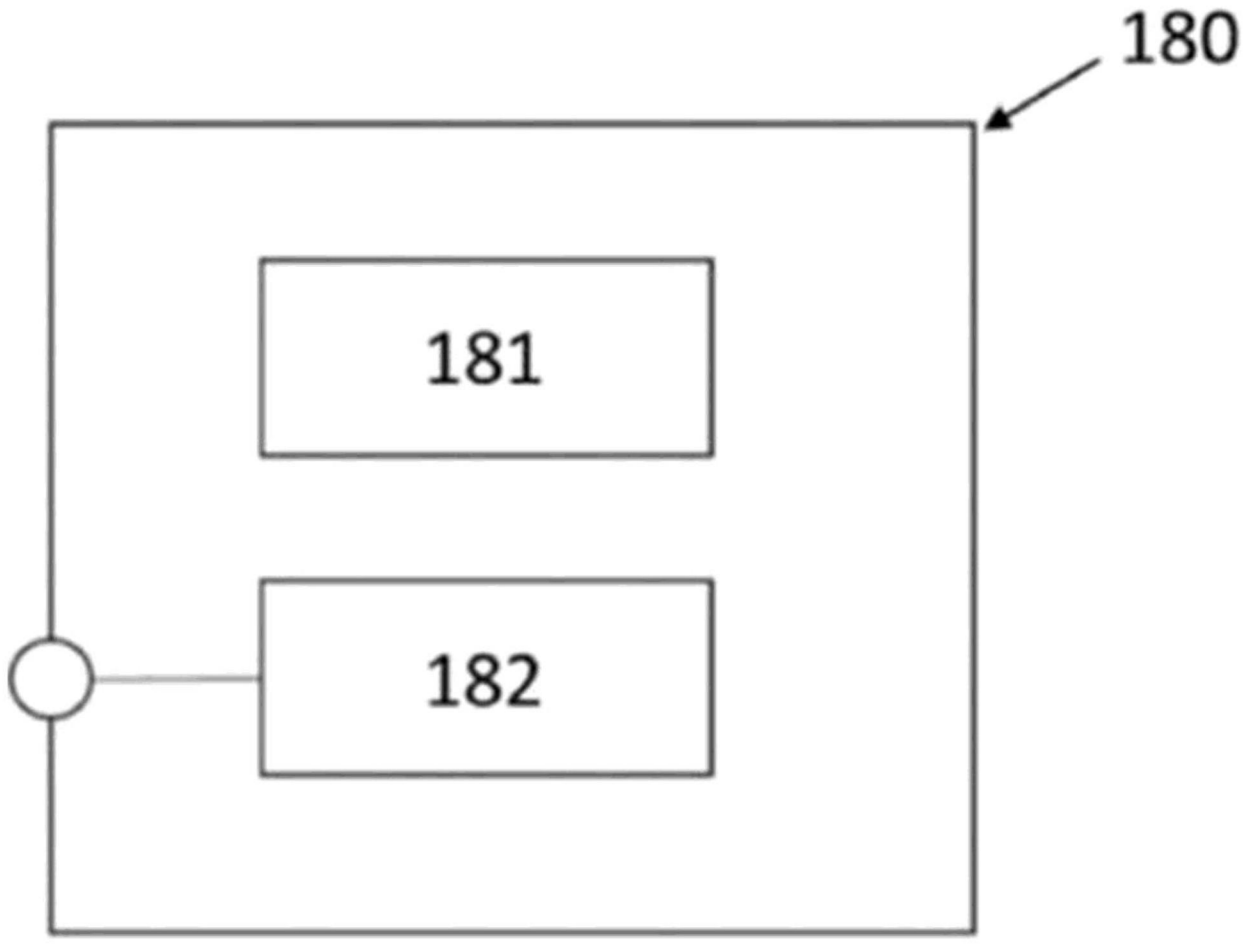
【圖6】



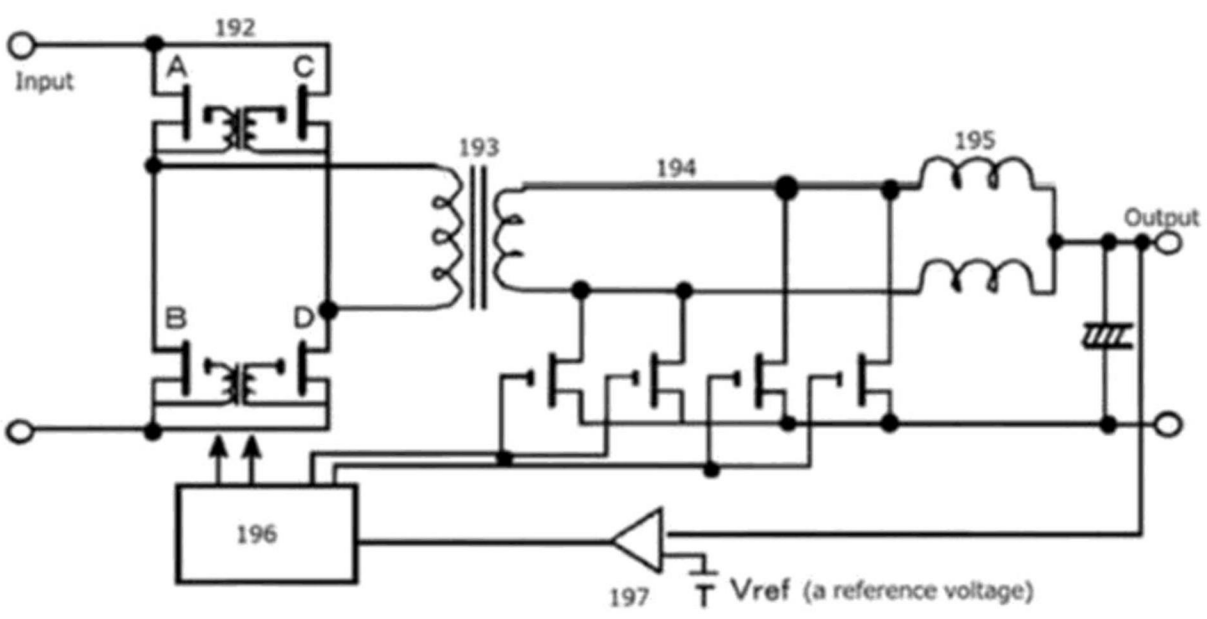
【圖7】



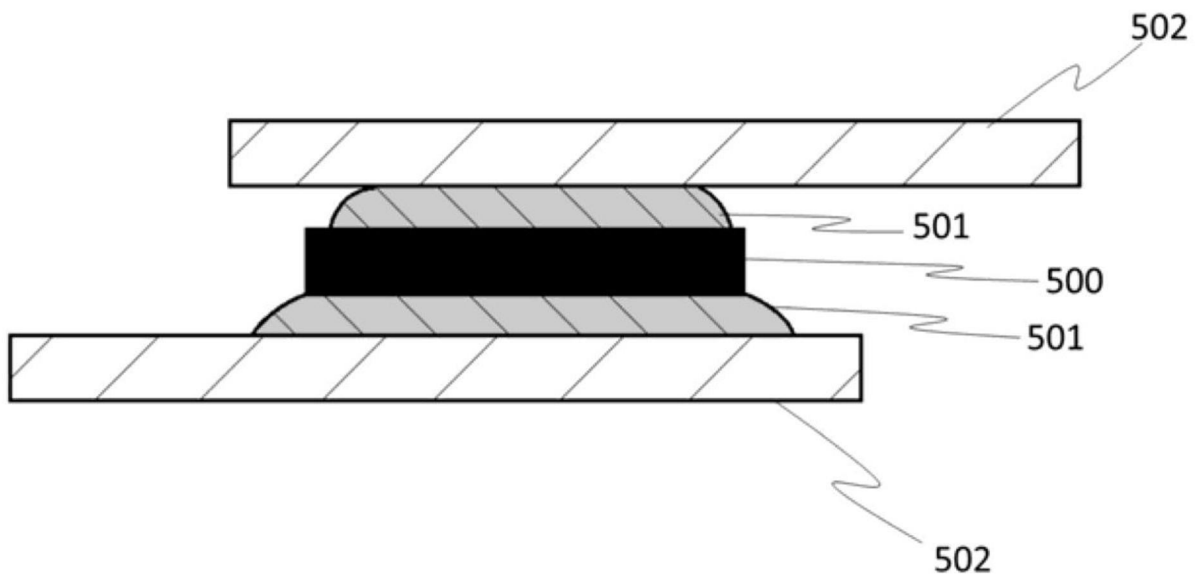
【圖8】



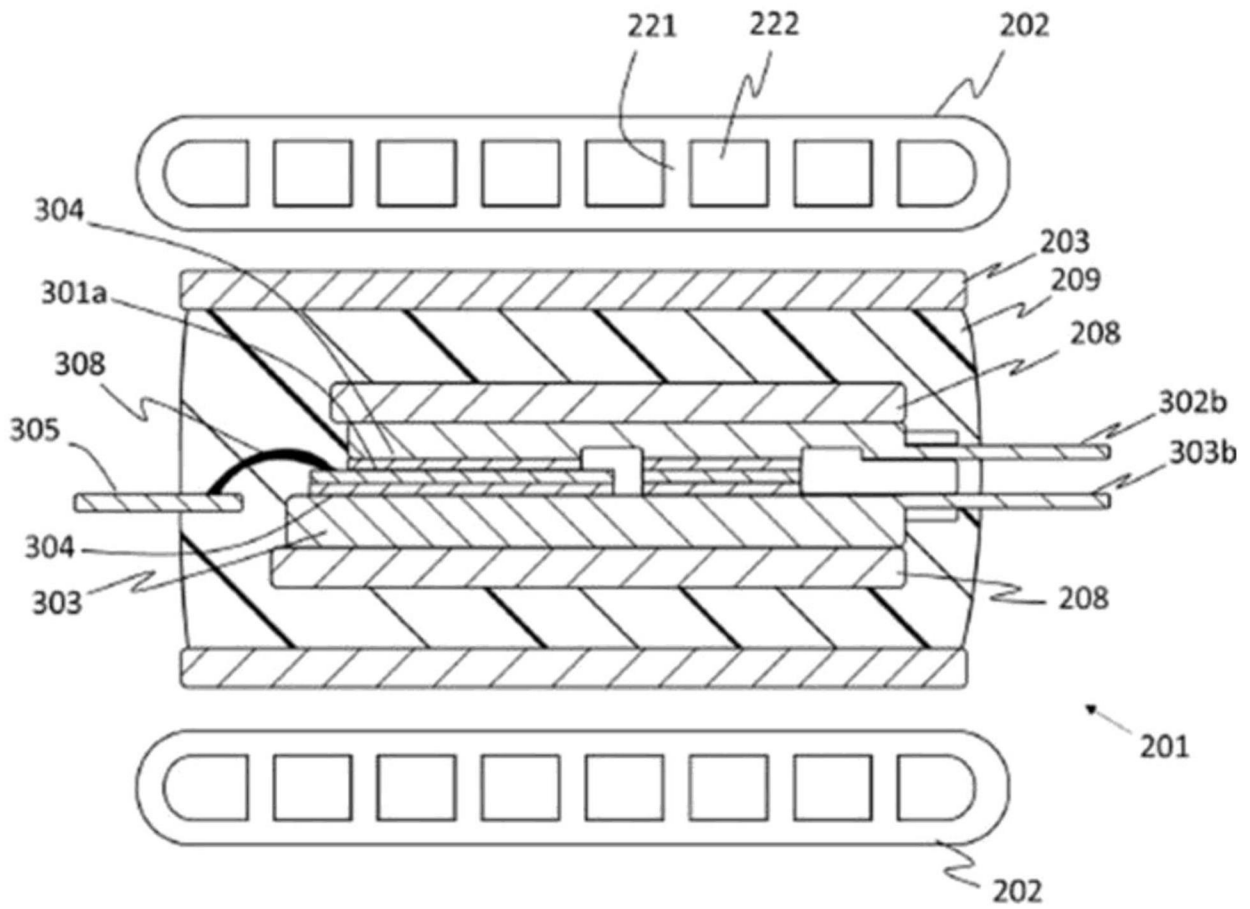
【圖9】



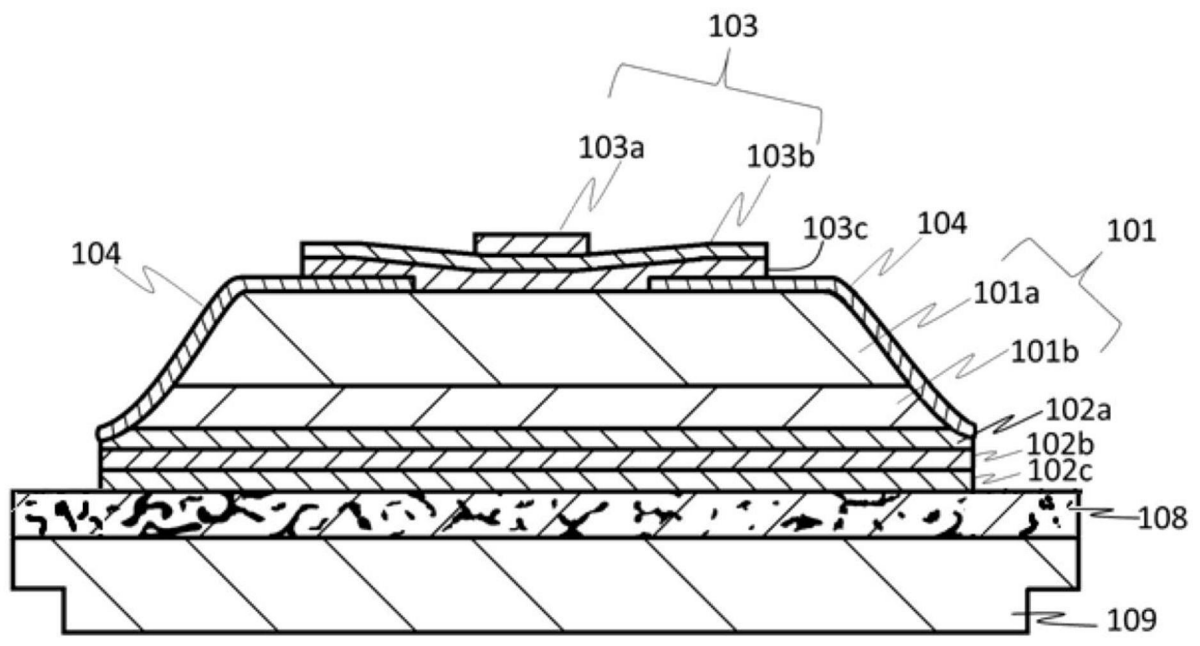
【圖10】



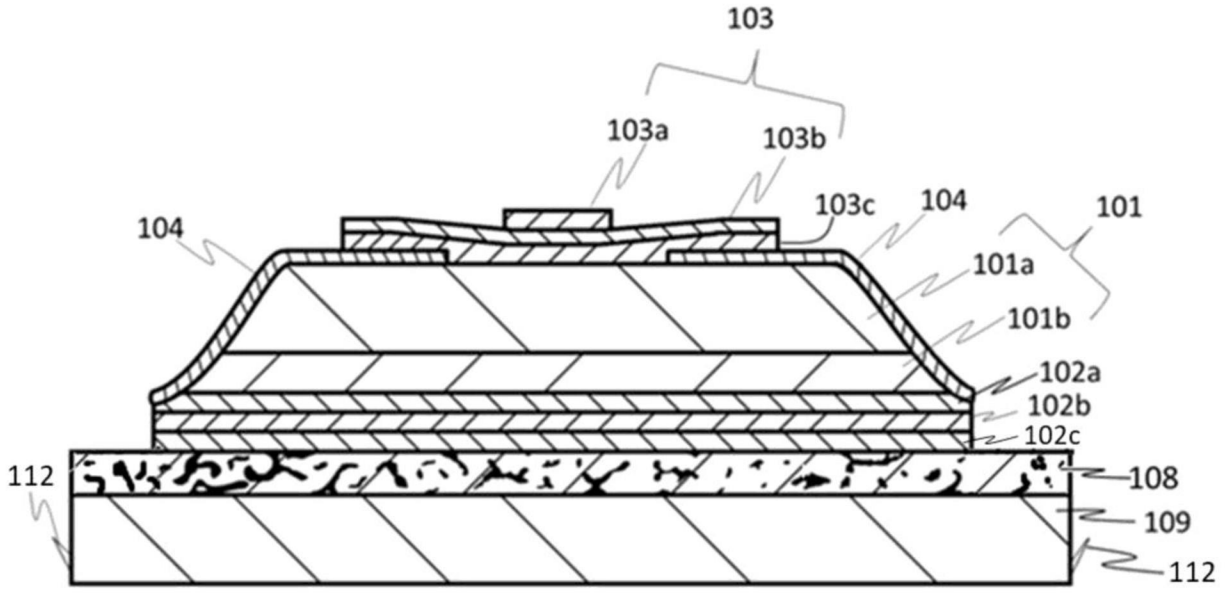
【圖11】



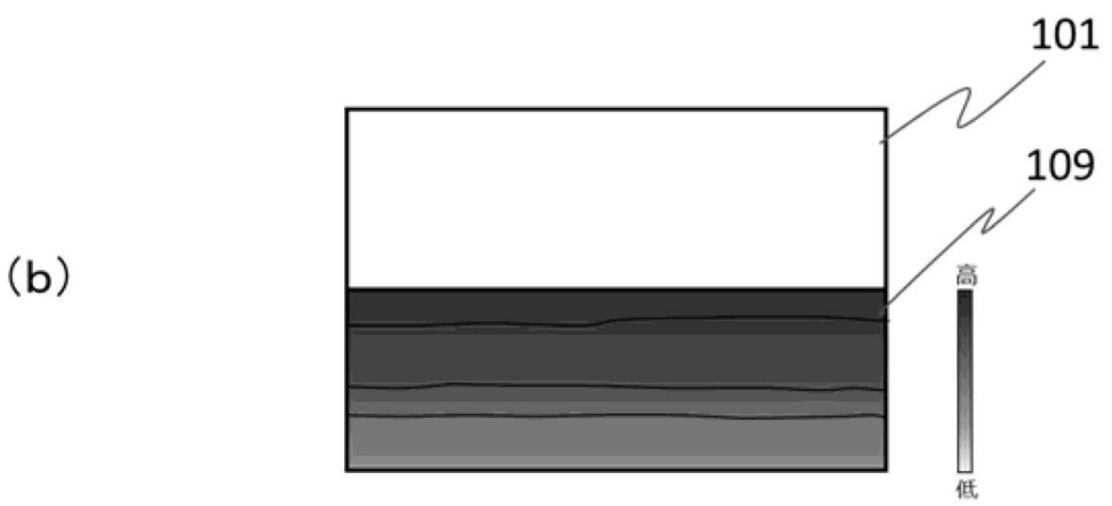
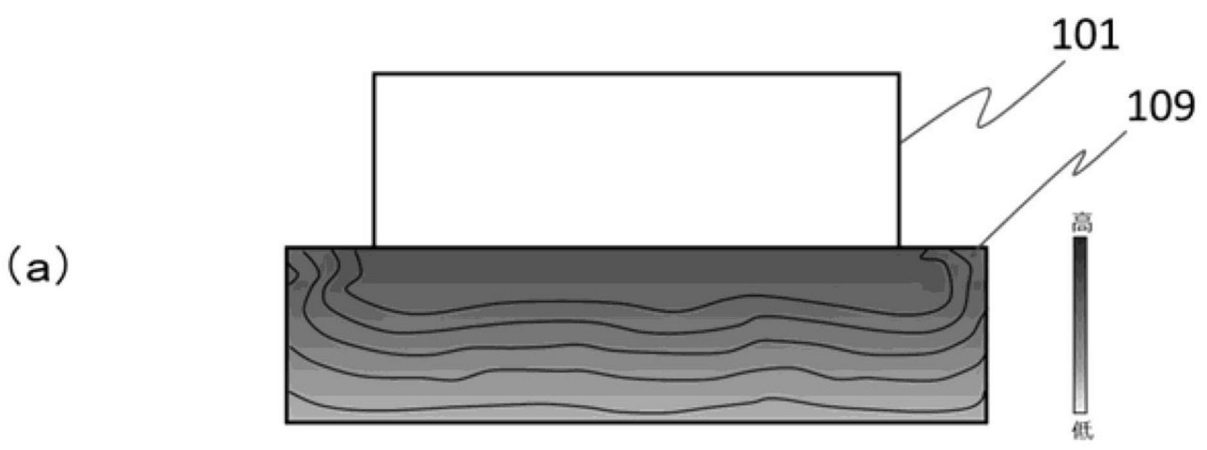
【圖12】



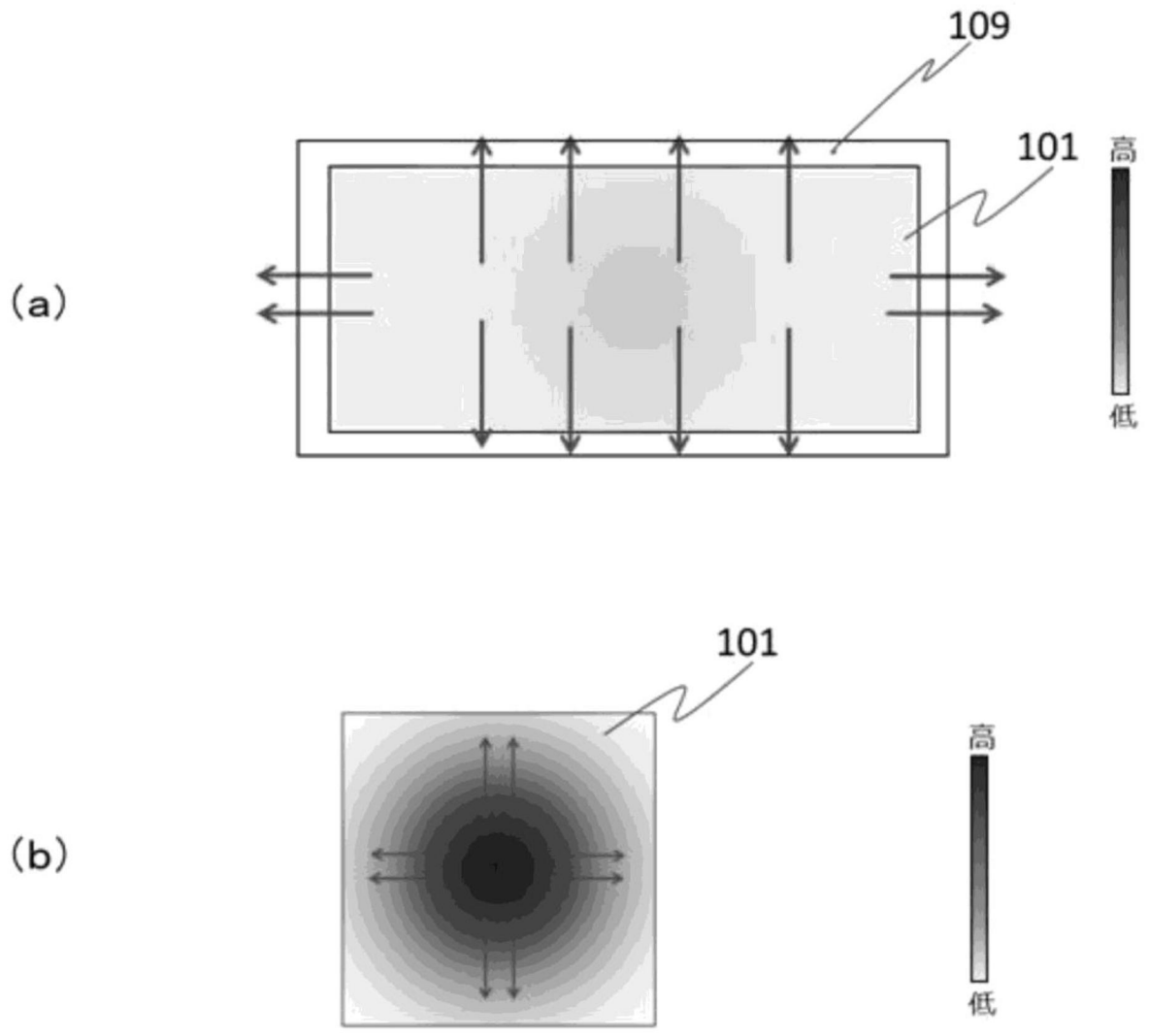
【圖13】



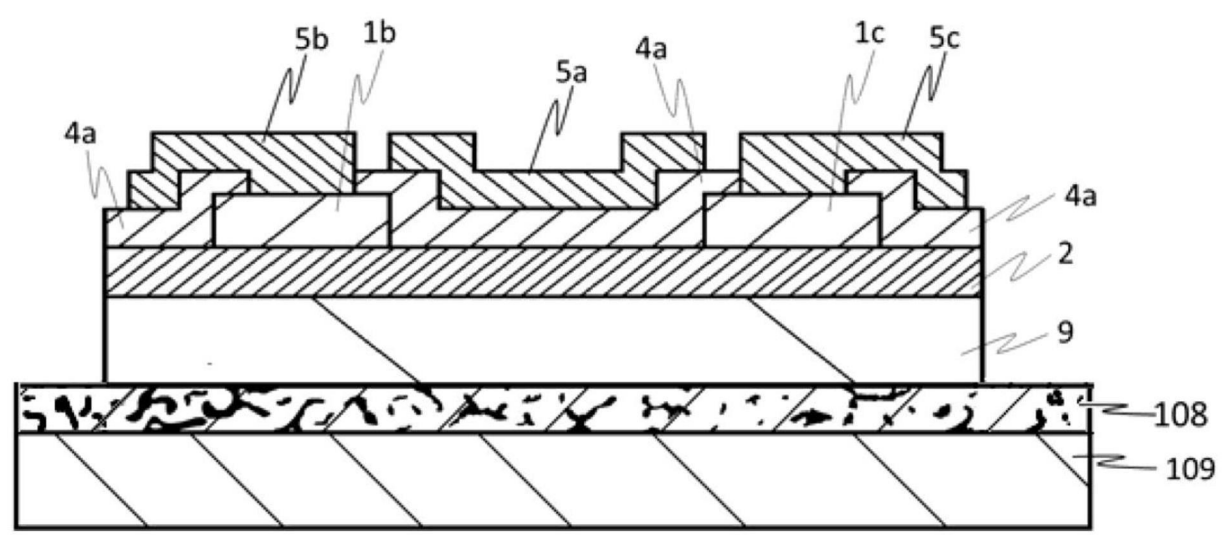
【圖14】



【圖15】



【圖16】



【圖17】