

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 13 日(13.12.2012)



(10) 国際公開番号
WO 2012/169214 A1

- (51) 国際特許分類:
H01L 21/8238 (2006.01) H01L 27/092 (2006.01)
H01L 21/02 (2006.01) H01L 27/12 (2006.01)
H01L 21/28 (2006.01) H01L 29/417 (2006.01)
H01L 21/762 (2006.01) H01L 29/786 (2006.01)
H01L 27/08 (2006.01)
- (21) 国際出願番号: PCT/JP2012/003789
- (22) 国際出願日: 2012 年 6 月 11 日(11.06.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-130730 2011 年 6 月 10 日(10.06.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 住友化学株式会社 (SUMITOMO CHEMICAL COMPANY, LIMITED) [JP/JP]; 〒1048260 東京都中央区新川二丁目 2 7 番 1 号 Tokyo (JP). 国立大学法人東京大学(The University of Tokyo) [JP/JP]; 〒1138654 東京都文京区本郷七丁目 3 番 1 号 Tokyo (JP). 独立行政法人産業技術総合研究所(National Institute of Advanced Industrial Science and Technology) [JP/JP]; 〒1008921 東京都千代田区霞が関 1 丁目 3 番 1 号 Tokyo (JP).

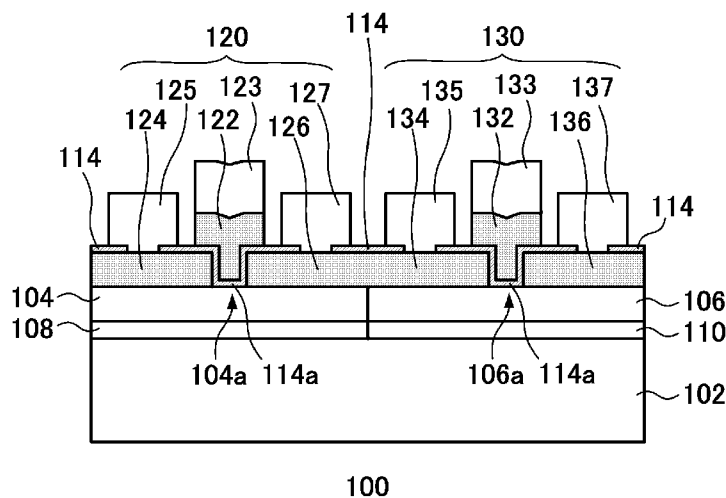
- (72) 発明者; および
(75) 発明者/出願人(米国についてののみ): 高田 朋幸 (TAKADA, Tomoyuki) [JP/JP]; 〒3003294 茨城県つくば市北原 6 住友化学株式会社内 Ibaraki (JP). 山田 永(YAMADA, Hisashi) [JP/US]; 85034 アリゾナ州フェニックス, イーストワトキンスストリート, 3 8 3 2, スミカ エレクトロニック マテリアルズ インコーポレーテッド内 Arizona (US). 秦 雅彦(HATA, Masahiko) [JP/JP]; 〒3003294 茨城県つくば市北原 6 住友化学株式会社内 Ibaraki (JP). 高木 信一(TAKAGI, Shinichi) [JP/JP]; 〒1138654 東京都文京区本郷七丁目 3 番 1 号 国立大学法人東京大学内 Tokyo (JP). 前田 辰郎(MAEDA, Tatsuro) [JP/JP]; 〒3058562 茨城県つくば市東 1-1-1 中央第 4 独立行政法人産業技術総合研究所内 Ibaraki (JP). ト部 友二(URABE, Yuji) [JP/JP]; 〒3058562 茨城県つくば市東 1-1-1 中央第 4 独立行政法人産業技術総合研究所内 Ibaraki (JP). 安田 哲二(YASUDA, Tetsuji) [JP/JP]; 〒3058562 茨城県つくば市東 1-1-1 中央第 4 独立行政法人産業技術総合研究所内 Ibaraki (JP).
- (74) 代理人: 龍華国際特許業務法人(RYUKA IP Law Firm); 〒1631522 東京都新宿区西新宿 1-6-1 新宿エルタワー 2 2 階 Tokyo (JP).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, SEMICONDUCTOR SUBSTRATE, PRODUCTION METHOD FOR SEMICONDUCTOR SUBSTRATE, AND PRODUCTION METHOD FOR SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体デバイス、半導体基板、半導体基板の製造方法および半導体デバイスの製造方法

[図1]



(57) Abstract: A first source and a first drain for a first-channel type first MISFET formed on a first semiconductor crystal layer and a second source and a second drain for a second-channel type second MISFET formed on a second semiconductor crystal layer comprise the same conductive material and the work function (Φ_M) for said conductive material fulfills at least one of either formula 1 or formula 2. (Formula 1) $\phi_1 < \Phi_M < \phi_2 + E_{g2}$ (Formula 2) $|\Phi_M - \phi_1| \leq 0.1\text{eV}$ and $|\phi_2 + E_{g2} - \Phi_M| \leq 0.1\text{eV}$. ϕ_1 is the electronic affinity for an N-type semiconductor crystal layer, and ϕ_2 and E_{g2} are the electronic affinity and the forbidden band width for a P-type semiconductor crystal layer.

(57) 要約:

[続葉有]



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

第 1 半導体結晶層に形成された第 1 チャネル型の第 1 MISFET の第 1 ソースおよび第 1 ドレインと、第 2 半導体結晶層に形成された第 2 チャネル型の第 2 MISFET の第 2 ソースおよび第 2 ドレインが、同一の導電性物質からなり、当該導電性物質の仕事関数 Φ_M が、数 1 および数 2 の少なくとも一方の関係を満たす。 (数 1) $\varphi_1 < \Phi_M < \varphi_2 + E_{g2}$ (数 2) $|\Phi_M - \varphi_1| \leq 0.1 \text{ eV}$ 、かつ、 $|\varphi_2 + E_{g2} - \Phi_M| \leq 0.1 \text{ eV}$ ただし、 φ_1 は、N 型半導体結晶層の電子親和力、 φ_2 および E_{g2} は、P 型半導体結晶層の電子親和力および禁制帯幅。

明 細 書

発明の名称：

半導体デバイス、半導体基板、半導体基板の製造方法および半導体デバイスの製造方法

技術分野

[0001] 本発明は、半導体デバイス、半導体基板、半導体基板の製造方法および半導体デバイスの製造方法に関する。なお本願は、平成22年度、独立行政法人新エネルギー・産業技術総合開発機構委託研究「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発 ―シリコンプラットフォーム上ⅢⅢⅢ－Ⅴ族半導体チャネルトランジスタ技術の研究開発」、産業技術力強化法第19条の適用を受ける特許出願である。

背景技術

[0002] GaAs、InGaAs等のⅢⅢⅢ－Ⅴ族化合物半導体は、高い電子移動度を有し、Ge、SiGe等のⅠⅤ族半導体は、高い正孔移動度を有する。よって、ⅢⅢⅢ－Ⅴ族化合物半導体でNチャネル型のMOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) を構成し、ⅠⅤ族半導体でPチャネル型のMOSFETを構成すれば、高い性能を備えたCMOSFET (Complementary Metal-Oxide-Semiconductor Field Effect Transistor) が実現できる。非特許文献1には、ⅢⅢⅢ－Ⅴ族化合物半導体をチャネルとするNチャネル型MOSFETとGeをチャネルとするPチャネル型MOSFETが、単一基板に形成されたCMOSFET構造が開示されている。

非特許文献1 S. Takagi, et al., SSE, vol. 51, pp. 526-536, 2007.

発明の概要

発明が解決しようとする課題

[0003] ⅢⅢⅢ－Ⅴ族化合物半導体をチャネルとするNチャネル型MISFET (Metal-Insulator-Semiconductor Field-Effect Transistor) (以下単に「nMISFET」という。)と、ⅠⅤ族半導体をチャネルとするPチャネル型

M I S F E T（以下単に「p M I S F E T」という。）とを、一つの基板上に形成するには、n M I S F E T用のⅢⅢⅢ－Ⅴ族化合物半導体と、p M I S F E T用のⅠⅤ族半導体を同一基板上に形成する技術が必要になる。L S I（Large Scale Integration）として製造することを考慮すれば、既存製造装置および既存工程の活用が可能なシリコン基板上にn M I S F E T用のⅢⅢⅢ－Ⅴ族化合物半導体結晶層およびp M I S F E T用のⅠⅤ族半導体結晶層を形成することが好ましい。

[0004] また、n M I S F E Tとp M I S F E Tとで構成されるC M I S F E T（Complementary Metal-Insulator-Semiconductor Field-Effect Transistor）を、L S Iとして安価に効率よく製造するには、n M I S F E Tおよびp M I S F E Tが同時に形成される製造プロセスを採用することが好ましい。特に、n M I S F E Tのソース・ドレインとp M I S F E Tのソース・ドレインが同時に形成できれば、工程を簡略化することができ、コスト削減とともに素子の微細化にも容易に対応できるようになる。

[0005] たとえばn M I S F E Tのソース・ドレイン形成領域とp M I S F E Tのソース・ドレイン形成領域とに、ソースおよびドレインとなる材料を薄膜として形成し、さらにフォトリソグラフィ等によりパターニングして形成することで、n M I S F E Tのソース・ドレインとp M I S F E Tのソース・ドレインとを同時に形成できる。しかし、n M I S F E Tが形成されるⅢⅢⅢ－Ⅴ族化合物半導体結晶層と、p M I S F E Tが形成されるⅠⅤ族半導体結晶層とでは、構成される材料が異なる。このため、n M I S F E Tまたはp M I S F E Tの一方または両方のソース・ドレイン領域の抵抗が大きくなり、あるいは、n M I S F E Tまたはp M I S F E Tの一方または両方のソース・ドレイン領域とソース・ドレイン電極との接触抵抗が大きくなる。従って、n M I S F E Tおよびp M I S F E Tの両方のソース・ドレイン領域の抵抗あるいはソース・ドレイン電極との接触抵抗を小さくすることが難しい。

[0006] 本発明の目的は、チャネルがⅢⅢⅢ－Ⅴ族化合物半導体であるn M I S F

ETと、チャネルがⅢⅤ族半導体であるpMISFETと、で構成されるCMISFETを、一つの基板上に形成する場合において、nMISFETおよびpMISFETの各ソースおよび各ドレインを同時に形成し、かつ、ソース・ドレイン領域の抵抗またはソース・ドレイン電極との接触抵抗が小さくなるような半導体デバイスおよびその製造方法を提供することにある。また、そのような技術に適した半導体基板を提供することにある。

課題を解決するための手段

[0007] 上記課題を解決するために、本発明の第1の態様においては、ベース基板と、ベース基板表面の一部の上方に位置する第1半導体結晶層と、ベース基板表面の一部とは異なる他部の上方に位置する第2半導体結晶層と、第1半導体結晶層の一部をチャネルとし、第1ソースおよび第1ドレインを有する第1MISFETと、第2半導体結晶層の一部をチャネルとし、第2ソースおよび第2ドレインを有する第2MISFETと、を有し、第1MISFETが、第1チャネル型のMISFETであり、第2MISFETが、第1チャネル型とは相違する第2チャネル型のMISFETであり、第1ソース、第1ドレイン、第2ソースおよび第2ドレインが、同一の導電性物質からなり、導電性物質の仕事関数 Φ_M が、数1および数2の少なくとも一方の関係を満たす半導体デバイスを提供する。

$$(数1) \quad \phi_1 < \Phi_M < \phi_2 + E_{g2}$$

$$(数2) \quad |\Phi_M - \phi_1| \leq 0.1 \text{ eV、かつ、} |(\phi_2 + E_{g2}) - \Phi_M| \leq 0.1 \text{ eV}$$

[0008] ただし、 ϕ_1 は、第1半導体結晶層および第2半導体結晶層のうち、一部がN型チャネルとして機能するほうの半導体結晶層を構成する結晶の電子親和力、 ϕ_2 および E_{g2} は、第1半導体結晶層および第2半導体結晶層のうち、一部がP型チャネルとして機能するほうの半導体結晶層を構成する結晶の電子親和力および禁制帯幅を示す。

[0009] ベース基板と第1半導体結晶層との間に位置し、ベース基板と第1半導体結晶層とを電氣的に分離する第1分離層と、ベース基板と第2半導体結晶層

との間に位置し、ベース基板と第2半導体結晶層とを電氣的に分離する第2分離層と、をさらに有してもよい。

[0010] ベース基板と第1半導体結晶層とが接合面で接し、接合面の近傍におけるベース基板の領域に、p型またはn型の伝導型を示す不純物原子を含有し、接合面の近傍における第1半導体結晶層の領域に、ベース基板に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子を含有してもよく、この場合、ベース基板と第2半導体結晶層との間に位置し、ベース基板と第2半導体結晶層とを電氣的に分離する第1分離層をさらに有してもよい。

[0011] ベース基板と第1分離層とが接してもよく、この場合、ベース基板の第1分離層と接する領域が導電性であり、ベース基板の第1分離層と接する領域に印加した電圧が、第1MISFETへのバックゲート電圧として作用してもよい。ベース基板と第2分離層とが接してもよく、この場合、ベース基板の第2分離層と接する領域が導電性であり、ベース基板の第2分離層と接する領域に印加した電圧が、第2MISFETへのバックゲート電圧として作用してもよい。

[0012] 第1半導体結晶層がⅢⅤ族半導体結晶からなる場合、第1MISFETがPチャネル型MISFETであることが好ましく、第2半導体結晶層がⅢⅢⅢ-Ⅴ族化合物半導体結晶からなる場合、第2MISFETがNチャネル型MISFETであることが好ましい。第1半導体結晶層がⅢⅢⅢ-Ⅴ族化合物半導体結晶からなる場合、第1MISFETがNチャネル型MISFETであることが好ましく、第2半導体結晶層がⅢⅤ族半導体結晶からなる場合、第2MISFETがPチャネル型MISFETであることが好ましい。

[0013] 導電性物質として、TiN、Ta₂N、グラフェン、HfNまたはWNが挙げられる。

[0014] 本発明の第2の態様においては、第1の態様の半導体デバイスに用いる半導体基板であって、ベース基板と、ベース基板表面の一部の上方に位置する第1半導体結晶層と、ベース基板表面の一部とは異なる他部の上方に位置す

る第2半導体結晶層と、を有する半導体基板を提供する。

[0015] ベース基板と第1半導体結晶層または第2半導体結晶層との間に位置し、ベース基板と第1半導体結晶層または第2半導体結晶層とを電氣的に分離する分離層をさらに有してもよい。この場合、分離層として、非晶質絶縁体からなるものが挙げられる。あるいは、分離層として、当該分離層の上に位置する半導体結晶層を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなるものが挙げられる。

[0016] 第1半導体結晶層および第2半導体結晶層から選択された1つの半導体結晶層とベース基板とが接合面で接してもよく、この場合、接合面の近傍におけるベース基板の領域に、p型またはn型の伝導型を示す不純物原子を含有し、接合面の近傍における半導体結晶層の領域に、ベース基板に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子を含有してもよい。

[0017] 第1半導体結晶層を複数有し、第2半導体結晶層を複数有してもよく、この場合、複数の第1半導体結晶層のそれぞれが、ベース基板の上面と平行な面内で規則的に配列され、複数の第2半導体結晶層のそれぞれが、ベース基板の上面と平行な面内で規則的に配列されてもよい。

[0018] 本発明の第3の態様においては、第2の態様の半導体基板を製造する方法であって、ベース基板表面の一部の上方に第1半導体結晶層を形成する第1半導体結晶層形成ステップと、ベース基板表面の一部とは異なる他部の上方に第2半導体結晶層を形成する第2半導体結晶層形成ステップと、を有し、第2半導体結晶層形成ステップが、半導体結晶層形成基板上に第2半導体結晶層をエピタキシャル結晶成長法により形成するエピタキシャル成長ステップと、ベース基板の上、第2半導体結晶層の上、または、ベース基板および第2半導体結晶層の両方の上に、ベース基板と第2半導体結晶層とを電氣的に分離する第2分離層を形成するステップと、ベース基板上の第2分離層と第2半導体結晶層とが接合するように、第2半導体結晶層上の第2分離層とベース基板とが接合するように、または、ベース基板上の第2分離層と第2

半導体結晶層上の第2分離層とが接合するように、ベース基板と、半導体結晶層形成基板とを貼り合わせる貼り合わせステップと、を有する半導体基板の製造方法を提供する。

[0019] 第1半導体結晶層形成ステップが、半導体結晶層形成基板上に第1半導体結晶層をエピタキシャル結晶成長法により形成するエピタキシャル成長ステップと、ベース基板の上、第1半導体結晶層の上、または、ベース基板および第1半導体結晶層の両方の上に、ベース基板と第1半導体結晶層とを電氣的に分離する第1分離層を形成するステップと、ベース基板上の第1分離層と第1半導体結晶層とが接合するように、第1半導体結晶層上の第1分離層とベース基板とが接合するように、または、ベース基板上の第1分離層と第1半導体結晶層上の第1分離層とが接合するように、ベース基板と、半導体結晶層形成基板とを貼り合わせる貼り合わせステップと、を有してもよい。

[0020] 第1半導体結晶層がSiGeからなり、第2半導体結晶層がIII-V族化合物半導体結晶からなる場合、第1半導体結晶層形成ステップの前に、絶縁体からなる第1分離層をベース基板の上に形成するステップを有してよく、この場合、第1半導体結晶層形成ステップが、第1分離層の上に、第1半導体結晶層の出発材料となるSiGe層を形成するステップと、SiGe層を酸化雰囲気中で加熱し、表面を酸化することでSiGe層中のGe原子の濃度を高めるステップと、ベース基板表面の他部の上方のSiGe層をエッチングするステップと、を有してもよい。

[0021] 第1半導体結晶層がIV族半導体結晶からなり、第2半導体結晶層がIII-V族化合物半導体結晶からなる場合、IV族半導体結晶からなる半導体層材料基板の表面に、絶縁体からなる第1分離層を形成するステップと、第1分離層を通して、陽イオンを半導体層材料基板の分離予定深さに注入するステップと、第1分離層の表面とベース基板の表面とが接合されるように、半導体層材料基板とベース基板とを貼り合わせるステップと、半導体層材料基板およびベース基板を加熱し、分離予定深さに注入した陽イオンと半導体層材料基板を構成するIV族原子とを反応させることで、分離予定深さに位

置するⅠⅤ族半導体結晶を変性するステップと、半導体層材料基板とベース基板とを分離することで、変性するステップで変性させたⅠⅤ族半導体結晶の変性部位よりベース基板側に位置するⅠⅤ族半導体結晶を、半導体層材料基板から剥離するステップと、ベース基板に残留したⅠⅤ族半導体結晶からなる半導体結晶層のうち、ベース基板表面の他部の上方に位置する領域をエッチングするステップと、を有してもよい。

[0022] 第1半導体結晶層を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなる第1分離層を、選択エピタキシャル成長法により、ベース基板表面の一部の上方にのみ選択的に形成するステップをさらに有してもよく、この場合、第1半導体結晶層形成ステップとして、選択エピタキシャル成長法により、第1分離層の上にのみ第1半導体結晶層を選択的に形成するステップが挙げられる。

[0023] 第1半導体結晶層を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなる第1分離層を、ベース基板表面の上方にエピタキシャル成長法により形成するステップをさらに有してもよく、この場合、第1半導体結晶層形成ステップが、第1分離層の上に第1半導体結晶層をエピタキシャル成長法により形成するステップと、ベース基板表面の他部の上方の、第1半導体結晶層および第1分離層をエッチングするステップと、を含んでもよい。

[0024] 第1半導体結晶層形成ステップが、選択エピタキシャル成長法により、ベース基板表面の一部の上方にのみ第1半導体結晶層を選択的に形成するステップであってもよい。第1半導体結晶層形成ステップが、ベース基板表面の上方に第1半導体結晶層をエピタキシャル成長法により形成するステップと、ベース基板表面の他部の上方の第1半導体結晶層をエッチングするステップと、を含んでもよい。この場合、ベース基板の表面近傍に、p型またはn型の伝導型を示す不純物原子を含有してもよく、第1半導体結晶層をエピタキシャル成長法により形成するステップにおいて、ベース基板に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子で第1半導体結

晶層をドーピングしてもよい。

- [0025] 半導体結晶層形成基板の上に半導体結晶層を形成する前に、半導体結晶層形成基板の表面に、結晶性犠牲層をエピタキシャル結晶成長法により形成するステップと、ベース基板と半導体結晶層形成基板とを貼り合わせた後に、結晶性犠牲層を除去することにより、半導体結晶層形成基板上にエピタキシャル結晶成長法により形成された半導体結晶層と半導体結晶層形成基板とを分離するステップと、をさらに有してもよい。
- [0026] 第1半導体結晶層をエピタキシャル成長させた後に第1半導体結晶層を規則的な配列にパターニングするステップ、または第1半導体結晶層を予め規則的な配列に選択的にエピタキシャル成長させるステップ、のいずれかのステップと、第2半導体結晶層をエピタキシャル成長させた後、第2半導体結晶層を規則的な配列にパターニングするステップ、または第2半導体結晶層を予め規則的な配列に選択的にエピタキシャル成長させるステップ、のいずれかのステップと、を有してもよい。
- [0027] 本発明の第4の態様においては、第3の態様の半導体基板の製造方法を用いて、第1半導体結晶層および第2半導体結晶層を有する半導体基板を製造するステップと、第1半導体結晶層および第2半導体結晶層のそれぞれの上に、仕事関数 ϕ_M が、数1および数2の関係の少なくとも一方を満たす導電性物質を形成するステップと、ゲート電極が形成される領域の導電性物質を除去するステップと、導電性物質が除去された領域にゲート絶縁層およびゲート電極を形成するステップと、導電性物質をパターニングおよび加熱して、第1半導体結晶上のゲート電極の両側に第1ソースおよび第1ドレインを形成し、第2半導体結晶上のゲート電極の両側に第2ソースおよび第2ドレインを形成するステップと、を有する半導体デバイスの製造方法を提供する。
- (数1) $\phi_1 < \phi_M < \phi_2 + E_{g2}$
- (数2) $|\phi_M - \phi_1| \leq 0.1 \text{ eV}$ 、かつ、 $|\phi_2 + E_{g2} - \phi_M| \leq 0.1 \text{ eV}$
- [0028] ただし、 ϕ_1 は、第1半導体結晶層および第2半導体結晶層のうち、一部が

N型チャネルとして機能するほうの半導体結晶層を構成する結晶の電子親和力、 ϕ_2 および E_{g2} は、第1半導体結晶層および第2半導体結晶層のうち、一部がP型チャネルとして機能するほうの半導体結晶層を構成する結晶の電子親和力および禁制帯幅を示す。

図面の簡単な説明

[0029] [図1]半導体デバイス100の断面を示す。

[図2]半導体デバイス100の製造過程における断面を示す。

[図3]半導体デバイス100の製造過程における断面を示す。

[図4]半導体デバイス100の製造過程における断面を示す。

[図5]半導体デバイス100の製造過程における断面を示す。

[図6]半導体デバイス100の製造過程における断面を示す。

[図7]半導体デバイス100の製造過程における断面を示す。

[図8]半導体デバイス100の製造過程における断面を示す。

[図9]他の半導体デバイスの製造過程における断面を示す。

[図10]他の半導体デバイスの製造過程における断面を示す。

[図11]他の半導体デバイスの製造過程における断面を示す。

[図12]他の半導体デバイスの製造過程における断面を示す。

[図13]半導体デバイス200の断面を示す。

[図14]半導体デバイス200の製造過程における断面を示す。

[図15]nMOSFETを上方から観察したSEM写真である。

[図16]nMOSFETのゲート部分の断面を観察したTEM写真である。

[図17]ゲート電圧対ソース電流特性を示すグラフである。

[図18]ゲート電圧対ソース電流特性を示すグラフである。

[図19]ゲート電圧対ソース電流特性を示すグラフである。

[図20]ゲート長に対するSS値を示したグラフである。

[図21]ゲート長に対するDIBLの値を示したグラフである。

発明を実施するための形態

[0030] 図1は、半導体デバイス100の断面を示す。半導体デバイス100は、

ベース基板102と、第1半導体結晶層104と、第2半導体結晶層106とを有する。本例の半導体デバイス100は、ベース基板102と第1半導体結晶層104との間に第1分離層108を有し、ベース基板102と第2半導体結晶層106との間に第2分離層110を有する。なお、図1に示した例からは、ベース基板102と、第1半導体結晶層104と、第2半導体結晶層106とを構成要件とする半導体基板の発明と、ベース基板102、第1分離層108、第1半導体結晶層104、第2分離層110および第2半導体結晶層106を構成要件とする半導体基板の発明との少なくとも2つの発明が把握できる。第1半導体結晶層104には第1MISFET120が形成され、第2半導体結晶層106には第2MISFET130が形成されている。

[0031] ベース基板102として、表面がシリコン結晶である基板が挙げられる。表面がシリコン結晶である基板として、シリコン基板、または、SOI (Silicon on Insulator) 基板が挙げられ、シリコン基板が好ましい。ベース基板102に、表面がシリコン結晶である基板を用いることで、既存の製造装置および既存の製造プロセスが利用でき、研究開発および製造の効率を高めることができる。ベース基板102は、表面がシリコン結晶である基板に限られず、ガラス、セラミックス、プラスチック等の絶縁体基板、金属等の導電体基板、または、炭化シリコン等の半導体基板であってもよい。

[0032] 第1半導体結晶層104は、ベース基板102表面の一部の上方に位置する。すなわち、第1半導体結晶層104は、ベース基板102における一部の領域の上方に位置する。第1半導体結晶層104は、IV族半導体結晶またはIII-V族化合物半導体結晶からなる。第1半導体結晶層104の厚さは、20nm以下であることが好ましい。第1半導体結晶層104の厚さを20nm以下とすることで、極薄膜ボディの第1MISFET120を構成できる。第1MISFET120のボディを極薄膜にすることで、短チャネル効果を抑制し、第1MISFET120のリーク電流を減少することができる。

[0033] 第2半導体結晶層106は、ベース基板102表面の当該一部とは異なる他部の上方に位置する。すなわち、第2半導体結晶層106は、ベース基板102の領域のうち、第1半導体結晶層104が上方に位置しない領域の上方に位置する。第2半導体結晶層106は、III-V族化合物半導体結晶またはIV族半導体結晶からなる。第2半導体結晶層106の厚さは、20nm以下であることが好ましい。第2半導体結晶層106の厚さを20nm以下とすることで、極薄膜ボディの第2MISFET130を構成できる。第2MISFET130のボディを極薄膜にすることで、短チャネル効果を抑制し、第2MISFET130のリーク電流を減少することができる。

[0034] III-V族化合物半導体結晶では電子移動度が高く、IV族半導体結晶特にGeでは正孔移動度が高いので、III-V族化合物半導体結晶層にはNチャネル型MISFETを形成することが好ましく、IV族半導体結晶層にはPチャネル型MISFETを形成することが好ましい。つまり、第1半導体結晶層104がIV族半導体結晶からなり、第2半導体結晶層106がIII-V族化合物半導体結晶からなる場合、第1MISFET120がPチャネル型MISFETであり、第2MISFET130がNチャネル型MISFETであることが好ましい。

[0035] 逆に、第1半導体結晶層104がIII-V族化合物半導体結晶からなり、第2半導体結晶層106がIV族半導体結晶からなる場合、第1MISFET120がNチャネル型MISFETであり、第2MISFET130がPチャネル型MISFETであることが好ましい。これにより、第1MISFET120および第2MISFET130の各々の性能を高め、第1MISFET120および第2MISFET130からなるCMISFETの性能を最大化することができる。

[0036] IV族半導体結晶として、Ge結晶、または、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 \leq x < 1$) 結晶、が挙げられる。IV族半導体結晶が $\text{Si}_x\text{Ge}_{1-x}$ 結晶である場合、 x は0.10以下であることが好ましい。III-V族化合物半導体結晶として、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$) 結晶、 InAs 結晶、 GaAs 結晶

、 InP 結晶が挙げられる。また、 III-V 族化合物半導体結晶として、 GaAs または InP に格子整合または擬格子整合する III-V 族化合物半導体の混晶が挙げられる。また、 III-V 族化合物半導体結晶として、当該混晶と $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$) 結晶、 InAs 結晶、 GaAs 結晶または InP 結晶との積層体が挙げられる。なお、 III-V 族化合物半導体結晶としては、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$) 結晶および InAs 結晶が好適であり、 InAs 結晶がより好適である。

[0037] 第1分離層108は、ベース基板102と第1半導体結晶層104との間に位置する。第1分離層108は、ベース基板102と第1半導体結晶層104とを電氣的に分離する。

[0038] 第1分離層108は、非晶質絶縁体からなるものであってもよい。第1半導体結晶層104および第1分離層108が、貼り合わせ法、酸化濃縮法またはスマートカット法により形成された場合、第1分離層108は非晶質絶縁体からなる。非晶質絶縁体からなる第1分離層108として、 Al_2O_3 、 AlN 、 Ta_2O_5 、 ZrO_2 、 HfO_2 、 La_2O_3 、 SiO_x (例えば SiO_2)、 SiN_x (例えば Si_3N_4) および SiO_xN_y のうちの少なくとも1からなる層、またはこれらの中から選ばれた少なくとも2層の積層が挙げられる。

[0039] 第1分離層108は、第1半導体結晶層104を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなるものであってもよい。このような半導体結晶は、エピタキシャル結晶成長法により形成できる。第1半導体結晶層104が InGaAs 結晶層または GaAs 結晶層である場合、第1分離層108を構成する半導体結晶として、 AlGaAs 結晶、 AlInGaP 結晶、 AlGaInAs 結晶、 InP 結晶が挙げられる。第1半導体結晶層104が Ge 結晶層である場合、第1分離層108を構成する半導体結晶として、 SiGe 結晶、 Si 結晶、 SiC 結晶、または、 C 結晶が挙げられる。

[0040] 第2分離層110は、ベース基板102と第2半導体結晶層106との間

に位置する。第2分離層110は、ベース基板102と第2半導体結晶層106とを電氣的に分離する。

[0041] 第2分離層110は、非晶質絶縁体からなるものであってもよい。第2半導体結晶層106および第2分離層110が貼り合わせ法により形成された場合、第2分離層110は、非晶質絶縁体になる。非晶質絶縁体からなる第2分離層110として、 Al_2O_3 、 AlN 、 Ta_2O_5 、 ZrO_2 、 HfO_2 、 La_2O_3 、 SiO_x （例えば SiO_2 ）、 SiN_x （例えば Si_3N_4 ）および SiO_xN_y のうちの少なくとも1からなる層、またはこれらの中から選ばれた少なくとも2層の積層が挙げられる。

[0042] 第2分離層110は、第2半導体結晶層106を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなるものであってもよい。このような半導体結晶は、エピタキシャル結晶成長法により形成できる。第2半導体結晶層106が InGaAs 結晶層または GaAs 結晶層である場合、第2分離層110を構成する半導体結晶として、 AlGaAs 結晶、 AlInGaP 結晶、 AlGaInAs 結晶、 InP 結晶が挙げられる。第2半導体結晶層106が Ge 結晶層である場合、第2分離層110を構成する半導体結晶として、 SiGe 結晶、 Si 結晶、 SiC 結晶、または、 C 結晶が挙げられる。

[0043] 第1MISFET120は、第1半導体結晶層104に形成され、第1ゲート122、第1ソース124および第1ドレイン126を有する。第1ゲート122上には、第1ゲートメタル123が形成され、第1ソース124および第1ドレイン126のそれぞれの上には、第1ソース電極125、第1ドレイン電極127がそれぞれ形成されている。第1ゲートメタル123、第1ソース電極125および第1ドレイン電極127を構成する物質として、 Ti 、 Ta 、 W 、 Al 、 Cu 、 Au またはこれらの積層体が挙げられる。

[0044] 第1ソース124および第1ドレイン126は、第1半導体結晶層104上に形成された導電性物質からなり、レイズド・ソース・ドレインを成す。

導電性物質として、TiN、Ta₂N₅、グラフェン、HfNまたはWNが挙げられる。第1ソース124および第1ドレイン126の間には、第1ゲート122が形成されている。第1ゲート122は、絶縁層114によって、第1ソース124、第1ドレイン126および第1半導体結晶層104から絶縁されている。第1ゲート122を構成する物質として、TiN、Ta₂N₅、グラフェン、HfNまたはWNが挙げられる。絶縁層114として、Al₂O₃、AlN、Ta₂O₅、ZrO₂、HfO₂、La₂O₃、SiO_x（例えばSiO₂）、SiN_x（例えばSi₃N₄）およびSiO_xN_yのうちの少なくとも1からなる層、またはこれらの中から選ばれた少なくとも2層の積層が挙げられる。

[0045] 第1ソース124と第1ドレイン126との間の、第1ゲート122が絶縁層114を介して対面している第1半導体結晶層104の一部104aは、第1MISFET120のチャネルとして機能する。当該チャネル領域である第1半導体結晶層104の一部104aと第1ゲート122とで挟まれた領域には、絶縁層114の一部114aが形成される。当該一部114aは、ゲート絶縁層として機能してもよい。

[0046] 第2MISFET130は、第2半導体結晶層106に形成され、第2ゲート132、第2ソース134および第2ドレイン136を有する。第2ゲート132上には、第2ゲートメタル133が形成され、第2ソース134および第2ドレイン136のそれぞれの上には、第2ソース電極135、第2ドレイン電極137がそれぞれ形成されている。第2ゲートメタル133、第2ソース電極135および第2ドレイン電極137を構成する物質として、Ti、Ta、W、Al、Cu、Auまたはこれらの積層体が挙げられる。

[0047] 第2ソース134および第2ドレイン136は、第2半導体結晶層106上に形成された導電性物質からなり、レイズド・ソース・ドレインを成す。導電性物質として、TiN、Ta₂N₅、グラフェン、HfNまたはWNが挙げられる。第2ソース134および第2ドレイン136の間には、第2ゲート

132が形成されている。第2ゲート132は、第1MISFET120と同様の絶縁層114によって、第2ソース134、第2ドレイン136および第2半導体結晶層106から絶縁されている。第2ゲート132を構成する物質として、TiN、TaN、グラフェン、HfNまたはWNが挙げられる。

[0048] 第2ソース134と第2ドレイン136との間の、第2ゲート132が絶縁層114を介して対面している第2半導体結晶層106の一部106aは、第2MISFET130のチャネルとして機能する。当該チャネル領域である第2半導体結晶層106の一部106aと第2ゲート132とで挟まれた領域には、絶縁層114の一部114aが形成される。当該一部114aは、ゲート絶縁層として機能してもよい。

[0049] 第1ソース124、第1ドレイン126、第2ソース134および第2ドレイン136は、同一の導電性物質からなり、導電性物質の仕事関数 Φ_M は、数1または数2の関係を満たす。

$$(数1) \quad \phi_1 < \Phi_M < \phi_2 + E_{g2}$$

$$(数2) \quad |\Phi_M - \phi_1| \leq 0.1 \text{ eV}, \text{ かつ, } |(\phi_2 + E_{g2}) - \Phi_M| \leq 0.1 \text{ eV}$$

[0050] ただし、 ϕ_1 は、第1半導体結晶層104および第2半導体結晶層106のうち、一部がN型チャネルとして機能するほうの半導体結晶層を構成する結晶の電子親和力を示す。 ϕ_2 および E_{g2} は、第1半導体結晶層104および第2半導体結晶層106のうち、一部がP型チャネルとして機能するほうの半導体結晶層を構成する結晶の電子親和力および禁制帯幅を示す。なお、導電性物質の仕事関数 Φ_M は、数1および数2の両方の関係を満たしてもよい。

[0051] 以上の通り、第1MISFET120のソース・ドレイン（第1ソース124および第1ドレイン126）と、第2MISFET130のソース・ドレイン（第2ソース134および第2ドレイン136）が、同一の導電性物質からなる。これは同一の材料膜を用いた当該部位の製造を可能にする構成であり、製造工程を簡略化できることを意味する。また、第1MISFET

120および第2MISFET130において、ゲート幅は、ソース・ドレイン間のスペース（エッチング溝間隔）によって容易に制御できる。この結果、微細化が容易になる。また、第1ソース124、第1ドレイン126、第2ソース134および第2ドレイン136を構成する導電物質の仕事関数を、上記数1または数2の関係を満たすものとするので、各ソース・ドレイン領域と半導体結晶層との接触抵抗を低減できる。例えば、導電性物質の仕事関数 Φ_M が、数1の関係を満たせば、 Φ_M と ϕ_1 との差分、および、 Φ_M と $\phi_2 + E_{g2}$ との差分は、最大でも ϕ_1 と $\phi_2 + E_{g2}$ との差分よりも小さくなる。各ソース・ドレイン領域と半導体結晶層との接触抵抗を低減できる。また、導電性物質の仕事関数 Φ_M が、数2の関係を満たせば、 Φ_M と ϕ_1 との差分、および、 Φ_M と $\phi_2 + E_{g2}$ との差分を、0.1 eV以下に抑制できる。このため、各ソース・ドレイン領域と半導体結晶層との接触抵抗を低減できる。この結果、CMISFETを製造する製造工程を簡略化し、微細化を容易にすると共に各FETの性能を高くすることができる。

[0052] 図2から図8は、半導体デバイス100の製造過程における断面を示す。まず、ベース基板102と半導体結晶層形成基板140を用意し、半導体結晶層形成基板140上に第1半導体結晶層104をエピタキシャル結晶成長法により形成する。その後、第1半導体結晶層104上に第1分離層108を形成する。第1分離層108は、たとえばALD（Atomic Layer Deposition）法、熱酸化法、蒸着法、CVD（Chemical Vapor Deposition）法、スパッタ法等の薄膜形成法により形成する。

[0053] 第1半導体結晶層104がIII-V族化合物半導体結晶からなる場合、半導体結晶層形成基板140としてInP基板、または、GaAs基板が選択できる。第1半導体結晶層104がIV族半導体結晶からなる場合、半導体結晶層形成基板140としてGe基板、Si基板、SiC基板、または、GaAs基板が選択できる。

[0054] 第1半導体結晶層104のエピタキシャル結晶成長には、MOCVD（Metal Organic Chemical Vapor Deposition）法を利用することができる。II

I-V族化合物半導体結晶層をMOCVD法で形成する場合、InソースにはTMIn（トリメチルインジウム）を、GaソースにはTMGa（トリメチルガリウム）を、AsソースにはAsH₃（アルシン）、PソースにはPH₃（ホスフィン）を用いることができる。キャリアガスには水素を用いることができる。反応温度は、300℃から900℃の範囲で、好ましくは450～750℃の範囲で適宜選択できる。IV族半導体結晶層をCVD法で形成する場合、Geソースには、GeH₄（ゲルマン）を、SiソースにはSiH₄（シラン）、またはSi₂H₆（ジシラン）を用いることができ、またそれらの複数の水素原子基の一部を塩素原子または炭化水素基で置換した化合物を用いることもできる。キャリアガスには水素を用いることができる。反応温度は、300℃から900℃の範囲で、好ましくは450～750℃の範囲で適宜選択できる。ソースガス供給量や反応時間を適宜選択することでエピタキシャル成長層の厚さを制御することができる。

[0055] 図2に示すように、第1分離層108の表面とベース基板102の表面をアルゴンビーム150で活性化する。その後、図3に示すように、アルゴンビーム150で活性化した第1分離層108の表面をベース基板102の表面の一部に貼り合わせて接合する。貼り合わせは室温で行うことができる。なお、活性化はアルゴンビーム150である必要はなく、他の希ガス等のビームであっても良い。その後、半導体結晶層形成基板140をエッチングし、除去する。これにより、ベース基板102表面の一部の上に、第1分離層108および第1半導体結晶層104が形成される。なお、第1半導体結晶層104の形成と第1分離層108の形成との間に、第1半導体結晶層104の表面を硫黄原子で終端する硫黄終端処理を行っても良い。

[0056] 図2および図3に示す例では、第1分離層108を第1半導体結晶層104の上にのみ形成し、第1分離層108の表面とベース基板102の表面とを貼り合わせる例を説明したが、ベース基板102の上にも第1分離層108を形成し、第1半導体結晶層104上の第1分離層108の表面とベース基板102上の第1分離層108の表面とを貼り合わせてもよい。この場合

、第1分離層108の貼り合わせる面を親水化処理することが好ましい。親水化処理した場合は、第1分離層108どうしを加熱して貼り合わせることが好ましい。あるいは、ベース基板102の上にのみ第1分離層108を形成し、第1半導体結晶層104の表面とベース基板102上の第1分離層108の表面とを貼り合わせてもよい。

[0057] 図2および図3に示す例では、第1分離層108および第1半導体結晶層104をベース基板102に貼り合わせた後に、第1分離層108および第1半導体結晶層104を半導体結晶層形成基板140から分離する例を説明したが、第1分離層108および第1半導体結晶層104を半導体結晶層形成基板140から分離した後に、第1分離層108および第1半導体結晶層104をベース基板102に貼り合わせてもよい。この場合、第1分離層108および第1半導体結晶層104を半導体結晶層形成基板140から分離した後、ベース基板102に貼り合わせるまでの間、適切な転写用基板に第1分離層108および第1半導体結晶層104を保持することが好ましい。

[0058] 次に、半導体結晶層形成基板160を用意し、半導体結晶層形成基板160上に第2半導体結晶層106をエピタキシャル結晶成長法により形成する。その後、第2半導体結晶層106の上に、第2分離層110を形成する。第2分離層110は、たとえばALD法、熱酸化法、蒸着法、CVD法、スパッタ法等の薄膜形成法により形成する。なお、第2分離層110の形成前に、第2半導体結晶層106の表面を硫黄原子で終端する硫黄終端処理を行っても良い。

[0059] 第2半導体結晶層106がIII-V族化合物半導体結晶からなる場合、半導体結晶層形成基板160としてInP基板、または、GaAs基板が選択できる。第2半導体結晶層106がIV族半導体結晶からなる場合、半導体結晶層形成基板160としてGe基板、Si基板、SiC基板、または、GaAs基板が選択できる。

[0060] 第2半導体結晶層106のエピタキシャル結晶成長には、MOCVD法を利用することができる。MOCVD法で用いるガス、反応温度の条件等は、

第1半導体結晶層104の場合と同様である。

[0061] 図4に示すように、第1分離層108および第1半導体結晶層104が形成されていない領域のベース基板102の表面と第2分離層110の表面をアルゴンビーム150で活性化する。その後、図5に示すように、第2分離層110の表面を、第1分離層108および第1半導体結晶層104が形成されていない領域のベース基板102の表面に貼り合わせて接合する。貼り合わせは室温で行うことができる。活性化はアルゴンビーム150である必要はなく、他の希ガス等のビームであっても良い。その後、半導体結晶層形成基板160をHCl溶液等でエッチングし、除去する。これにより、第1分離層108および第1半導体結晶層104が形成されていない領域のベース基板102上に第2分離層110および第2半導体結晶層106が形成される。なお、第2分離層110を形成する前に、第2半導体結晶層106の表面を硫黄原子で終端する硫黄終端処理を行っても良い。また、半導体結晶層形成基板140および半導体結晶層形成基板160は、同時に除去してもよい。つまり、半導体結晶層形成基板140および半導体結晶層形成基板160の両方における第2分離層110をベース基板102に貼り合わせた後に、半導体結晶層形成基板140および半導体結晶層形成基板160を除去してよい。

[0062] 図4に示す例では、第2分離層110を第2半導体結晶層106の上のみ形成し、第2分離層110の表面とベース基板102の表面とを貼り合わせる例を説明したが、ベース基板102の上にも第2分離層110を形成し、第2半導体結晶層106上の第2分離層110の表面とベース基板102上の第2分離層110の表面とを貼り合わせてもよい。この場合、第2分離層110の貼り合わせる面を親水化処理することが好ましい。親水化処理した場合は、第2分離層110どうしを加熱して貼り合わせることが好ましい。あるいは、ベース基板102の上のみ第2分離層110を形成し、ベース基板102の表面と第2半導体結晶層106上の第2分離層110の表面とを貼り合わせてもよい。

[0063] 図4に示す例では、第2半導体結晶層106および第2分離層110をベース基板102に貼り合わせた後に、第2半導体結晶層106を半導体結晶層形成基板160から分離する例を説明したが、第2半導体結晶層106および第2分離層110を半導体結晶層形成基板160から分離した後に、第2半導体結晶層106をベース基板102に貼り合わせてもよい。この場合、第2半導体結晶層106および第2分離層110を半導体結晶層形成基板160から分離した後、ベース基板102に貼り合わせるまでの間、適切な転写用基板に第2半導体結晶層106および第2分離層110を保持することが好ましい。

[0064] 次に、図6に示すように、第1半導体結晶層104および第2半導体結晶層106の上に、導電性物質層112を形成する。導電性物質層112は、後に第1ソース124、第1ドレイン126、第2ソース134および第2ドレイン136となるものである。導電性物質層112は、たとえば蒸着法、CVD法、スパッタ法等の薄膜形成法により形成する。

[0065] 図7に示すように、第1ゲート122および第2ゲート132が形成される領域の導電性物質層112を、エッチングにより除去し、絶縁層114を形成する。絶縁層114は、たとえばALD法、熱酸化法、蒸着法、CVD法、スパッタ法等の薄膜形成法により形成する。

[0066] 図8に示すように、絶縁層114の上に、導電性薄膜を形成し、第1ゲート122および第2ゲート132となる領域以外の導電性薄膜を除去して、第1ゲート122および第2ゲート132を形成する。なお、第1ゲート122あるいは第2ゲート132で分離された導電性物質層112は、第1ソース124、第1ドレイン126、第2ソース134および第2ドレイン136となる。第1ソース124、第1ドレイン126、第2ソース134および第2ドレイン136となる導電性物質層112が露出するように絶縁層114に開口を形成し、導電性の薄膜形成およびパターニングにより第1ゲートメタル123、第1ソース電極125および第1ドレイン電極127、ならびに、第2ゲートメタル133、第2ソース電極135および第2ドレ

イン電極 137 を形成すれば、図 1 に示す半導体デバイス 100 が製造できる。なお、導電性薄膜として、金属膜を形成した場合には、ポストメタルアニール処理を行うことが好ましい。ポストメタルアニール処理は、RTA (rapid thermal annealing) 法により実施することが好ましい。

[0067] 以上説明した半導体デバイス 100 とその製造方法によれば、第 1 ソース 124、第 1 ドレイン 126、第 2 ソース 134 および第 2 ドレイン 136 が、同一プロセスで同時に形成されるので、製造工程を簡略化できる。その結果、製造コストが低減され、微細化も容易になる。また、第 1 ソース 124、第 1 ドレイン 126、第 2 ソース 134 および第 2 ドレイン 136 を構成する導電性物質の仕事関数が、数 1 または数 2 に示す関係を満足する。したがって第 1 ソース 124 および第 1 ドレイン 126 と第 1 半導体結晶層 104 とのコンタクトがオーミックコンタクトとなり、第 2 ソース 134 および第 2 ドレイン 136 と第 2 半導体結晶層 106 とのコンタクトがオーミックコンタクトとなる。この結果、第 1 MISFET 120 および第 2 MISFET 130 の各オン電流を大きくすることができる。また、各ソース・ドレイン間の抵抗が小さくなるから、各 MISFET のチャネル抵抗を低くする必要がなく、チャネル層のドーピング不純物原子の濃度を少なくできる。この結果、チャネル層でのキャリアの移動度を大きくすることができる。

[0068] 上記した半導体デバイス 100 では、ベース基板 102 と第 1 分離層 108 とが接しているので、ベース基板 102 の第 1 分離層 108 と接する領域が導電性であるならば、ベース基板 102 の第 1 分離層 108 と接する領域に電圧を印加し、当該電圧を、第 1 MISFET 120 へのバックゲート電圧として作用させることができる。また、上記した半導体デバイス 100 では、ベース基板 102 と第 2 分離層 110 とが接しているので、ベース基板 102 の第 2 分離層 110 と接する領域が導電性であるならば、ベース基板 102 の第 2 分離層 110 と接する領域に電圧を印加し、当該電圧を、第 2 MISFET 130 へのバックゲート電圧として作用させることができる。これらバックゲート電圧の作用は、第 1 MISFET 120 および第 2 MISFET 130 へのバックゲート電圧として作用させることができる。

S F E T 1 3 0 のオン電流を大きくし、オフ電流を小さくすることができる。

[0069] 上記した半導体デバイス 1 0 0 において、第 1 半導体結晶層 1 0 4 を複数有し、複数の第 1 半導体結晶層 1 0 4 のそれぞれが、ベース基板 1 0 2 の上面と平行な面内で規則的に配列されてもよい。規則的とは、例えば同一の配列パターンが繰り返されることを指す。また半導体デバイス 1 0 0 は、第 2 半導体結晶層 1 0 6 を複数有し、複数の第 2 半導体結晶層 1 0 6 のそれぞれが、ベース基板 1 0 2 の上面と平行な面内で規則的に配列されてもよい。また半導体デバイス 1 0 0 は、第 1 半導体結晶層 1 0 4 および第 2 半導体結晶層 1 0 6 の両方を規則的に複数有してもよい。このように、第 1 半導体結晶層 1 0 4 および第 2 半導体結晶層 1 0 6 を規則的に配列することで、半導体デバイス 1 0 0 に使用する半導体基板の生産性を高めることができる。第 2 半導体結晶層 1 0 6 または第 1 半導体結晶層 1 0 4 の規則的な配列は、第 2 半導体結晶層 1 0 6 若しくは第 1 半導体結晶層 1 0 4 をエピタキシャル成長させた後に第 2 半導体結晶層 1 0 6 若しくは第 1 半導体結晶層 1 0 4 を規則的な配列にパターンニングする方法、第 2 半導体結晶層 1 0 6 若しくは第 1 半導体結晶層 1 0 4 を予め規則的な配列に選択的にエピタキシャル成長させる方法、または第 2 半導体結晶層 1 0 6 若しくは第 1 半導体結晶層 1 0 4 のいずれかあるいは両方を、半導体結晶層形成基板 1 6 0 上にエピタキシャル成長させた後、半導体結晶層形成基板 1 6 0 から分離し、所定の形状に整形した後、規則的な配列でベース基板 1 0 2 上に貼り合わせる方法、のいずれかの方法により実施でき、またそのいずれか複数の方法を組み合わせた方法により実施できる。

[0070] 上記した半導体デバイス 1 0 0 では、第 1 半導体結晶層 1 0 4 および第 1 分離層 1 0 8 を半導体結晶層形成基板 1 4 0 上に形成し、第 1 分離層 1 0 8 とベース基板 1 0 2 とを貼り合わせた後に半導体結晶層形成基板 1 4 0 を除去することで、第 1 半導体結晶層 1 0 4 および第 1 分離層 1 0 8 をベース基板 1 0 2 上に形成し、第 2 半導体結晶層 1 0 6 および第 2 分離層 1 1 0 を半

導体結晶層形成基板 160 上に形成し、第 2 分離層 110 とベース基板 102 とを貼り合わせた後に半導体結晶層形成基板 160 を除去することで、第 2 半導体結晶層 106 および第 2 分離層 110 をベース基板 102 上に形成することを説明した。しかし、第 1 半導体結晶層 104 と第 2 半導体結晶層 106 の何れか一方が SiGe からなり、他方が III-V 族化合物半導体結晶からなる場合、SiGe からなる方の半導体結晶層および分離層を、酸化濃縮法により形成することもできる。以下では第 1 半導体結晶層 104 が SiGe からなる場合を説明する。すなわち、第 1 半導体結晶層 104 を形成する前に、絶縁体からなる第 1 分離層 108 をベース基板 102 の上に形成し、第 1 分離層 108 の上に、第 1 半導体結晶層 104 の出発材料となる SiGe 層を形成する。SiGe 層を酸化雰囲気中で加熱し、表面を酸化する。SiGe 層を酸化することで、SiGe 層中の Ge 原子の濃度を高め、Ge 濃度が高い第 1 半導体結晶層 104 とすることができる。その後、第 2 半導体結晶層 106 を形成する領域の SiGe 層をエッチングにより除去して第 1 半導体結晶層 104 とする。

[0071] あるいは、第 1 半導体結晶層 104 と第 2 半導体結晶層 106 の何れか一方が IV 族半導体結晶からなり、他方が III-V 族化合物半導体結晶からなる場合、IV 族半導体結晶からなる方の半導体結晶層および分離層を、スマートカット法により形成できる。以下では第 1 半導体結晶層 104 が IV 族半導体結晶からなる場合を説明する。すなわち、IV 族半導体結晶からなる半導体層材料基板の表面に、絶縁体からなる第 1 分離層 108 を形成し、第 1 分離層 108 を通して、陽イオンを半導体層材料基板の分離予定深さに注入する。第 1 分離層 108 の表面とベース基板 102 の表面とが接合されるように、半導体層材料基板とベース基板 102 とを貼り合わせ、半導体層材料基板およびベース基板 102 を加熱する。この加熱により、分離予定深さに注入した陽イオンと半導体層材料基板を構成する IV 族原子とが反応し、分離予定深さに位置する IV 族半導体結晶が変性する。この状態で半導体層材料基板とベース基板 102 とを分離すれば、IV 族半導体結晶の変性部

位よりベース基板 102 側に位置するⅠⅤ族半導体結晶が、半導体層材料基板から剥離する。ベース基板 102 側に付着した半導体層材料に適切な研磨を施し、第 2 半導体結晶層 106 を形成する領域の当該半導体結晶層をエッチングにより除去すれば、ベース基板 102 に残った半導体結晶層を第 1 半導体結晶層 104 とすることができる。

[0072] 上記した半導体デバイス 100 において、第 1 分離層 108 および第 2 分離層 110 の何れか一方を、その上に位置する半導体結晶層の禁制帯幅より大きな禁制帯幅を有する半導体結晶とする場合、分離層はエピタキシャル成長法を用いて半導体結晶層まで連続して形成できる。以下第 1 分離層 108 が半導体結晶からなる場合を説明する。ベース基板 102 の上に、第 1 分離層 108 をエピタキシャル成長法により形成し、第 1 分離層 108 の上に第 1 半導体結晶層 104 をエピタキシャル成長法により形成する。エピタキシャル成長の後、図 9 に示すように、マスク 185 を用いて、第 2 半導体結晶層 106 が形成される領域の第 1 半導体結晶層 104 および第 1 分離層 108 をエッチングにより除去する。このようにして、図 3 と同様な半導体基板を得ることができる。本方法では、第 1 分離層 108 および第 1 半導体結晶層 104 を連続して、あるいは、第 2 分離層 110 および第 2 半導体結晶層 106 を連続してエピタキシャル成長法により形成できるので、製造工程が簡単になる。

[0073] 第 1 分離層 108 および第 1 半導体結晶層 104、または第 2 分離層 110 および第 2 半導体結晶層 106 の何れかの組をエピタキシャル成長法により連続的に形成する場合、選択エピタキシャル成長法を用いて第 1 分離層 108 および第 1 半導体結晶層 104、または第 2 分離層 110 および第 2 半導体結晶層 106 を形成できる。図 10 に示すように、ベース基板 102 の表面の、第 2 分離層 110 および第 2 半導体結晶層 106 が形成される領域を SiO_2 等の成長阻害層 187 で覆い、エピタキシャル成長を実施する。成長阻害層 187 が存在しない領域のベース基板 102 上に、第 1 半導体結晶層 104 および第 1 分離層 108 が選択的にエピタキシャル成長する。その

後、成長阻害層 187 を除去し、図 3 と同様な半導体基板を得ることができる。

[0074] 第 1 分離層 108 または第 2 分離層 110 がエピタキシャル成長結晶である場合、第 1 分離層 108 または第 2 分離層 110 を酸化して非晶質絶縁体層に転換してもよい。たとえば、第 1 分離層 108 または第 2 分離層 110 が AlAs、あるいは AlInP である場合、選択酸化技術により、第 1 分離層 108 または第 2 分離層 110 を絶縁性酸化物とすることができる。

[0075] 上記した半導体デバイス 100 の製造方法における貼り合わせ工程では、半導体結晶層形成基板をエッチングして除去する例を説明したが、図 11 に示すように、結晶性犠牲層 190 を用いて半導体結晶層形成基板を除去することもできる。すなわち、半導体結晶層形成基板 140 の上に第 1 半導体結晶層 104 を形成する前に、半導体結晶層形成基板 140 の表面に、結晶性犠牲層 190 をエピタキシャル結晶成長法により形成する。その後、結晶性犠牲層 190 の表面に第 1 半導体結晶層 104 および第 1 分離層 108 をエピタキシャル成長法により形成し、第 1 分離層 108 の表面とベース基板 102 の表面をアルゴンビーム 150 で活性化する。その後、第 1 分離層 108 の表面とベース基板 102 の表面を貼り合わせ、図 12 に示すように、結晶性犠牲層 190 を除去する。これにより、半導体結晶層形成基板 140 上の第 1 半導体結晶層 104 および第 1 分離層 108 と半導体結晶層形成基板 140 が分離される。当該方法によれば、半導体結晶層形成基板の再利用が可能になり、製造コストを低くすることができる。

[0076] 図 13 は、半導体デバイス 200 の断面を示す。半導体デバイス 200 は、半導体デバイス 100 における第 1 分離層 108 を有さず、第 1 半導体結晶層 104 がベース基板 102 に接して配置されている。なお、第 1 分離層 108 が無い他は半導体デバイス 100 と同じ構造を有するので、共通する部材等の説明は省略する。

[0077] すなわち、半導体デバイス 200 は、ベース基板 102 と第 1 半導体結晶層 104 とが接合面 103 で接し、ベース基板 102 の接合面 103 の近傍

に、p型またはn型の伝導型を示す不純物原子を含有し、第1半導体結晶層104の接合面103の近傍に、ベース基板102に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子を含有する。つまり、半導体デバイス200は、接合面103の近傍にpn接合を有する。第1分離層108が無い構造であっても、接合面103近傍に形成されるpn接合によって、ベース基板102と第1半導体結晶層104とを電氣的に分離することが可能であり、第1半導体結晶層104に形成される第1MISFET120をベース基板102から電氣的に分離することができる。

[0078] 半導体デバイス200は、以下のようにして製造できる。図14に示すように、ベース基板102表面の全面に第1半導体結晶層104をエピタキシャル成長法により形成する。そして、第2半導体結晶層106が形成される領域の第1半導体結晶層104をエッチングにより除去する。第1半導体結晶層104が除去された領域のベース基板102上に、図4および図5で説明した工程と同様な工程で、第2分離層110および第2半導体結晶層106を形成する。その後の工程は半導体デバイス100の場合と同様である。ただし、pn接合の形成は、ベース基板102の表面近傍に、p型またはn型の伝導型を示す不純物原子を含有させ、第1半導体結晶層104をエピタキシャル成長法により形成するステップにおいて、ベース基板102に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子で第1半導体結晶層104をドーピングすることで実施できる。

[0079] 第1半導体結晶層104をベース基板102の上に直接形成する構造において、素子分離の必要性が低い場合には分離構造としてのpn接合は必須ではない。つまり、半導体デバイス200は、ベース基板102の接合面103の近傍にp型またはn型の伝導型を示す不純物原子を含有せず、第1半導体結晶層104の接合面103の近傍にp型またはn型の伝導型を示す不純物原子を含有しない構造であってもよい。

[0080] 第1半導体結晶層104をベース基板102の上に直接形成する場合、エピタキシャル成長の後、またはエピタキシャル成長の途中において、アニー

ル処理を施してもよい。アニール処理により、第1半導体結晶層104中の転位が低減する。また、エピタキシャル成長法は、ベース基板102の表面全部に第1半導体結晶層104を一様に成長する方法、あるいは、 SiO_2 等の成長阻害層でベース基板102の表面を細かく分割し、選択的に成長する方法の何れのエピタキシャル成長法であってもよい。

[0081] (実施例)

ベース基板表面の一部の上に、Ge結晶層を形成し、ベース基板表面の他部の上、つまりGe結晶層を形成していない領域のベース基板上にInGaAs結晶層を形成した。InGaAs結晶層およびGe結晶層の上に、30nm厚さのTa₂N層を堆積し、Ta₂N層をパターニングした。当該パターニングにより、InGaAs結晶層およびGe結晶層の各層上にソースおよびドレインを形成した。ソース・ドレインの間の溝を埋め込むよう、 Al_2O_3 、Ta₂Nの順に Al_2O_3 /Ta₂N積層膜を堆積し、当該堆積層をパターニングしてゲート絶縁膜およびゲートを形成した。なお、ソース・ドレインの間の溝幅すなわちゲート長が、50nm、75nm、100nmおよび100 μm の4種類のデバイスを形成した。以上のようにして、InGaAs結晶層上にnMOSFETを、Ge結晶層上にpMOSFETを、ソース・ドレインを同時形成するプロセスにより形成した。図15は、nMOSFETを上方から観察したSEM写真である。L_gで示すギャップ（ソース・ドレイン間の溝）をオーバーラップするようにゲート電極が形成されている。図16は、nMOSFETのゲート部分の断面を観察したTEM写真である。ゲート長L_gが50nmの場合でもソース・ドレイン間の溝が確実に埋め込まれていることが確認できる。

[0082] 以上のようにして形成したTa₂Nからなるソース・ドレインは、その仕事関数が約4.6eVである。一方InGaAsの電子親和力は4.5eVであり、Geの電子親和力は4.0eV、Geのバンドギャップは0.67eVである。よって、ソース・ドレインの仕事関数 ϕ_M は、nMOSFET材料であるInGaAsの電子親和力 ϕ_1 とpMOSFET材料であるGeの電子

親和力およびバンドギャップの和 $\phi_2 + E_{g2}$ とは、 $\phi_1 < \Phi_M < \phi_2 + E_{g2}$ の関係を満足する。また、ソース・ドレインの仕事関数 Φ_M と InGaAs の電子親和力 ϕ_1 との差 $|\Phi_M - \phi_1|$ は、 0.1 eV 以下であり、ソース・ドレインの仕事関数 Φ_M と Ge の電子親和力およびバンドギャップの和 $\phi_2 + E_{g2}$ と差 $|\phi_2 + E_{g2} - \Phi_M|$ も 0.1 eV 以下である。このため、 TaN と n 型伝導する場合の InGaAs との間の障壁は小さく、 TaN と p 型伝導する場合の Ge との間の障壁もやはり小さい。すなわち、 InGaAs 結晶層上の $n\text{MOSFET}$ と Ge 結晶層上の $p\text{MOSFET}$ のソース・ドレインを共通電極材料として TaN を採用することでソース・ドレインの接触抵抗を低減できる。

[0083] 図17および図18は、実施例1のデバイスに含まれる $p\text{MOSFET}$ および $n\text{MOSFET}$ におけるゲート電圧対ソース電流特性を示すグラフであり、図17はゲート長 L_g が $100 \mu\text{m}$ の場合を、図18はゲート長 L_g が 100 nm の場合を示す。なお、各図において、ドレイン電圧 V_d が 1 V の場合と 50 mV の場合の二通りのデータを示す。 L_g が $100 \mu\text{m}$ の場合は、 Ge 結晶層上の $p\text{MOSFET}$ で4桁のオンオフ比が、 InGaAs 結晶層上の $n\text{MOSFET}$ で6桁のオンオフ比が観測された。

[0084] 図19は、ゲート電圧対ソース電流特性を示すグラフであり、図18に示す場合よりさらにゲート長 L_g を小さくした場合のデータを InGaAs 結晶層上の $n\text{MOSFET}$ について示したものである。短チャネル効果によりオフ電流が上がり、サブスレッショルド特性 (SS 値) も劣化するが、ゲート長が 50 nm の場合でもスイッチング特性が観測された。

[0085] 図20は、ゲート長に対する SS 値を示したグラフであり、図21はゲート長に対する $DIBL$ (drain-induced barrier lowering) の値を示したグラフである。ゲート長が 100 nm の場合に $SS = 200 \text{ mV/dec}$ 、 $DIBL = 150 \text{ mV/V}$ という良好の値が得られた。

[0086] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理

の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現することに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。また、第1層が第2層の「上方」にあるとは、第1層が第2層の上面に接して設けられる場合と、第1層の下面および第2層の上面の間に他の層が介在している場合とを含む。また、「上」、「下」等の方向を指す語句は、半導体基板および半導体デバイスにおける相対的な方向を示しており、地面等の外部の基準面に対する絶対的な方向を指すものではない。

符号の説明

[0087] 100 半導体デバイス、102 ベース基板、103 接合面、104 第1半導体結晶層、104a 第1半導体結晶層の一部、106 第2半導体結晶層、106a 第2半導体結晶層の一部、108 第1分離層、110 第2分離層、112 導電性物質層、114 絶縁層、114a 絶縁層の一部、120 第1MISFET、122 第1ゲート、123 第1ゲートメタル、124 第1ソース、125 第1ソース電極、126 第1ドレイン、127 第1ドレイン電極、130 第2MISFET、132 第2ゲート、133 第2ゲートメタル、134 第2ソース、135 第2ソース電極、136 第2ドレイン、137 第2ドレイン電極、140 半導体結晶層形成基板、150 アルゴンビーム、160 半導体結晶層形成基板、185 マスク、187 成長阻害層、190 結晶性犠牲層、200 半導体デバイス

請求の範囲

[請求項1]

ベース基板と、
 前記ベース基板表面の一部の上方に位置する第1半導体結晶層と、
 前記ベース基板表面の前記一部とは異なる他部の上方に位置する第2半導体結晶層と、
 前記第1半導体結晶層の一部をチャネルとし、第1ソースおよび第1ドレインを有する第1MISFETと、
 前記第2半導体結晶層の一部をチャネルとし、第2ソースおよび第2ドレインを有する第2MISFETと、を有し、
 前記第1MISFETが、第1チャネル型のMISFETであり、
 前記第2MISFETが、前記第1チャネル型とは相違する第2チャネル型のMISFETであり、
 前記第1ソース、前記第1ドレイン、前記第2ソースおよび前記第2ドレインが、同一の導電性物質からなり、
 前記導電性物質の仕事関数 Φ_M が、数1および数2の少なくとも一方の関係を満たす
 半導体デバイス。

$$(数1) \quad \phi_1 < \Phi_M < \phi_2 + E_{g2}$$

$$(数2) \quad |\Phi_M - \phi_1| \leq 0.1 \text{ eV、かつ、} |(\phi_2 + E_{g2}) - \Phi_M| \leq 0.1 \text{ eV}$$

(ただし、 ϕ_1 は、前記第1半導体結晶層および前記第2半導体結晶層のうち、一部がN型チャネルとして機能するほうの半導体結晶層を構成する結晶の電子親和力、 ϕ_2 および E_{g2} は、前記第1半導体結晶層および前記第2半導体結晶層のうち、一部がP型チャネルとして機能するほうの半導体結晶層を構成する結晶の電子親和力および禁制帯幅を示す。)

[請求項2]

前記ベース基板と前記第1半導体結晶層との間に位置し、前記ベース基板と前記第1半導体結晶層とを電氣的に分離する第1分離層と、

前記ベース基板と前記第2半導体結晶層との間に位置し、前記ベース基板と前記第2半導体結晶層とを電氣的に分離する第2分離層と、

をさらに有する請求項1に記載の半導体デバイス。

[請求項3]

前記ベース基板と前記第1半導体結晶層とが接合面で接し、

前記接合面の近傍における前記ベース基板の領域に、p型またはn型の伝導型を示す不純物原子を含有し、

前記接合面の近傍における前記第1半導体結晶層の領域に、前記ベース基板に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子を含有し、

前記ベース基板と前記第2半導体結晶層との間に位置し、前記ベース基板と前記第2半導体結晶層とを電氣的に分離する第1分離層をさらに有する

請求項1に記載の半導体デバイス。

[請求項4]

前記ベース基板と前記第1分離層とが接し、

前記ベース基板の前記第1分離層と接する領域が導電性であり、

前記ベース基板の前記第1分離層と接する領域に印加した電圧が、前記第1MISFETへのバックゲート電圧として作用する

請求項2に記載の半導体デバイス。

[請求項5]

前記ベース基板と前記第2分離層とが接し、

前記ベース基板の前記第2分離層と接する領域が導電性であり、

前記ベース基板の前記第2分離層と接する領域に印加した電圧が、前記第2MISFETへのバックゲート電圧として作用する

請求項2に記載の半導体デバイス。

[請求項6]

前記第1半導体結晶層がⅢⅤ族半導体結晶からなり、前記第1MISFETがPチャネル型MISFETであり、

前記第2半導体結晶層がⅢⅢⅠ-Ⅴ族化合物半導体結晶からなり、前記第2MISFETがNチャネル型MISFETである

請求項 1 に記載の半導体デバイス。

- [請求項7] 前記第 1 半導体結晶層がⅢⅢⅢ-Ⅴ族化合物半導体結晶からなり、
前記第 1 M I S F E T が N チャネル型 M I S F E T であり、
前記第 2 半導体結晶層がⅢⅤ族半導体結晶からなり、前記第 2 M I
S F E T が P チャネル型 M I S F E T である

請求項 1 に記載の半導体デバイス。

- [請求項8] 前記導電性物質が、T i N、T a N、グラフェン、H f N または W
N である

請求項 1 に記載の半導体デバイス。

- [請求項9] 請求項 1 に記載の半導体デバイスに用いる半導体基板であって、
前記ベース基板と、
前記ベース基板表面の一部の上方に位置する第 1 半導体結晶層と、
前記ベース基板表面の前記一部とは異なる他部の上方に位置する第
2 半導体結晶層と、
を有する半導体基板。

- [請求項10] 前記ベース基板と前記第 1 半導体結晶層または前記第 2 半導体結晶
層との間に位置し、前記ベース基板と前記第 1 半導体結晶層または前
記第 2 半導体結晶層とを電氣的に分離する分離層
をさらに有する請求項 9 に記載の半導体基板。

- [請求項11] 前記分離層が、非晶質絶縁体からなる
請求項 1 0 に記載の半導体基板。

- [請求項12] 前記分離層が、当該分離層の上に位置する半導体結晶層を構成する
半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からな
る
請求項 1 0 に記載の半導体基板。

- [請求項13] 前記第 1 半導体結晶層および前記第 2 半導体結晶層から選択された
1 つの半導体結晶層と前記ベース基板とが接合面で接し、
前記接合面の近傍における前記ベース基板の領域に、p 型または n

型の伝導型を示す不純物原子を含有し、

前記接合面の近傍における前記半導体結晶層の領域に、前記ベース基板に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子を含有する

請求項 9 に記載の半導体基板。

[請求項14]

前記第 1 半導体結晶層を複数有し、

前記第 2 半導体結晶層を複数有し、

複数の前記第 1 半導体結晶層のそれぞれが、前記ベース基板の上面と平行な面内で規則的に配列され、

複数の前記第 2 半導体結晶層のそれぞれが、前記ベース基板の上面と平行な面内で規則的に配列されている

請求項 9 に記載の半導体基板。

[請求項15]

請求項 8 に記載の半導体基板を製造する方法であって、

前記ベース基板表面の一部の上方に前記第 1 半導体結晶層を形成する第 1 半導体結晶層形成ステップと、

前記ベース基板表面の前記一部とは異なる他部の上方に前記第 2 半導体結晶層を形成する第 2 半導体結晶層形成ステップと、を有し、

前記第 2 半導体結晶層形成ステップが、

半導体結晶層形成基板上に前記第 2 半導体結晶層をエピタキシャル結晶成長法により形成するエピタキシャル成長ステップと、

前記ベース基板の上、前記第 2 半導体結晶層の上、または、前記ベース基板および前記第 2 半導体結晶層の両方の上に、前記ベース基板と前記第 2 半導体結晶層とを電氣的に分離する第 2 分離層を形成するステップと、

前記ベース基板上の前記第 2 分離層と前記第 2 半導体結晶層とが接合するように、前記第 2 半導体結晶層上の前記第 2 分離層と前記ベース基板とが接合するように、または、前記ベース基板上の前記第 2 分離層と前記第 2 半導体結晶層上の前記第 2 分離層とが接合するように

、前記ベース基板と、前記半導体結晶層形成基板とを貼り合わせる貼り合わせステップと、

を有する半導体基板の製造方法。

[請求項16]

前記第1半導体結晶層形成ステップが、

半導体結晶層形成基板上に前記第1半導体結晶層をエピタキシャル結晶成長法により形成するエピタキシャル成長ステップと、

前記ベース基板の上、前記第1半導体結晶層の上、または、前記ベース基板および前記第1半導体結晶層の両方の上に、前記ベース基板と前記第1半導体結晶層とを電氣的に分離する第1分離層を形成するステップと、

前記ベース基板上の前記第1分離層と前記第1半導体結晶層とが接合するように、前記第1半導体結晶層上の前記第1分離層と前記ベース基板とが接合するように、または、前記ベース基板上の前記第1分離層と前記第1半導体結晶層上の前記第1分離層とが接合するように、前記ベース基板と、前記半導体結晶層形成基板とを貼り合わせる貼り合わせステップと、

を有する請求項15に記載の半導体基板の製造方法。

[請求項17]

前記第1半導体結晶層がSiGeからなり、前記第2半導体結晶層がIII-V族化合物半導体結晶からなり、

前記第1半導体結晶層形成ステップの前に、絶縁体からなる第1分離層を前記ベース基板の上に形成するステップを有し、

前記第1半導体結晶層形成ステップが、

前記第1分離層の上に、前記第1半導体結晶層の出発材料となるSiGe層を形成するステップと、

前記SiGe層を酸化雰囲気中で加熱し、表面を酸化することで前記SiGe層中のGe原子の濃度を高めるステップと、

前記ベース基板表面の前記他部の上方の前記SiGe層をエッチングするステップと、

を有する請求項 15 に記載の半導体基板の製造方法。

[請求項18]

前記第 1 半導体結晶層が I V 族半導体結晶からなり、前記第 2 半導体結晶層が I I I - V 族化合物半導体結晶からなり、

I V 族半導体結晶からなる半導体層材料基板の表面に、絶縁体からなる第 1 分離層を形成するステップと、

前記第 1 分離層を通して、陽イオンを前記半導体層材料基板の分離予定深さに注入するステップと、

前記第 1 分離層の表面と前記ベース基板の表面とが接合されるように、前記半導体層材料基板と前記ベース基板とを貼り合わせるステップと、

前記半導体層材料基板および前記ベース基板を加熱し、前記分離予定深さに注入した前記陽イオンと前記半導体層材料基板を構成する I V 族原子とを反応させることで、前記分離予定深さに位置する前記 I V 族半導体結晶を変性するステップと、

前記半導体層材料基板と前記ベース基板とを分離することで、前記変性するステップで変性させた前記 I V 族半導体結晶の変性部位より前記ベース基板側に位置する前記 I V 族半導体結晶を、前記半導体層材料基板から剥離するステップと、

前記ベース基板に残留した前記 I V 族半導体結晶からなる半導体結晶層のうち、前記ベース基板表面の前記他部の上方に位置する領域をエッチングするステップと、

を有する請求項 15 に記載の半導体基板の製造方法。

[請求項19]

前記第 1 半導体結晶層を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなる第 1 分離層を、選択エピタキシャル成長法により、前記ベース基板表面の前記一部の上方にのみ選択的に形成するステップをさらに有し、

前記第 1 半導体結晶層形成ステップが、選択エピタキシャル成長法により、前記第 1 分離層の上にのみ前記第 1 半導体結晶層を選択的に

形成するステップである

請求項 15 に記載の半導体基板の製造方法。

[請求項20] 前記第 1 半導体結晶層を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなる第 1 分離層を、前記ベース基板表面の上方にエピタキシャル成長法により形成するステップをさらに有し、

前記第 1 半導体結晶層形成ステップが、

前記第 1 分離層の上に前記第 1 半導体結晶層をエピタキシャル成長法により形成するステップと、

前記ベース基板表面の前記他部の上方の、前記第 1 半導体結晶層および前記第 1 分離層をエッチングするステップと、を含む、

請求項 15 に記載の半導体基板の製造方法。

[請求項21] 前記第 1 半導体結晶層形成ステップが、選択エピタキシャル成長法により、前記ベース基板表面の前記一部の上方にのみ前記第 1 半導体結晶層を選択的に形成するステップである

請求項 15 に記載の半導体基板の製造方法。

[請求項22] 前記第 1 半導体結晶層形成ステップが、

前記ベース基板表面の上方に前記第 1 半導体結晶層をエピタキシャル成長法により形成するステップと、

前記ベース基板表面の前記他部の上方の前記第 1 半導体結晶層をエッチングするステップと、を含む、

請求項 15 に記載の半導体基板の製造方法。

[請求項23] 前記ベース基板の表面近傍に、p 型または n 型の伝導型を示す不純物原子を含有し、

前記第 1 半導体結晶層をエピタキシャル成長法により形成するステップにおいて、前記ベース基板に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子で第 1 半導体結晶層をドーピングする

請求項 21 に記載の半導体基板の製造方法。

[請求項24] 前記半導体結晶層形成基板の上に半導体結晶層を形成する前に、前記半導体結晶層形成基板の表面に、結晶性犠牲層をエピタキシャル結晶成長法により形成するステップと、

前記ベース基板と前記半導体結晶層形成基板とを貼り合わせた後に、前記結晶性犠牲層を除去することにより、前記半導体結晶層形成基板上にエピタキシャル結晶成長法により形成された半導体結晶層と前記半導体結晶層形成基板とを分離するステップと、

をさらに有する請求項15に記載の半導体基板の製造方法。

[請求項25] 前記第1半導体結晶層をエピタキシャル成長させた後に前記第1半導体結晶層を規則的な配列にパターニングするステップ、または前記第1半導体結晶層を予め規則的な配列に選択的にエピタキシャル成長させるステップ、のいずれかのステップと、

前記第2半導体結晶層をエピタキシャル成長させた後に前記第2半導体結晶層を規則的な配列にパターニングするステップ、または前記第2半導体結晶層を予め規則的な配列に選択的にエピタキシャル成長させるステップ、のいずれかのステップと、を有する

請求項15に記載の半導体基板の製造方法。

[請求項26] 請求項15に記載の半導体基板の製造方法を用いて、前記第1半導体結晶層および前記第2半導体結晶層を有する半導体基板を製造するステップと、

前記第1半導体結晶層および前記第2半導体結晶層のそれぞれの上に、仕事関数 Φ_M が、数1および数2の少なくとも一方の関係を満たす導電性物質を形成するステップと、

ゲート電極が形成される領域の前記導電性物質を除去するステップと、

前記導電性物質が除去された領域にゲート絶縁層およびゲート電極を形成するステップと、

前記導電性物質をパターニングおよび加熱して、前記第1半導体結

晶上の前記ゲート電極の両側に第1ソースおよび第1ドレインを形成し、前記第2半導体結晶上の前記ゲート電極の両側に第2ソースおよび第2ドレインを形成するステップと、

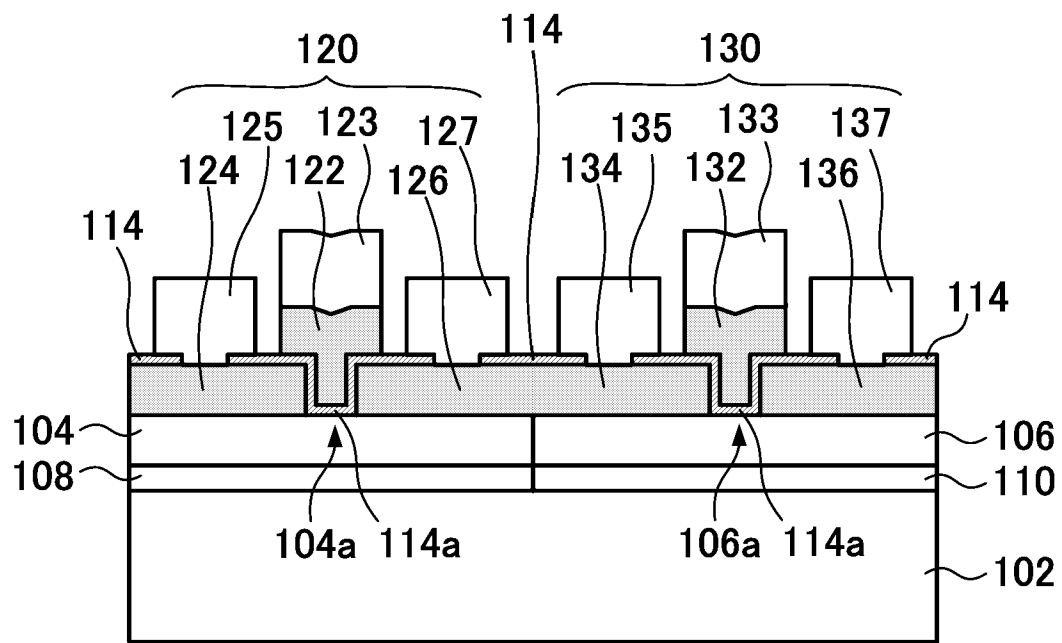
を有する半導体デバイスの製造方法。

$$(数1) \quad \phi_1 < \Phi_M < \phi_2 + E_{g2}$$

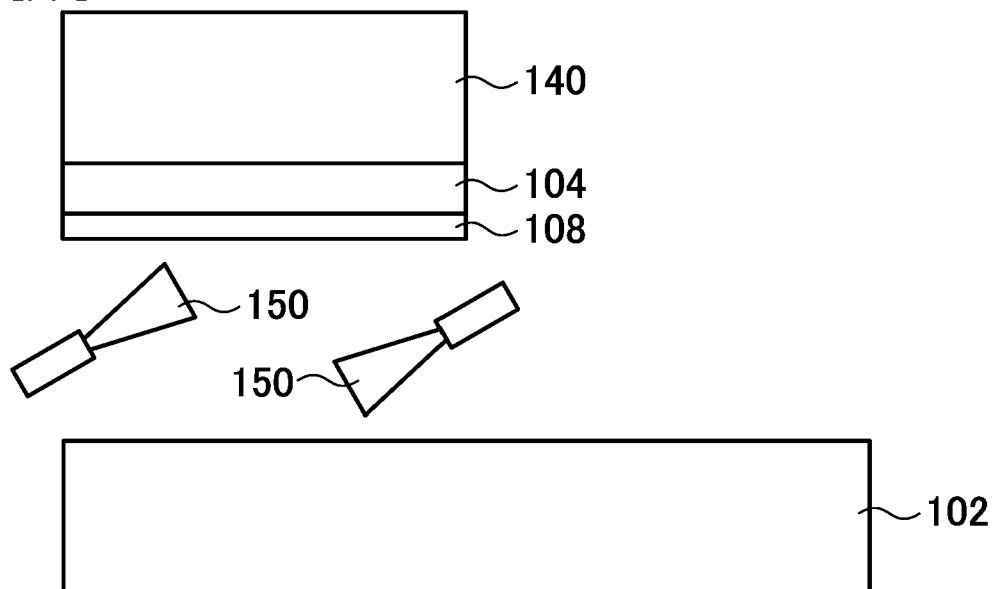
$$(数2) \quad |\Phi_M - \phi_1| \leq 0.1 \text{ eV}、かつ、|(\phi_2 + E_{g2}) - \Phi_M| \leq 0.1 \text{ eV}$$

(ただし、 ϕ_1 は、前記第1半導体結晶層および前記第2半導体結晶層のうち、一部がN型チャネルとして機能するほうの半導体結晶層を構成する結晶の電子親和力、 ϕ_2 および E_{g2} は、前記第1半導体結晶層および前記第2半導体結晶層のうち、一部がP型チャネルとして機能するほうの半導体結晶層を構成する結晶の電子親和力および禁制帯幅を示す。)

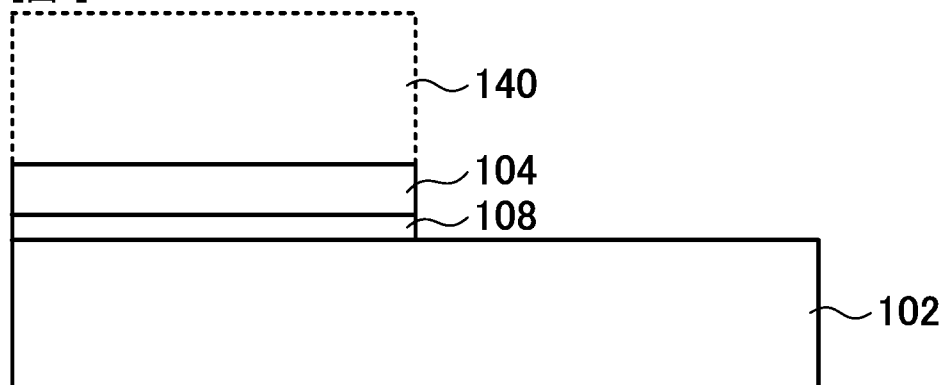
[図1]



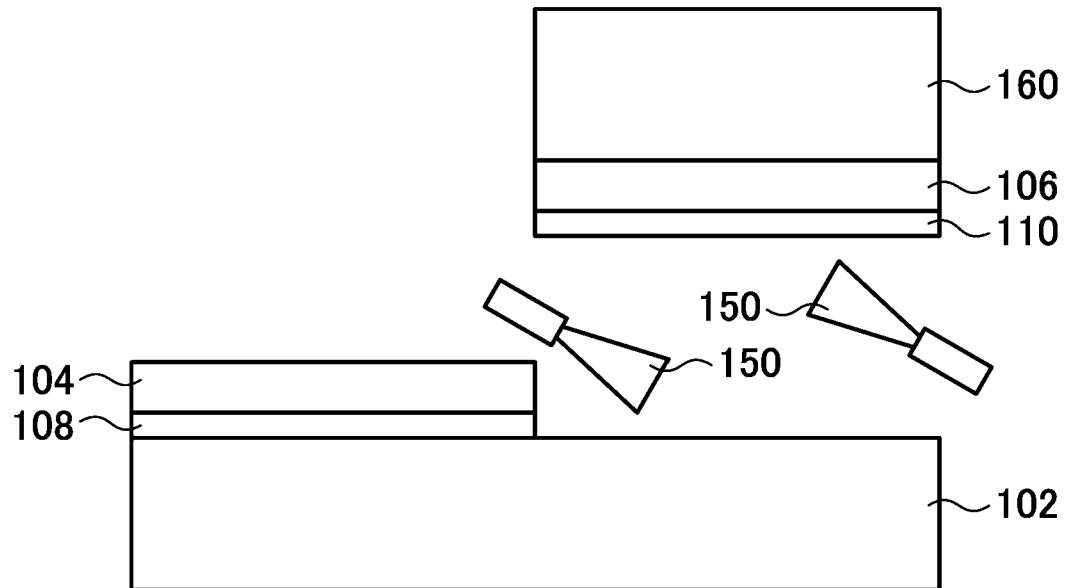
[図2]



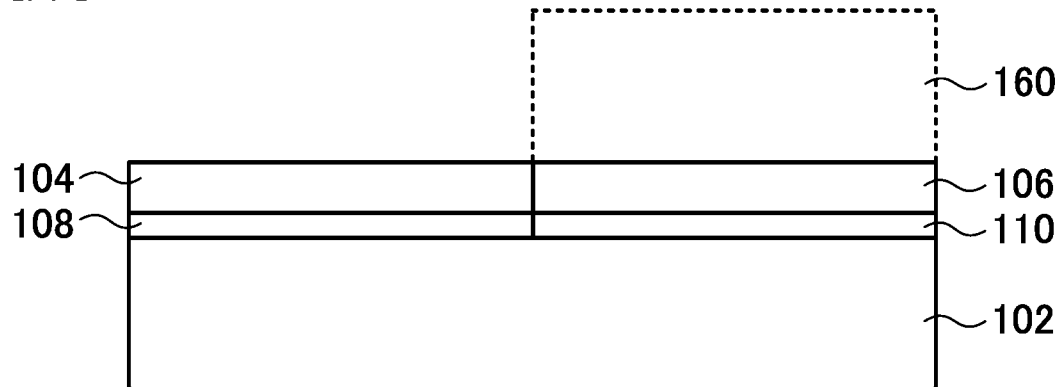
[図3]



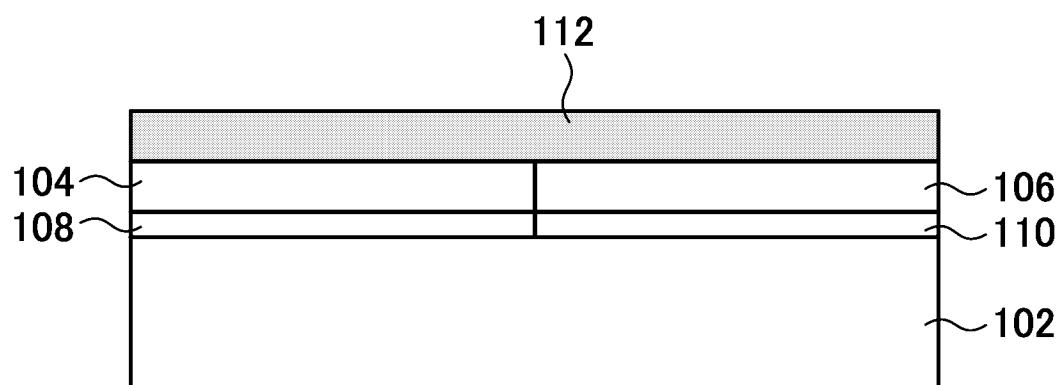
[図4]



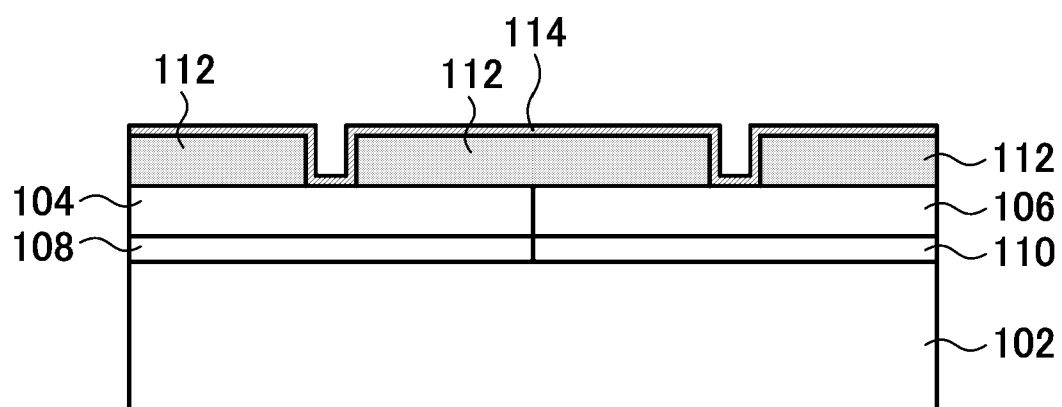
[図5]



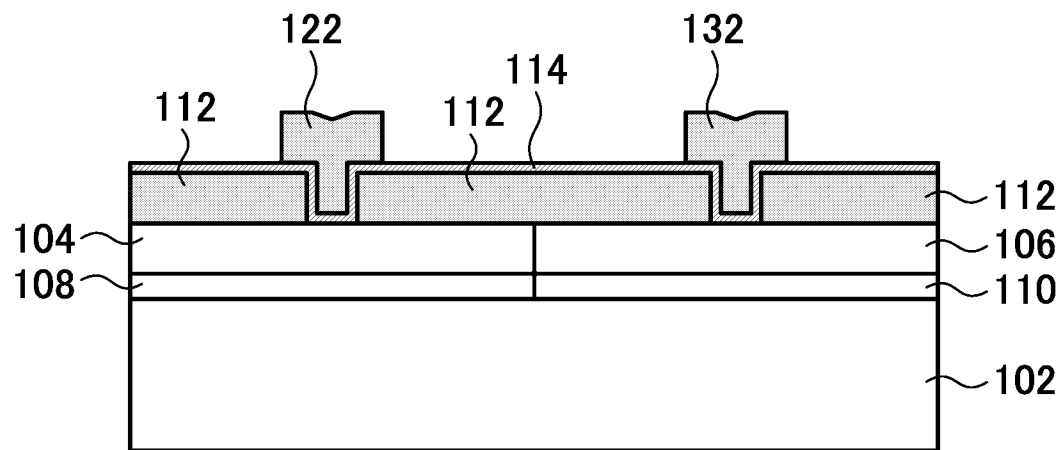
[図6]



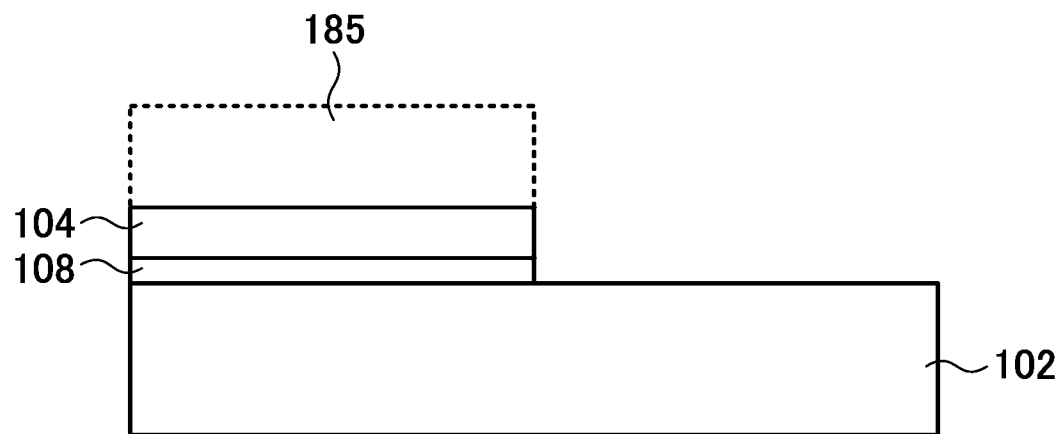
[図7]



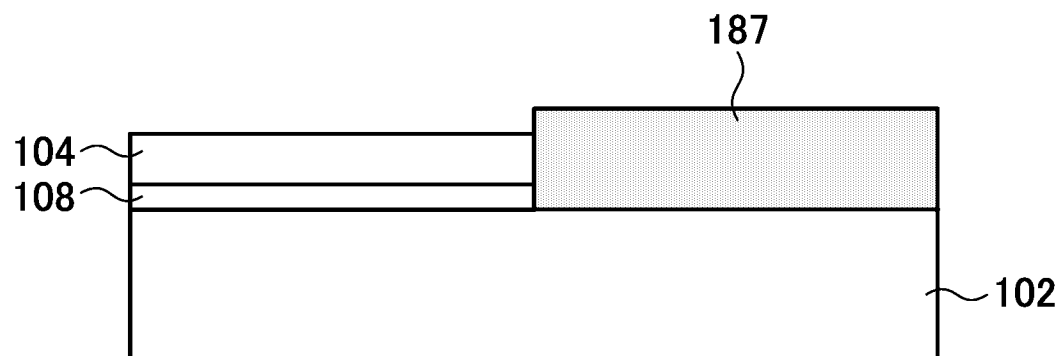
[図8]



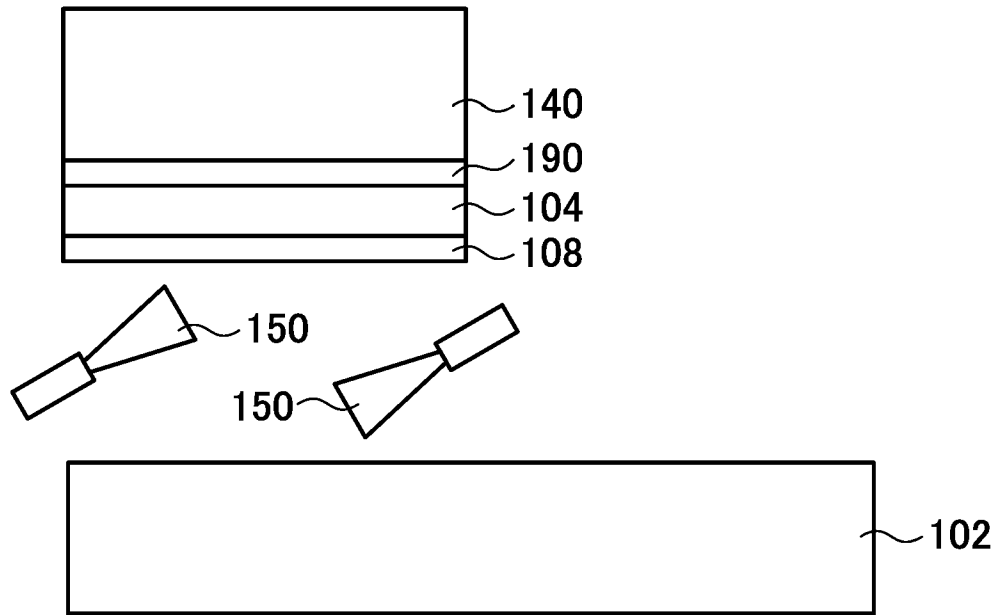
[図9]



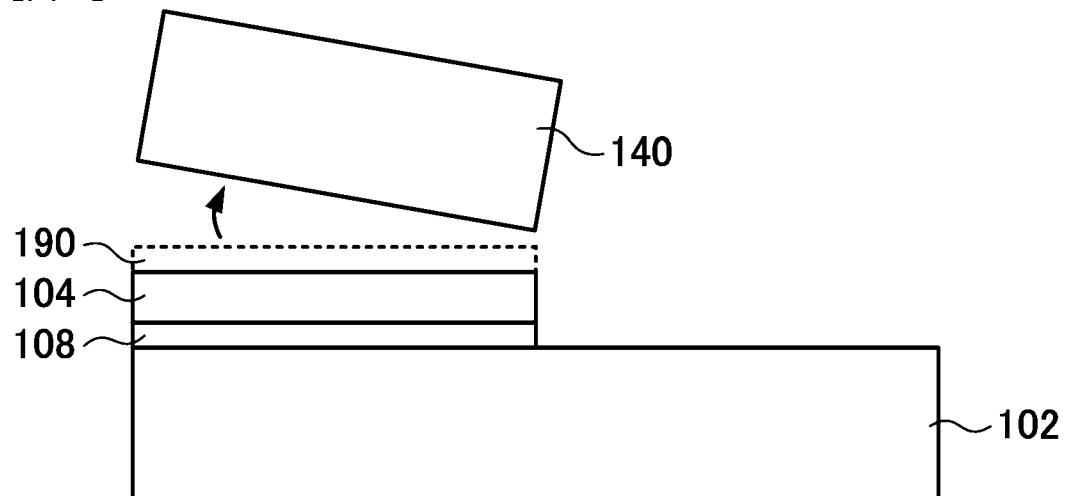
[図10]



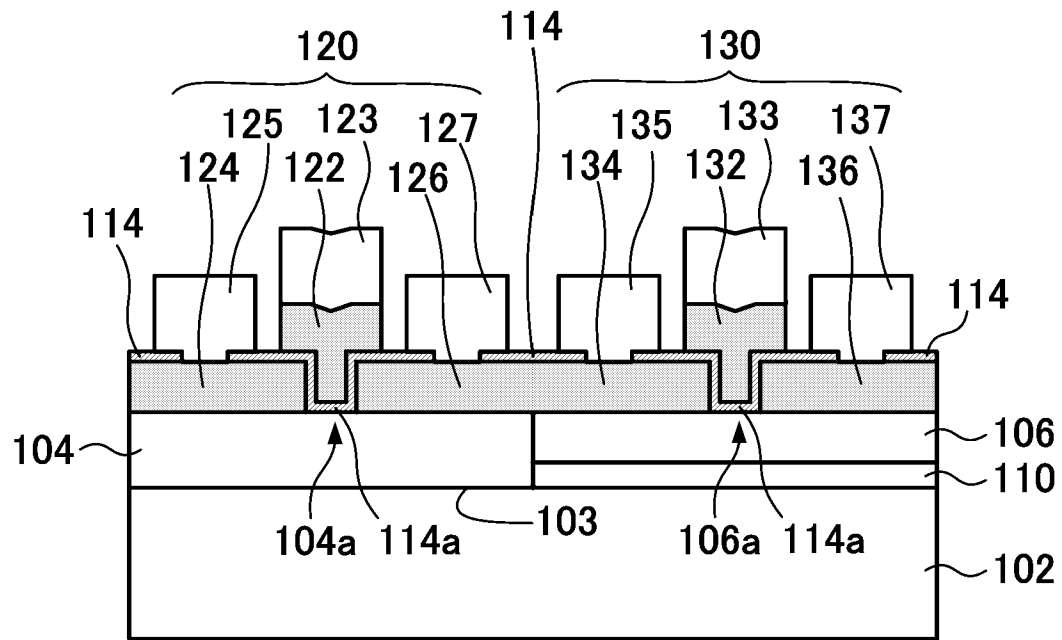
[図11]



[図12]

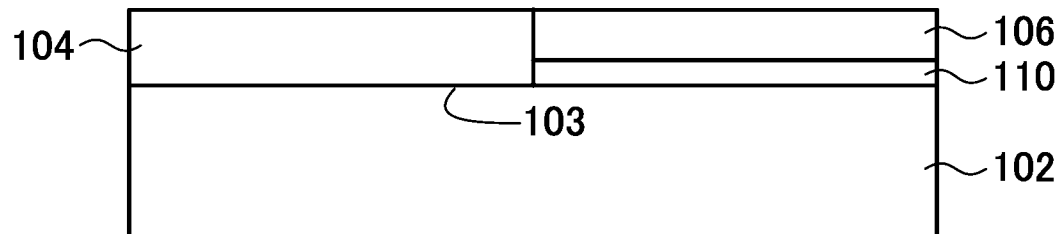


[図13]

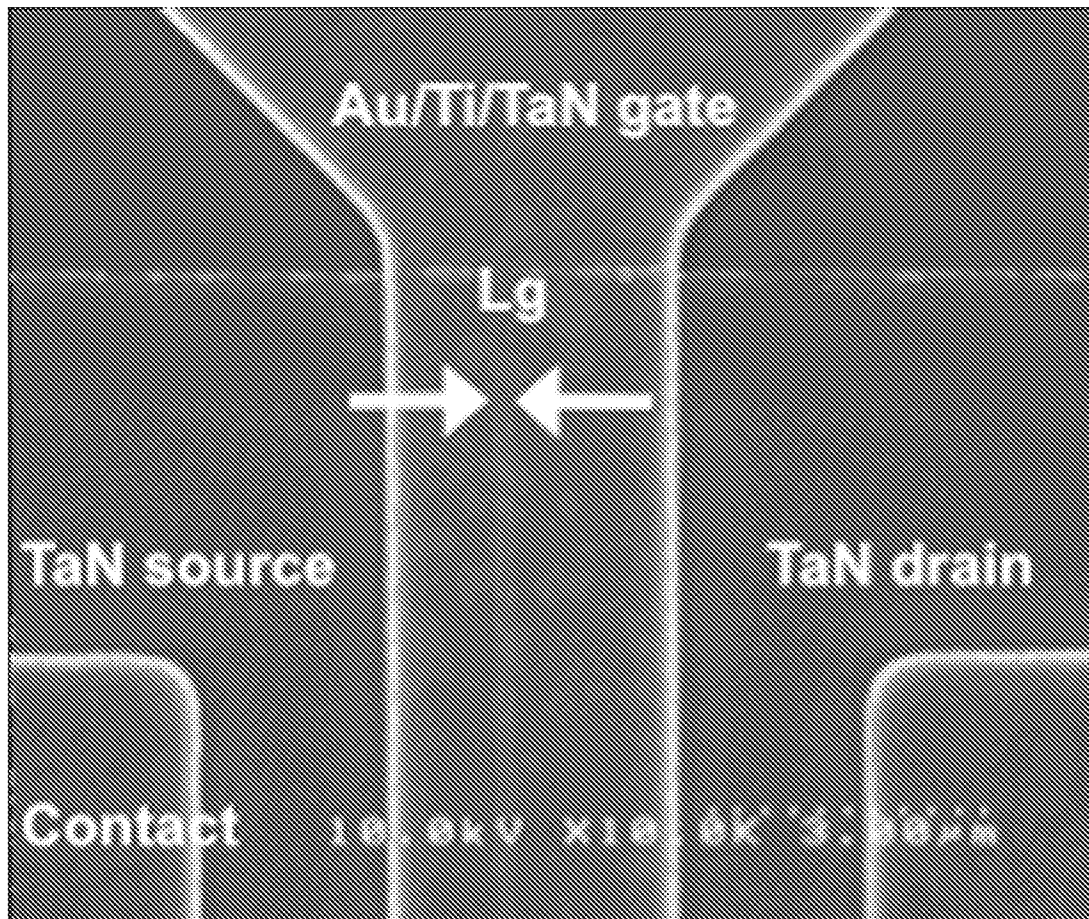


200

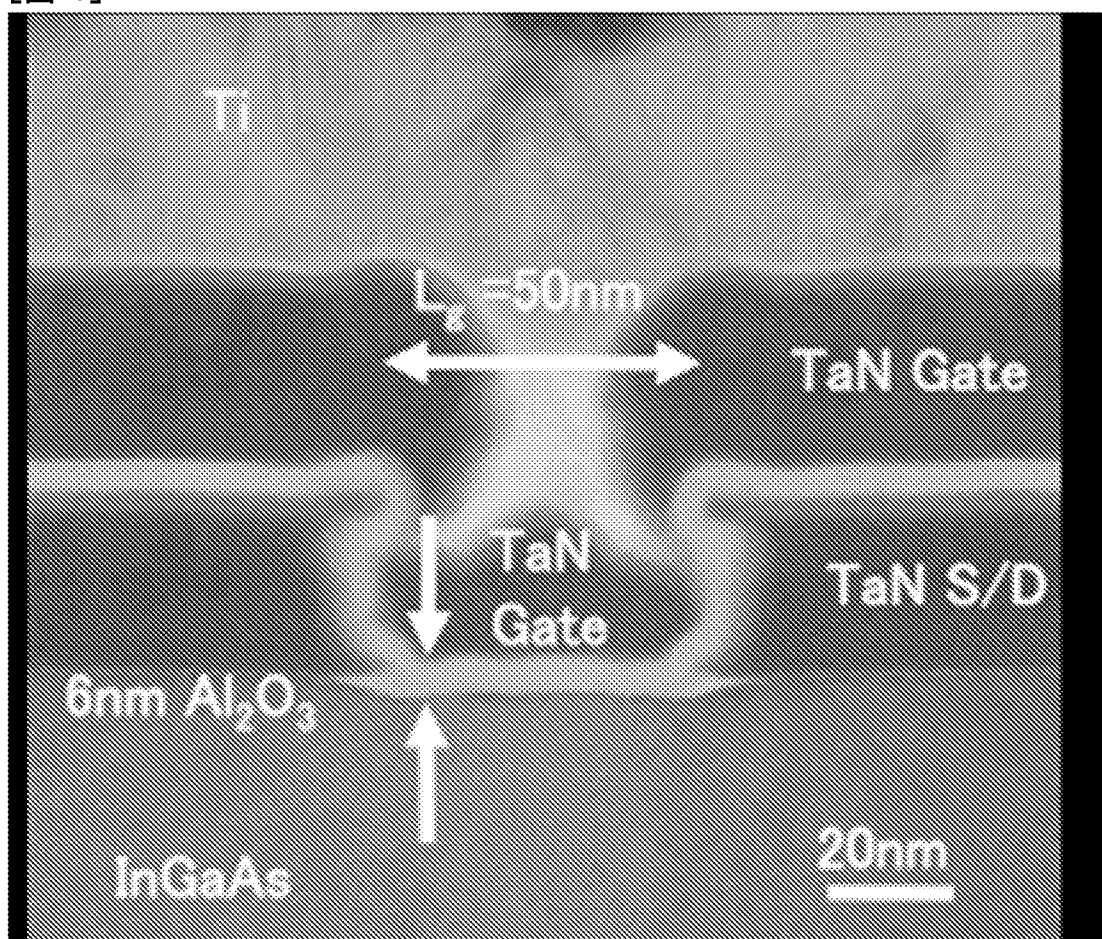
[図14]



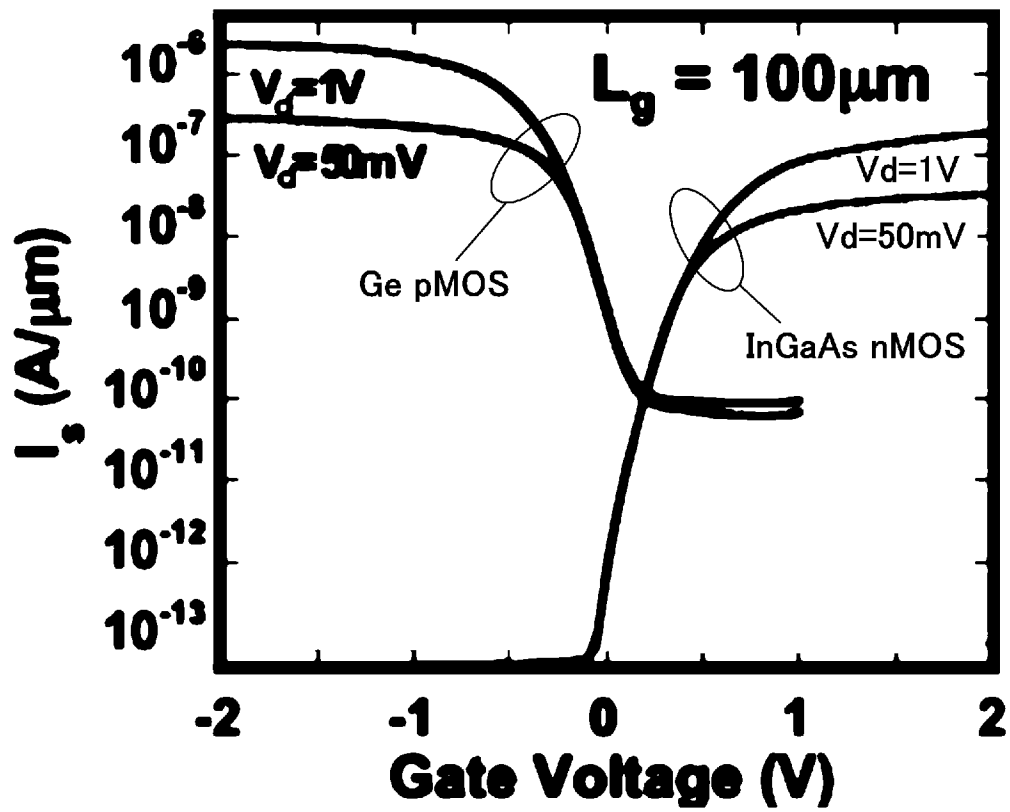
[図15]



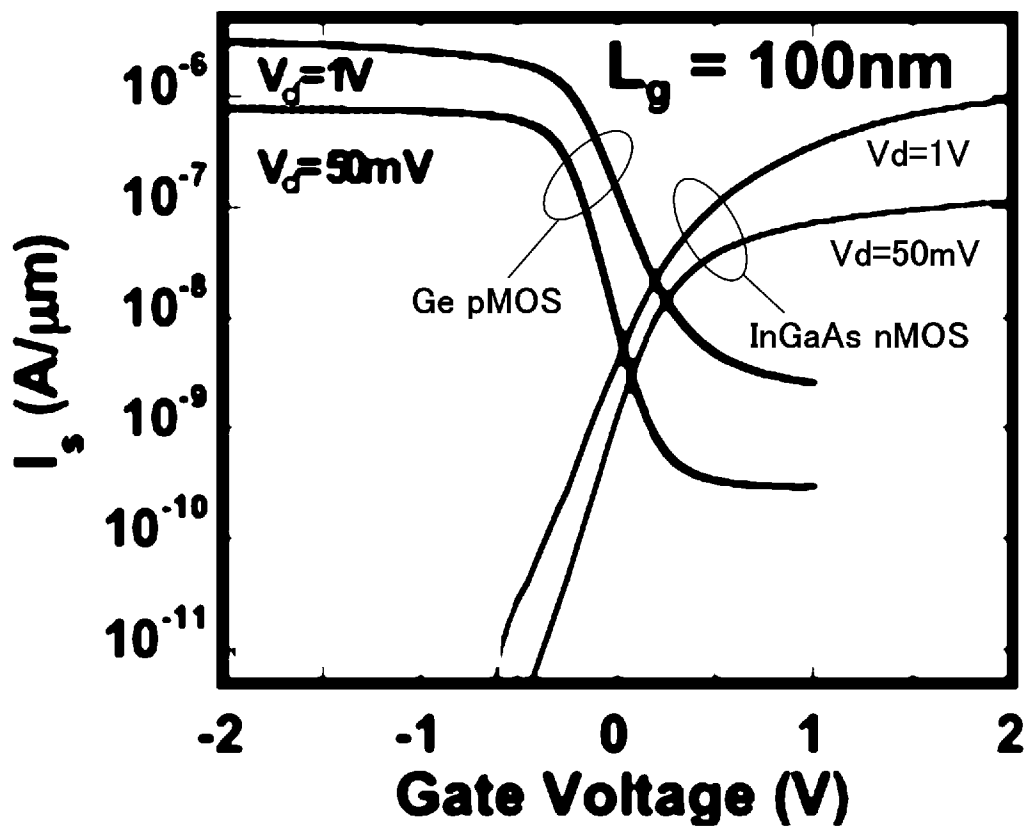
[図16]



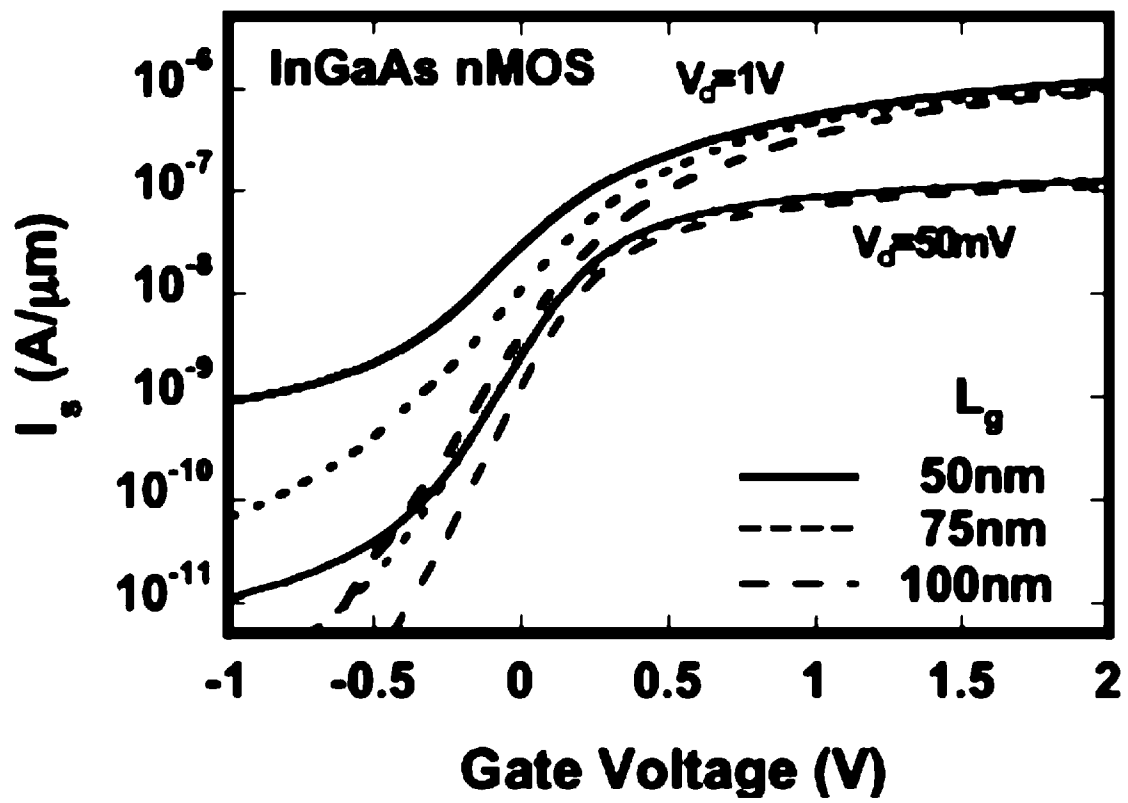
[図17]



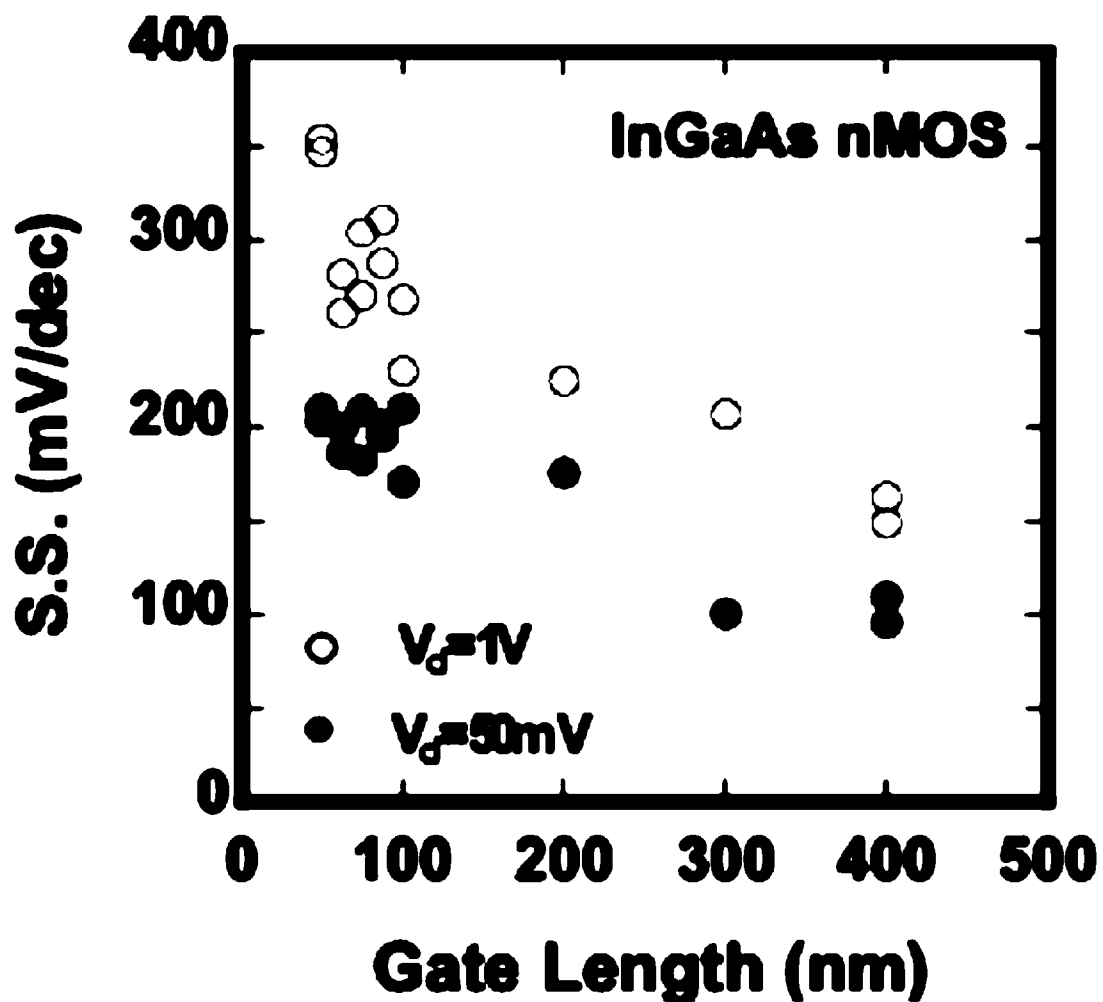
[図18]



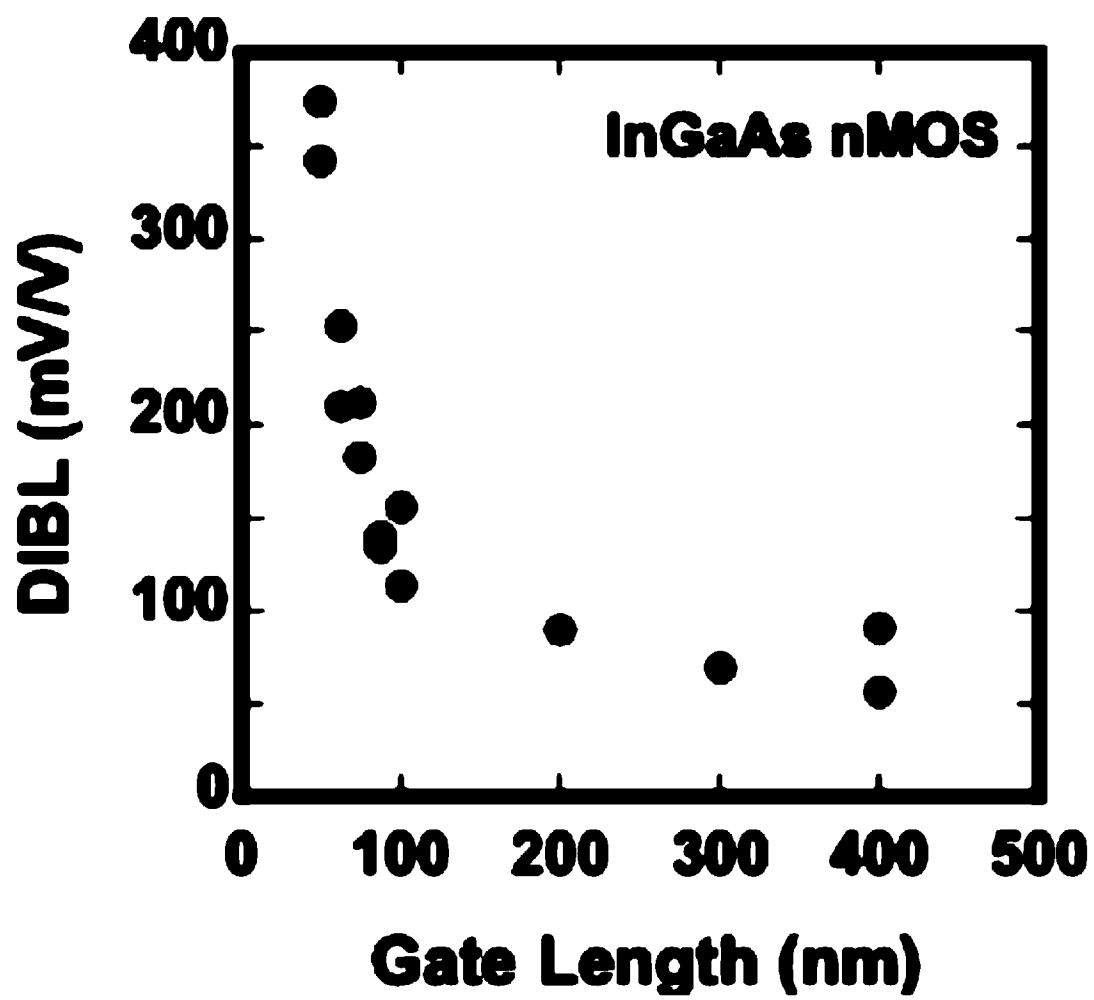
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003789

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8238(2006.01)i, H01L21/02(2006.01)i, H01L21/28(2006.01)i,
H01L21/762(2006.01)i, H01L27/08(2006.01)i, H01L27/092(2006.01)i,
H01L27/12(2006.01)i, H01L29/417(2006.01)i, H01L29/786(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8238, H01L21/02, H01L21/28, H01L21/762, H01L27/08, H01L27/092,
H01L27/12, H01L29/417, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-093987 A (ST Microelectronics, Inc.), 06 April 2001 (06.04.2001), entire text; all drawings & US 2002/0024094 A1 entire text; all drawings & US 2002/0125476 A1 & US 2003/0068849 A1 & EP 1089338 A3 & EP 1089338 A2	1-26
A	JP 03-109740 A (Hitachi, Ltd.), 09 May 1991 (09.05.1991), entire text; all drawings (Family: none)	1-26
A	JP 03-084960 A (NEC Corp.), 10 April 1991 (10.04.1991), entire text; all drawings (Family: none)	1-26



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 August, 2012 (21.08.12)

Date of mailing of the international search report
04 September, 2012 (04.09.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003789

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 63-311768 A (Fujitsu Ltd.), 20 December 1988 (20.12.1988), entire text; all drawings (Family: none)	1-26
A	JP 59-198750 A (Kabushiki Kaisha Suwa Seikosha), 10 November 1984 (10.11.1984), entire text; all drawings (Family: none)	1-26
A	JP 2009-503871 A (Amberwave Systems Corp.), 29 January 2009 (29.01.2009), entire text; all drawings & US 2007/0181977 A1 entire text; all drawings & EP 1911086 A & WO 2007/014294 A2 & KR 10-2008-0032234 A & CN 101268547 A	1-26
A	JP 2007-013025 A (Matsushita Electric Industrial Co., Ltd.), 18 January 2007 (18.01.2007), entire text; all drawings (Family: none)	1-26
A	JP 09-069611 A (Hitachi, Ltd.), 11 March 1997 (11.03.1997), entire text; all drawings (Family: none)	1-26

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/8238 (2006.01)i, H01L21/02 (2006.01)i, H01L21/28 (2006.01)i, H01L21/762 (2006.01)i,
H01L27/08 (2006.01)i, H01L27/092 (2006.01)i, H01L27/12 (2006.01)i, H01L29/417 (2006.01)i,
H01L29/786 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/8238, H01L21/02, H01L21/28, H01L21/762, H01L27/08, H01L27/092, H01L27/12, H01L29/417,
H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-093987 A (エスティーマイクロエレクトロニクス, インコーポレイテッド) 2001.04.06, 全文, 全図 & US 2002/0024094 A1, 全文, 全図 & US 2002/0125476 A1 & US 2003/0068849 A1 & EP 1089338 A3 & EP 1089338 A2	1-26
A	JP 03-109740 A (株式会社日立製作所) 1991.05.09, 全文, 全図 (ファミリーなし)	1-26

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 8 . 2 0 1 2

国際調査報告の発送日

0 4 . 0 9 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宇多川 勉

5 F

3 1 2 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 03-084960 A (日本電気株式会社) 1991. 04. 10, 全文, 全図 (ファミリーなし)	1-26
A	JP 63-311768 A (富士通株式会社) 1988. 12. 20, 全文, 全図 (ファミリーなし)	1-26
A	JP 59-198750 A (株式会社諏訪精工舎) 1984. 11. 10, 全文, 全図 (ファミリーなし)	1-26
A	JP 2009-503871 A (アンバーウェーブ システムズ コーポレイション) 2009. 01. 29, 全文, 全図 & US 2007/0181977 A1, 全文, 全図 & EP 1911086 A & WO 2007/014294 A2 & KR 10-2008-0032234 A & CN 101268547 A	1-26
A	JP 2007-013025 A (松下電器産業株式会社) 2007. 01. 18, 全文, 全図 (ファミリーなし)	1-26
A	JP 09-069611 A (株式会社日立製作所) 1997. 03. 11, 全文, 全図 (ファミリーなし)	1-26