

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-158622
(P2009-158622A)

(43) 公開日 平成21年7月16日(2009.7.16)

(51) Int.Cl.	F 1	テーマコード (参考)
HO1L 21/8247 (2006.01)	HO1L 27/10 434	5FO32
HO1L 27/115 (2006.01)	HO1L 29/78 371	5FO83
HO1L 29/788 (2006.01)	HO1L 27/10 481	5F1O1
HO1L 29/792 (2006.01)	HO1L 21/76 L	
HO1L 27/10 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 22 頁) 最終頁に続く

(21) 出願番号	特願2007-333306 (P2007-333306)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成19年12月25日 (2007.12.25)	(74) 代理人	100058479 弁理士 鈴江 武彦
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100109830 弁理士 福原 淑弘
		(74) 代理人	100075672 弁理士 峰 隆司
			最終頁に続く

(54) 【発明の名称】半導体記憶装置及びその製造方法

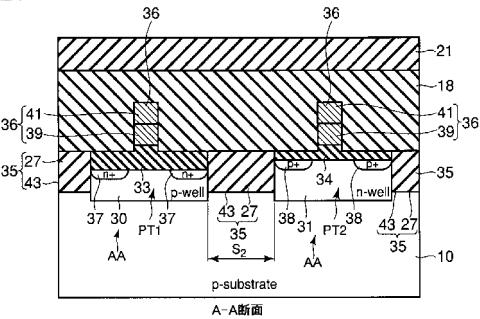
(57) 【要約】 (修正有)

【課題】動作特性を向上させるNAND型フラッシュメモリ半導体記憶装置、及び、活性領域側壁への不純物打ち込みに関するその製造方法を提供する。

【解決手段】メモリMOSトランジスタが配置される第1活性領域と、周辺MOSトランジスタが配置される第2活性領域と、半導体基板10中に形成され、側壁において第1活性領域が露出される第1トレンチ43と、第1トレンチ43内を埋め込む絶縁膜を備え、隣接する第1活性領域間を電気的に分離する第1素子分離領域と、半導体基板10中に形成され、側壁において第2活性領域が露出される第2トレンチ43と、第2トレンチ43内を埋め込む絶縁膜27を備え、隣接する第2活性領域間を電気的に分離する第2素子分離領域35とを具備し、第2活性領域の不純物濃度は中心部より高く、第1活性領域AAの不純物濃度は中心部と等しい。

【選択図】図6

図6



【特許請求の範囲】

【請求項 1】

半導体基板中に形成され、電荷蓄積層と制御ゲートとを含む積層ゲートを備えた第1MOSトランジスタが配置される第1活性領域と、

前記半導体基板中に形成され、第2MOSトランジスタが配置される第2活性領域と、

前記第1活性領域の周囲の前記半導体基板中に形成され、側壁において前記第1活性領域が露出される第1トレンチと該第1トレンチ内を埋め込む絶縁膜とを備え、隣接する前記第1活性領域間を電気的に分離する第1素子分離領域と、

前記第2活性領域の周囲の前記半導体基板中に形成され、側壁において前記第2活性領域が露出される第2トレンチと該第2トレンチ内を埋め込む絶縁膜とを備え、隣接する前記第2活性領域間を電気的に分離する第2素子分離領域とを具備し、

前記半導体基板中において前記第2素子分離領域の側面部分における前記第2活性領域の不純物濃度は中心部より高く、前記第1素子分離領域の側面部における前記第1活性領域の不純物濃度は中心部と等しい

ことを特徴とする半導体記憶装置。

【請求項 2】

前記第2活性領域の2つの側面の辺が互いに接する領域は、前記2つの側面と比べて不純物濃度が高いことを特徴とする請求項1記載の半導体記憶装置。

【請求項 3】

前記第1MOSトランジスタは、前記第1活性領域上に形成された第1ゲート絶縁膜と、

前記第1ゲート絶縁膜上に形成された前記積層ゲートとを備え、

前記第2MOSトランジスタは、前記第2活性領域上に形成された第2ゲート絶縁膜と、

前記第2ゲート絶縁膜上に形成されたゲート電極とを備え、

前記第2ゲート絶縁膜の膜厚は前記第1ゲート絶縁膜よりも厚い

ことを特徴とする請求項1または2記載の半導体記憶装置。

【請求項 4】

半導体基板上にあってメモリセルトランジスタを形成すべき第1領域と、前記メモリセルトランジスタを制御する周辺トランジスタを形成する第2領域上に、それぞれ第1ゲート絶縁膜及び第2ゲート絶縁膜を形成する工程と、

前記第1ゲート絶縁膜及び第2ゲート絶縁膜上に、それぞれ第1導電層を形成する工程と、

前記第1導電層上に、マスク材を形成する工程と、

前記第1領域内において前記マスク材、前記第1導電層、及び前記第1ゲート絶縁膜を貫通して前記半導体基板中に達する第1トレンチと、前記第2領域内において前記マスク材、前記第1導電層、及び前記第2ゲート絶縁膜を貫通して前記半導体基板中に達し第1の側壁及び前記第1の側壁と接する第2の側壁を形成し、前記第1トレンチの幅よりも広い幅を有する第2トレンチを形成する工程と、

前記半導体基板の主平面の法線に対して斜め方向から、かつ、前記第1の側壁の法線に対して前記第2側壁の方向に鋭角の角度で前記第1領域及び前記第2領域にイオン注入を行うことにより、不純物を注入する工程と

を具備することを特徴とする半導体記憶装置の製造方法。

【請求項 5】

前記第1トレンチの幅をS、前記半導体基板表面から前記マスク材の上面までの高さをHとした際、前記イオン注入は前記法線に対して、

$$\tan^{-1}(S/H)$$

の角度で行われる

ことを特徴とする請求項4記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】**【0001】**

この発明は、半導体記憶装置及びその製造方法に関する。例えば、活性領域側壁への不純物打ち込みに関する。

【背景技術】**【0002】**

半導体記憶装置では、メモリセルトランジスタの他、電源発生回路、デコーダ回路などを構成する周辺トランジスタが必要である。

【0003】

周辺トランジスタは、例えば電圧VDD(例えば1.5V)を電源電圧として用いる低耐圧MOSトランジスタと、低耐圧MOSトランジスタの電源電圧よりも高電圧の、例えば電圧VPP(例えば20V)を電源電圧として用いる高耐圧MOSトランジスタとを含んでいる。

【0004】

これら周辺トランジスタの製造過程において、該周辺トランジスタを電気的に分離する素子分離領域を形成する工程として、まず溝を形成する工程がある。その際にRIE(reactive ion etching)を使用する。

【0005】

しかしこのRIE工程の際に、活性領域側壁への傷や該活性領域界面における正電荷の帯電などの問題が生じ、素子の微細化が進むにつれてこれら問題による影響を無視することが出来なくなる。つまり微細化が進むに連れて、ゲート直下と比して活性領域側壁は弱電圧でも反転しやすくなり、側壁を流れるリーク電流が増大する。特に、比較的低い不純物濃度であるp型ウェル領域又はp型半導体基板を用いる高耐圧N型MOSトランジスタでは、その影響が顕著に現れる。

【0006】

その結果、半導体基板に対する接合耐圧が低下やそれに伴う誤動作など、半導体記憶装置の特性が悪化するという問題があった。

【特許文献1】特開平10-4137号公報**【発明の開示】****【発明が解決しようとする課題】****【0007】**

本発明は、動作特性を向上させる半導体記憶装置及びその製造方法を提供する。

【課題を解決するための手段】**【0008】**

この発明の一態様に係る半導体記憶装置は半導体基板中に形成され、電荷蓄積層と制御ゲートとを含む積層ゲートを備えた第1MOSトランジスタが配置される第1活性領域と

、前記半導体基板中に形成され、第2MOSトランジスタが配置される第2活性領域と、前記第1活性領域の周囲の前記半導体基板中に形成され、側壁において前記第1活性領域が露出される第1トレンチと該第1トレンチ内を埋め込む絶縁膜とを備え、隣接する前記第1活性領域間を電気的に分離する第1素子分離領域と、前記第2活性領域の周囲の前記半導体基板中に形成され、側壁において前記第2活性領域が露出される第2トレンチと該第2トレンチ内を埋め込む絶縁膜とを備え、隣接する前記第2活性領域間を電気的に分離する第2素子分離領域とを具備し、前記半導体基板中において前記第2素子分離領域の側面部分における前記第2活性領域の不純物濃度は中心部より高く、前記第1素子分離領域の側面部における前記第1活性領域の不純物濃度は中心部と等しい。

【0009】

また、この発明の一態様に係る半導体記憶装置の製造方法は、半導体基板上にあってメモリセルトランジスタを形成すべき第1領域と、前記メモリセルトランジスタを制御する周辺トランジスタを形成する第2領域上に、それぞれ第1ゲート絶縁膜及び第2ゲート絶

10

20

30

40

50

縁膜を形成する工程と、前記第1ゲート絶縁膜及び第2ゲート絶縁膜上に、それぞれ第1導電層を形成する工程と、前記第1導電層上に、マスク材を形成する工程と、前記第1領域内において前記マスク材、前記第1導電層、及び前記第1ゲート絶縁膜を貫通して前記半導体基板中に達する第1トレンチと、前記第2領域内において前記マスク材、前記第1導電層、及び前記第2ゲート絶縁膜を貫通して前記半導体基板中に達し第1の側壁及び前記第1の側壁と接する第2の側壁を形成し、前記第1トレンチの幅よりも広い幅を有する第2トレンチを形成する工程と、前記半導体基板の主平面の法線に対して斜め方向から、かつ、前記第1の側壁の法線に対して前記第2側壁の方向に鋭角の角度で前記第1領域及び前記第2領域にイオン注入を行うことにより、不純物を注入する工程とを具備する。

【発明の効果】

10

【0010】

本発明によれば、動作特性を向上させる半導体記憶装置及びその製造方法を提供できる。

【発明を実施するための最良の形態】

【0011】

以下、この発明の実施形態につき図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0012】

20

[第1の実施形態]

この発明に第1の実施形態に係る半導体記憶装置及びその製造方法について図1を用いて説明する。図1は本実施形態に係るNAND型フラッシュメモリのブロック図である。

【0013】

図示するようにNAND型フラッシュメモリは、メモリセルアレイ1、電圧発生回路2、ロウデコーダ3、及びカラムデコーダ4を備えている。まずメモリセルアレイ1について説明する。

【0014】

30

図示するようにメモリセルアレイ1は、不揮発性のメモリセルが直列接続された複数のNANDセル5を備えている。NANDセル5の各々は、例えば16個のメモリセルトランジスタMTと、選択トランジスタST1、ST2とを含んでいる。メモリセルトランジスタMTは、半導体基板上にゲート絶縁膜を介在して形成された電荷蓄積層（例えば浮遊ゲート）と、浮遊ゲート上にゲート間絶縁膜を介在して形成された制御ゲート電極とを有する積層ゲート構造を備えている。なお、メモリセルトランジスタMTの個数は16個に限られず、8個や32個、64個、128個、256個等であってもよく、その数は限定されるものではない。またメモリセルトランジスタMTは、隣接するもの同士でソース、ドレインを共有している。そして、選択トランジスタST1、ST2間に、その電流経路が直列接続されるようにして配置されている。直列接続されたメモリセルトランジスタMTの一端側のドレイン領域は選択トランジスタST1のソース領域に接続され、他端側のソース領域は選択トランジスタST2のドレイン領域に接続されている。

【0015】

30

同一行にあるメモリセルトランジスタMTの制御ゲート電極はワード線WL0～WL15のいずれかに共通接続され、同一行にあるメモリセルの選択トランジスタST1、ST2のゲート電極は、それぞれセレクトゲート線SGD、SGSに共通接続されている。なお説明の簡単化のため、以下ではワード線WL0～WL15を区別しない場合には、単にワード線WLと呼ぶことがある。また、メモリセルアレイ1において同一列にある選択トランジスタST1のドレインは、いずれかのビット線BL0～BLn（nは自然数）に共通接続される。以下、ビット線BL0～BLnについても、これらを区別しない場合には一括してビット線BLと呼ぶ。選択トランジスタST2のソースはソース線SLに共通接続される。なお、選択トランジスタST1、ST2は必ずしも両方必要ではなく、NANDセル5を選択出来るのであればいずれか一方のみが設けられていても良い。

【0016】

50

図1では、1行のNANDセル5のみを図示している。しかし、メモリセルアレイ1内には複数行のNANDセル5が設けられても良い。この場合、同一列にあるNANDセル5は同一のビット線BLに接続される。また、同一のワード線WLに接続された複数のメモリセルトランジスタMTには一括してデータが書き込まれ、この単位をページと呼ぶ。更に、同一行にある複数のNANDセルは一括してデータが消去され、この単位をメモリロックと呼ぶ。

【0017】

ロウデコーダ3は、メモリセルアレイ1のロウ方向を選択する。すなわち、ワード線WLを選択して、選択したワード線WLに対して電圧を印加する。

【0018】

カラムデコーダ4は、メモリセルアレイ1のカラム方向を選択する。すなわち、ビット線BLを選択する。

【0019】

電圧発生回路2は電圧を発生し、発生した電圧をロウデコーダに供給する。

【0020】

電圧発生回路2、ロウデコーダ3、及びカラムデコーダ4は、例えば電圧VDD（例えば1.5V）を電源電圧として用いる低耐圧MOSトランジスタと、低耐圧MOSトランジスタの電源電圧よりも高電圧の、例えば電圧VPP（例えば20V）を電源電圧として用いる高耐圧MOSトランジスタとを含んでいる。説明の簡略化のため、以下では高耐圧MOSトランジスタについてはnチャネルMOSトランジスタについて、低耐圧MOSトランジスタについてはpチャネルMOSトランジスタについてのみ説明し、以後それぞれを周辺トランジスタPT1、PT2と呼ぶことにする。

【0021】

次に図2乃至図4を用いて、上記構成のメモリセルアレイ1の断面構成について説明する。図2はメモリセルアレイ1の平面図、図3は図1のA-A線に沿った断面図、図4は図1のB-B線に沿った断面図である。なお、図3は、A-A線方向に沿ったNANDセル5の断面図となり、図4は、B-B線方向に沿ったNANDセル5の断面図となる。

【0022】

図2に示すように、図中第1方向に延びる素子分離領域25が、S1の間隔を置いて図中第2方向に複数個配置されている。この素子分離領域25（図中STIと表記）に分離されるように図中第1方向に延びる活性領域AAが形成されている。図中第2方向に延びるワード線WLが所定の間隔を置いて複数本配置されている。これらワード線を挟むように、選択ゲート線SGD、SGDが配置されている。活性領域AAとワード線WLとの交点及び活性領域AAと選択ゲート線SGD、SGDの交点にそれぞれ、メモリセルトランジスタMTと選択ゲートトランジスタSTが形成される。

【0023】

図3及び図4に示すように、p型半導体基板10の表面領域内にn型ウェル領域11、更にn型ウェル領域11上にp型ウェル領域12が形成されている。また、p型ウェル領域12中には、図2における第2方向に沿って、溝44が複数形成されている。溝44内には例えばシリコン酸化膜を用いて絶縁膜26が埋め込まれている。この絶縁膜26によって、素子分離領域25が形成されている。また、隣接する素子分離領域25間の領域が、活性領域AAとなる。そして、活性領域AA上に、ゲート絶縁膜13が形成され、ゲート絶縁膜13上にメモリセルトランジスタMT及び選択トランジスタST1、ST2のゲート電極が形成されている。

【0024】

メモリセルトランジスタMT及び選択トランジスタST1、ST2のゲート電極は、ゲート絶縁膜13上に形成された導電層14、導電層14上に形成された絶縁膜15、及び絶縁膜15上に形成された導電層16を有している。絶縁膜15は、例えばシリコン酸化膜、またはシリコン酸化膜とシリコン窒化膜との積層構造で形成され、導電層14の上面及び側面に接し、また素子分離領域25の上面に形成されている。

10

20

30

40

50

【0025】

メモリセルトランジスタM Tにおいては、ゲート絶縁膜1 3はトンネル絶縁膜として機能する。導電層1 4は浮遊ゲート(F G)として機能する。他方、導電層1 6は、図2における第1方向に直交する第2方向で隣接するもの同士で共通接続されており、制御ゲート電極(ワード線W L)として機能する。以下、導電層1 4、導電層1 6を、それぞれ電荷蓄積層1 4、制御ゲート1 6と呼ぶことがある。選択トランジスタS T 1、S T 2においては、導電層1 4は第2方向で隣接するもの同士で共通接続されている。そして、導電層1 4が、セレクトゲート線S G S、S G Dとして機能する。なお、導電層1 6のみがセレクトゲート線として機能しても良い。この場合、選択トランジスタS T 1、S T 2の導電層1 6の電位は、一定の電位、またはフローティングの状態とされる。

10

【0026】

また図3に示すように、ゲート電極間に位置するp型半導体基板1 0表面内には、n⁺型不純物拡散層1 7が形成されている。n⁺不純物拡散層1 7は隣接するトランジスタ同士で共用されており、ソース(S)またはドレイン(D)として機能する。また、隣接するソースとドレインとの間の領域は、電子の移動領域となるチャネル領域として機能する。これらのゲート電極、n⁺不純物拡散層1 7、及びチャネル領域によって、メモリセルトランジスタM T及び選択トランジスタS T 1、S T 2となるM O Sトランジスタが形成されている。

【0027】

p型半導体基板1 0上には、上記メモリセルトランジスタM T及び選択トランジスタS T 1、S T 2を被覆するようにして、層間絶縁膜1 8が形成されている。層間絶縁膜1 8中には、ソース側の選択トランジスタS T 2の不純物拡散層(ソース)1 7に達するコンタクトプラグC P 1が形成されている。そして層間絶縁膜1 8表面には、コンタクトプラグC P 1に接続される金属配線層1 9が形成されている。金属配線層1 9はソース線S Lの一部として機能する。また層間絶縁膜1 8中には、ドレイン側の選択トランジスタS T 1の不純物拡散層(ドレイン)1 7に達するコンタクトプラグC P 2が形成されている。そして層間絶縁膜1 8表面に、コンタクトプラグC P 2に接続される金属配線層2 0が形成されている。

20

【0028】

層間絶縁膜1 8上には、例えばS i O₂を材料に用いて層間絶縁膜2 1が形成されている。層間絶縁膜2 1上には絶縁膜2 2が形成されている。(絶縁膜2 2は、層間絶縁膜2 1よりも誘電率の高い材料、例えばS i Nを材料に用いて形成される。)絶縁膜2 2上には金属配線層2 3が形成されている。金属配線層2 3はピット線B Lとして機能する。絶縁膜2 2及び層間絶縁膜2 1中には、その上面で金属配線層2 3に接し、底面で金属配線層2 0に接するコンタクトプラグC P 3が形成されている。なお、コンタクトプラグC P 3の上面は、絶縁膜2 2の上面より高い。すなわち、コンタクトプラグC P 3の上部は、金属配線層2 3内に潜り込むようにして形成されている。そして、絶縁膜2 2上、及び金属配線層2 3上に、絶縁膜2 2よりも誘電率の低い材料、例えばS i O₂を材料に用いて層間絶縁膜2 4が形成されている。層間絶縁膜2 4は、隣接するピット線B L間の領域を埋め込んでいる。

30

【0029】

次に、上記電圧発生回路2、ロウデコーダ3、及びカラムデコーダ4に含まれる周辺トランジスタP T 1、P T 2の構造について、図5乃至図7を用いて説明する。図5は周辺トランジスタP T 1、P T 2の平面図であり、図6及び図7は、図5のA - A線、B - B線及びC - C線に沿った断面図である。なお、図6はA - A線方向(ソース、チャネル、及びドレインが順次並ぶ方向)、図7はB - B線及びC - C線方向に沿った周辺トランジスタP T 1、P T 2の断面図を示している。

40

【0030】

図5に示すように、素子分離領域3 5(図中S T Iと表記)に囲まれるように2つの素子領域A Aが形成されている。これらの素子領域A Aは第1乃至第4の側壁を有し、第1

50

の側壁と第2の側壁が接し、第2の側壁と第3の側壁が接し、第3の側壁と第4の側壁が接し、第4の側壁と第1の側壁が接した長方形となっている。これらの素子領域AAを横方向に横切るように素子分離領域35まで延びるゲート電極36が形成されている。このゲート電極36を挟みn⁺型不純物拡散層37及びp⁺型不純物拡散層38が形成されている。ゲート電極36と素子領域AAの交点部には開口部58が形成されている。また、図5ではゲート電極は第2及び第4の側壁上のみに形成されているが、素子領域AAを縦方向に横切り第1及び第3の側壁上に形成されている場合もある。

【0031】

図6及び図7に示すように、素子分離領域35によって隣接する素子領域AAは電気的に分離されている。素子分離領域35は、p型半導体基板10内に形成された溝43と、この溝43内に埋め込まれた絶縁膜27とを有して形成されている。素子分離領域35の幅S2は、メモリセルアレイにおいて形成された素子分離領域25の幅S1よりも大きくされている。この素子分離領域35によって電気的に分離された素子領域AAの内には、それぞれp型ウェル領域30及びn型ウェル領域31が形成されている。そして、p型ウェル領域30及びn型ウェル領域31上に、それぞれ周辺トランジスタPT1、PT2が形成されている。

10

【0032】

まず周辺トランジスタPT1について説明する。図示するように、p型ウェル領域30上にはゲート絶縁膜33が形成され、ゲート絶縁膜33上には周辺トランジスタPT1のゲート電極36が形成されている。ゲート電極36は、ゲート絶縁膜33上に形成された導電層39と、導電層39上にゲート間絶縁膜40を介在して形成された導電層41とを含む積層ゲート構造を備えている。なお、ゲート間絶縁膜40は開口部58において除去され、導電層39、41は電気的に接続されている。p型ウェル領域30は、例えば、 $1.0 \times 10^{16} \sim 10^{19}$ [cm⁻³]程度不純物濃度により形成されている。また、導電層39及び41のそれぞれは、例えば、 $10^{17} \sim 10^{21}$ [cm⁻³]のリン、砒素、ボロンのいずれか不純物を添加したポリシリコン単層膜、またはWSi、NiSi、MoSi、TiSi、CoSiのいずれかと上記不純物を添加したポリシリコンとのスタック構造からなる積層膜を材料に用いて形成される。また、該スタック構造は10~800 [nm]程度の厚さを備える。そして、ウェル領域30の表面内には、ソースまたはドレインとして機能するn⁺型不純物拡散層37が形成されている。ソースとドレインとの間の領域は、電子の移動領域となるチャネル領域として機能する。以上の構成により、周辺トランジスタPT1が形成されている。

20

【0033】

次に周辺トランジスタPT2について説明する。図示するように、n型ウェル領域31上にはゲート絶縁膜34が形成され、ゲート絶縁膜34上には周辺トランジスタPT2のゲート電極36が形成されている。周辺トランジスタPT2のゲート電極36は周辺トランジスタPT1のゲート電極36と同様の構造を有しており、積層ゲート構造を備えている。そして、ウェル領域31の表面内には、ソースまたはドレインとして機能するp⁺型不純物拡散層38が形成されている。ソースとドレインとの間の領域は、電子の移動領域となるチャネル領域として機能する。以上の構成により、周辺トランジスタPT2が形成されている。なお、ゲート絶縁膜34の膜厚はゲート絶縁膜33よりも小さくされている。これは、周辺トランジスタPT1の方が周辺トランジスタPT2よりも高い電圧を印加されるからである。

30

【0034】

そして、p型半導体基板10上には、上記周辺トランジスタPT1、PT2を被覆するようにして層間絶縁膜18、21が形成され、層間絶縁膜18、21中には図示せぬ、例えばタンゲステンやモリブデンなど高融点金属の特性を持つコンタクトプラグや、例えば、アルミニウムなどを用いられた金属配線層が形成されている。これらのコンタクトプラグや金属配線層を介して、周辺トランジスタPT1、PT2に対して電圧が印加される。層間絶縁膜21の膜厚は例えば10~1000 [nm]程度である。

40

50

【0035】

ここで、図8に、図2のB-B線に沿った、例えば、メモリセルトランジスタM Tが形成される活性領域AAにおける側壁のボロンの濃度分布を示す。同様に、図9に図5のB-B線及びD-D線に沿った、図10に図5のC-C線に沿った、例えば、周辺トランジスタPT1、PT2が形成される活性領域AAにおける側壁のボロンの濃度分布を示す。ここで、D-D線は素子領域の中心部から第2の側壁と第3の側壁が接する点と、第1の側壁と第4の側壁が接する点を通過する線である。なお、深さは、拡散層及びチャネルの濃度の影響を受けない領域、例えば半導体基板10表面から0.1~0.5μm程度、かつ素子分離領域25及び35の底面よりも高い位置の分布である。なお、便宜上素子分離領域25及び35中の不純物濃度分布は省略する。

10

【0036】

図8では素子領域の中心、素子領域の側面部に相当する素子分離領域25との境界で、ほぼ一定の濃度となっている。一方、図9では、素子領域の中心の不純物濃度(図中C)よりも第1の側壁の側面の不純物濃度(図中A)が高くなっている。同様に、図10も同様に、素子領域の中心の不純物濃度(図中C)よりも第1の側壁と第2の側壁が接する部分の不純物濃度(図中B)が高くなっている。ここで、これらの不純物濃度を比較すると、C < A < Bの関係になっている。

【0037】

次に、上記メモリセルトランジスタM T及び周辺トランジスタPT1、PT2の製造方法について、図11(a)~(c)、図12(a)~(c)、図13乃至図16、図17(a)~(c)及び図18(a)~(c)を用いて説明する。図11(a)~(c)、図12(a)~(c)、図17(a)~(c)及び図18(a)~(c)は、メモリセルトランジスタM T及び周辺トランジスタPT1、PT2の製造工程を順次示す断面図であり、(a)図は高耐圧周辺トランジスタPT1のゲート幅方向、(b)図は低耐圧周辺トランジスタPT2のゲート幅方向、及び(c)図はメモリセルトランジスタM Tのゲート幅方向の断面構成について示している。また図13は図12の工程におけるメモリセルトランジスタM Tの斜視図であり、図14は図12の工程における周辺トランジスタPT1、PT2の斜視図である。更に図15及び図16は、図12の工程における周辺トランジスタPT1、PT2いずれかについての上面図である。

20

【0038】

まず、図11(a)~(c)に示すように、メモリセルトランジスタ形成予定領域におけるp型半導体基板10の表面内にn型ウェル領域11を形成し、ウェル領域11の表面内にp型ウェル領域12を形成する。また、トランジスタ特性を調整するために、周辺トランジスタPT1、PT2形成予定領域における半導体基板10の表面内に、それぞれp型ウェル領域30及びn型ウェル領域31を形成する。なお、p型ウェル領域30及びn型ウェル領域31は省略することも可能である。

30

【0039】

引き続き、ウェル領域12上にゲート絶縁膜13を形成し、ウェル領域30、31上にそれぞれゲート絶縁膜33及びゲート絶縁膜34を形成する。前述の通り、ゲート絶縁膜33はゲート絶縁膜34よりも膜厚が大きくなるよう形成される。更に、ゲート絶縁膜13上に導電層14及び絶縁膜42が順次形成され、ゲート絶縁膜33、34上に導電層39及び絶縁膜42が順次形成される。なお、導電層14、39は同一の材料を用いて同時に形成されても良い。これは絶縁膜42も同様である。

40

【0040】

次に、図12(a)~(c)に示すように、メモリセルトランジスタM T形成予定領域及び周辺トランジスタPT1、PT2形成予定領域において、素子分離領域形成用の溝を形成する。すなわち、まずフォトリソグラフィ技術を用いて絶縁膜42を、素子分離領域25、35の形成パターンにパターニングする。その後、絶縁膜42をマスクに用いた異方性のエッチング(RIE等)を用いて、導電層14、39、ゲート絶縁膜13、33、34、及びp型半導体基板10をエッチングする。その結果、メモリセルトランジスタM

50

T 形成予定領域及び周辺トランジスタ P T 1、P T 2 形成予定領域の各々において、絶縁膜 4 2 の表面から底部が半導体基板 1 0 中に位置する溝 4 3、4 4 が形成される。

【0 0 4 1】

次に、溝 4 4 の側面に露出された半導体基板 1 0（素子領域）中に、例えばイオン注入を使用して、不純物（例えばIII族元素不純物、ボロン、フッ化ボロン及び2フッ化ボロン）を注入する。この際、イオン注入は半導体基板 1 0 の表面の法線に対して斜め方向から、メモリセルトランジスタ M T 形成予定領域及び周辺トランジスタ P T 1、P T 2 形成予定領域の前面に対して行われる。この法線に対する角度を、以下ではチルト角 と呼ぶこととする。更にイオン注入は、溝 4 3、4 4 の側面に露出されたいずれかの半導体基板 1 0 の法線に対して斜め方向から行われる。この角度を、以下ではツイスト角 と呼ぶ。本実施形態では、イオン注入は2回にわたって行われ、2回のイオン注入においては異なるツイスト角 が用いられる。チルト角 は同じでも異なっていても良い。

10

【0 0 4 2】

以下、上記イオン注入工程の詳細について、図 1 3 乃至図 1 6 を用いて説明する。図 1 3 及び図 1 4 はそれぞれ、イオン注入時におけるメモリセルアレイ形成予定領域及び周辺トランジスタ P T 1、P T 2 形成予定領域の斜視図である。また図 1 5 及び図 1 6 はそれぞれ、1回目及び2回目のイオン注入時における、周辺トランジスタ P T 1、P T 2 の上面図である。

20

【0 0 4 3】

図 1 3 に示すように、メモリセルトランジスタ形成予定領域においては、素子領域 A A が伸びる方向に沿った方向を x 軸、x 軸に直交する方向を y 軸、x 軸及び y 軸に直交する方向を z 軸と呼ぶこととする。従って、半導体基板 1 0 の表面の法線方向は、z 軸に沿った方向となる。

20

【0 0 4 4】

また図 1 4 に示す周辺トランジスタ P T 1、P T 2 形成予定領域においては、図 5 で説明したように素子領域 A A が第 1 乃至第 4 の側壁を有しており、第 1 の側壁の側面の法線方向を方向を x 軸、x 軸に直交する方向を y 軸、x 軸及び y 軸に直交する方向を z 軸と呼ぶこととする。但し、x y 平面は半導体基板面の主平面に平行な面であり、z 軸は半導体基板 1 0 の表面の法線方向に一致するものとする。従って、メモリセルアレイにおいては、素子領域 A A の側面が S 1 の間隔をおいて y 方向において露出し、周辺トランジスタ P T 1、P T 2 の第 1 及び第 3 の側壁が x 方向において露出し、第 2 及び第 4 の側壁が S 2 の間隔をおいて y 方向において露出することになる。

30

【0 0 4 5】

そして、図 1 3 乃至図 1 6 に示すように、あるチルト角 とツイスト角 とを用いてイオン注入が行われる。使用されるイオンはアクセプタイオンであり、例えばIII族のボロンイオンが使用され、そのイオン注入量は $10^{11} [\text{ion}/\text{cm}^2] \sim 10^{13} [\text{ion}/\text{cm}^2]$ である。この際、チルト角 は次の式で示される値とされる。

【0 0 4 6】

$$\tan^{-1} (S_1 / H)$$

但し、S 1 は前述の通り溝 4 4 の幅であり、H はゲート絶縁膜 3 4 と p 型半導体基板 1 0 の界面から絶縁膜 4 2 表面までの高さである。例えば幅 S 1 は $10 \text{ nm} \sim 100 \text{ nm}$ とされ、H は S 2 の 6 倍程度の値 ($60 \text{ nm} \sim 600 \text{ nm}$) とされる。従ってこの場合、チルト角 は 10 度となる。

40

【0 0 4 7】

更にツイスト角 は、図 1 5 及び図 1 6 に示すように、第 1 の側壁の側面の法線を基準として1回目のイオン注入においては 45° とされ、2回目は 225° とされる。なお図 1 5 では、1回目のイオン注入によってイオン注入される領域に斜線を付し、図 1 6 では2回目のイオン注入によってイオン注入される領域に斜線を付している。

【0 0 4 8】

図示するように、その結果、1回目のイオン注入では、第 1 乃至第 4 の側壁のうち、第

50

1の側壁及び該第1の側壁と接する第2の側壁、つまり第1の側部50（第1の側面50）及び第2の側部51（第2の側面51）にイオンが注入される。そして2回目のイオン注入では、第1乃至第4の側壁のうち、第3の側壁及び該第3の側壁と接する第4の側壁、つまり第3の側部52（第3の側面52）及び第4の側面53（第1の側面53）にイオンが注入される。なお、ツイスト角として使用される角度は45度及び225度に限られるものでは無く、接する2つの側壁に同時にイオン注入される角度であれば良い。1回目のイオン注入におけるツイスト角を1とすれば、2回目のツイスト角を2と呼ぶと、1は40～50度程度であり、2は（1+180）度であれば良い。

【0049】

上記ボロンイオン注入の後、図17(a)～(c)に示すように、メモリセルトランジスタM T及び周辺トランジスタP T1、P T2に隣接する溝43及び溝44に絶縁物26、27を埋め込み、素子分離領域25及び35を形成する。10

【0050】

次に、メモリセルトランジスタ形成予定領域においてい素子分離絶縁膜25の上面を低くし、絶縁膜42をエッティングにより除去する。その後、図18(a)～(c)に示すように導電層39及び14の上面に絶縁膜40及び15を形成する。更に絶縁膜40及び15上に導電層41及び16を形成する。その後、導電層39及び41並びに導電層14、16及び絶縁膜15をパターニングすることでメモリセルトランジスタM T及び周辺トランジスタP T1、P T2のゲート電極を得る。更にその後、導電層41及び16上に層間絶縁膜18を形成する。その後、層間絶縁膜18上に、層間絶縁膜21、絶縁膜22、金属配線層23、層間絶縁膜24を形成することで、図3、図4、図6及び図7に示すメモリセルトランジスタM T及び周辺トランジスタP T1及びP T2を得ることができる。20

【0051】

上記のように第1の実施形態に係る半導体記憶装置及びその製造方法によれば以下の効果が得られる。

(1)動作信頼性を向上出来る。

上記本効果つき、従来の半導体記憶装置及びその製造方法と比較しつつ、以下詳細に説明する。

【0052】

まず、半導体記憶装置の製造過程において、RIEを用いることで周辺トランジスタP Tを電気的に分離する素子分離領域35のための溝43を形成する。この際、従来では当該溝43の側面、すなわち周辺トランジスタP Tが配置される露出した活性領域AAの側面に傷がつき、また該側面の界面付近が正に帯電する現象が見られてきた。30

【0053】

また、特に本実施形態における半導体記憶装置の製造工程において、メモリセルトランジスタM Tだけでなく、その周辺トランジスタP T間ににおける間隔が数[μm]というオーダーに達している。つまり、半導体記憶装置の微細化に伴い、該側面の界面付近に帯電している正電荷の影響を無視できなく、特にnチャネルを備える高耐圧周辺トランジスタP T1において誤動作を生じていた。

【0054】

上記誤動作の詳細につき、高耐圧周辺トランジスタP T1のI-V特性についてLog表示で示した様子を、図19を用いて説明する。すなわち図19中に示す(a)は、従来RIE工程に伴う、溝すなわち活性領域AAの側面の界面領域に帯電する正電荷による高耐圧周辺トランジスタP T1への影響を示したI-V特性である。また、図19中に示す(b)は、本実施形態における高耐圧周辺トランジスタのI-V特性について示している。

【0055】

図19の丸で囲んだ領域に示すように、従来におけるトランジスタの電気特性であると、ゲート電極に掛ける電圧に対し電流の値が階段状の線を描きながら飽和領域に達している。この現象をキンクという。このキンクが生じる理由として以下のことが挙げられる。4050

【0056】

上記説明した従来の半導体記憶装置においては、周辺トランジスタP.T.の側面43の界面領域に正電荷が帯電する。その結果、ゲート電極に電圧を掛ける際、ゲート電極の中央部（例えば、図5のA-A線が通過する部分）よりも先に、帯電した正電荷により、ゲート電極下の活性領域AAの側面（例えば、図5の第2及び第4の側壁とゲート電極が接する部分）にチャネルが形成されソース、ドレイン間に電流が流れてしまう。つまり、帯電した正電荷によりリーケ電流が生ずることにより、トランジスタがオン状態になってしまっていた。この影響により、従来ではキンクが生じてしまい、半導体記憶装置全体として誤作動が生じていた。

【0057】

10

この点につき、本実施形態における半導体記憶装置及びその製造方法によると、活性領域AAの側面に例えば、III族のボロンイオンを側面に打ち込む。このため、活性領域AAの側面の界面領域に生じた正電荷が電気的に打ち消される。つまり、高耐圧周辺トランジスタP.T.1に電圧を掛けた際、例えば、図5に示す、ゲート電極の中央部とゲート電極下の活性領域AAの側面において、チャネルがほぼ同じ電圧で形成されキンクの発生を防止できる。

【0058】

20

これにより、本実施形態に係る高耐圧周辺トランジスタP.T.は、キンクを生じない、図19において（b）に示すI-V特性を示す。つまりゲート電圧に対して、一定の電流値で飽和する。

【0059】

更に通常であれば、第1乃至第4の側壁にそれぞれボロンイオンを打ち込む必要があるため、4回のイオン注入が必要であるが、本実施形態によれば、図15及び図16に示すように、ツイスト角として45度及び、225度で一度ずつボロンイオンを打ち込むだけで良い。すなわち、イオン注入の回数を減らすことができる。

【0060】

30

また、第1及び第2の側壁の、第1の側部50及び第2の側部51が接する部分である角部54と、第3及び第4の側壁の、第3の側部52及び第4の側部53が接する部分である角部56に対して少なくとも1度ボロンイオンが打ち込まれる。一方、第1及び第4の側壁の、第1の側部50及び第4の側部53が接する部分である角部57と、第2及び第3の側壁の、第2の側部51及び第3の側部52が接する部分である角部55に対して2度以上ボロンイオンが打ち込まれる。すなわち、角部55及び57のボロンイオン濃度は、角部54及び56よりも濃くなる。

【0061】

ここで、角部55及び57と角部54及び56のボロンイオン濃度が異なるが、高耐圧周辺トランジスタP.T.1の特性には影響はない。この角部55乃至57にはチャネルが形成されず、かつ電流経路から考えてソース・ドレイン抵抗にも影響が無いからである。

【0062】

40

（2）製造工程を減らすことが出来る。

【0063】

本実施形態に係る活性領域AAの側面への打ち込み角度（チルト角）を定めることで、メモリセルトランジスタM.T.が配置されている活性領域AAの側面にはボロンイオンが打ち込まれることなく、周辺トランジスタP.T.が配置されている活性領域AAの側面にのみボロンイオンを打ち込むことが出来る。

【0064】

50

つまり、上記説明した図12における製造工程において、ボロンイオンを打ち込む為の角度を考慮しないと、周辺トランジスタP.T.が配置されている活性領域AAの側面のみならず、メモリセルトランジスタM.T.が配置されている活性領域AAの側面にもボロンイオンが打ち込まれてしまう。その結果、ボロンイオンが添加されたメモリセルトランジスタM.T.の備えるチャネルへの不純物注入量を再調整する必要があり、製造工程が増えてしま

うといった問題が生じる。またメモリセルトランジスタM Tの誤書き込みなどの誤動作や、メモリセルトランジスタM Tの耐圧の劣化なども生じてしまう。つまり、メモリセルトランジスタM Tの動作信頼性に影響を与える懸念がある。そのため、予めマスク材の塗布や、リソグラフィーを行う必要があった。つまり、全面にフォトレジストを塗布し、次にポロンイオンを打ち込むべき領域のみフォトレジストを開口する工程が必要であった。

【0065】

しかし、本実施形態では、ターゲットとする周辺トランジスタP T 1、P T 2が配置される活性領域A Aの側面にのみ、ポロンイオンが添加され、メモリセルトランジスタ形成予定領域におけるマスク材の塗布やリソグラフィーなど製造工程を増やす手間が省ける。本効果を得るために、本実施形態では、まずメモリトランジスタM T領域における素子分離領域2 5の備える幅S 1よりも、周辺トランジスタP T 1、P T 2の領域における素子分離領域3 5の備える幅S 2を大きな値とした。更にポロンイオンの打ち込み角度 θ を考慮した。つまり、上記メモリセルトランジスタM T形成予定領域の溝4 4において露出した半導体基板にポロンイオンが打ち込まれない θ の取りうる値を算出し、 $\tan^{-1}(S_1/H)$ の条件で打ち込みを行った。これにより、メモリセルトランジスタM T形成予定領域の溝4 3において露出されたp型半導体基板1 0中、つまり活性領域A Aの側面にはポロンイオンが打ち込まれず、周辺トランジスタP T形成予定領域の溝4 3において露出されたp型半導体基板1 0中、つまり活性領域A Aの側面にポロンイオンが打ち込まれる。

【0066】

このことにより、マスク材の塗布及びリソグラフィーを行わずして周辺トランジスタP Tが配置される活性領域A Aの側面にのみポロンイオンの添加が可能となる。つまり、製造工程の削減が可能となる。

【0067】

[第2の実施形態]

次に、この発明の第2の実施形態に係る半導体記憶装置及びその製造方法について説明する。本実施形態は、上記第1の実施形態に示す図12(a)～(c)の製造工程において、イオンの打ち込み回数及び回転角度 θ を変えたものである。

【0068】

第2の実施形態では周辺トランジスタP T 1及び2において図15、図16に示した2方向からのポロンイオンの打ち込み回転角度 θ を、第1の側壁の側面の法線を基準として $\theta = (\pm 90)$ 度、 (± 180) 度、 (± 270) 度とし、4方向からの打ち込みを行う。すなわち、1回目のイオン注入におけるツイスト角 α を α_1 とすれば、 $\alpha_2 = (\pm 90)$ 度、 $\alpha_3 = (\pm 180)$ 度、 $\alpha_4 = (\pm 270)$ 度である。

【0069】

以下、イオン注入時の様子につき図20～図23を用いて説明する。図20～図23は、周辺トランジスタの上面図である。

【0070】

まず図20に示すようにツイスト角 α_1 の値を45度としてイオン注入を行う。その結果、第1乃至第4の側壁のうち、第1の側壁及び該第1の側壁と接する第2の側壁、つまり活性領域A Aの第1の側部5 0及び第2の側部5 1にイオンが注入される。次に、図21示すようにツイスト角 α_2 の値を135度としてイオン注入を行う。その結果、第1乃至第4の側壁のうち、第2の側壁及び該第2の側壁と接する第3の側壁、つまり活性領域A Aの第2の側部5 1及び第3の側部5 2にイオンが注入される。次に、図22示すようにツイスト角 α_3 の値は225度としてイオン注入を行う。その結果、第1乃至第4の側壁のうち、第3の側壁及び該第3の側壁と接する第4の側壁、つまり活性領域A Aの第3の側部5 2及び第4の側部5 3にイオンが注入される。

【0071】

次に、図23示すようにツイスト角 α_4 の値を315度としてイオン注入を行う。その結果、第1乃至第4の側壁のうち、第4の側壁及び該第4の側壁と接する第1の側壁、つまり活性領域A Aの第4の側部5 3及び第1の側部5 0にイオンが注入される。すなわち

10

20

30

40

50

、第1の側部50乃至第4の側部53に添加されたボロンイオン濃度に対し、第1の側部50乃至第4の側部53のそれぞれに共通する角部54乃至57に添加されたボロンイオン濃度は高くなる。

【0072】

上記のように第2の実施形態に係る半導体記憶装置によれば効果(1)、(2)と同様に以下の効果が得られる。

(3)p型半導体基板に対する接合耐圧の低下を防ぐことができる。

【0073】

上記本効果つき、従来の半導体記憶装置と比較しつつ、以下詳細に説明する。

【0074】

従来では、図24乃至図27に示す周辺トランジスタPTにおける活性領域AAの側面51乃至53に対し垂直方向からボロンイオンを打ち込む。つまり、ボロンイオンを打ち込む際の回転角度を、(+90)度、(+180)度、(+270)度とする。第1の側部51乃至第4の側部53に対し、垂直方向からの打ち込みであるので、すなわちの値は0度である。よって4箇所からの打ち込み角度は、0、90、180、270度となる。

10

【0075】

つまり、上記回転角度でボロンイオンを一回ずつ打ち込むことで、図24乃至図27に示す第1の側部50乃至第4の側部53のボロンイオン濃度に対し、それらいずれか2つの側面が共通する角部54乃至57のボロンイオン濃度は高くなる。これは第1の側部50乃至第4の側部53が1回の打ち込みに対し、角部54乃至57はボロンイオンが2回打ち込まれる為である。このため、角部54乃至57は第1の側部50乃至第4の側部53に対して、半導体基板に対する接合耐圧が低下する。

20

【0076】

この点につき、本実施形態では回転角度を45度から90度ずつ、ずらしたボロンイオンの打ち込みを行っている。よって、第1の側部50乃至第4の側部53にはそれぞれ2回ボロンイオンが打ち込まれるため、従来に比べ第1の側部50乃至第4の側部53とその角部54乃至57の濃度は高くなる。

30

【0077】

すなわち、第1の側部50乃至第4の側部53と、その角部54乃至57とのボロンイオン濃度を均一に近づけることが可能となる。つまり、従来よりも角部54乃至57の半導体基板に対する接合耐圧の低下を防ぐことが出来る。

【0078】

なお、本実施形態において上記第1の実施形態の場合は、ボロンイオンの打ち込みを行う際の臨界角の値は10度である。しかし、この場合のの値は10度以上であれば特に限定するものではないが、例えば、の値を60度程度を最大値にすることが好ましい。また、本実施形態において、各トランジスタの寸法が変化することで、チルト角の持つ範囲は変化する。つまり、チルト角は本実施形態の様態に限定されるものではない。

30

【0079】

なお、本実施形態において、素子領域AAの形状は完全な方形に限られるものではない。例えば、素子領域AAの角部がエッキングや、酸化等によって丸まっている場合も含まれるのは言うまでもない。更に、素子領域AAの形状は平行四辺形、ひし形、台形等の形状も含まれる。

40

【0080】

なお、上記第1の実施形態における製造工程の図12(a)～(c)において、周辺トランジスタPT1及びPT2が配置される活性領域AAの側面に対し、ある一定以上のエネルギーでボロンイオンを打ち込む。そのため、半導体基板に少なからず傷が生じてしまう。そこで、ボロンイオンの打ち込みを行う前に該側面にシリコン酸化膜などの絶縁膜を形成してもよい。このとき側面に形成された絶縁膜はナノオーダーの膜厚を持つため、ボロンイオンが打ち込まれた際、半導体基板を保護する絶縁膜を貫通することが出来る。つ

50

まり、絶縁膜を貫通し、側面界面に帶電する正電荷と結合することで、電気的に打ち消しあうことが可能となる。

【0081】

また、本実施形態におけるNANDフラッシュメモリセルは、p型半導体基板上にゲート絶縁膜を介在して形成された電荷蓄積層（例えば浮遊ゲート）と、浮遊ゲート上にゲート間絶縁膜を介在して形成された制御ゲート電極とを有する積層ゲート構造を備えた、いわゆるFG型のメモリセルトランジスタである。しかし、半導体基板上にゲート絶縁膜を介在して形成された電荷蓄積層（例えば絶縁膜）と、この絶縁膜上に形成され、電荷蓄積層より誘電率の高い絶縁膜（以下、ブロック層と呼ぶ）と、更にブロック層上に形成された制御ゲート電極とを有するMONOS構造を備えてよい。

10

【0082】

更に、上記第1の実施形態において、ツイスト角度の値を45度及び225度としたが、135度及び225度でもよい。上記第1の実施形態及び上記第2の実施形態で説明したツイスト角度の値は、45度及び225度における、すなわち2回の活性領域AAの側面へのボロンイオン打ち込み並びに45度、135度、225度及び315度における、すなわち4回の活性領域AAの側面へのボロンイオン打ち込みとした。つまり、1からの回転角は(180±5)度程度の誤差があってもよい。また、2回目のツイスト角2は(1+180)度で表される。また、上記第2の実施形態において、1回目の打ち込みツイスト角度1に対し、2乃至4回目の打ち込み角度は(1+90)度、(1+180)度、(1+270)度である。上記1からの回転角度はそれぞれ(90±5)度、(180±5)度、(270±5)度程度の誤差があってもよい。また、不純物の打ち込み材料として、III族イオン種であれば、アルミニウム、ガリウムを使用してもよい。

20

【0083】

なお、本実施形態において、周辺トランジスタPTが配置される予定である、活性領域AAの側面の界面付近が負に帶電することも考えられる。この場合は、活性領域AAの側面に対し、リンや砒素などのN型不純物をドーピングすればよい。

【0084】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

30

【図面の簡単な説明】

【0085】

【図1】この発明の一実施形態に係るNAND型フラッシュメモリのブロック図。

40

【図2】この発明の一実施形態に係るNAND型フラッシュメモリの備えるメモリセルアレイの平面図。

【図3】この発明の一実施形態に係るNAND型フラッシュメモリの備えるメモリセルアレイのA-A線方向に沿った断面図。

【図4】この発明の一実施形態に係るNAND型フラッシュメモリの備えるメモリセルアレイのB-B線方向に沿った断面図。

【図5】この発明の一実施形態に係るNAND型フラッシュメモリの備える周辺トランジスタの平面図。

【図6】この発明の一実施形態に係るNAND型フラッシュメモリの備える周辺トランジスタのA-A方向に沿った断面図。

【図7】この発明の一実施形態に係るNAND型フラッシュメモリの備える周辺トランジスタのB-BまたはC-C方向に沿った断面図。

50

【図 8】この発明の一実施形態に係るNAND型フラッシュメモリの備えるメモリセルアレイのB-B線方向に沿ったボロン濃度分布図。

【図 9】この発明の一実施形態に係るNAND型フラッシュメモリの備える周辺トランジスタのB-B線方向及びD-D線方向に沿ったボロン濃度分布図。

【図 10】この発明の一実施形態に係るNAND型フラッシュメモリの備える周辺トランジスタのC-C線方向に沿ったボロン濃度分布図。

【図 11】この発明の第1の実施形態に係る半導体装置の第1製造工程を示す断面図であり、図11(a)、(b)は、ゲート長方向に沿った周辺トランジスタの断面図であり、図11(c)はB-B線方向に沿ったメモリセルトランジスタの断面図。

【図 12】この発明の第1の実施形態に係る半導体装置の第2製造工程を示す断面図であり、図12(a)、(b)は、B-B線及びC-C線方向に沿った周辺トランジスタの断面図であり、図12(c)はB-B線及びC-C線方向に沿ったメモリセルトランジスタの断面図。

【図 13】この発明の第1の実施形態に係る半導体装置の図12(c)の製造工程に示すメモリセルトランジスタの斜視図。

【図 14】この発明の第1の実施形態に係る半導体装置の図12(a)、(b)の製造工程に示す周辺トランジスタの斜視図。

【図 15】この発明の第1の実施形態に係る半導体装置の図12(a)、(b)いずれかの製造工程に示す周辺トランジスタの上面図であり、 $\theta = 45$ 度で打ち込みを行った様子。

【図 16】この発明の第1の実施形態に係る半導体装置の図12(a)、(b)いずれかの製造工程に示す周辺トランジスタの上面図であり、 $\theta = 225$ 度で打ち込みを行った様子。

【図 17】この発明の第1の実施形態に係る半導体装置の第3製造工程を示す断面図であり、図17(a)、(b)は、B-B線及びC-C線方向に沿った周辺トランジスタの断面図であり、図17(c)はB-B線方向に沿ったメモリセルトランジスタの断面図。

【図 18】この発明の第1の実施形態に係る半導体装置の第4製造工程を示す断面図であり、図18(a)、(b)は、B-B線及びC-C線方向に沿った周辺トランジスタの断面図であり、図18(c)はB-B線方向に沿ったメモリセルトランジスタの断面図。

【図 19】この発明の第1の実施形態に係る半導体装置のI-V特性を示し、(a)は従来におけるI-V特性であり、(b)は第1の実施形態に係る半導体記憶装置及びその製造工程のI-V特性。

【図 20】この発明の第2の実施形態に係る半導体装置の図7(a)、(b)いずれかの製造工程に示す周辺トランジスタの上面図であり、 $\theta = 45$ 度で打ち込みを行った様子。

【図 21】この発明の第2の実施形態に係る半導体装置の図7(a)、(b)いずれかの製造工程に示す周辺トランジスタの上面図であり、 $\theta = 135$ 度で打ち込みを行った様子。

【図 22】この発明の第2の実施形態に係る半導体装置の図7(a)、(b)いずれかの製造工程に示す周辺トランジスタの上面図であり、 $\theta = 225$ 度で打ち込みを行った様子。

【図 23】この発明の第2の実施形態に係る半導体装置の図7(a)、(b)いずれかの製造工程に示す周辺トランジスタの上面図であり、 $\theta = 315$ 度で打ち込みを行った様子。

【図 24】この発明の第2の実施形態に係る半導体装置の図7(a)、(b)いずれかの製造工程に示す周辺トランジスタの上面図であり、 $\theta = 0$ 度で打ち込みを行った様子。

【図 25】この発明の第2の実施形態に係る半導体装置の図7(a)、(b)いずれかの製造工程に示す周辺トランジスタの上面図であり、 $\theta = 90$ 度で打ち込みを行った様子。

【図 26】この発明の第2の実施形態に係る半導体装置の図7(a)、(b)いずれかの製造工程に示す周辺トランジスタの上面図であり、 $\theta = 180$ 度で打ち込みを行った様子。

10

20

30

40

50

【図27】この発明の第2の実施形態に係る半導体装置の図7(a)、(b)いずれかの製造工程に示す周辺トランジスタの上面図であり、 = 270度で打ち込みを行った様子。

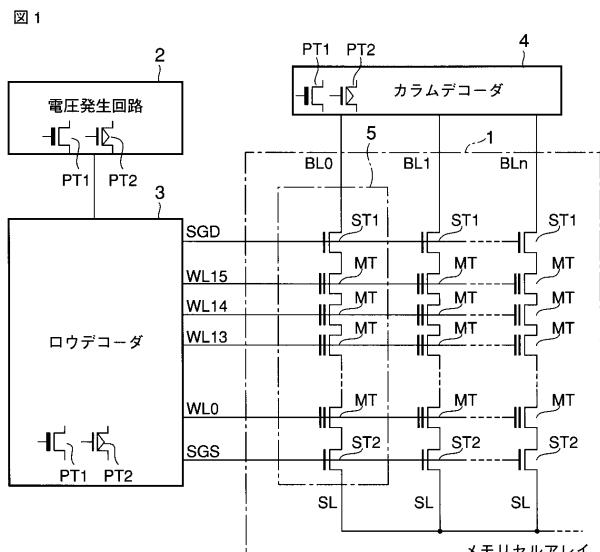
【符号の説明】

【0086】

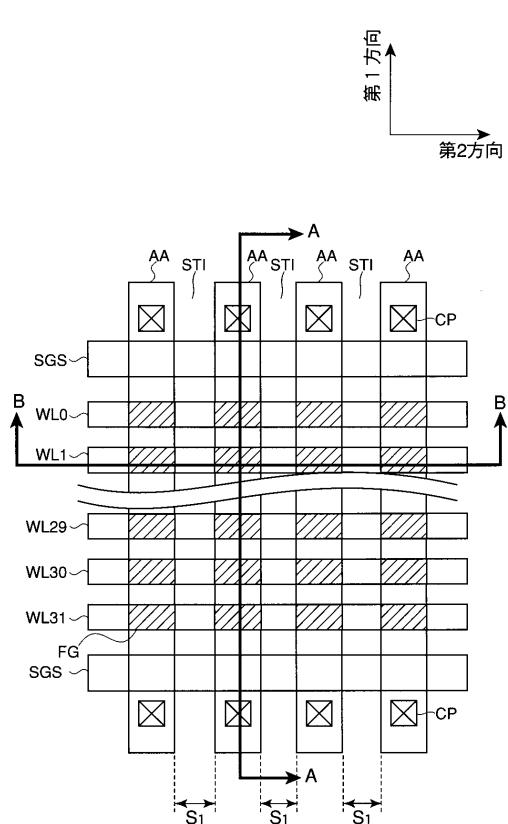
1 ... メモリセルアレイ、2 ... 電圧発生回路、3 ... ロウデコーダ、4 ... カラムデコーダ、5 ... NANDセル、10 ... p型半導体基板、11、31 ... n型ウェル領域、12、30 ... p型ウェル領域、13 ... ゲート絶縁膜、14、39 ... 浮遊ゲート、15 ... 絶縁膜、16 ... 制御ゲート電極、17 ... n⁺型不純物拡散層、18 ... 層間絶縁膜、19 ... 金属配線層、20 ... 金属配線層、21 ... 層間絶縁膜、22 ... 層間絶縁膜、23 ... 金属配線層、24 ... 層間絶縁膜、25、35 ... 素子分離領域、26、27 ... 絶縁膜、43、44 ... 溝、42 ... マスク加工材、50 ... 第1の側部(第1の側面)、51 ... 第2の側部(第2の側面)、52 ... 第3の側部(第3の側面)、53 ... 第4の側部(第4の側面)、54、55、56、57 ... 角部(領域)、58 ... 開口部

10

【図1】

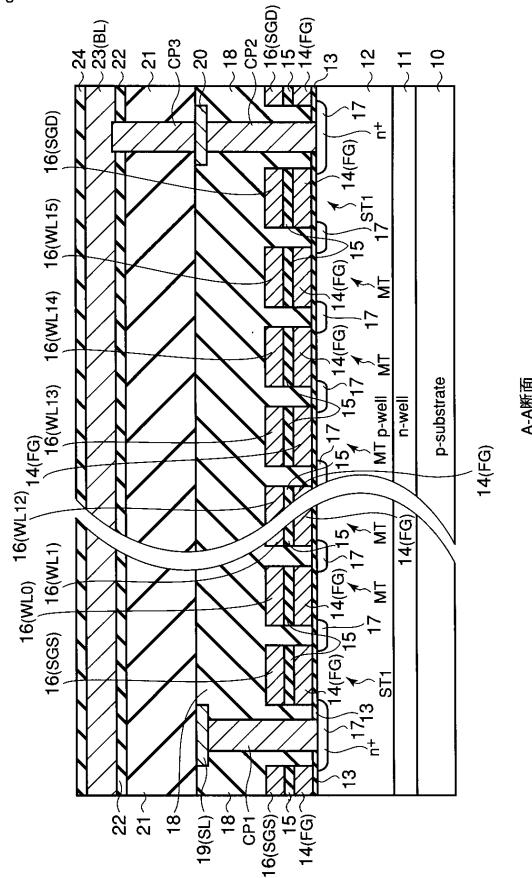


【図2】

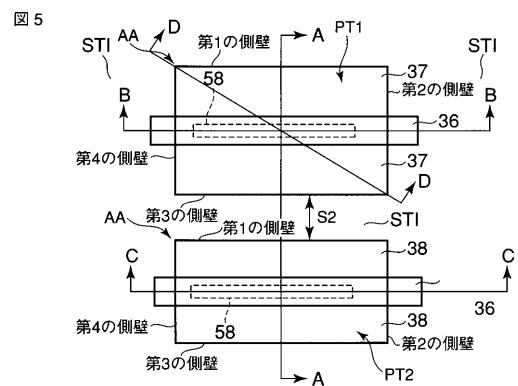


【 図 3 】

図 3

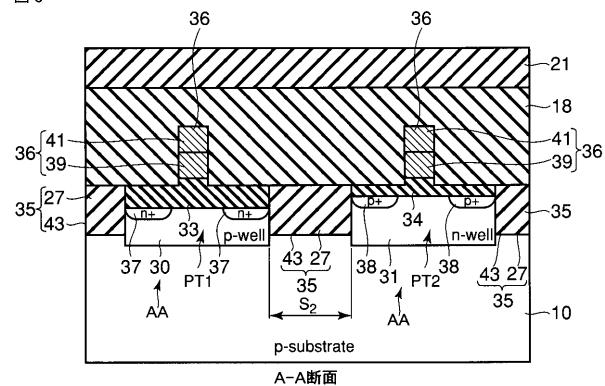


【図5】



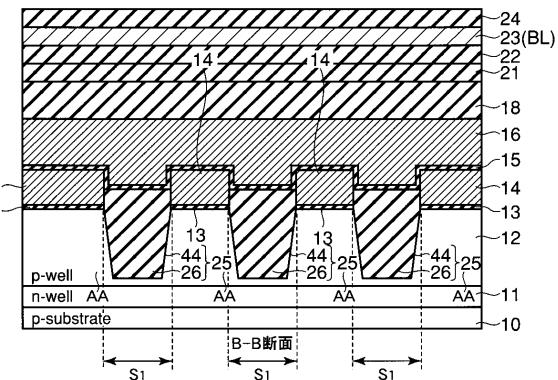
【 四 6 】

図 6

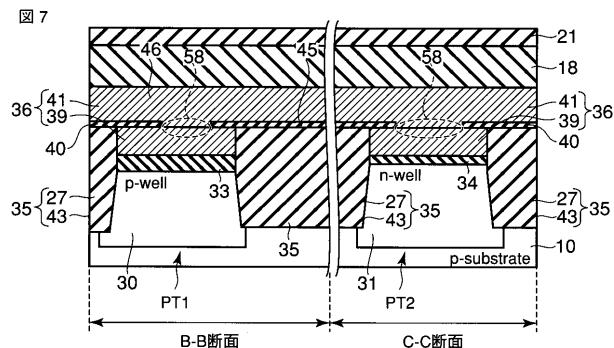


【 図 4 】

図 4

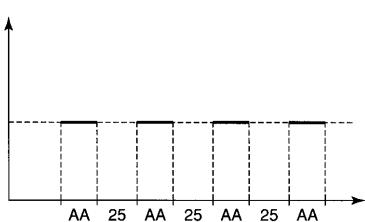


【 四 7 】



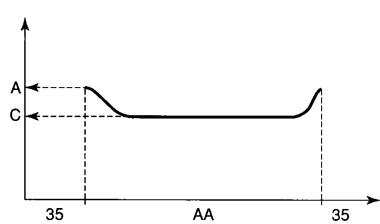
【圖 8】

四〇



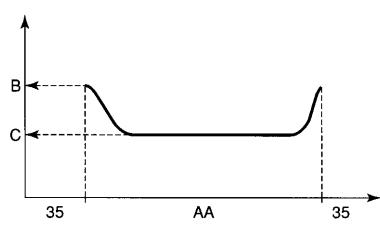
【図 9】

図 9



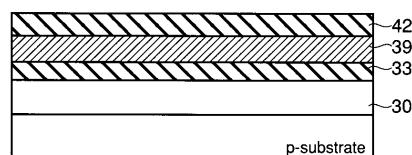
【図 10】

図 10

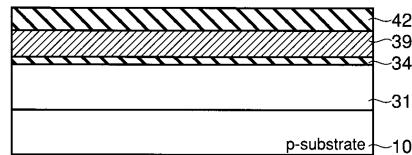


【図 11】

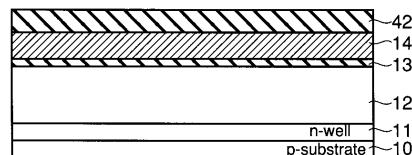
図 11



(a)



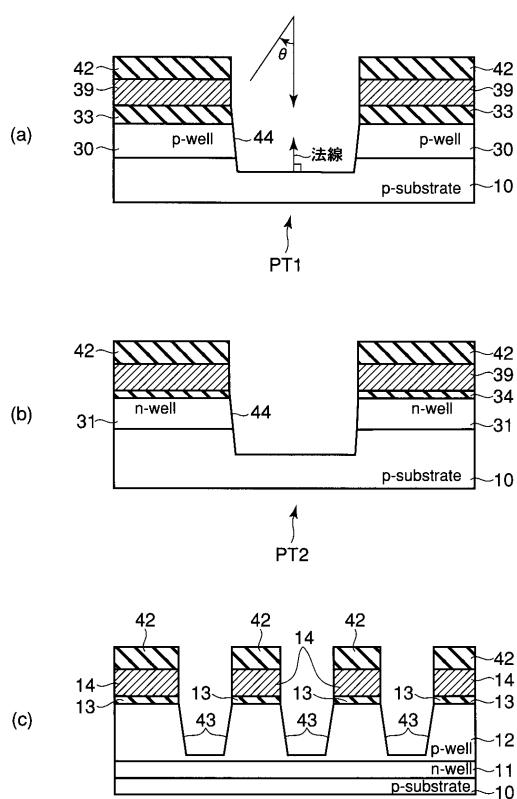
(b)



(c)

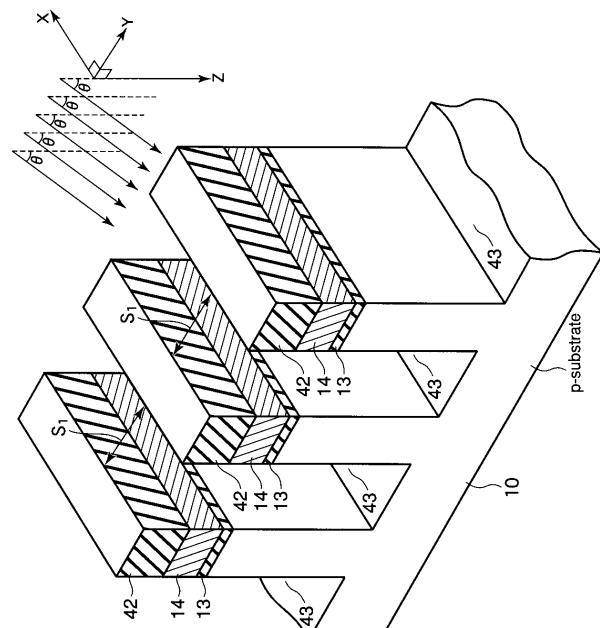
【図 12】

図 12



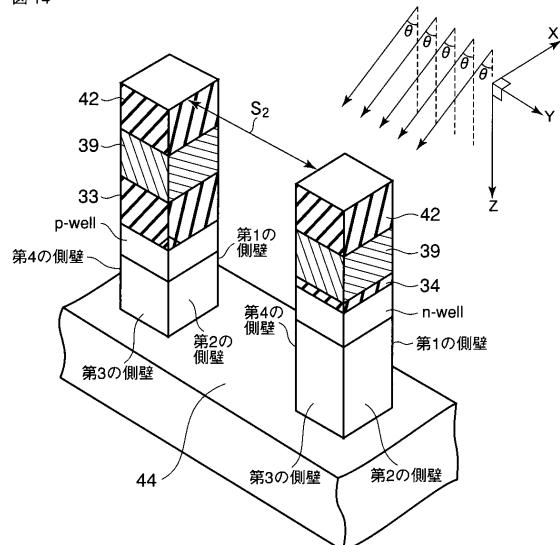
【図 13】

図 13



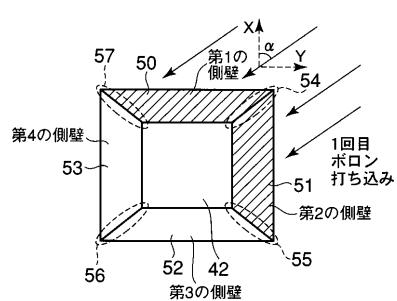
【図14】

図14



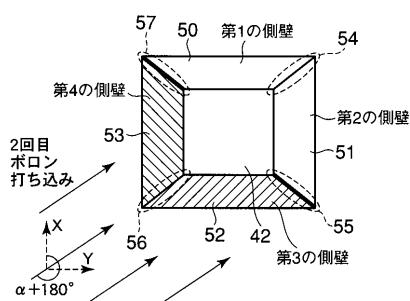
【図15】

図15



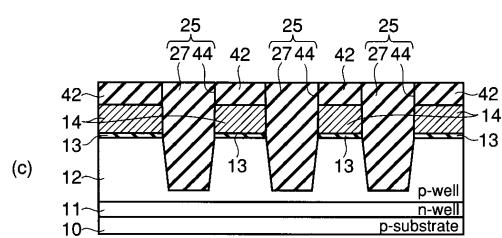
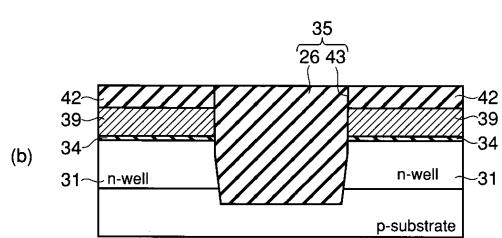
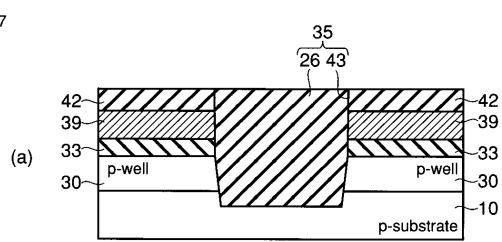
【図16】

図16



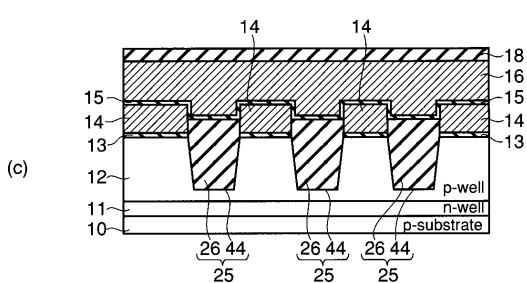
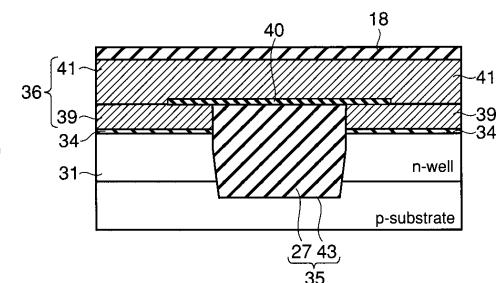
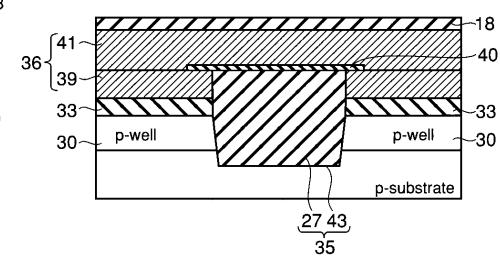
【図17】

図17



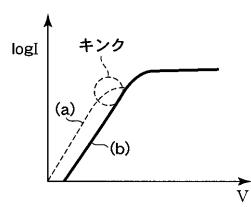
【図18】

図18



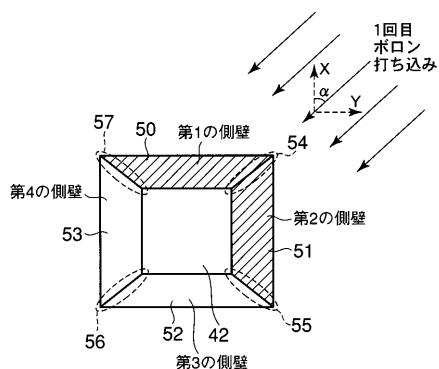
【図 19】

図 19



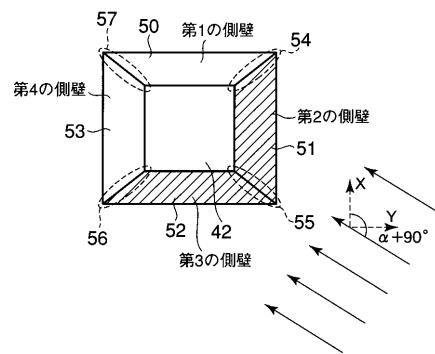
【図 20】

図 20



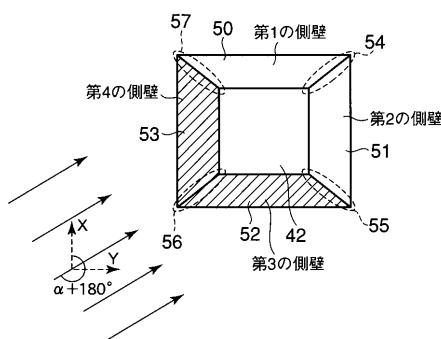
【図 21】

図 21



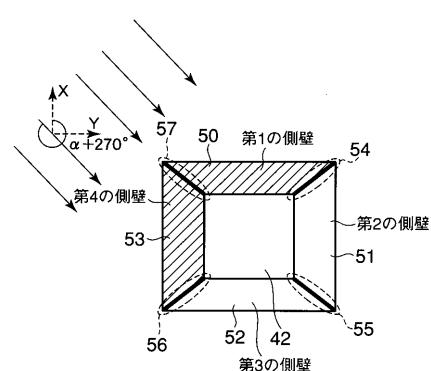
【図 22】

図 22



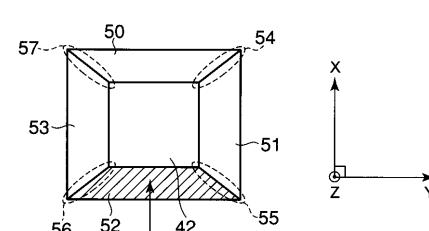
【図 23】

図 23



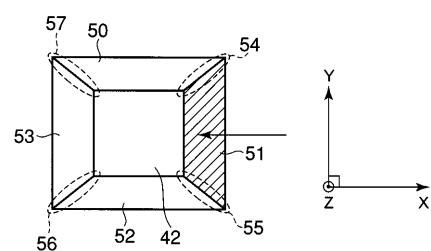
【図 25】

図 25



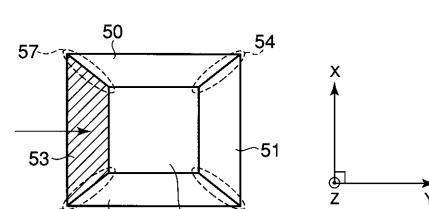
【図 24】

図 24



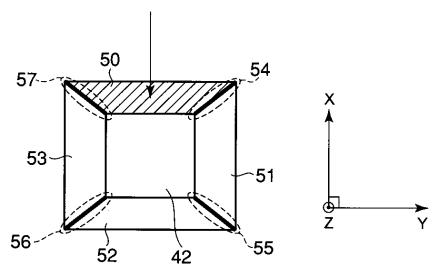
【図 26】

図 26



【図27】

図27



フロントページの続き

(51) Int.Cl. F I テーマコード(参考)
H 01 L 21/76 (2006.01)

(74)代理人 100095441
 弁理士 白根 俊郎
 (74)代理人 100084618
 弁理士 村松 貞男
 (74)代理人 100103034
 弁理士 野河 信久
 (74)代理人 100119976
 弁理士 幸長 保次郎
 (74)代理人 100153051
 弁理士 河野 直樹
 (74)代理人 100140176
 弁理士 砂川 克
 (74)代理人 100101812
 弁理士 勝村 紘
 (74)代理人 100092196
 弁理士 橋本 良郎
 (74)代理人 100100952
 弁理士 風間 鉄也
 (74)代理人 100070437
 弁理士 河井 將次
 (74)代理人 100124394
 弁理士 佐藤 立志
 (74)代理人 100112807
 弁理士 岡田 貴志
 (74)代理人 100111073
 弁理士 堀内 美保子
 (74)代理人 100134290
 弁理士 竹内 将訓
 (74)代理人 100127144
 弁理士 市原 卓三
 (74)代理人 100141933
 弁理士 山下 元
 (72)発明者 加藤 陶子

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 野口 充宏
 東京都港区芝浦一丁目1番1号 株式会社東芝内

F ターム(参考) 5F032 AA35 AA44 BA02 BB06 CA03 CA17 DA22
 5F083 EP02 EP18 EP23 EP33 EP34 EP54 EP55 EP56 EP76 ER23
 GA06 GA11 GA27 JA04 JA35 JA36 JA39 JA53 JA56 KA01
 KA05 KA11 KA17 LA02 LA11 LA12 LA16 MA06 MA16 MA19
 MA20 NA01 NA06 PR07 PR37 PR43 PR46 PR49 PR53 PR56
 ZA03 ZA07 ZA08
 5F101 BA01 BA29 BA36 BA45 BB05 BD02 BD22 BD32 BD34 BD35
 BE07 BH09 BH21