[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
G11C 11/34

[12]发明专利说明书

[21] ZL 专利号 96110217.9

[45]授权公告日 2002 年 10 月 9 日

[11]授权公告号 CN 1092386C

[22]申请日 1996.6.28 [21]申请号 96110217.9

[30]优先权

[32]1995.10.24 [33]JP [31]275245/95

[73]专利权人 三菱电机株式会社

地址 日本东京

[72]发明人 中濑泰伸

审查员 王晓光

[74]专利代理机构 中国国际贸易促进委员会专利商标事务所

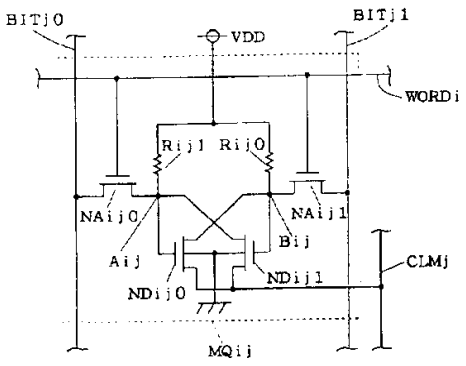
代理人 范本国

权利要求书 7 页 说明书 16 页 附图 8 页

[54]发明名称 半导体存储器

[57]摘要

一种减少半导体时钟同步静态 RAM 功耗的技术，电源电位 VDD 和地电位 GND 加到属于所选列的存储单元上。电源电位 VDD 和中间电位 Vp 加到属于非选列中的存储单元上。即使属于所选字线和非选列的存储单元的开关管导通，驱动管中的电流仍然被抑制。



ISSN1008-4274

权 利 要 求 书

1. 一种半导体存储器，包括:

（a）大量安排于行列组成的矩阵中的存储单元，某条字线的选中将决定一条一个存储单元所属行的有效，某对位线对的选中将决定一条所述一个存储单元所属列的有效，位线对的选中否是由互异有效的初始列选信号决定，每一所述存储单元包括:

（a-1）接收互反逻辑的第一信息保持节点和第二信保持节点;

（a-2）一个电源输入端;

（a-3）一个第一开关，它将根据所述每一存储单元所属的相关行的字线的选中与否来决定所述位线对中第一位线与所述第一信息保持节点之间导通与否;

（a-4）一个第二开关，它将根据所述字线选中与否来决定所述位线对中第二位线与所述第二信息保持节点之间导通与否;

（a-5）一第一负载，一端连接到第二信息保持节点上，另一端用于接收第一电位;

（a-6）一第二负载，一端连接到第一信息保持节点上，另一端用于接收第一电位;

（a-7）一第一驱动管，栅极连接到所述第一信息保持节点上，漏极连接到所述第二信息保持节点上，源极连接到电源输入端；以及

（a-8）一第二驱动管，栅极连接到所述第二信息保持节点上，漏极连接到所述第一信息保持节点，源极连接到电源输入端;

其特征在于还包括:

（b）分别位于所述相应列上的节能电路，每一电路包括:

（b-1）一个接收对应于所述相关列的相关初始列选信号的输入端；以及

（b-2）一个输出端，当所述相关初始列选信号有效时，输出端输出第二电位到属于所述相关列的存储单元的电源输入端，此第二电位不同于第一电位，当所述相关初始列选信号无效时，此输出端输出第三电位到属于所述相关列的存储单元的电源输入端，第三电位介于所述第一电位和第二电位之间;

（c）一个灵敏放大器；以及

（d）分别位于对应所述列的位线连接装置，接收对应于所述相关列的所述初始列选信号和时钟信号，并且仅当两信号都有效时，连接灵敏放大器到位线对上去，

这里，当所述第一和第二开关都不导通时，位线预充到所述第一电位。

2.权利要求1中所述的半导体存储器，其特征是：所述的第一开关是指第一开关管，其栅连接到所述一字线上，包括两个电极的一电极对，一极连接到所述第一位线上，另一极连接到所述第一信息保持节点上，

以及所述的第二开关是指第二开关管，其栅连接到所述一字线上，包括两个电极的电极对，一极连接到所述第二位线上，另一极连接到所述第二信息保持节点上.

3.权利要求1中所述的半导体存储器，其特征是：所述第一负载是指与所述第一驱动管和所述第一开关管有相反导电特性的第一负载管，以及所述的第一负载管的漏连接到所述第二信息保持节点，

其源用于接收所述第一电位，栅连接到所述第一信息保持节点，

以及所述第二负载是指与所述第二驱动管和所述第二开关管有相反导电特性的第二负载管，以及所述第二负载管的漏连接到所述第一信息保持节点，其源连接到所述第一电位，栅连接到第二信息保持节点。

4.权利要求 1 中所述的半导体存储器，其特征是：所述第二电位加到所述第一驱动管和所述第二驱动管的背栅上。

5.权利要求 1 中所述的半导体存储器，每一所述节能电路包括：

（ b-3 ）第一开关，其一端用于接收第二电位，另一端连接到所述节能电路的所述输出端，当所述相关初始列选信号有效时，所述第一开关的所述一端和所述另一端之间导通；以及

（ b-4 ）第二开关，一端连接到第三电位上，另一端连接到所述节能电路的所述输出端，当所述相关初始列选信号有效时，所述第二开关的所述一端和所述另一端之间导通。

6.权利要求 5 中所述的半导体存储器，其特征是：每一所述节能电路包括：（ b-5）一反相器，其输入端连接到所述节能电路的所述输入端，其输出端反相并输出加到所述反相器输入端的逻辑，

每一所述节能电路的所述第一开关是第一晶体管，其控制电极连接到所述节能电路的输入端，第一电极连接到所述节能电路的输出端，第二电极接收所述第二电位，

以及，每一所述节能电路的所述第二开关是一个第二晶体管，其控制电极连接到所述反相器的输出端，第一电极连接到所述节能电路的输出端，第二电极用于接收所述第三电位。

7.权利要求 5 中所述半导体存储器，进一步包括：（ e ）大量的

MOS 管，串联在所述节能电路中所述第二开关的所述另一端与接收所述第二电位的电位点之间，其特征是：每一所述 MOS 管中的栅漏连接在一起。

8.权利要求 7 中所述的半导体存储器，进一步包括（ f ）分别位于相应所述列上的连接线，每条都有寄生电容，每一条都连接在所述相关节能电路的输出端与属于相关所述列的所有存储单元的电源输入端之间。

9.一种半导体存储器，包括：

（ a ）大量的存储单元，分布在行列构成的矩阵中，当大量字线中的一行被选定时，那么所述存储单元中的一个所属的所述行中的一行被确定，当大量位线对中的一对依据互异有效的初始列选信号被选定时，那么每一所述大量存储单元所属的所述列中的一列被确定，每一所述存储单元包括：

（ a-1 ）接收互异逻辑的：第一信息保持节点和第二信息保持节点；

（ a-2 ）一电源输入端；

（ a-3 ）一第一开关，它根据每一所述存储单元所属的所述行的相应字线的选中与否来决定所述位线对中第一位线与所述第一信息保持节点之间导通与否；

（ a-4 ）一第二开关，它根据所述字线选中与否来决定所述位线对中第二位线与所述第二信息保持节点之间导通与否；

（ a-5 ）一第一负载，一端连接到所述第二信息保持节点，另一端用于接收一个第一电位；

（ a-6 ）一第二负载，一端连接到所述第一信息保持节点，另

一端用于接收所述第一电位;

（a-7）一第一驱动管，栅极连接到所述第一信息保持节点，漏极连接到所述第二信息保持节点上，源极连接到所述电源输入端；以及

（a-8）一第二驱动管，栅极连接到所述第二信息保持节点，漏极连接到所述第一信息保持节点上，源极连接到所述电源输入端;

其特征在于还包括:

（b）分别位于所述相应列上的节能电路，每一电路包括:

（b-1）一接收对应于所述相关列的相关初始列选信号的第一输入端;

（b-2）一接收控制信号的第二输入端；以及

（b-3）一输出端，当所述控制信号无效但所述相关初始列选信号有效时，此输出端输出不同于所述第一电位的第二电位到属于所述相关列的存储单元的电源输入端，当所述控制信号无效，所述相关初始列选信号也无效时，此输出端输出介于所述第一电位与所述第二电位之间的第三电位到属于所述相应列上存储单元的电源输入端，当所述控制信号有效时，无论所述相关初始列选信号是否有效，此输出端输出所述第二电位到属于所述相关列上存储单元的电源输入端，

这里，当所述第一和所述第二开关不导通时，位线对预充电到所述第一电位.

10.权利要求9中所述的半导体存储器，其特征是：所述第一开关是指第一开关管，它有一连接到所述字线上的栅和包含两个电极的一电极对，一电极连接到所述第一位线上，另一电极连接到所述

第一信息保持节点上，

以及第二开关是一个第二开关管，它有一连接到所述字线上的栅和包含两个电极的电极对，一电极连接到所述第二位线上，另一电极连接到所述第二信息保持节点上。

11.权利要求 9 中所述的半导体存储器，其特征是：所述第一负载是指与所述第一驱动管有相反导电特性的第一负载管，所述第一负载管的漏连接到所述第二信息保持节点，源接收所述第一电位，栅极连接到所述第一信息保持节点；

以及所述的第二负载是指与所述第二驱动管有相反导电特性的第二负载管，第二负载管的漏端连接到所述第一信息保持节点，源端接收所述第一电位，栅极连到所述第二信息保持节点上。

12.权利要求 9 所述的半导体存储器，其特征是：第二电位加到所述第一驱动管和所述第二驱动管的背栅上。

13.权利要求 9 所述的半导体存储器，其中每一个所述的节能电路进一步包括：

（ b-4 ）一第一开关，一端接收所述第二电位，另一端连接到所述节能电路的输出端，当所述相关初始列选信号或所述控制信号有效时，所述第一开关从一端向另一端导通，以及

（ b-5 ）一第二开关，一端接收所述第三电位，另一端连接到所述节能电路的输出端，当所述相关初始列选信号和控制信号均无效时，所述第二开关从一端向另一端导通。

14.权利要求 9 所述的半导体存储器，其特征是：其所述节能电路还包括：

（ b-6 ）一逻辑门，用于输出加到所述第一输入端的逻辑与加

到所述第二输入端的逻辑的逻辑和；以及

（b-7）一反相器，输入端接收所述逻辑门的输出信号，输出端用于反相并输出加到所述反相器输入端的逻辑；

这里所述的节能电路的所述第一开关是指一个第一晶体管，其控制极接收所述逻辑门的输出信号，第一电极接到所述节能电路的所述输出端，第二电极接收所述第二电位；

以及这里所述节能电路的所述第二开关是指一第二晶体管，其控制极连接到所述反相器的所述输出端，第一电极连接到所述节能电路的所述输出，第二电极接收所述第三电位。

15.权利要求13所述半导体存储器，还包括：

（c）大量MOS晶体管，串接在所述节能电路的第二开关的另一端与接收所述第二电位的电位点之间，这里每一所述MOS管的栅、漏都连接在一起。

16.权利要求15所述半导体存储器，还包括：

（d）分别放置在所述相应列中的连接线，每一连接线都有寄生电容，并且每一连接线都连接在所述相关节能电路的输出端和属于所述相关列的所有存储单元的电源输入端之间。

17.权利要求9所述的半导体存储器，还包括：

（c）一灵敏放大器；以及

（d）分别放置在所述相应列中的位线连接装置，每一都接收对应于所述相关列的相关所述初始列选信号和时钟信号，并且仅当两信号都有效时，连接所述灵敏放大器到一所述位线对上。

说　明　书

半导体存储器

本发明涉及一种减少半导体时钟同步静态 RAM 功耗的技术。

图 7 示出了一种具有传统结构形式的半导体时钟同步静态 RAM（以下称为“SRAM”）的部分电路图，为简单起见，图 7 只画出了两条字线 WORD0 和 WORD1，以及两对位线（BIT00，BIT01）和（BIT10，BIT11）。进一步，也是为简单起见，图 7 为每条字线和每对位线也只画出了两个存储单元。即：MC00，MC01，MC10 和 MC11，实际上每条字线和每组位线上可放置有许多存储单元。

每个存储单元 MCij(i:0,1;j:0,1)是由六个晶体管组成，即作为负载管的 PMOS 晶体管 PMij0,PMij1，作为开关管的 NMOS 晶体管 NAij0,N ij1,和作为驱动管的 NMOS 晶体管 NDij0,NDij1。在图 7 中，为说明简单起见，只在存储单元 MC00 中标注了晶体管名和节点名。

电源电平 VDD 加在 PMOS 管 PMij0,PMij1 的源上，地电平 GND 加在 NMOS 晶体管 NDij0,NDij1 的源上。

负载管 PMij0 的栅，驱动管 NDij0 的栅，负载管 PMij1 的漏和驱动管 NDij1 的漏极共同连结在节点 Aij 上。负载管 PMij1 的栅极、驱动管 NDij1 的栅极、负载管 PMij0 的漏极和驱动管 NDij0 的漏极共同连结在节点 Bij 上。

当节点 Aij 和 Bij 互为反逻辑时，数据就存储在存储单元 MCij 上．节点 Aij 通过开关管 NAij0 连结到位线 BITj0 上，节点 Bij 通过开关管 NAij1 连结到位线 BITj1 上．

图 8 是关于从图 7 存储单元 MC00 中读数据的时序图．这里定义，“H”电平为电源电平 VDD，“L”电平为地电平 GND．

读操作从时钟信号 CLK 的前沿开始，从时钟 CLK 的前沿开始经过延迟时间 tw 后，最初的列选信号 Y0 开始上升，延迟时间 tw 是列选信号译码所必须的时间．列选信号 Y0 和时钟信号 CLK 经过 NAND 门 G0 与非后，列选信号 YB0 下降．这就使得 PMOS 晶体管，或叫门晶体管，PG00 和 PG01 导通，以及使得一位线对中的位线 BIT00 和 BIT01 与灵敏放大器 SA 连通（位线选择态）．

而且，从时钟信号 CLK 前沿开始经过列选信号译码所必须的延迟时间 tw 后，字线 WORD0 上的电位开始上升（即字线 WORD0 选中）．

预充电信号 PRC 一直保持为低电平直至一条字线被选中，当预充信号 PRC 控制的 PMOS 晶体管 PRij 导通时，每条位线都被预充到电源电平 VDD．

现在假设存储单元 MC00 中节点 A00 保持为“H”电平，B00 保持为“L”电平，驱动管 ND000 和 ND001 分别为导通和不导通．

当字线 WORD0 被选中，（即，当字线 WORD0 电位升高时），预充信号 PRC 升高同时预充结束，这时位线 BIT01 上的电荷通过开关管 NA001 由驱动管 ND000 放电．因此位线 BIT01 从“H”电平下降到“L”电平．另一方面，由于驱动管 ND001 不导通，开关管 NA000 中没有电流，所以位线 BIT00 仍保持为“H”电平．

接着到选信号 YB0 为低电平，门管 PG00 和 PG01 导通．结果灵敏放大器 SA 检测出位线对 BIT00 和 BIT01 上的电位差，从存储单元 MC00 中读出数据．

然后，由于时钟信号 CLK 下降，字线和位线又处于不导通状态．另外，预充信号 PRC 下降， PMOS 管 PRij 又把所有位线初始化为“ H ”电平，这样就完成了一次读操作．

因为预充过程是对所有位线进行的，所以当字线 WORD0 的电平变为“ H ”电平时，在每个存储单元 MC0j 中，电流是从开关管 NA0j1 流向驱动管 ND0j0 或者从开关管 NA0j0 流向驱动管 ND0j1 .

然而，为了从灵敏放大器 SA 中获得数据，只能选择一位线对，而不是选择许多位线，例如在图 8 所描述的例子中，列选信号 YB0 下降由此通过灵敏放大器 SA 可以获得存储单元 MC00 中的数据．这段时间内列选信号 YB1 一直不会下降，也就是说，位线 BIT10 和 BIT11 上的电位差将不会被检查到．

因为开关管和驱动管并不用于读数据，因此这时存储元件 MC01 中的电流是不必要的．也就是说，这种对有效操作无用的电流会增加电流的消耗，是不利的．

这种不必要的电流随着同时使用同一灵敏放大器 SA 的列数(即位线对数）的增加而增加，例如，读一存储单元所需电流为 0.1mA ，同时使用同一灵敏放大器的列数为 64 ，那么虽然读操作只需 0.1mA 的电流，但实际上电流为 6.4mA .

本发明的一个方面是针对一种半导体存储器件，包括:

（ a ）大量的存储器单元，分布在行、列矩阵中，单元所属行的有效由一条字线的选中决定，单元所属列的有效是由初始列选信

号引起的位线对的选中决定的，这些初始列选信号是互异有效的，每一存储单元包括：（a-1）接受互反逻辑的第一信息保持节点和第二信息保持节点；（a-2）一个电源输入端；（a-3）一个第一开关，这个开关将根据对应于存储单元所属行中字线的选中与否来决定位线对中第一位线与第一信息保持节点间导通或不导通；（a-4）一个第二开关，这个开关根据字线的选中与否决定位线对中第二位线与第二信息保持节点间导通与否；（a-5）第一负载，一端连接到第二信息保持节点上，另一端用于接收第一电位；（a-6）第二负载，一端连接到第一信息保持节点上，另一端用于接收第一电位；（a-7）第一驱动管，它的栅连接到第一信息保持节点上，漏端连接到第二信息保持节点上，源端连接到电源输入端；以及（a-8）第二驱动管，栅极连接到第二信息保持节点上，漏极连接到第一信息保持节点上，源极连接到电源输入端；（b－1）分别放置在对应的列上的节能电路，每一电路包括：（b-1）一个接收对应于相关列的相关初始列选信号的输入端；以及（b-2）一个输出端，当相关列选信号有效时，它输出不同于第一电位的第二电位到属于相应列的每一存储单元的电源输入端，当相关初始列选信号无效时，它输出第一电位和第二电位之间的第三电位到属于相应列的存储单元的电源输入端。（c）一个灵敏放大器；以及（d）位线连接装置，它们分别放置在相应的列上，每一位线接收对应于相关列的相应的原始列选信号和时钟信号，并且当这两信号都有效时，把灵敏放大器连通到位线对上，这里当第一和第二开关均不导通时，位线预充电到第一电位。

按照本发明的第二个方面，在上述的半导体存储器中，第二电

位提供第一驱动管和第二驱动管的背栅的电位.

按照本发明的第三个方面，在第一方面所述的半导体存储器中，每一个节能电路进一步包括：（b-3）第一开关，一端用于接收第二电位，另一端接到节能电路的输出端，当初始列选信号有效时，第一开关将从一端到另一端导通；以及（b-4）第二开关，一端用于接收第三电位上，另一端接到节能电路的输出端，当原始列选信号无效时，第二开关的一端和另一端导通.

按照本发明的第四个方面，第五方面中的半导体存储器进一步包括：（e）大量串联在节能电路中第二开关的另一端和用于接收第二电位的第二电位点之间的MOS晶体管.这里，每一MOS晶体管的栅源是连接在一起的。

根据本发明中的第五方面，第四方面中所述的半导体存储器进一步包括：（f）分别处于相关列中的连接线，都有寄生电容，并且连接相关节能电路的输出端和属于相关列的所有存储单元的电源输入端。

本发明的第六个方面是针对一种半导体存储器，包括：(a)大量的存储单元，分布在行、列矩阵中，单元所属行的有效由一条字线的选中决定，单元所属列的有效是由初始列选信号引起的字线对的选中决定的，这些初始列选信号是互异有效的，每一存储单元包括：（a-1）接收互异逻辑的第一信息保持节点和第二信息保持节点；（a-2）一电源输入端；(a－3）一个第一开关，此开关将根据对应于存储单元所属行中字线的选 中与否来决定位线对中第一位线与第一信息保持节点间的导通与否；（a-4）一个第二开关，此开关将根据字线的选中与否来决定位线对中第二位线与第二信息保持节

点间的导通与否；（ a-5 ）一个第一负载，一端连接到第二信息保持节点上，另一端用于接收第一电位；（ a-6 ）一个第二负载，一端连接到第一信息保持节点上，另一端用于接收第一电位；（ a-7 ）一个第一驱动管，栅连接到第一信息保持节点上，漏连接到第二信息保持节点上，源连接到电源输入端；以及（ a-8 ）一个第二驱动管，栅连接到第二信息保持节点上，漏连接到第一信息保持节点上，源连接到电源输入端，（ b ）节能电路，分别放置在相应的列上，每一个包括：（ b-1 ）用于接收相关列的相关初始列选信号的第一输入端；（ b-2 ）用于接收控制信号的第二输入端；以及（ b-3 ）一输出端，当控制信号无效但相关列选信号有效时，此输出端输出不同于第一电位的第二电位到属于相关列的存储单元的电源输入端，当控制信号无效且相关列选信号也无效时，此输出端输出介于第一电位与第二电位之间的第三电位到属于相关列的存储单元的电源输入端，当控制信号有效时，不论相关列选信号是否有效，此输出端输出第二电位到属于相关列上存储单元的电源输入端，这里当第一开关和第二开关不导通时，位线对预充电到第一电位。

按照本发明的第七方面，第六方面中所述半导体存储器中的第二电位提供第一、第二驱动管的背栅电位。

按照本发明的第八方面，第六方面中所述的半导体存储器的节能电路进一步包括：（ b-4 ）一个第一开关，一端接收第二电位，另一端接到节能电路的输出端，当相关的初始列选信号或控制信号有效时，第一开关导通；以及（ b-5 ）一个第二开关，一端接收第三电位，另一端接到节能电路的输出端，当相关初始列选信号和控制信号均无效时，第二开关从一端到另一端导通。

根据本发明的第九方面，第八方面中所述的半导体存储器进一步包括：（c）大量MOS晶体管，串联在节能电路中第二开关的另一端和用于接收第二电位的电位节点之间，这里，每一MOS晶体管的栅源是连接在一起的。

根据本发明的第十方面，第九方面中所述的半导体存储器进一步包括：（d）分别处在相关列中的连接线，都有分布电容，且连接相关节能电路的输出端和属于相关列的所有存储单元的电源输入端。

根据本发明的第十一方面，第六方面中所述的半导体存储器进一步包括：（c）一个灵敏放大器；和（d）位线连接装置，分别放置在相应的列上，每一个都接收相应于相关列的相关初始列选信号和时钟信号，并且仅当两信号均有效时，才把灵敏放大器连通到位线对上。

综上所述，本发明的目的是使得那些属于未选列中的存储单元中的电流不容易发生，因此就可以减少电流的损耗，同时又不影响SRAM的工作速度。

本发明的这些及其它的目的、特性、观点和优越性都将从下述有关本发明的详细阐述和图示中变得更明确。

图1是根据本发明第一优选实施例结构的电路图。

图2是根据本发明第一优选实施例的工作时序图。

图3是根据本发明第一优选实施例另一种结构的电路图。

图4是根据本发明第二优选实施例结构的电路图。

图5是根据本发明第二优选实施例的另一种结构的电路图。

图6是根据本发明第三种优选实施例结构的电路图。

图 7 是根据传统技术的结构的电路图.

图 8 是传统技术中的工作流图.

第一优选实施例

图 1 是关于本发明的第一优选实施例的一种结构的部分电路图，下面，符号 i、j 都代表正整数. 为图示简化起见，图 1 只显示了 i,j 为 0 或 1 时的部分情况.

存储单元 MCij 位于字线 WORDi 和位线对 BITj0、BITj1 的交叉点. 位线 BITj0 和 BITj1 分别通过 PMOS 管 PRj0 和 PRj1 连接到一个由电源电位 VDD 供电的电位点，而且，位线 BITj0 和 BITj1 分别通过作为门管的 PMOS 晶体管 PGj0、PGj1 连接到灵敏放大器 SA 的输入端.

预充信号 PRC 同时被加到 PMOS 管 PRj0、PRj1 的栅上，而不管符号 j 为何值. 列选信号 YBj 同时加到 PMOS 管 PGj0、PGj1 的栅上，列选信号 YBj 是由与非门 Gj 产生的，它是初始列选信号 Yj 和时钟信号 CLK 的与非逻辑.

存储单元 MCij 包括：作为第一负载管和第二负载管的 PMOS 管 PMij0 和 Pmij1，作为第一驱动管和第二驱动管的 NMOS 晶体管 NDij0 和 NDij1，以及作为第一开关管和第二开关管的 NMOS 晶体管 NAij0 和 Naij1.

电源 VDD 共同加到第一负载管 PMij0 和第二负载管 PMij1 的源上.

第一负载管 PMij0 的栅、第一驱动管 NDij0 的栅、第二负载管 PMij1 的漏以及第二驱动管 NDij1 的漏都连接在节点 Aij 上. 第二负载管 PMij1 的栅、第二驱动管 NDij1 的栅、第一负载管 PMij0 的漏

以及第一驱动管 NDij0 的漏都连接在节点 Bij 上.

节点 Aij 通过第一开关管 NAij0 连到位线 BITj0 上，节点 Bij 通过第二开关管 NAij1 连到位线 BITj1 上. 第一、第二开关管 NAij0 、 NAij1 都连接到字线 WDRDi 上.

连接线 CLMj 共同连接到第一驱动管 NDij0 和第二驱动管 NDij1 的漏上，而不管符号 i 为何值. 地电平 GND 加到第一驱动管 NDij0 和第二驱动管 NDij1 的背栅上.

节能电路 Sj 包括 NMOS 晶体管 NVj0 和 NVj1 . 初始列选信号 Yj 和它的反相逻辑分别加到 NMOS 晶体管 NVj0 和 NVj1 的栅上. NMOS 晶体管 NVj0 和 NVj1 的漏共同连接到连接线 CLMj 上. 当一中间电位 Vp 加到 NMOS 管 NVj1 的源上时，地电平 GND 加到 NMOS 管 NVj0 的源上. 中间电平 Vp 高于地电平 GND，但低于电源电平 VDD .

图 2 是读存储单元 MC00 的时序图. 水平轴表示时间，竖直方向的轴表示电位. 读操作从时钟信号 CLK 的前沿开始，从时钟信号 CLK 的前沿开始经过 tw 时间的延迟后，初始列选信号 Y0 上升， tw 延迟时间是列地址信号译码所必需的时间. 对应于非选列的初始列选信号 Y1 并不上升. 通过与非门 G0，列选信号 Y0 和时钟信号 CLK 产生一与非逻辑，从而列选信号 YB0 下降. 这使得 PMOS 晶体管，或叫门管， PG00 和 PG01 导通，允许位线对中的位线 BIT00 和 BIT01 连接到灵敏放大器 SA 上（位线选择状态）.

行地址信号译码，字线 WORD0 上的电位上升（即字线 WORD0 选中）. 如果放置一个合适的延迟元件，字线 WDRD0 上的电位可以从时钟信号 CLK 的上升开始延迟 tw 时间后开始上升.

除非有一字线被选中，否则预充信号 PRC 总是处于低电平．当预充信号 PRC 控制的 PMOS 晶体管 PRij 导通时，每一位线都被预充到电源电位 VDD．

NMOS 管 NV00 和 NV01 总是分别处于导通与不导通状态，除非列选信号 Y0 上升，中间电位 Vp 连接到连线 CLM0 上．中间电位 Vp 也以同样的方式连接到 CLM1 上．

当节点 Aij 和 Bij 接收了互异的逻辑，而第一和第二开关管 NAij0 和 NAij1 不导通（即当字线 WORDi ）未选中时，数据保持在存储单元 MCij 中，现在假设节点 Aij 的电位是电源电位 VDD，因此节点 Aij 保存有“ H ”逻辑，在这样的条件下，第一负载管 PMij0 和第一驱动管 NDij0 分别处于不导通和导通状态，中间电位 Vp 通过第一驱动管 NDij0 加到节点 Bij 上．因为这样使得中间电位 Vp 可以连接到第二驱动管 NDij1 的栅和源上，所以第二驱动管 NDij1 就进入不导通状态．也就是说由于中间地位 Vp 的作用，逻辑“ L ”就被加到节点 Bij 上．因此，如果电压（ VDD － Vp ）大于第二负载管 PMij1 的开启电压 VtM 的绝对值，那么第二负载管 PMij1 保持导通，节点 Aij 保持为 VDD 电位，逻辑“ H ”就被保持．

初始列选信号 Y0 上升，因此， NMOS 管 NV00 变为导通，NMOS 管 NV01 变为不导通，这样就把地电位 GND 通过 NMOS 管 NV00 加到连接线 CLM0 上，这就使得用传统的技术读存储单元 MC00 成为可能．换句话说，列选信号 YB0 下降，预充信号 PRC 上升，从而使得位线 BIT00 和 BIT01 分别通过门管 PG00 和 PG01 连接到灵敏放大器 SA 上．结果，随着字线 WORD0 电位的上升，开关管导通，第一开关管 NA00 和第二开关管 NA01 中就有预充电

荷流动.

这种电荷流在非选列中的存储单元 MC01 内是被抑制的，原因如下所述.

由于初始列选信号 Y1 保持为“L”电平，因此在节能电路 S1 中 NMOS 管 NV11 导通， NMOS 管 NV10 不导通，中间电位 Vp 加到连接线 CLM1 上.

现在假设在存储单元 MC01 中，节点 A01 和 B01 分别处于“H”电平与“L”电平. 尽管第一驱动管 ND010 导通，但由于第一驱动管 ND010 的源处于中间电位 Vp，故第一驱动管 ND010 中的栅源电位差为 VDD - Vp. 又由于地电位 GND 加到第一驱动管 ND010 的背栅上，受背栅效应的影响，第一驱动管 ND010 的开启电压 VtD 上升. 因此这就可能把第一驱动管 ND010 中的电流设置得比传统技术的要小.

中间电位 Vp 越大，第一驱动管 ND010 的电流就越小，但如果中间电位 Vp 设置的太大，就使得（VDD - Vp）小于第二负载管 PM011 开启电压 VtM 的绝对值，结果就导致第二负载管 PM011 不可能导通，因此就不可能在节点 Aij 保持数据“H”，虽然数据“H”需要保持在节点 Aij 上. 例如，假设电源电位 VDD 为 3V，如果中间电位 Vp 设置为 1.5V，这时非选中存储单元中的电流值与所选存储单元中的电流值相比就变得足够的小. 结果就可能维持 VDD 电平（即“H”电平），而几乎不改变非选列上位线 BIT10 和 BIT11 上的电位.

预充信号是通过对时钟信号 CLK 延迟一预定时间而产生的. 圆满完成预充需要多于时钟信号 CLK 半个周期以上的时间. 另一方

面，列选信号由于时钟信号 CLK 的下降而上升．因此，如果门管 PGj0 和 PGj1 在列选信号的控制下导通或不导通，这就防止了灵敏放大器 SA 的输入线的预充，也因此而防止了对要被探测的数据的删除．

然而，使用列选信号 YBj 控制节能电路 Sj 中 NMOS 管 NVj0 和 NVj1 的导通与否是不希望的．当下一周期又选中原先的列，就不需要调整节能电路 Sj 中连接线 CLMj 上的电位（即调整中间电位 Vp 或地电平 GND），除非必需，否则加在连接线 CLMj 上的电位不应该被改变．由于连接线 CLMj 一般连接在大量的存储单元上，其寄生电容很大，由于这一点，为减少功耗，尽可能避免电位的变化是非常有利的．

介于这种原因，初始列选信号 Yj 被用于控制节能电路 Sj．初始列选信号 Tj 在时钟信号 CLK 的一个时钟周期内不变（虽然产生了与译码相关的延迟时间），这是因为当下一时钟周期又选中同一列时，不需要改变初始列选信号 Yj 的值．

相反，如果用初始列选信号控制门管 PGj0 和 PGj1 的导通与否，就会造成一段对灵敏放大器 SA 的输入线预充电的时间．这是不理想的，因为这会造成数据消失．

由于上述的原因，两种类型的信号，即初始列选信号 Yj 和列选信号 YBj，被用于列的选择．

因此，根据本发明，大大减少非选列上存储单元中的电流并抑制与读操作不相关的电流的消耗是可能的．另外，由于与读操作相关的存储单元（属于所选列上的单元）中的电流与传统技术中的存储单元中的电流相同，所以 SRAM 的速度并没有降低．而且，当属

于同一列中的其它存储单元被接着选中时，就不需要改变中间电位Vp和地电平GND并施加其中的一个电位到存储单元中去，这样就进一步减少了电流的损耗.

图3是关于存储单元MQij的电路图，此单元中使用大电阻作为负载，存储单元MQij包括：电阻Rij0和Rij1，分别作为第一负载和第二负载；NMOS管NDij0和NDij1，分别作为第一驱动管和第二驱动管；NMOS管NAij0和NAij1，分别作为第一开关管和第二开关管.

电源VDD共同加到第一负载电阻Rij0的一端和第二负载Rij1的一端上.第二负载电阻Rij1的的另一端，第一驱动管NDij0的栅，以及第二驱动管NDij1的漏一起连接在节点Aij上.第一负载电阻Rij0的另一端、第二驱动管NDij1的栅以及第一驱动管NDij0的漏一起连接在节点Bij上.

节点Aij通过开关管NAij0连接到位线BITj0上，节点Bij通过开关管NAij1连接到位线BITj1上.开关管NAij0和NAij1的栅都连接到字线WORDi上.

不论i为何值，连接线CLMj共同连接到第一驱动管NDij0和第二驱动管NDij1的源上.地电位GND加到第一驱动管和第二驱动管NDij0和NDij1的背栅上.很明显，本发明适用于具有这种结构的存储单元。

第二种优选实施例

在包含SRAMS的系统中，为了减少系统的功耗，供给SRAM的电源VDD在SRAM暂时不用时其电位会降低（休眠模式）.在第一种优选实施例中，非选列中存储单元的工作电压大致上为VDD

- Vp．因此，如果电源电压 VDD 降低，也许就不可能维持存储单元的数据．第二种优选实施例使用控制信号 HOLD 以保持每一存储单元的工作电压为 VDD．

图 4 是关于本发明中第二优选实施例的 SRAM 的部分结构电路图．第二优选实施例与第一优选实施例的不同是节能电路 Sj 被节能电路 Tj 所代替．

除了额外增加一或门 Lj，节能电路 Tj 与节能电路 Sj 等效．也就是，或门输出控制信号 HOLD 与初始列选信号 Yj 的逻辑和，并把这个逻辑和加到 NMOS 管 NVj0 的栅上．与加到 NMOS 管 NVj0 栅上的逻辑互补的逻辑被加到列 NMOS 管 NVj1 的栅上．

当控制信号 HOLD 为“L”电平时，图 4 中的电路与本发明第一优选方案图 1 中所示的电路工作方式相类似．另一方面，当控制信号 HOLD 为“H”电平时，不管初始列选信号 Yj 为何值，NMOS 管 NVj0 导通，NMOS 管 NVj1 不导通．因此，地电位 GND 加到每一条连接线 CLMj 上．

因此，当供给 SRAM 的电源 VDD 在休眠模式中降低时，控制信号 HOLD 保持为“H”电平，使地电位 GND 加到存储单元 MCij 上，所以存储单元 MCij 上的数据不会被破坏．

如果 SRAM 的工作不需要与时钟信号 CLK 保持同步，门 Gj 可以省去．图 5 是一种遵照第二优选实施例的 SRAM 的经调整的结构的部分电路图．图 4 中的节能电路 Tj 被节能电路 Uj 所代替，额外增加了一反相器，此反相器反相初始列选信号 Yj，并把此反相信号加到门管 PGj0，PGj1 的栅上．而且，还用了一反相器来反相控制信号 HOLD，并把此反相信号加到节能电路 Uj 中．

除了用一 NAND 门 Mj 代替或门 Lj 外，节能电路 Uj 的结构与节能电路 Tj 相同．由于与非门 Mj 产生一个反相初始列选信号 Yj 的反相值（即初始列选信号本身）和反相控制信号 HOLD 的反相值（即控制信号 HOLD 本身）的逻辑和，并如图 4 所示的情况，输出逻辑和．即使供给 SRAM 的电源 VDD 在休眠模式时降低，存储单元 MCij 中的数据也不会被破坏．

第三种优选实施例

当然，中间电位 Vp 可以由 SRAM 外部提供，也可以由 SRAM 内部产生．后一种方法可以省去提供中间电位 Vp 所需的外部管脚，这也就减少了外部管脚的数目．

按照本发明的第三种优选方案，图 6 显示了产生中间电位 Vp 的电路结构图．通过节能电路 Sj（或 Tj， Uj）中 NMOS 管 NVj1，栅漏短接的 NMOS 管 N1 和 N2 互相串联在连接线 CLMj 和地之间．假设 NMOS 管的开启电压为 Vth，产生的中间电位 Vp 大约为 2Vth，如果 Vth=0.6V,Vp=1.2V．

产生中间电位 Vp 的前提是 NMOS 管 N1 和 N2 都有电流．然而，一旦电流通过连接线 CLMj 从位线 BITj0 或 BITj1 流向 NMOS 管 N1 和 N2，除非地电位 GND 通过 NMOS 管 NVj0 加到连接线 CLMj 上，用这种方式产生的中间电位 Vp 由于连接线 CLMj 上寄生电容的作用而得以保持．因此，即使当 NMOS 管 N1 和 N2 中没有电流，也就是说，即使位线不提供电流，由于中间电位 Vp 加到连接线 CLMj 上，存储单元 MCij 上的数据可得以保持．

本发明已经得到了详细的描述．然而所有上述的描述在各方面都是说明性的而非限定性的．很明显在不脱离本发明的范围内还可

以有大量的调整和变化。

图 1

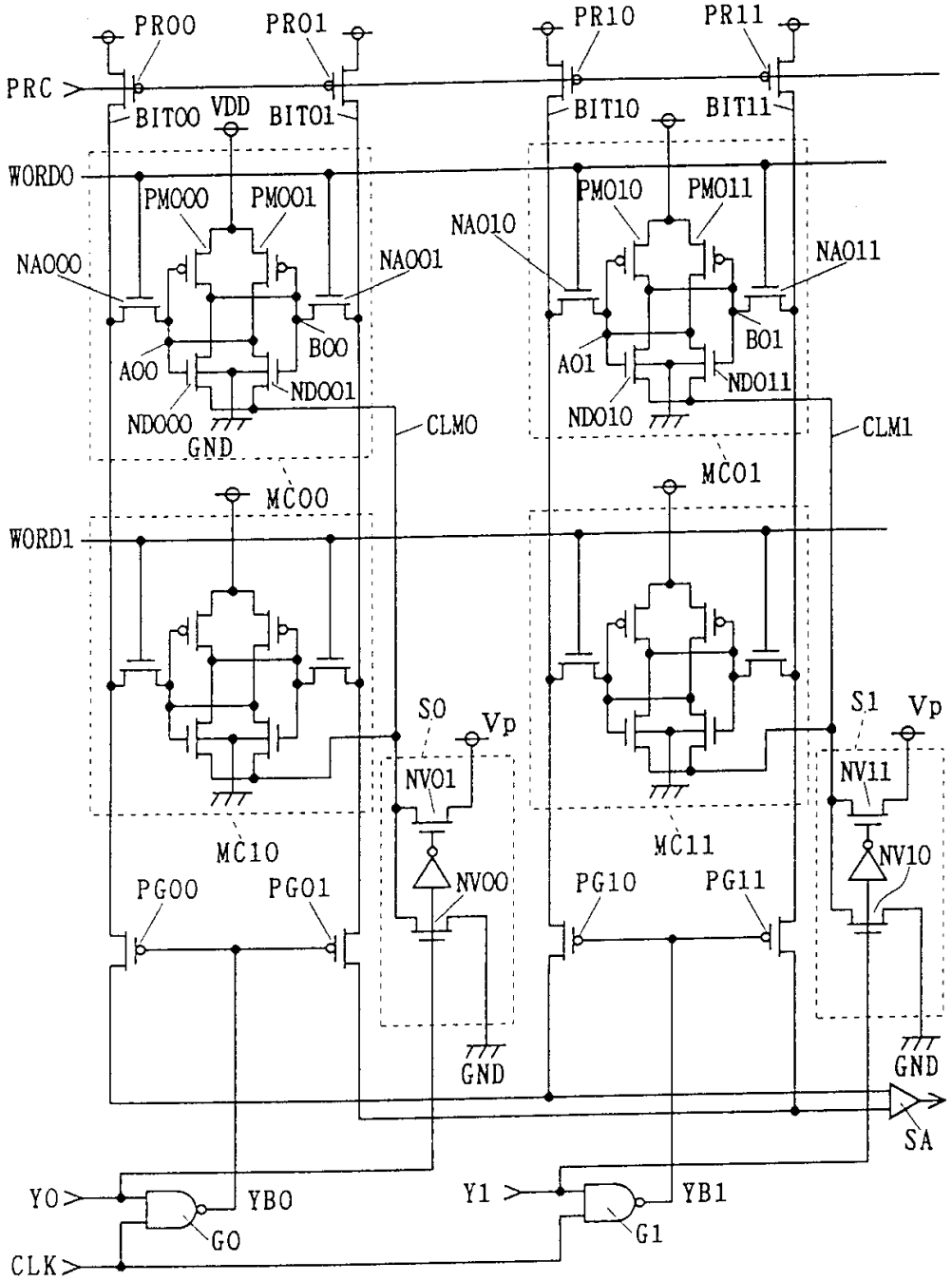

PR00
PR01
PR10
PR11
PRC
BIT00
VDD
BIT01
BIT10
BIT11
WORD0
PM000
PM001
PM010
PM011
NA000
NA001
NA010
NA011
B00
B01
A00
A01
ND001
ND011
ND000
ND010
GND
CLM0
CLM1
MC00
MC01
WORD1
S0
Vp
S1
Vp
NV01
NV11
NV00
NV10
MC10
MC11
PG00
PG01
PG10
PG11
GND
GND
SA
Y0
YB0
Y1
YB1
G0
G1
CLK

图 2

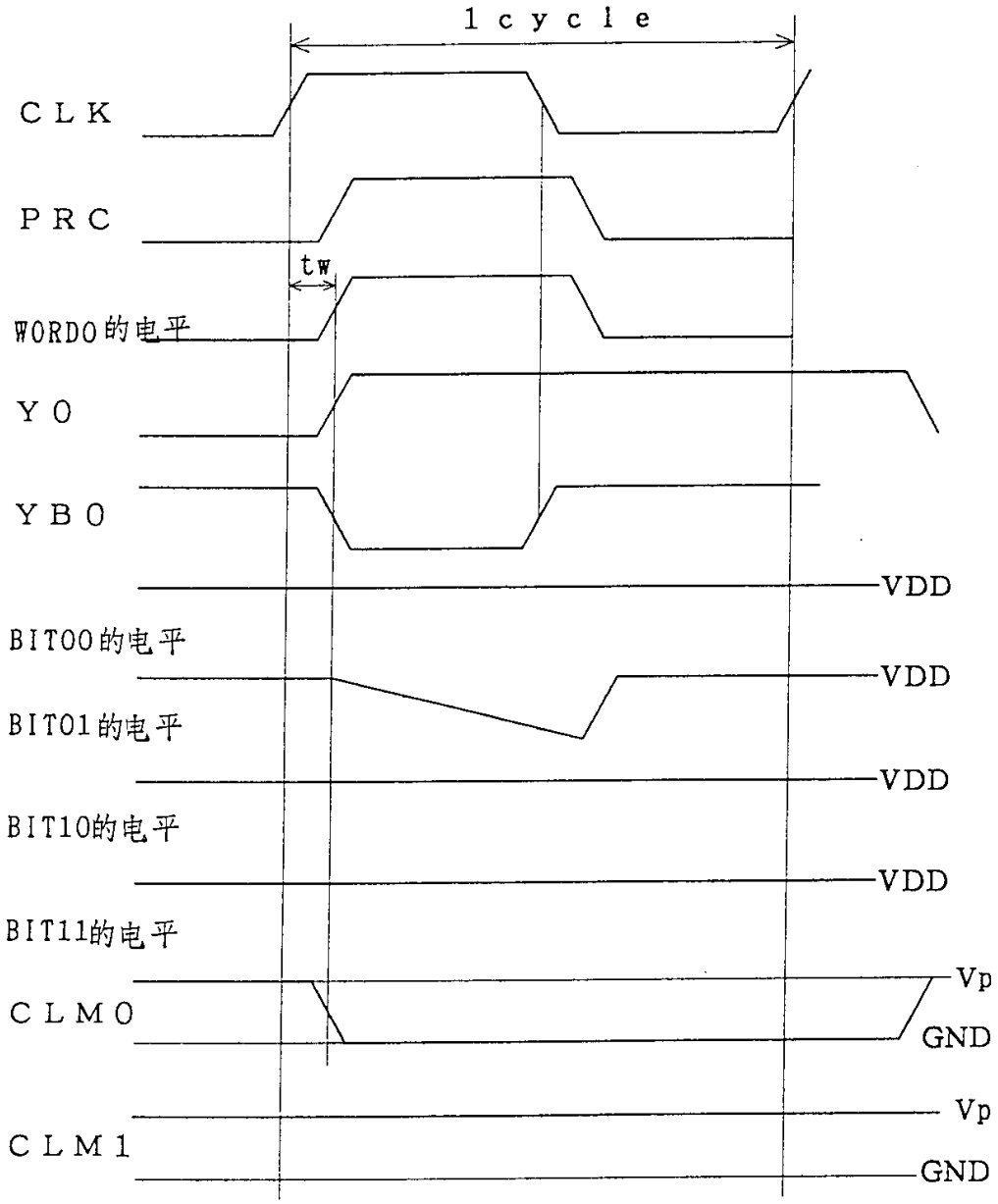

1 c y c l e
C L K
P R C
tw
WORDO的电平
Y O
Y B O
VDD
BITOO的电平
VDD
BIT01的电平
VDD
BIT10的电平
VDD
BIT11的电平
Vp
C L M O
GND
Vp
C L M 1
GND

图 3

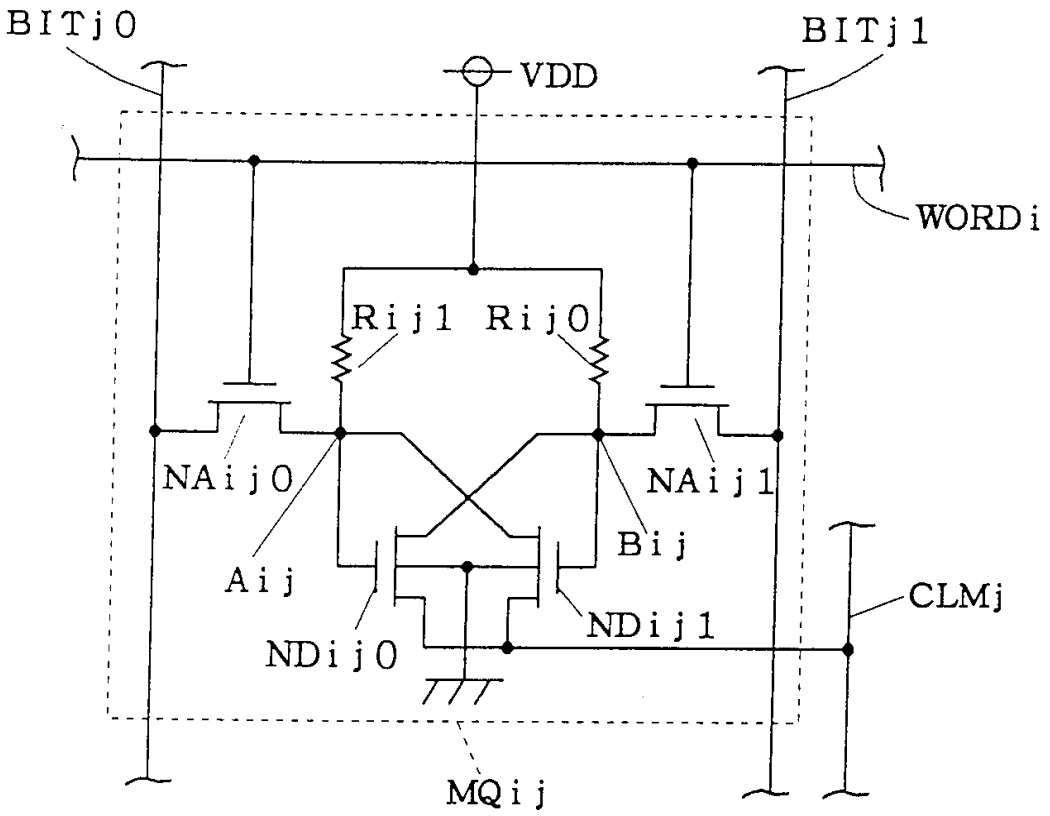

BITj0
BITj1
VDD
WORDi
Rij1
Rij0
NAij0
NAij1
Aij
Bij
NDij1
NDij0
CLMj
MQij

图 4

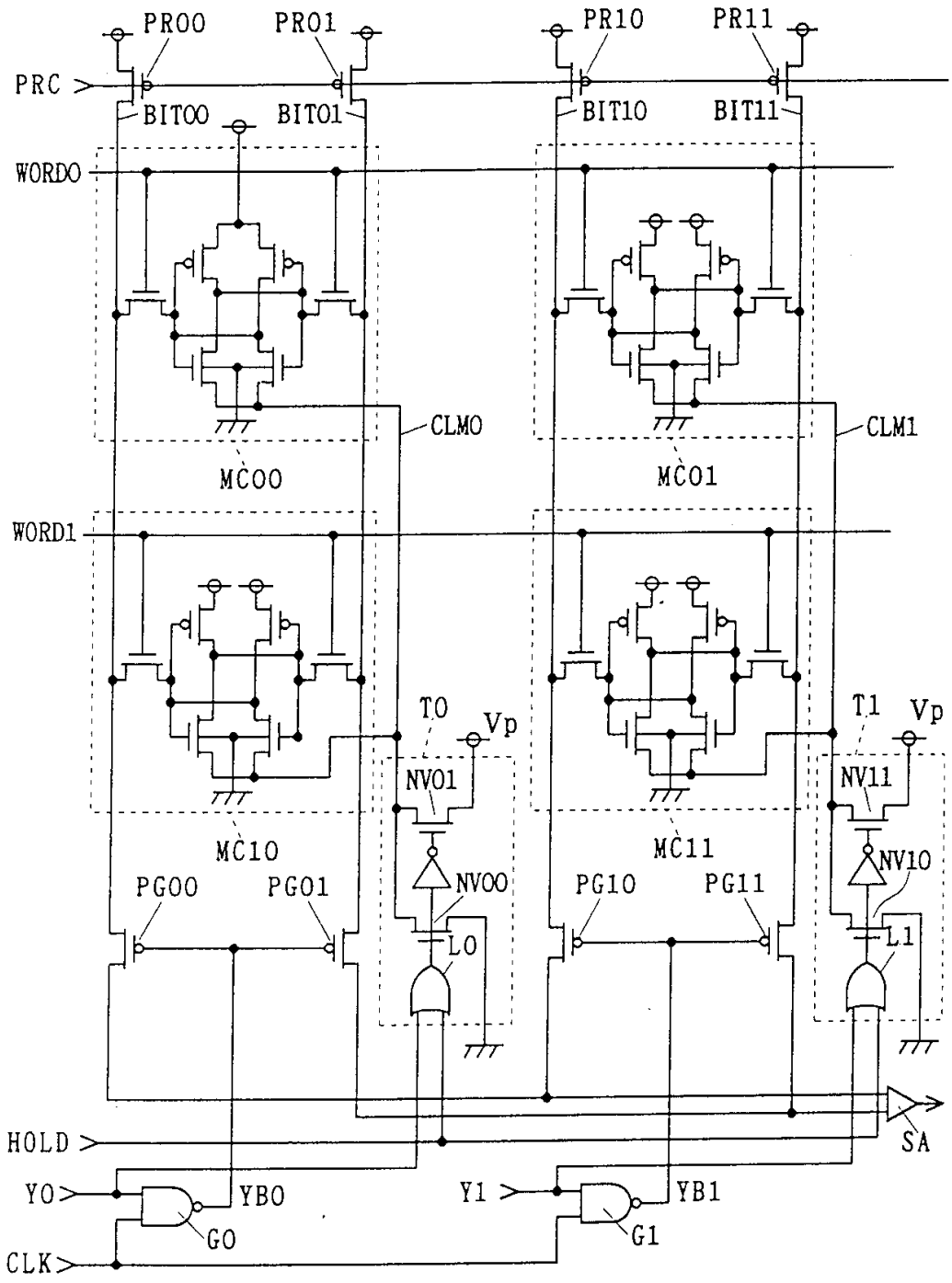

PR00
PR01
PR10
PR11
PRC
BIT00
BIT01
BIT10
BIT11
WORD0
CLM0
CLM1
MC00
MC01
WORD1
T0
Vp
T1
Vp
NV01
NV11
MC10
MC11
NV00
NV10
PG00
PG01
PG10
PG11
L0
L1
HOLD
SA
Y0
YB0
Y1
YB1
G0
G1
CLK

图 5

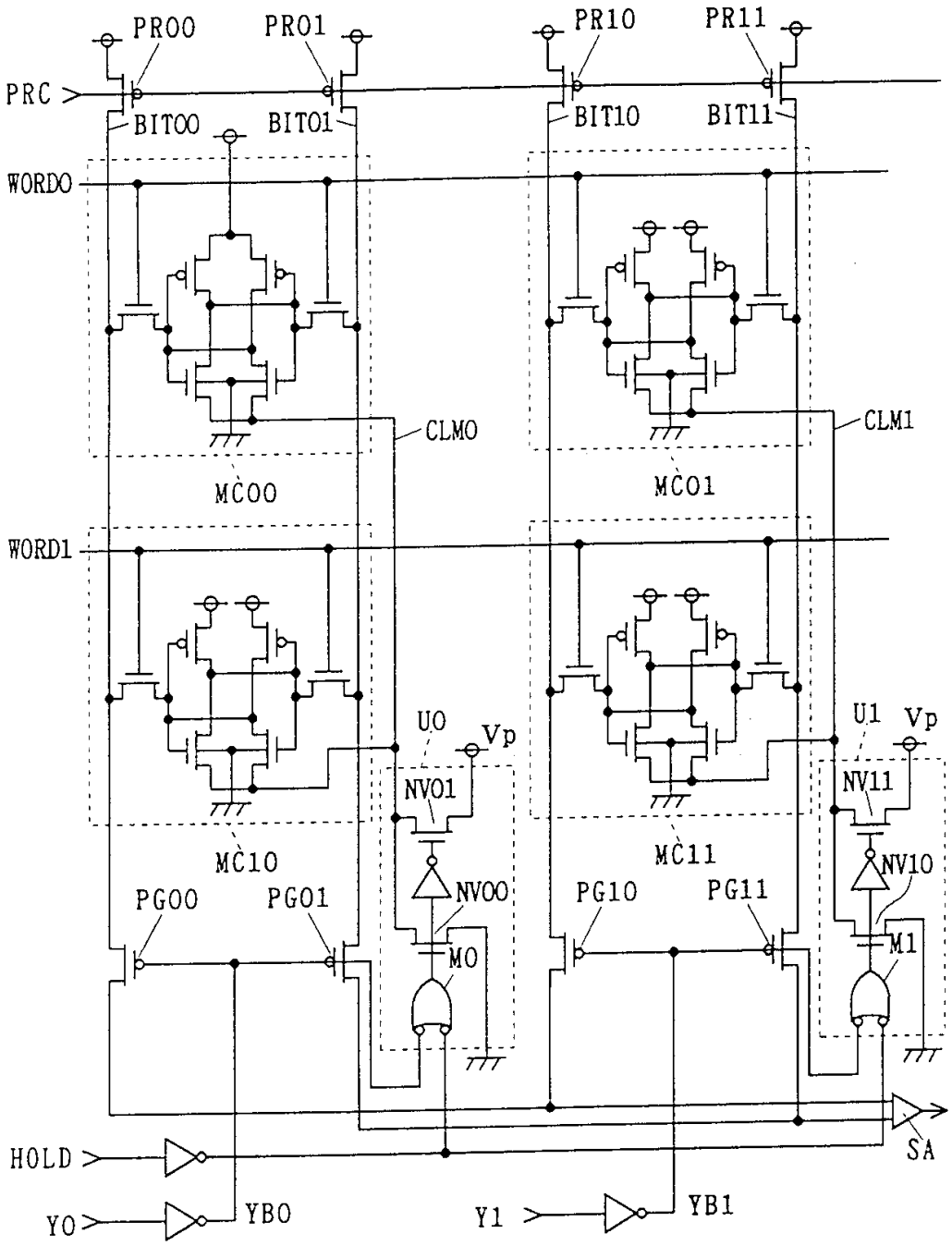

PR00
PR01
PR10
PR11
PRC
BIT00
BIT01
BIT10
BIT11
WORD0
WORD1
CLM0
CLM1
MC00
MC01
MC10
MC11
U0
Vp
U1
Vp
NV01
NV00
NV11
NV10
PG00
PG01
PG10
PG11
M0
M1
HOLD
SA
Y0
YB0
Y1
YB1

图 6

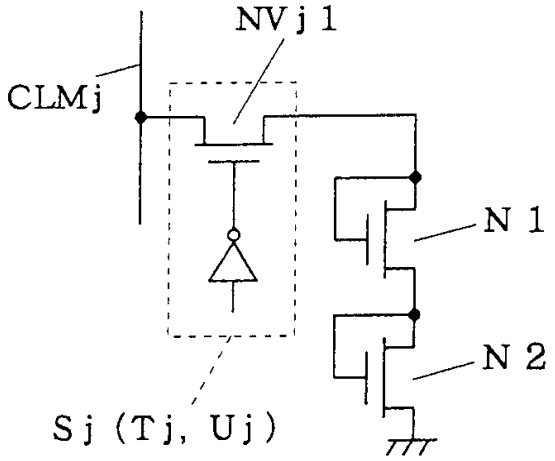


图 7

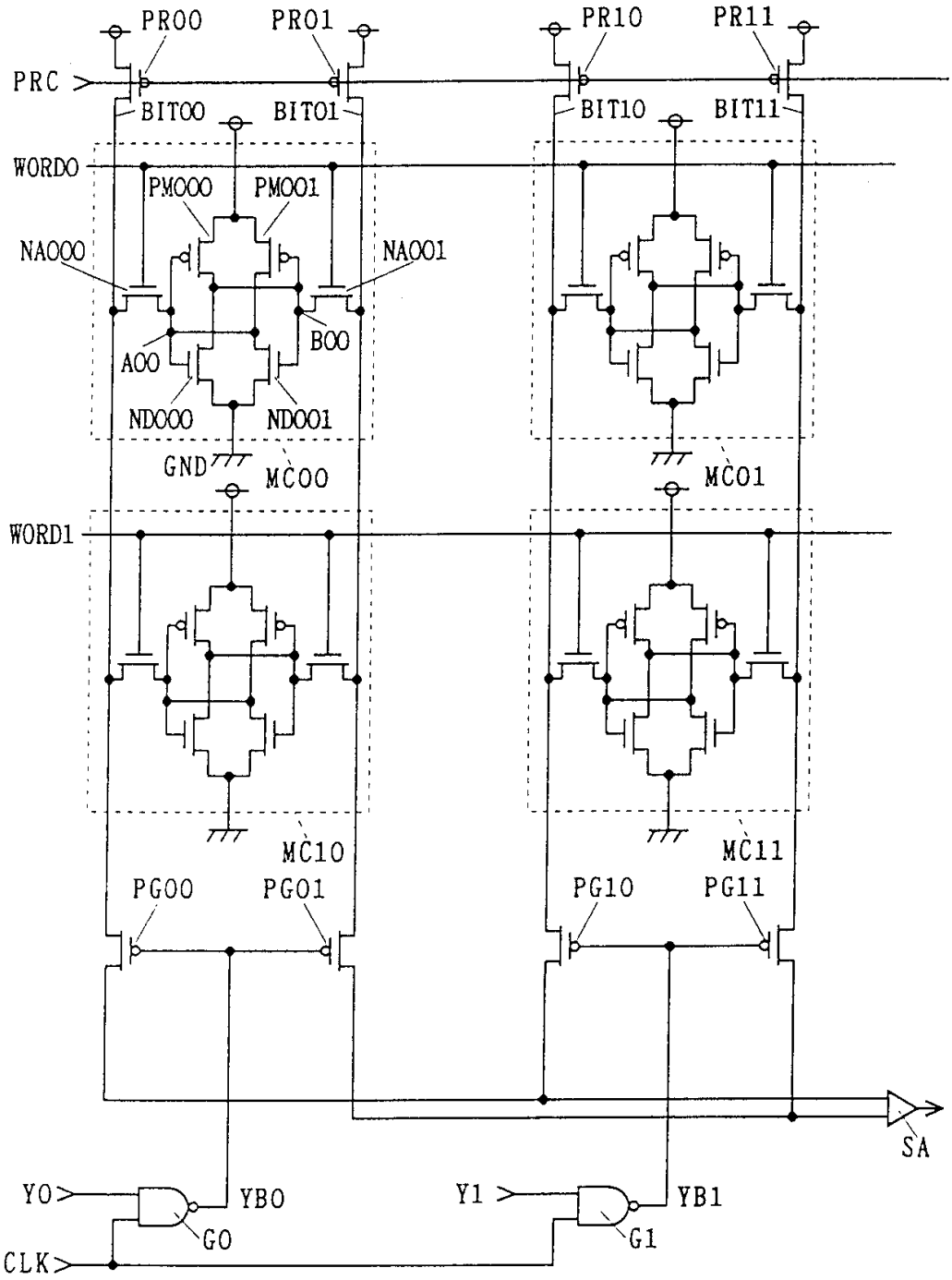
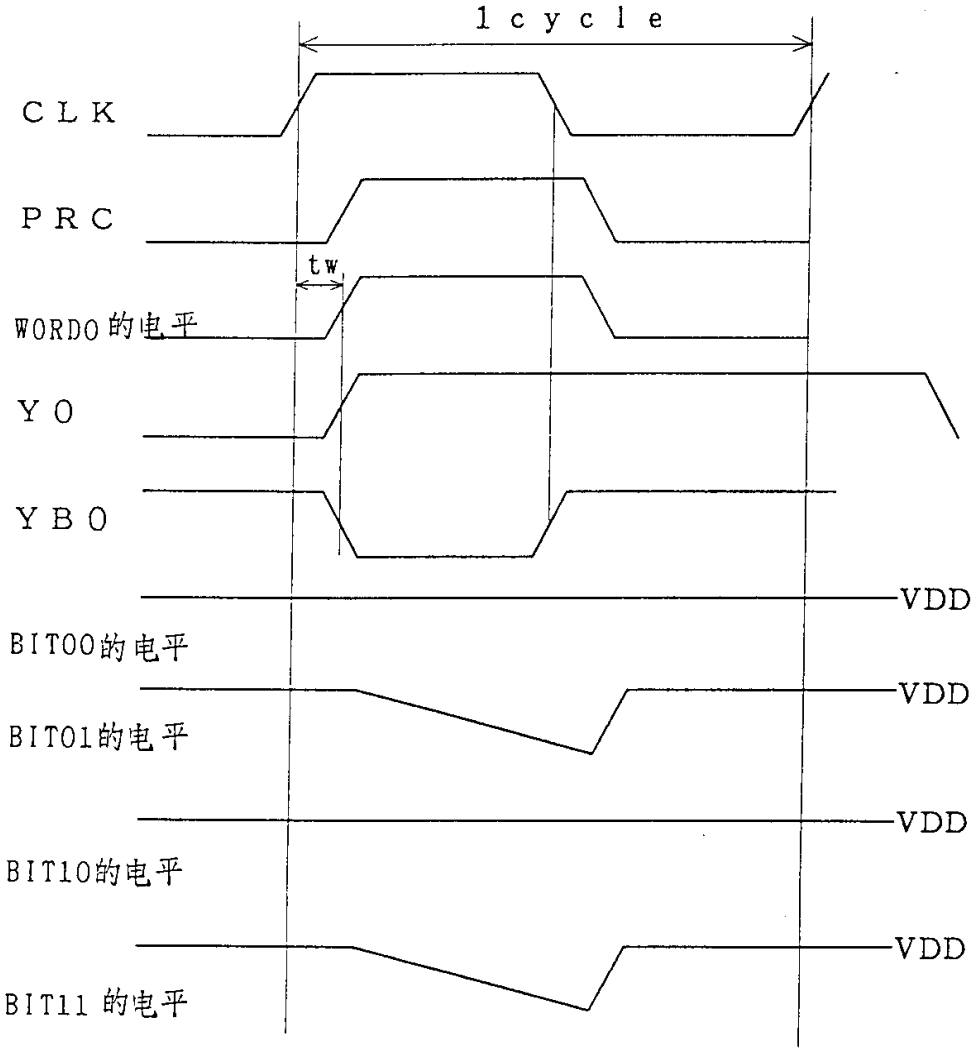

PR00
PR01
PR10
PR11
PRC
BIT00
BIT01
BIT10
BIT11
WORD0
PM000
PM001
NA000
NA001
B00
A00
ND000
ND001
GND
MC00
MC01
WORD1
MC10
MC11
PG00
PG01
PG10
PG11
SA
Y0
YB0
G0
Y1
YB1
G1
CLK

图 8


1 c y c l e
C L K
P R C
tw
WORDO 的电平
Y O
Y B O
VDD
BIT00的电平
VDD
BIT01的电平
VDD
BIT10的电平
VDD
BIT11 的电平