(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0132714
(43) 공개일자 2015년11월26일

(51) 국제특허분류(Int. Cl.)
H03L 7/08 (2006.01) *G11C 11/407* (2006.01)
(21) 출원번호 10-2014-0058756
(22) 출원일자 2014년05월16일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
유정택
경기도 구리시 인창동 603-204
김철우
서울 성북구 길음로 16, 605동 1301호 (길음동, 길음뉴타운)
송준영
서울 동대문구 약령시로 25, 103동 902호 (제기동, 안암골벽산아파트)
(74) 대리인
특허법인신성

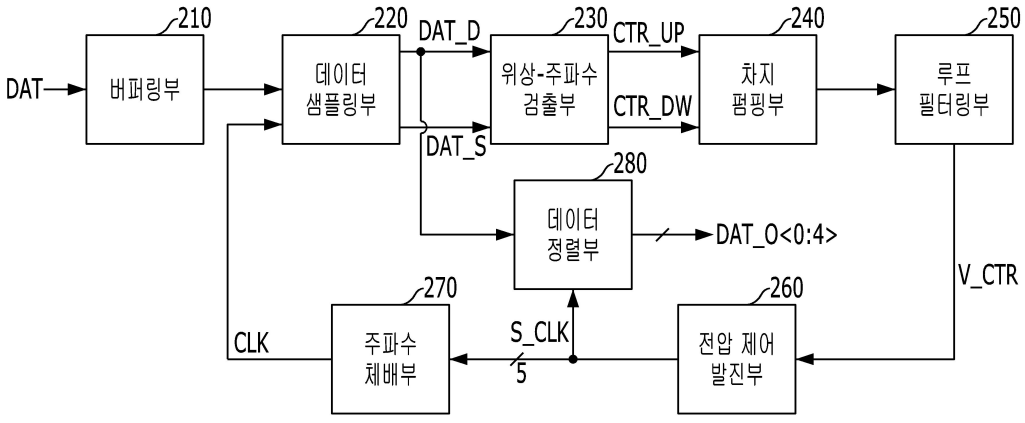
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **클럭 데이터 복원 회로 및 그의 동작 방법**

(57) 요 약

제1 주파수를 가지는 데이터를 입력받아 클럭 신호에 응답하여 샘플링하기 위한 데이터 샘플링부, 상기 데이터 샘플링부의 출력 신호의 위상-주파수를 검출하고, 검출 결과에 대응하는 제어 전압을 생성하기 위한 제어 전압 생성부, 상기 제어 전압을 입력받아 상기 제1 주파수보다 낮은 제2 주파수를 가지며 서로 예정된 위상 차이를 가지는 멀티 클럭 신호를 생성하기 위한 전압 제어 발진부, 및 상기 멀티 클럭 신호 각각의 위상에 대응하는 상기 제1 주파수의 상기 클럭 신호를 생성하기 위한 주파수 체배부를 구비하는 클럭 데이터 복원 회로가 제공된다.

대 표 도 - 도2



명 세 서

청구범위

청구항 1

제1 주파수를 가지는 데이터를 입력받아 클럭 신호에 응답하여 샘플링하기 위한 데이터 샘플링부;

상기 데이터 샘플링부의 출력 신호의 위상-주파수를 검출하고, 검출 결과에 대응하는 제어 전압을 생성하기 위한 제어 전압 생성부;

상기 제어 전압을 입력받아 상기 제1 주파수보다 낮은 제2 주파수를 가지며 서로 예정된 위상 차이를 가지는 멀티 클럭 신호를 생성하기 위한 전압 제어 발진부; 및

상기 멀티 클럭 신호 각각의 위상에 대응하는 상기 제1 주파수의 상기 클럭 신호를 생성하기 위한 주파수 체배부

를 구비하는 클럭 데이터 복원 회로.

청구항 2

제1항에 있어서,

상기 멀티 클럭 신호에 응답하여 상기 데이터를 병렬로 정렬하기 위한 데이터 정렬부를 더 구비하는 클럭 데이터 복원 회로.

청구항 3

제1항에 있어서,

상기 제어 전압과 예정된 전압 레벨을 비교하여 모드 제어 신호를 생성하기 위한 모드 제어부를 더 구비하는 클럭 데이터 복원 회로.

청구항 4

제3항에 있어서,

상기 제어 전압 생성부는 상기 모드 제어 신호에 응답하여 제어 전압을 리셋하는 것을 특징으로 하는 클럭 데이터 복원 회로.

청구항 5

제3항에 있어서,

상기 전압 제어 발진부는 상기 제어 전압에 따라 예정된 기울기의 주파수를 가지는 멀티 클럭 신호를 생성하고, 상기 모드 제어 신호에 응답하여 상기 예정된 기울기를 가변하는 것을 특징으로 하는 클럭 데이터 복원 회로.

청구항 6

제3항에 있어서,

상기 전압 제어 발진부는,

상기 제어 전압에 응답하여 상기 예정된 기울기에 대응하는 지연량이 반영되는 다수의 단위 지연 셀; 및

상기 모드 제어 신호에 응답하여 상기 기울기를 가변하기 위한 선택 제어 신호를 생성하기 위한 제어 신호 생성부를 구비하는 것을 특징으로 하는 클럭 데이터 복원 회로.

청구항 7

제6항에 있어서,

상기 다수의 단위 지연 셀 각각은,

상기 제어 전압에 대응하는 전류량를 형성하고, 입력 신호를 상기 전류량에 대응하는만큼 지연시켜 출력하기 위한 기본 지연 셀; 및

상기 선택 제어 신호에 응답하여 상기 기본 지연 셀에 추가 전류량을 형성하기 위한 전류 제어부를 구비하는 것을 특징으로 하는 클럭 데이터 복원 회로.

청구항 8

제3항에 있어서,

상기 제어 전압 생성부는 상기 모드 제어 신호에 응답하여 자신의 회로 특성을 가변하는 것을 특징으로 하는 클럭 데이터 복원 회로.

청구항 9

제1항에 있어서,

상기 데이터 샘플링부는 상기 제1 주파수에 응답하여 동작하고, 상기 전압 제어 발진부는 상기 제2 주파수에 응답하여 동작하는 것을 특징으로 하는 클럭 데이터 복원 회로.

청구항 10

제1 주파수의 데이터에 응답하여 제어 전압을 생성하는 단계;

상기 제어 전압에 응답하여 상기 제1 주파수보다 낮은 제2 주파수의 멀티 클럭 신호를 생성하는 단계;

상기 멀티 클럭 신호를 체배하여 상기 제1 주파수의 클럭 신호를 생성하는 단계; 및

상기 클럭 신호에 응답하여 상기 데이터를 정렬하는 단계를 포함하되,

상기 제2 주파수는 상기 제1 주파수에 따라 서로 다른 주파수 기울기를 가지는 것을 특징으로 하는 클럭 데이터 복원 회로의 동작 방법.

청구항 11

제10항에 있어서,

상기 제어 전압을 예정된 전압과 비교하여 모드 제어 신호를 생성하는 단계를 더 포함하는 클럭 데이터 복원 회로의 동작 방법.

청구항 12

제11항에 있어서,

상기 멀티 클럭 신호를 생성하는 단계는 상기 모드 제어 신호에 응답하여 상기 제2 주파수의 기울기를 가변하는 것을 특징으로 하는 클럭 데이터 복원 회로의 동작 방법.

청구항 13

제11항에 있어서,

상기 멀티 클럭 신호를 생성하는 단계는 상기 모드 제어 신호에 응답하여 상기 제2 주파수의 대역폭을 가변하는 것을 특징으로 하는 클럭 데이터 복원 회로의 동작 방법.

청구항 14

제11항에 있어서,

상기 모드 제어 신호에 응답하여 상기 제어 전압을 생성하는 단계를 리셋하는 단계를 더 포함하는 클럭 데이터 복원 회로의 동작 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 설계 기술에 관한 것으로, 특히 클럭 데이터 복원 회로에 관한 것이다.

배 경 기 술

[0002] 일반적으로 DDR SDRAM(Double Data Rate Synchronous DRAM)을 비롯한 반도체 장치는 외부로부터 데이터와 클럭을 입력받아 다양한 동작을 수행한다. 여기서, 클럭은 반도체 장치 내에서 여러 가지 용도로 사용되며, 데이터를 동기화시키기 위한 용도로도 사용된다. 따라서, 고속의 데이터를 처리하기 위해서는 그에 대응하는 고속의 클럭이 요구된다. 하지만, 고속의 데이터와 고속의 클럭을 송신 회로에서 수신 회로까지 동일한 시점에 전달하는 것은 매우 어려운 일이며, 고속의 데이터를 고속의 클럭에 동기화시키기 위하여 미세하게 조절하는 것 또한 매우 러여운 일이다. 그래서, 요즈음에는 데이터와 클럭을 모두 전송하는 것이 아니라 데이터만을 전송하여 데이터와 클럭을 모두 복원하는 기술이 이용되고 있으며, 이러한 전송 동작을 가능하게끔 하는 회로가 바로 클럭 데이터 복원 회로이다.

[0003] 도 1 은 기존의 클럭 데이터 복원 회로를 설명하기 위한 블록도이다.

[0004] 도 1 을 참조하면, 클럭 데이터 복원 회로는 버퍼링부(110)와, 데이터 샘플링부(120)와, 위상-주파수 검출부(130)와, 차지 펌핑부(140)와, 루프 필터링부(150), 및 전압 제어 발진부(160)를 구비한다.

[0005] 버퍼링부(110)는 데이터(DAT)를 입력받아 버퍼링하여 출력한다. 데이터 샘플링부(120)는 클럭 신호(CLK)에 응답하여 버퍼링부(110)에서 출력되는 데이터를 샘플링하여 출력하기 위한 것으로, 데이터 샘플링부(120)는 지연된 데이터(DAT_D)와 샘플링된 데이터(DAT_S)를 생성한다. 여기서, 샘플링된 데이터(DAT_S)는 버퍼링부(110)에서 출력된 데이터를 클럭 신호(CLK)에 샘플링한 데이터이고, 지연된 데이터(DAT_D)는 샘플링 동작을 수행하는 회로와 동일한 지연 시간을 버퍼링부(110)에서 출력된 데이터에 반영한 데이터이다.

[0006] 위상-주파수 검출부(130)는 지연된 데이터(DAT_D)와 샘플링된 데이터(DAT_S)의 위상-주파수를 비교하여 업 제어 신호(CTR_UP)와 다운 제어 신호(CTR_DN)를 생성한다. 예컨대, 지연된 데이터(DAT_D)가 샘플링된 데이터(DAT_S)보다 위상이 앞서는 경우 업 제어 신호(CTR_UP)가 활성화되고, 지연된 데이터(DAT_D)가 샘플링된 데이터(DAT_S)보다 위상이 뒤서는 경우 다운 제어 신호(CTR_DN)가 활성화된다. 이어서, 차지 펌핑부(140)는 업 제어 신호(CTR_UP)와 다운 제어 신호(CTR_DN)에 응답하여 차지 펌핑 동작 또는 디스 차징 동작을 수행하고, 루프 필터링부(150)는 차지 펌핑부(140)에 차징된 전하에 대응하는 제어 전압(V_CTR)을 생성한다.

[0007] 마지막으로, 전압 제어 발진부(160)는 제어 전압(V_CTR)에 대응하는 주파수의 클럭 신호(CLK)를 생성하고, 이렇

게 생성한 클럭 신호(CLK)는 데이터 샘플링부(120)에 제공된다.

[0008] 한편, 위에서 설명하였듯이 데이터 샘플링부(120)는 버퍼링부(110)의 출력 신호를 샘플링한다. 따라서, 데이터(DAT)의 주파수가 높아지게 되면, 클럭 신호(CLK) 역시 데이터(DAT)와 동일한 주파수가 되어야만 한다. 하지만, 요즈음 데이터(DAT)의 주파수가 점점 높아지고 있는 상황에서 이에 대응하는 주파수의 클럭 신호(CLK)를 생성하는 회로는 점점 한계에 도달하고 있다.

발명의 내용

해결하려는 과제

[0009] 입력되는 데이터의 주파수보다 낮은 주파수로 동작하는 클럭 데이터 복원 회로를 제공하고자 한다.

과제의 해결 수단

[0010] 본 발명의 실시예에 따른 데이터 복원 회로는, 제1 주파수를 가지는 데이터를 입력받아 클럭 신호에 응답하여 샘플링하기 위한 데이터 샘플링부; 상기 데이터 샘플링부의 출력 신호의 위상-주파수를 검출하고, 검출 결과에 대응하는 제어 전압을 생성하기 위한 제어 전압 생성부; 상기 제어 전압을 입력받아 상기 제1 주파수보다 낮은 제2 주파수를 가지며 서로 예정된 위상 차이를 가지는 멀티 클럭 신호를 생성하기 위한 전압 제어 발진부; 및 상기 멀티 클럭 신호 각각의 위상에 대응하는 상기 제1 주파수의 상기 클럭 신호를 생성하기 위한 주파수 체배부를 구비할 수 있다.

[0011] 바람직하게, 상기 데이터 샘플링부는 상기 제1 주파수에 응답하여 동작하고, 상기 전압 제어 발진부는 상기 제2 주파수에 응답하여 동작하는 것을 특징으로 할 수 있다.

[0012] 본 발명의 다른 실시예에 따른 클럭 데이터 복원 회로의 동작 방법은, 제1 주파수의 데이터에 응답하여 제어 전압을 생성하는 단계; 상기 제어 전압에 응답하여 상기 제1 주파수보다 낮은 제2 주파수의 멀티 클럭 신호를 생성하는 단계; 상기 멀티 클럭 신호를 체배하여 상기 제1 주파수의 클럭 신호를 생성하는 단계; 및 상기 클럭 신호에 응답하여 상기 데이터를 정렬하는 단계를 포함하되, 상기 제2 주파수는 상기 제1 주파수에 따라 서로 다른 주파수 기울기를 가지는 것을 특징으로 할 수 있다.

[0013] 바람직하게, 상기 제어 전압을 예정된 전압과 비교하여 모드 제어 신호를 생성하는 단계를 더 포함할 수 있다.

[0014] 바람직하게, 상기 멀티 클럭 신호를 생성하는 단계는 상기 모드 제어 신호에 응답하여 상기 제2 주파수의 기울기를 가변하는 것을 특징으로 하고, 상기 멀티 클럭 신호를 생성하는 단계는 상기 모드 제어 신호에 응답하여 상기 제2 주파수의 대역폭을 가변하는 것을 특징으로 할 수 있다.

[0015] 본 발명의 실시예에 따른 클럭 데이터 복원 회로는 입력되는 데이터의 주파수보다 낮은 주파수로 동작하는 것이 가능하다.

발명의 효과

[0016] 클럭 데이터 복원 회로가 낮은 동작 주파수에서 동작함으로써 그만큼 전력 소모를 줄여줄 수 있는 효과를 얻을 수 있다.

도면의 간단한 설명

[0017] 도 1 은 기존의 클럭 데이터 복원 회로를 설명하기 위한 블록도이다.

도 2 는 본 발명의 실시예에 따른 클럭 데이터 복원 회를 설명하기 위한 블록도이다.

도 3 은 본 발명의 다른 실시예에 따른 클럭 데이터 복원 회로를 설명하기 위한 블록도이다.

도 4 는 도 3 의 모드 제어부(390)를 설명하기 위한 회로도이다.

도 5 는 도 3 의 전압 제어 발진부(360)를 설명하기 위한 도면이다.

도 6 은 도 5 의 단위 지연 셀을 설명하기 위한 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0019] 도 2 는 본 발명의 실시예에 따른 클럭 데이터 복원 회를 설명하기 위한 블록도이다.

[0020] 도 2 를 참조하면, 클럭 데이터 복원 회로는 버퍼링부(210)와, 데이터 샘플링부(220)와, 위상-주파수 검출부(230)와, 차지 펌핑부(240)와, 루프 필터링부(250)와, 전압 제어 발진부(260)와, 주파수 체배부(270), 및 데이터 정렬부(280)를 구비한다.

[0021] 버퍼링부(210)는 제1 주파수의 데이터(DAT)를 입력받아 버퍼링하여 출력한다. 여기서, 제1 주파수는 데이터(DAT)와 이후 설명될 소오스 클럭 신호(S_CLK)와 클럭 신호(CLK)와 관계를 설명하기 위한 것으로, 제2 주파수보다 높은 주파수를 가진다. 데이터 샘플링부(220)는 클럭 신호(CLK)에 응답하여 버퍼링부(210)에서 출력되는 데이터를 샘플링하여 출력하기 위한 것으로, 데이터 샘플링부(220)는 지연된 데이터(DAT_D)와 샘플링된 데이터(DAT_S)를 생성한다. 여기서, 샘플링된 데이터(DAT_S)는 버퍼링부(210)에서 출력된 데이터를 클럭 신호(CLK)에 샘플링한 데이터이고, 지연된 데이터(DAT_D)는 샘플링 동작을 수행하는 회로와 동일한 지연 시간을 버퍼링부(210)에서 출력된 데이터에 반영한 데이터이다.

[0022] 이어서, 위상-주파수 검출부(230)는 지연된 데이터(DAT_D)와 샘플링된 데이터(DAT_S)의 위상-주파수를 비교하여 업 제어 신호(CTR_UP)와 다운 제어 신호(CTR_DN)를 생성한다. 차지 펌핑부(240)는 업 제어 신호(CTR_UP)와 다운 제어 신호(CTR_DN)에 응답하여 차지 펌핑 동작 또는 디스 차징 동작을 수행하고, 루프 필터링부(250)는 차지 펌핑부(240)에 차징된 전하에 대응하는 제어 전압(V_CTR)을 생성한다.

[0023] 이어서, 전압 제어 발진부(260)는 제어 전압(V_CTR)에 대응하는 주파수의 소오스 클럭 신호(S_CLK)를 생성한다. 여기서, 소오스 클럭 신호(S_CLK)는 동일한 주파수인 제2 주파수를 가지며 각각 서로 다른 예정된 위상 차이를 가지는 멀티 클럭 신호를 의미한다. 도 2 에서는 소오스 클럭 신호(S_CLK)가 5 개인 것을 일례로 하였다. 즉, 데이터(DAT)의 제1 주파수가 3Gb/s 에 대응한다면, 소오스 클럭 신호(S_CLK)의 제2 주파수는 600Mb/s 에 대응한다.

[0024] 주파수 체배부(270)는 소오스 클럭 신호(S_CLK)를 입력받아 각 소오스 클럭 신호(S_CLK)의 위상에 대응하는 주파수 즉, 데이터(DAT)와 동일한 주파수인 제1 주파수의 클럭 신호(CLK)를 생성하고, 이렇게 생성한 클럭 신호(CLK)는 데이터 샘플링부(320)에 제공된다.

[0025] 마지막으로, 데이터 정렬부(280)는 소오스 클럭 신호(S_CLK)에 응답하여 지연된 데이터(DAT_D)를 병렬로 정렬하여 출력한다. 여기서는, 데이터 정렬부(280)의 출력 신호(DAT_O<0:4>)가 5 개인 것을 일례로 하였다.

[0026] 본 발명의 실시예에 따른 클럭 데이터 복원 회로는 제1 주파수의 데이터(DAT)를 입력받아 제1 주파수보다 낮은 제2 주파수의 소오스 클럭 신호(S_CLK)를 생성하고, 주파수 체배부(270)를 이용하여 제1 주파수의 클럭 신호(CLK)를 생성하는 것이 가능하다.

[0027] 한편, 도 2 의 전압 제어 발진부(260)는 데이터(DAT)의 제1 주파수보다 낮은 제2 주파수의 소오스 클럭 신호(S_CLK)를 생성한다. 도 1 의 전압 제어 발진부(160)의 경우 데이터(DAT)와 동일한 주파수의 클럭 신호(CLK)를 생성하기 위하여 그에 대응하는 주파수로 동작해야한다는 것을 고려한다면, 도 2 의 전압 제어 발진부(260)는 보다 낮은 주파수로 동작할 수 있으며, 이에 따라 회로 면적이나 소모하는 전력을 줄여주는 것이 가능하다. 그리고, 이러한 이점은 버퍼링부(210)와 데이터 샘플링부(220)와 주파수 체배부(270)를 제외한 나머지 회로에 모두 해당될 수 있다. 특히, 루프 필터링부(250)는 저항과 커패시터로 구성되는데 낮은 주파수로 동작하는 경우 그만큼 저항과 커패시터의 면적을 줄여주는 것이 가능하다.

[0028] 를 구성하는 커패시터 값과 저항 값을 가변한다는 것을 의미한

[0029] 도 3 은 본 발명의 다른 실시예에 따른 클럭 데이터 복원 회로를 설명하기 위한 블록도이다.

[0030] 도 3 을 참조하면, 클럭 데이터 복원 회로는 버퍼링부(310)와, 데이터 샘플링부(320)와, 위상-주파수 검출부

(330)와, 차지 펌핑부(340)와, 루프 필터링부(350)와, 전압 제어 발진부(360)와, 주파수 체배부(370), 데이터 정렬부(380), 및 모드 제어부(390)를 구비한다. 참고로, 버퍼링부(310)와, 데이터 샘플링부(320)와, 위상-주파수 검출부(330)와, 차지 펌핑부(340)와, 주파수 체배부(370), 데이터 정렬부(380) 각각은 도 2 의 구성 각각에 대응하기 때문에 자세한 설명은 생략하기로 한다.

[0031] 이하, 루프 필터링부(350)와, 전압 제어 발진부(360)와, 모드 제어부(390)에 대해서 설명하기로 한다.

[0032] 루프 필터링부(350)는 모드 제어 신호(CTR_MD)에 응답하여 제어 전압(V_CTR)을 리셋한다. 여기서, 제어 전압(V_CTR)을 모드 제어 신호(CTR_MD)에 응답하여 리셋하는 이유는 이후 설명하겠지만, 전압 제어 발진부(360)가 모드 제어 신호(CTR_MD)에 응답하여 주파수에 대응하는 예정된 기울기와 대역폭이 바뀌기 때문에 보다 안정적인 동작을 위함이다.

[0033] 전압 제어 발진부(360)는 제어 전압(V_CTR)에 응답하여 제2 주파수의 소오스 클럭 신호(S_CLK)을 생성한다. 여기서, 제2 주파수는 제어 전압(V_CTR)의 전압 레벨에 따라 주파수가 가변된다. 예컨대, 제어 전압(V_CTR)의 전압 레벨이 높아지면 그만큼 제1 주파수는 점점 높아지고, 제어 전압(V_CTR)의 전압 레벨이 낮아지면 그만큼 제1 주파수는 점점 낮아진다. 다시 말하면, 전압 제어 발진부(360)에서 생성되는 소오스 클럭 신호(S_CLK)의 제2 주파수는 제어 전압(V_CTR)에 따라 예정된 기울기를 가진다. 이후 다시 설명하겠지만, 전압 제어 발진부(360)는 모드 제어 신호(CTR_MD)에 응답하여 예정된 기울기를 가변한다.

[0034] 모드 제어부(390)는 제어 전압(V_CTR)과 예정된 전압 레벨을 비교하여 전압 제어 발진부(360)의 예정된 기울기를 가변하기 위한 모드 제어 신호(CTR_MD)를 생성한다.

[0035] 본 발명의 실시예에 따른 클럭 데이터 복원 회로는 제어 전압(V_CTR)의 전압 레벨에 따른 소오스 클럭 신호(S_CLK)의 주파수 가변량 즉, 주파수 기울기를 가변하는 것이 가능하다.

[0036] 도 4 는 도 3 의 모드 제어부(390)를 설명하기 위한 회로도이다.

[0037] 도 4 를 참조하면, 모드 제어부(390)는 제어 신호 생성부(410)와 리셋 신호 생성부(420)를 구비한다.

[0038] 제어 신호 생성부(410)는 제어 전압(V_CTR)에 응답하여 셋 동작을 수행하고, 리셋 신호(RST)에 응답하여 리셋 동작을 수행하여 모드 제어 신호(CTR_MD)를 생성한다. 리셋 신호 생성부(420)는 제어 전압(V_CTR)에 응답하여 전압 제어 발진부(360)를 리셋시키기 위한 리셋 신호(VCO_RST)를 생성한다. 참고로, 제어 전압(V_CTR)은 아날로그 특성을 가지며, 제어 신호 생성부(410)의 입력단의 문턱 전압을 기준으로 논리 레벨 값으로 출력될 수 있다. 즉, 제어 전압(V_CTR)과 문턱 전압을 비교하여 모드 제어 신호(CTR_MD)를 생성하는 것이 가능하다.

[0039] 도 5 는 도 3 의 전압 제어 발진부(360)를 설명하기 위한 도면이다.

[0040] 도 5 를 참조하면, 전압 제어 발진부(360)는 제어 전압(V_CTR)에 응답하여 예정된 기울기에 대응하는 지연량이 반영하여 소오스 클럭 신호(S_CLK<0:4>, /S_CLK<0:4>)를 생성하는 다수의 단위 지연 셀(510)과, 모드 제어 신호(CTR_MD)에 응답하여 예정된 기울기를 가변하기 위한 선택 제어 신호(VBPF, VBP, VBNF, VBN)를 생성하는 제어 신호 생성부(520)를 구비한다. 여기서, VBP, VBN 선택 제어 신호는 예정된 전압 레벨을 가지는 바이어스 전압으로, VBPF, VBNF 선택 제어 신호와 함께 도 6 에서 다시 설명하기로 한다.

[0041] 위에서 설명한 바와 같이, 전압 제어 발진부(360)는 제어 전압(V_CTR)에 따라 제2 주파수를 가지는 소오스 클럭 신호(S_CLK<0:4>, /S_CLK<0:4>)를 생성한다. 이때, 소오스 클럭 신호(S_CLK<0:4>, /S_CLK<0:4>)의 제2 주파수는 제어 전압(V_CTR)에 따라 예정된 기울기를 가지며, 이 제2 주파수의 예정된 기울기는 선택 제어 신호(VBPF, VBP, VBNF, VBN)에 따라 가변하는 것이 가능하다.

[0042] 도 6 은 도 5 의 단위 지연 셀을 설명하기 위한 회로도이다.

[0043] 도 6 을 참조하면, 단위 지연 셀은 제어 전압(V_CTR)에 대응하는 전류량을 형성하기 위한 기본 지연 셀(610)과, 선택 제어 신호(VBPF, VBP, VBNF, VBN)에 응답하여 기본 지연 셀(610)에 추가 전류량을 형성하기 위한 전류 제어부(620A, 620B)를 구비한다.

[0044] 이하, 간단한 회로 동작을 살펴보기로 한다. 설명의 편의를 위하여 VBP, BVN 선택 제어 신호가 활성화되어 있는 경우를 제1 동작 모드라 가정하고, VBPF, VBP, VBNF, VBN 선택 제어 신호가 활성화되어 있는 경우를 제2 동작 모드라 가정하기로 한다.

[0045] 우선, 제1 동작 모드에서 단위 지연 셀은 제어 전압(V_CTR)에 대응하는 지연량을 가진다. 제어 전압(V_CTR)의

전압 레벨이 높아질수록 지연량은 짧아지고, 제어 전압(V_CTR)의 전압 레벨이 낮아질수록 지연량은 길어진다. 여기서, 도 5 를 참조하면, 다수의 단위 지연 셀(510) 각각의 지연량이 짧아진다는 것은 그만큼 소오스 클럭 신호(S_CLK<0:4>)의 주파수가 높아진다는 것을 의미하고, 다수의 단위 지연 셀(510) 각각의 지연량이 길어진다는 것은 그만큼 소오스 클럭 신호(S_CLK<0:4>)의 주파수가 낮아진다는 것을 의미한다. 결국, 제1 동작 모드에서 소오스 클럭 신호(S_CLK<0:4>)는 제어 전압(V_CTR)의 전압 레벨에 따라 예정된 기울기로 주파수가 가변된다. 예컨대, 제1 동작 모드에서 소오스 클럭 신호(S_CLK<0:4>)의 주파수가 1.5Gb/s 에서 3Gb/s 의 대역폭을 가진다고 가정하기로 한다.

[0046] 다음으로 제2 동작 모드 역시 단위 지연 셀은 제어 전압(V_CTR)에 대응하는 지연량을 가진다. 하지만, 제2 동작 모드에서는 VBPF, VBP, VBNF, VBN 선택 제어 신호가 모두 활성화되어 있기 때문에 제2 동작 모드의 다수의 단위 지연 셀(510) 각각의 지연량은 제1 동작 모드의 지연량보다 짧아지게 된다. 결국, 제2 동작 모드에서 소오스 클럭 신호(S_CLK<0:4>)는 제어 전압(V_CTR)의 전압 레벨에 따라 제1 동작 모드와 다른 기울기로 주파수가 가변된다. 따라서, 제2 동작 모드에서 소오스 클럭 신호(S_CLK<0:4>)의 주파수는 제1 동작 모드보다 높은 3Gb/s 에서 6Gb/s 의 대역폭을 가질 수 있다.

[0047] 본 발명의 실시예에 따른 클럭 데이터 복원 회로는 대역폭이 서로 다른 제1 동작 모드와 제2 동작 모드를 가진다. 따라서, 입력되는 데이터(DAT)의 주파수가 비교적 낮은 경우 제1 동작 모드로 진입하여 소비 전력을 줄여주는 것이 가능하고, 입력되는 데이터(DAT)의 주파수가 비교적 높은 경우 그에 맞게 대역폭을 조절하여 원하는 클럭 데이터 복원 동작을 수행하는 것이 가능하다.

[0048] 전술한 바와 같이, 본 발명의 실시예에 따른 클럭 데이터 복원 회로는 구성되는 각각의 구성요소 중 대부분의 구성이 입력되는 데이터(DAT)의 주파수보다 낮은 주파수로 동작하기 때문에 그만큼 전력을 줄여주는 것이 가능하다. 또한, 입력되는 데이터(DAT)에 따라 대역폭을 조절하는 것이 가능하기 때문에 클럭 데이터 복원 회로의 동작 범위를 넓게 해주는 것이 가능하다.

[0049] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 이상에서 설명한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 여러 가지 치환, 변형 및 변경으로 다양한 실시예가 가능함을 이해할 수 있을 것이다.

[0050] 또한, 전술한 실시예에서는 도 3 에서 볼 수 있듯이, 루프 필터링부(350)가 모드 제어 신호(CTR_MD)에 응답하여 제어 전압(V_CTR)을 리셋하는 것을 일례로 하였다. 하지만, 본 발명은 모드 제어 신호(CTR_MD)에 응답하여 전압 제어 발진부(260)의 회로 특성을 바꾸어 주파수 기울기를 제어한 것과 마찬가지로 모드 제어 신호(CTR_MD)에 응답하여 루프 필터링부(250)의 회로 특성을 가변하여 제1 및 제2 동작 모드에 최적화되도록 제어하는 것 역시 가능하다. 여기서, 회로 특성을 가변한다는 것은 루프 필터링부(250)를 구성하는 커패시터 값과 저항 값을 가변한다는 것을 의미한다.

[0051] 전술한 실시예에서 예시한 논리 게이트 및 트랜지스터는 입력되는 신호의 극성에 따라 그 위치 및 종류가 다르게 구현되어야 할 것이다.

부호의 설명

[0052] 210 : 버퍼링부 220 : 데이터 샘플링부

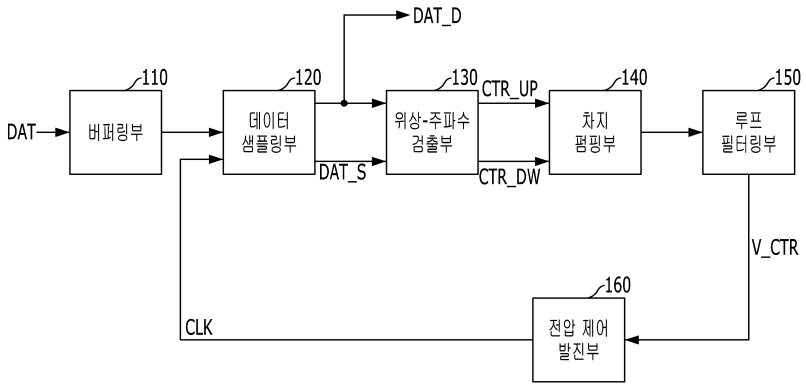
230 : 위상-주파수 검출부 240 : 차지 펌핑부

250 : 루프 필터링부 260 : 전압 제어 발진부

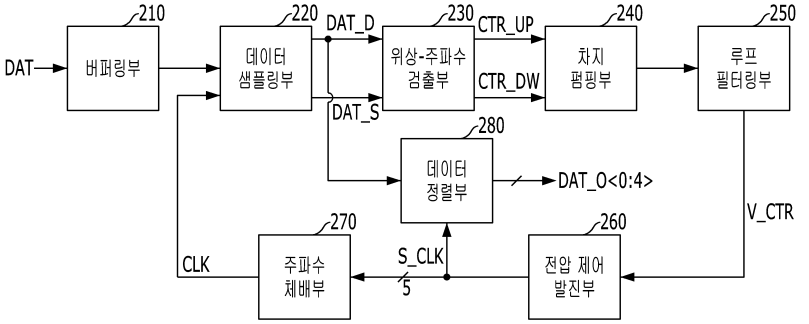
270 : 주파수 체배부 280 : 데이터 정렬부

도면

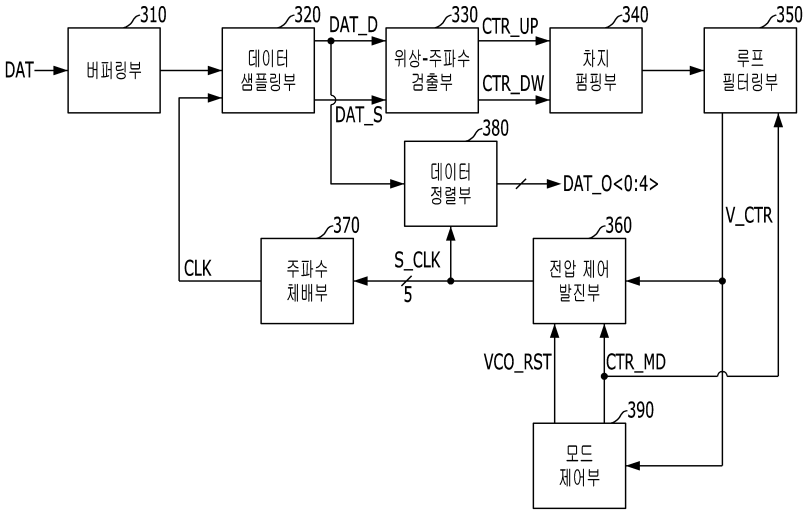
도면1



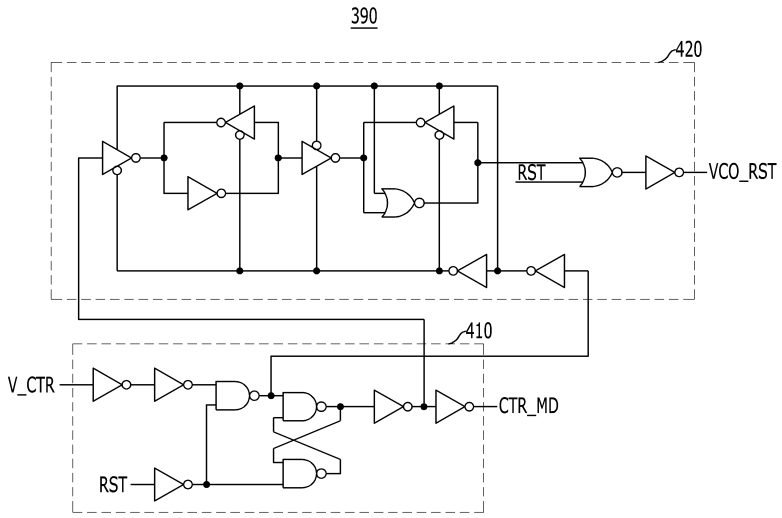
도면2



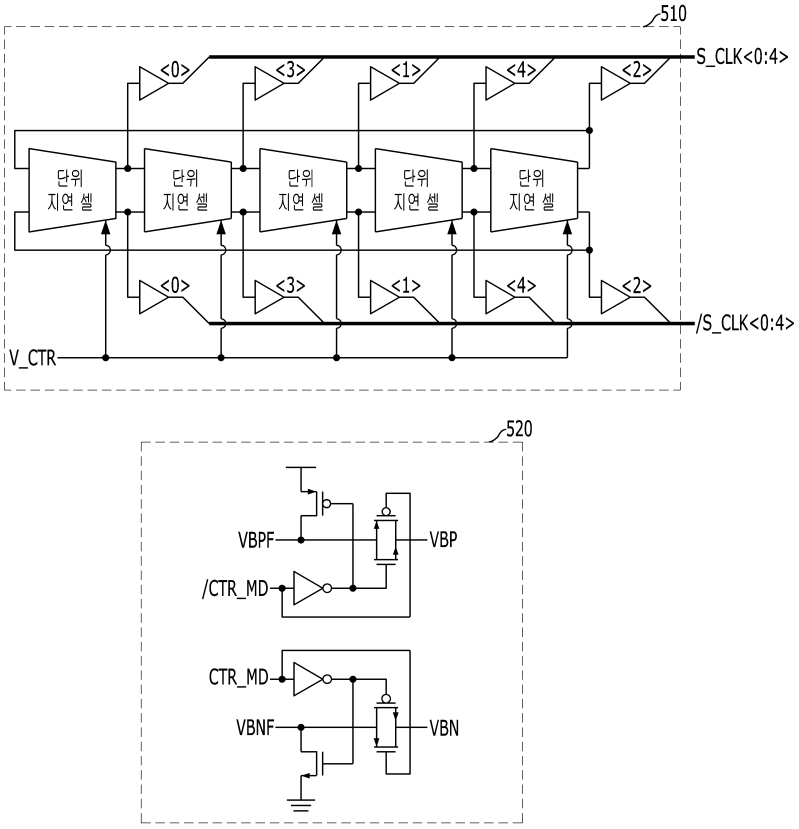
도면3



도면4


390
420
RST
VCO_RST
410
V_CTR
CTR_MD
RST

도면5


510
S_CLK<0:4>
<0>
<3>
<1>
<4>
<2>
단위 지연 셀
단위 지연 셀
단위 지연 셀
단위 지연 셀
단위 지연 셀
<0>
<3>
<1>
<4>
<2>
/S_CLK<0:4>
V_CTR
520
VBPF
VBP
/CTR_MD
CTR_MD
VBNF
VBN

도면6

