

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2017年1月12日(12.01.2017)



(10) 国際公開番号  
WO 2017/006552 A1

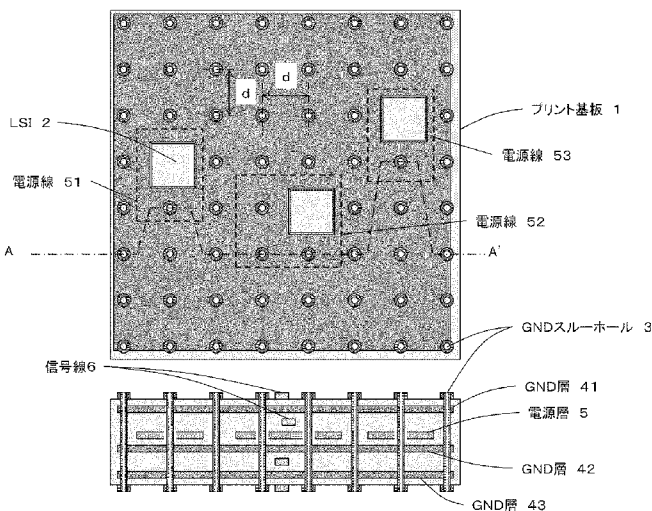
- (51) 国際特許分類:  
H05K 3/46 (2006.01) H05K 9/00 (2006.01)  
H05K 1/02 (2006.01)
- (21) 国際出願番号: PCT/JP2016/003168
- (22) 国際出願日: 2016年7月4日(04.07.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2015-137091 2015年7月8日(08.07.2015) JP
- (71) 出願人: 日本電気株式会社(NEC CORPORATION)  
[JP/JP]; 〒1088001 東京都港区芝五丁目7番1号  
Tokyo (JP).
- (72) 発明者: 柏倉 和弘(KASHIWAKURA, Kazuhiro);  
〒1088001 東京都港区芝五丁目7番1号日本電  
気株式会社内 Tokyo (JP). 上村 文子(UEMURA,  
Ayako); 〒1088001 東京都港区芝五丁目7番1号  
日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 下坂 直樹(SHIMOSAKA, Naoki); 〒  
1088001 東京都港区芝五丁目7番1号日本電気  
株式会社内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,  
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,  
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,  
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,  
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,  
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,  
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,  
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,  
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー  
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー  
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,  
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,  
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),  
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,  
ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: PRINTED BOARD

(54) 発明の名称: プリント基板



- 1 Printed board
- 3 Ground through hole
- 5 Power-source layer
- 6 Signal line
- 41, 42, 43 Ground layer
- 51, 52, 53 Power-source line

(57) Abstract: The purpose of the present invention is to provide a printed board that can suppress EMI emissions from power-source wiring. In order to achieve said purpose, this printed board is characterized in that the printed board is provided with a plurality of ground layers, which sandwich a power-source layer, in that at least the outer circumference of the printed board is provided with through holes that connect the plurality of ground layers, and in that the through holes are provided at intervals that correspond to the wavelength associated with the maximum frequency of electromagnetic waves that are to be suppressed. This printed circuit board is also characterized in that a power-source layer that is provided to the printed board is sandwiched from above and below by ground layers, in that a plurality of through holes connect the upper and lower ground layers, and in that the through holes are provided at the power-source layer and in the vicinity thereof at intervals that correspond to the wavelength associated with the maximum frequency of electromagnetic waves that are to be suppressed.

(57) 要約: 本発明は電源配線からのEMI放射の抑制が可能なプリント基板を提供することを目的とする。そのために本発明のプリント基板は、プリント基板にグランド層を複数層設け、前記複数層のグランド層で電源層を挟み、少なくとも前記プリント基板の外周に前

記複数層のグランド層を接続するスルーホールを設け、前記スルーホールは抑制したい電磁波の最大周波数に対応する波長に応じた間隔で設けることを特徴とする。また本発明のプリント基板は、プリント基板に設けた電源層の上下をグランド層で挟み、上下のグランド層の間に複数のスルーホールを接続し、前記スルーホールは前記電源層とその近傍に、抑制したい電磁波の最大周波数に対応する波長に応じた間隔を開けて設けることを特徴とする。

WO 2017/006552 A1

## 明 細 書

発明の名称：プリント基板

### 技術分野

[0001] 本発明は、E M I (Electro-Magnetic Interference) を抑制するプリント基板に関し、特に電源雑音に起因するE M Iを抑制するプリント基板に関する。

### 背景技術

[0002] 近年、情報通信機器の大容量化は、信号の高速化や機器の大型化を招き電源雑音の高周波化、機器内部の共振モードの多用化を引き起こし、V C C I (Voluntary Control Council for Interference by Information Technology Equipment) などのE M I規格を準拠するのが困難になっている。

[0003] 以下に説明するようにE M I低減技術が提案されているが、解決には至っていない。

[0004] 特許文献1 (特開2013-254759号公報) には、回路基板の外周にG N D配線をリング状に配し、基板内部にあるG N D層と複数箇所のG N Dビアを介して接続する技術が開示されている(同文献[0014]~[0019]段落、図1等)。G N Dビアが配置されているのである程度のE M Iの抑制効果はあるものの、G N D配線がリング状で大きな隙間がありその隙間から電磁波が漏れるので、電磁波の遮断には効果が乏しい。

[0005] また特許文献2 (特開平10-270862号公報) 及び特許文献3 (特開2001-53449号公報) には、L S I (L a r g e S c a l e I n t e g r a t i o n) の給電配線にインダクタを持たせ外部電源とのインピーダンスを高め電源雑音の外部への伝搬を抑制する技術が開示されている(特許文献2では[0023]、[0025]段落、図2、3。特許文献3では[0036]~[0037]段落、図2、3)。しかし電源雑音は電源-G N D間を伝送線路と化し周囲に電磁波を伝搬させるため、根本的なE M I抑制は難しい。

[0006] また特許文献4 (特開平11-220263号公報) には、電磁波ノイズの低減を図

ったプリント配線板が記載されている。プリント配線板1は、信号パターン2が配線された信号層3と電源パターン4が配線された電源層5を中層に配設している。信号層3と電源層5は絶縁体6の中に埋設されている。プリント配線板1の表面（上面）および裏面（下面）にはグラウンドパターン7、8が配設されている。表面と裏面のグラウンドパターンは、プリント配線板1の全体に亘ってスルーホール11によって接続されている。（[0008]～[0011]段落、図1、図2）また信号層と電源層の周囲に環状のグラウンドパターンを形成して電磁ノイズを防止することも記載されている（[0020]～[0024]段落、図13、14）

また特許文献5（特開2007-234500号公報）にはフレキシブル基板に形成した信号配線からの電磁波を遮断する技術が記載されている。複数の高速伝送路（信号配線）を配列するベース11の表面と裏面の両方にグラウンドパターンを形成し、この2つのグラウンドパターンを複数のスルーホール1sで接続している（[0048]～[0053]段落、図1、3、5）。また複数のスルーホール1sの間隔は特定電磁波の1/2波長以下にすることで特定電磁波以上の波長を持つ電磁波を遮断することも記載されている（[0063]段落）。

## 先行技術文献

## 特許文献

- [0007] 特許文献1：特開2013-254759号公報  
特許文献2：特開平10-270862号公報  
特許文献3：特開2001-53449号公報  
特許文献4：特開平11-220263号公報  
特許文献5：特開2007-234500号公報  
特許文献6：特開2000-216509号公報

## 発明の概要

## 発明が解決しようとする課題

[0008] 特許文献4（特開平11-220263号公報）は電源配線と信号配線の両方のE M I 防止を目的としている。また特許文献5（特開2007-234500号公報）は信号配線からの電磁波を抑制することを目的としており、電源配線からの電磁波の抑制を目的としていない。

[0009] 特許文献4、5はいずれも信号線からの電磁波の抑制を目的としている。しかし本発明者によれば、信号線におけるエネルギーの伝搬は殆ど伝送方向（配線の長さ方向）であり、信号配線に対して横方向（配線の幅方向と厚さ方向）の電磁波の流れは極めて小さい。この電磁波はエバネッセント波と呼ばれるが、エバネッセント波のエネルギーは小さく狭い領域しか持続しない。このような事象からE M I の主要因は電源配線である。

[0010] 本発明の目的は、以上述べた問題点を解決し、電源線からのE M I 放射の抑制が可能なプリント基板を提供することである。

#### 課題を解決するための手段

[0011] 本発明は、プリント基板にグランド層を複数層設け、前記複数層のグランド層で電源層を挟み、少なくとも前記プリント基板の外周に前記複数層のグランド層を接続するスルーホールを設け、前記スルーホールは抑制したい電磁波の最大周波数に対応する波長に応じた間隔で設けることを特徴とするプリント基板である。

[0012] また本発明は、プリント基板に設けた電源層の上下をグランド層で挟み、上下のグランド層の間に複数のスルーホールを接続し、前記スルーホールは前記電源層とその近傍に、抑制したい電磁波の最大周波数に対応する波長に応じた間隔を開けて設けることを特徴とするプリント基板である。

#### 発明の効果

[0013] 本発明によれば、電源線からのE M I 放射の抑制が可能なプリント基板を提供することが可能になる。

#### 図面の簡単な説明

[0014] [図1]本発明の第1の実施形態のプリント基板を示す平面図及び断面図である。

[図2]プリント基板から発生するEMI放射のメカニズムを説明するための模式的断面図である。

[図3]GNDスルーホールの電磁波遮断のメカニズムを示すための図である。

[図4]第1の実施形態における電磁界解析の解析モデルを示す図である。

[図5]GNDスルーホールを形成していない場合のプリント基板内外の電界強度の解析結果を示す図である。

[図6]図5のGNDスルーホールを形成していない場合に、基板外の観測点にプローブを置き、そこでの周波数と電界強度との関係を解析した結果である。

[図7]GNDスルーホールを基板外周に1層(1列)だけ形成した場合のプリント基板内外の電界強度の解析結果を示す図である。

[図8]図7の場合を図6と同様に解析した図である。

[図9]基板全体にGNDスルーホールを形成した場合の、プリント基板内外の電界強度の解析結果を示す図である。

[図10]図10は図9の場合を図6と同様に解析した図である。

[図11]GNDスルーホールを基板外周に2周(2列)形成した場合の、プリント基板内外の電界強度の解析結果を示す図である。

[図12]GNDスルーホールを基板外周に3周(3列)形成した場合の、プリント基板内外の電界強度の解析結果を示す図である。

[図13]図11、12のGNDスルーホールを2周、3周形成した場合に、基板外の観測点にプローブを置き、そこでの周波数と電界強度との関係を解析した結果である。

[図14]本発明の第3の実施形態を示す平面図と断面図である。

[図15]本発明の第3の実施形態で上方のGND層を一部にだけ形成した場合を示す平面図と断面図である。

### 発明を実施するための形態

[0015] (第1の実施形態)

図1～図5を用いて本発明の第1の実施形態を説明する。

(構成の説明)

図1は本発明の第1の実施形態のプリント基板1を示す平面図及び断面図である。断面図は平面図に示した一点鎖線A-A'の箇所の断面を示す。分かり易いように、断面は直線で切るのではなく電源層を含む場所を通るように、折り曲げた線における断面を表示している。プリント基板1は多層プリント基板であり、絶縁層を間に挟んで電源層5、信号線6が形成されている。

少なくとも部品面(図1ではLSI2のある表面側)直下と半田面(部品面と反対の裏面側)直上には、GND層41, 42, 43が基板全面グラウンド(ベタグラウンド)として形成されている。なお図1では半田の表示を省略している。基板全面に間隔d(後述)で格子状にGNDスルーホール3を配し、少なくとも2枚のGND層(GND層41, 42)を接続する。本実施形態ではGNDスルーホール3はGND層41, 42, 43全てを貫通して接続している。電源線51, 52, 53はプリント基板1中の同層に形成されGND層41, 42に挟まれている。以下電源線51, 52, 53をまとめて電源層5と呼称することがある。LSI2など部品が実装されている箇所ではGNDスルーホール3はなくてもよい。GNDスルーホール3が電源層5を貫通している箇所がある。この貫通箇所ではGNDスルーホール3と電源層5の間にギャップ(クリアランス)があり、絶縁体でこのギャップを埋めている。

(動作の説明)

図2を用いて、プリント基板1から発生するEMI放射のメカニズムを説明する。本実施形態で適用する基板構成はGND層4(GND層41, 42に対応)で挟まれた電源層5(電源線51, 52, 53に対応)である。IC(Integrated Circuit)の動作により電源電流が変化しそれに追従するように電源層5-GND層3間電位の変化、すなわち電界が変化することにより、電磁波が発生する。図2ではこれを雑音源90で表現している。発生した電磁波は電源層5-GND層4間を伝送路と化し四方

八方へと伝搬される。広がった電磁波は電源層5がない領域でも、例えばGND層42-GND層43間あるいは他の電源層-GND層間、あるいは、電源層-電源層間を伝送路と化し更に基板端まで広がっていく。基板端から基板外部へ伝搬した電磁波がEMI放射である。

[0016] 図3にGNDスルーホール3の電磁波遮断のメカニズムを示す。GNDスルーホール3は理想的にはインピーダンスが0で電磁波の節になるもの以外通過することが出来ないが、現実的にはGNDスルーホール3のインピーダンスは0ではなく進行波は減衰しながら進行する。図3では雑音進行波として表示している。このため格子間隔dよりも小さな波長 $\lambda_1$ をもつ電磁波は、複数のGNDスルーホール3で形成される格子中を伝搬(透過)することができる。しかし格子間隔dよりも長い波長 $\lambda_2$ をもつ電磁波は、あたかも金属板(インピーダンス0)に衝突するかの如く振る舞い、格子中を伝搬することが出来ず、反射される。

[0017] この性質を利用し、EMIとして抑制したい周波数の波長よりも十分小さな格子間隔を配すれば電磁波を抑制することが可能となり、これを4分の1波長(節~腹)よりも小さな間隔とする。EMIを抑制したい周波数の上限を $f_{max}$ とし、プリント基板の比誘電率を $\epsilon_r$ 、光速を $C_0$ として

$$d \leq \lambda / 4 = C_0 / (4 \cdot f_{max} \cdot \sqrt{\epsilon_r}) \dots (式1)$$

となる条件を導くことが出来る。

[0018] 図3にある通り、 $\lambda/2$ より長い波長の電磁波はGNDスルーホール3の格子を通過することができない。もしGNDスルーホール3が完全導体であれば $\lambda/2$ で規定すればよいが、実際のスルーホールは完全導体ではないため、間隔 $\lambda/2$ では電磁波はGNDスルーホール3の格子をすり抜ける可能性がある。このため、格子間隔を $\lambda/4$ とし、上記の式1を定義している。プリント基板の比誘電率を4、抑制したい最大周波数 $f_{max}$ を1GHzとすると、 $d \leq 3 \times 10^8 / (4 \times 1 \times 10^9 \times \sqrt{4}) = 37.5 \text{ mm}$ となる。

[0019] これら効果を検証するため図4のような電磁界解析の解析モデルを作成し、電磁界解析により効果を確認した。解析モデルは次のようなものである。

プリント基板 1 に 2 枚の GND 層 4 を形成し、この 2 枚の GND 層 4 で電源層 5 を挟んだ構造とし、電源層 5 と GND 層 4 の間に設けた雑音源 90 によって雑音を印加し、それによる電磁波の電界強度を解析した。

[0020] 図 5～図 10 にこれらの解析結果を示す。図 5、図 6 はプリント基板に GND スルーホールなし、図 7、図 8 はプリント基板の外周だけに GND スルーホールを配し、図 9、図 10 はプリント基板全面に GND スルーホールを配した条件である。図 5、7、9 で、プリント基板 1 の中央部の最も黒い小さい正方形が電源層 5 である。実際の電源層（電源線）は細長い形状であるが、解析を簡略にするためここでは正方形で解析している。また図 5、7、9 の右上のスケールはゼロからマイナスに向かうスケールであり、マイナスに向かうほど電界強度が小さく、ゼロに向かうほど電界強度が強い。単位は  $\text{dB} \cdot \text{V}/\text{m}$  であるが、図では注入したエネルギーを  $\text{max} (0 \text{ dB} \text{ or } 1)$  とした相対値でプロットしているため図中のスケールでは単位を「 $\text{max dB} \cdot \text{V}/\text{m}$ 」と表記している。

[0021] 図 5 ではスルーホールを形成していない場合のプリント基板内外の電界強度の解析結果である。基板外に電源線からの電界が漏出していて、EMI 放射が生じている状態である。

[0022] 図 6 はスルーホールを形成していない図 5 の場合に、基板外の観測点（図中の×印）にプローブを置き、そこでの周波数と電界強度との関係を示した図である。横軸に周波数（GHz）を取り、縦軸が dB で表示した電界強度（ $\text{dB} \cdot \text{V}/\text{m}$ ）である。図 6 を見ると 1 GHz 以上で電界強度が  $-40 \text{ dB} \cdot \text{V}/\text{m}$  を超え最大で  $0 \text{ dB} \cdot \text{V}/\text{m}$  に達している。

[0023] 図 7 は GND スルーホール 3 をプリント基板外周に 1 層（1 列）だけ形成した場合の、プリント基板 1 内外の電界強度の解析結果である。図 5 よりは改善してはいるが、依然として基板 1 外に EMI 放射が生じている状態であることが分かる。

[0024] 図 8 は図 7 の場合を図 6 と同様に解析したものであるが、改善はあるものの依然として電界強度が高く、基板外に EMI 放射が生じている状態である

。

[0025] 図9はプリント基板1全体にスルーホールを形成した場合の基板内外の電界強度の解析結果である。基板1外へのEMI放射は見られず、基板1内でも電磁波は電源層5の周囲に留まっている状態であることが分かる。

[0026] 図10は図9の場合を図6と同様に解析したものであるが、電界強度が測定周波数全体に渡って $-80\text{ dB}\cdot\text{V}/\text{m}$ を下回っていて大幅に改善されたことが分かる。

(効果の説明)

このように基板全面に格子状のGNDスルーホールを設けることで、電源雑音のプリント基板周囲への伝搬を抑制し、EMI放射を抑え込むことが可能となる。

[0027] なお図1では3つの電源線51、52、53は全て同じ層に位置している。しかし一部の電源線が基板内の別の層にある、または、全ての電源層が基板内で別々の層にあっても、それぞれの電源線の上下をGND層で挟み、GNDスルーホール3で接続すればよい。例えば図1において電源線51がGND層41と42の間ではなく、GND層42と43の間に位置していた場合、GND層42、43及びそれらを接続するGNDスルーホールが電源線51からの電磁波の外部への放射を抑制する。また電源線53がGND層41と42の間ではなく、GND層41とLSIのある表面の間に位置していた場合、GND層41と表面の間に新たなGND層を設ける。

[0028] また上でも述べたが、プリント基板の比誘電率を4、抑制したい最大周波数 $f_{\text{max}}$ を1GHzとして上述の(式1)で計算すると、格子間隔 $d$ は37.5mm以下となる。しかし特許文献4(特開平11-220263号公報)では、1GHzの電磁波ノイズの場合はスルーホールの間隔は20mm四方と記載されている([0011]段落)。特許文献4では20mmと比較的狭くする必要があり、本実施形態では37.5mmと格子間隔が比較的大きくてよいという相違は、特許文献4が電源配線と信号配線の両方のEMI防止を目的としているのに対し、本実施形態は電源線のEMI防止を目的としている点

にあると考えられる。

(第2の実施形態)

図7で解析した条件は基板外周にGNDスルーホール3を一周だけ配したものであるが、基板1外にEMI放射が生じている。GNDスルーホール3を二周、三周あるいはそれ以上配することで、基板全面に配さなくても電磁波の進行を妨げる効果がある。

[0029] 図11はGNDスルーホール3を2周配設した場合、図12は3周配設した場合のプリント基板1内外の電界強度の解析結果である。図11、12ではいずれも基板外へのEMI放射は見られない。図13は図11、12の場合に、基板外の観測点にプローブを置き、そこでの周波数と電界強度との関係を解析した結果である。比較のため、GNDスルーホールなしの場合(図5、6)と1周だけの場合(図7、8)も併せて示している。

[0030] 特許文献4(特開平11-220263号公報)でも、信号層と電源層の周囲に環状のグラウンドパターンを形成しているが、プリント配線板の外周一層にしか形成されておらず、基板外へのEMI放射を抑制するには不十分である。その理由は(式1)の説明で述べたように、スルーホールが完全導体ではなくある程度インピーダンスを持っているためである。スルーホール列を二周、三周と増やすことによって電磁波を十分に封じ込めることができる。

(第3の実施形態)

図14は本発明の第3の実施形態を示す平面図とそのB-B'における断面図である。B-B'断面図ではICを省略している。第1、第2の実施形態ではプリント基板外への電源雑音の伝搬を抑制したが、本実施形態は基板内の電源層の周囲への電源雑音の伝搬を抑制するものである。

[0031] 本実施形態ではIC21の下層に電源層つまりIC用給電配線54が図の上下方向にプリント基板1内を走っている。IC用給電配線54の上下にGND層401とGND層402が形成され、電源雑音の発生源であるIC用給電配線54周囲だけにGNDスルーホール3を設けている。図14ではGNDスルーホール3はIC用給電配線54を貫通するものと、両側に形成す

るものとがある。IC用給電配線54を貫通するGNDスルーホール3では、第1の実施形態と同様に、貫通箇所ではGNDスルーホール3と電源層5の間にギャップ（クリアランス）があり、絶縁体でこのギャップを埋めている。なおIC21の上下にはGNDスルーホール3を形成しない。図14ではIC21を含む断面を示しているためIC用給電配線54を貫通するGNDスルーホールが見えていない。

[0032] ここではIC用給電配線54の左側に3列、右側に4列（IC21の左右では3列ずつ）形成しているが、上述した基板外周の場合と同様の理由で両側には最低限2列ずつ配列させればよい。

[0033] 本実施形態ではEMI抑制のためにGNDスルーホールをプリント基板1の外周または全面に形成する必要がない。そのため他の部品や配線をより高密度に配置でき、また設計の自由度が高い。

[0034] また図14ではGND層401、402はどちらも全面グラウンドとした。しかし二つのGND層のどちらかは、電源層と重なる領域とその両側にGNDスルーホール3を形成する領域にだけ形成されていればよい。図15はその場合の平面図とそのC-C'における断面図である。C-C'断面図ではIC21を省略している。電源層の上方のGND層404は、IC用給電配線54と平面で見ると重なる領域とGNDスルーホール3を形成する領域にだけ形成されている。

[0035] またプリント基板には電源層は複数本形成されていることが多い。そのうちEMI放射抑制をしたい電源層が複数あれば、GND層404も電源層毎に形成する。

[0036] なお図14で最上層に配置したGND層403は、電源層を挟んでおらず、主に信号配線61のインピーダンス制御用に使用する。もし信号層と同層に電源層があればGND層403はEMI抑制機能が生じる。

（第4の実施形態）

前述の第3の実施形態では電源層の上下と周囲にGND層とGNDスルーホールを形成した。しかしそれに加えて、第2の実施形態で述べた、プリン

ト基板外周に数周のGNDスルーホールを形成したEMI抑制構造を組合せても良い。このようにすると、基板内での電源層の周囲へのEMI放射を抑制でき、しかも仮に想定以上の強度のEMI放射によって電源層外にEMI放射されたとしても、プリント基板外へEMI放射されるのを抑制できる。

(第5の実施形態)

上述の第1～4の実施形態ではGNDスルーホールはプリント基板または電源層の外周と平行に配列しているが、基板外周に対してジグザグにつまり千鳥状に配列しても良い。このように配置するとスルーホールの間隔を狭くできる。そのためスルーホールを形成する領域の面積を狭くできる。

### 産業上の利用可能性

[0037] 本発明は、情報通信機器などの電子回路設計および製造に用いることができる。

[0038] 以上、上述した実施形態を模範的な例として本発明を説明した。しかしながら、本発明は、上述した実施形態には限定されない。即ち、本発明は、本発明のスコープ内において、当業者が理解し得る様々な態様を適用することができる。

[0039] この出願は、2015年7月8日に出願された日本出願特願2015-137091を基礎とする優先権を主張し、その開示の全てをここに取り込む。

### 符号の説明

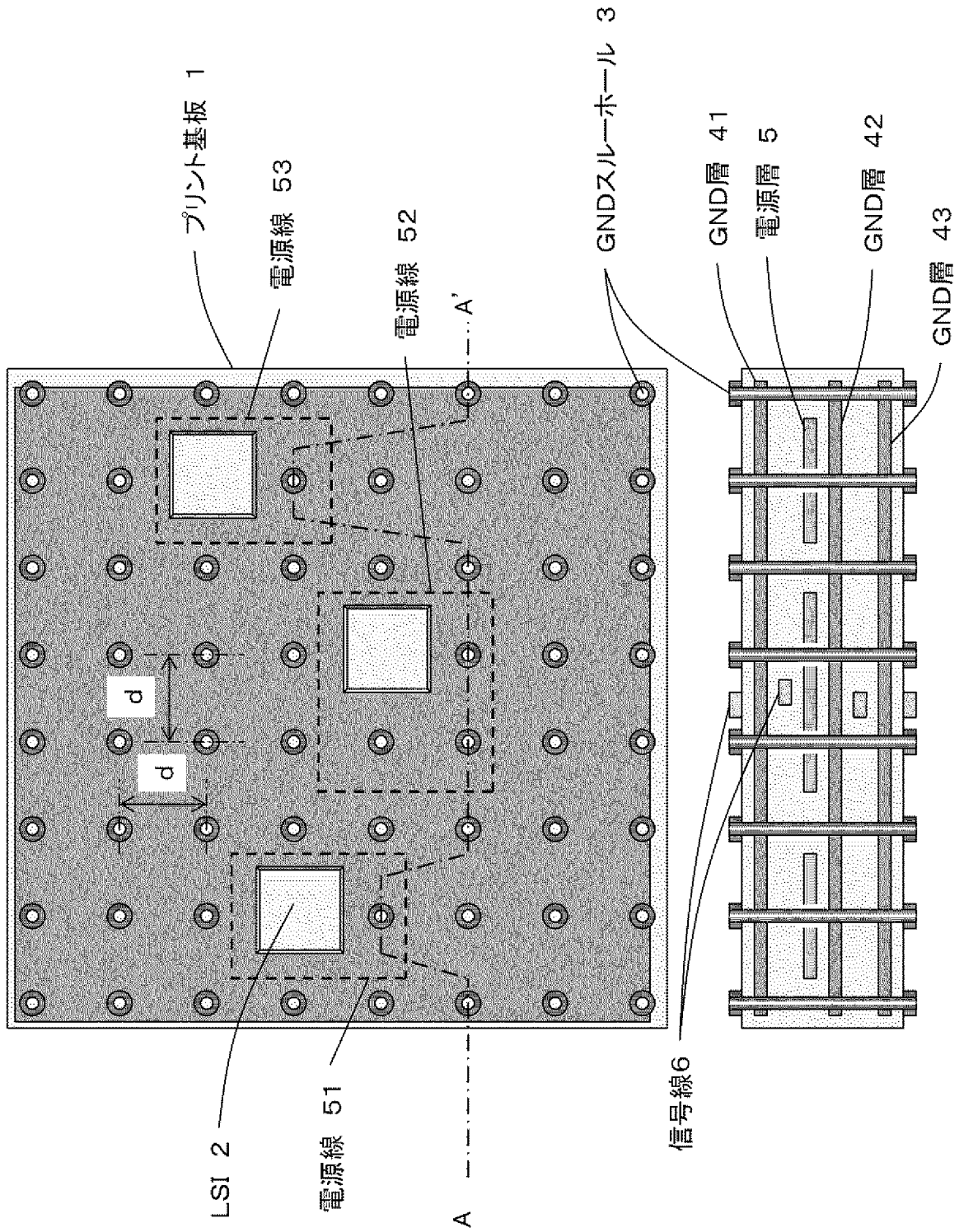
[0040] 1     プリント基板  
 2     LSI  
 3     GNDスルーホール  
 4 1、4 2、4 3、4 0 1、4 0 2、4 0 3、4 0 4     GND層  
 5     電源層  
 5 1、5 2、5 3     電源線  
 6     信号線  
 2 1     IC

## 請求の範囲

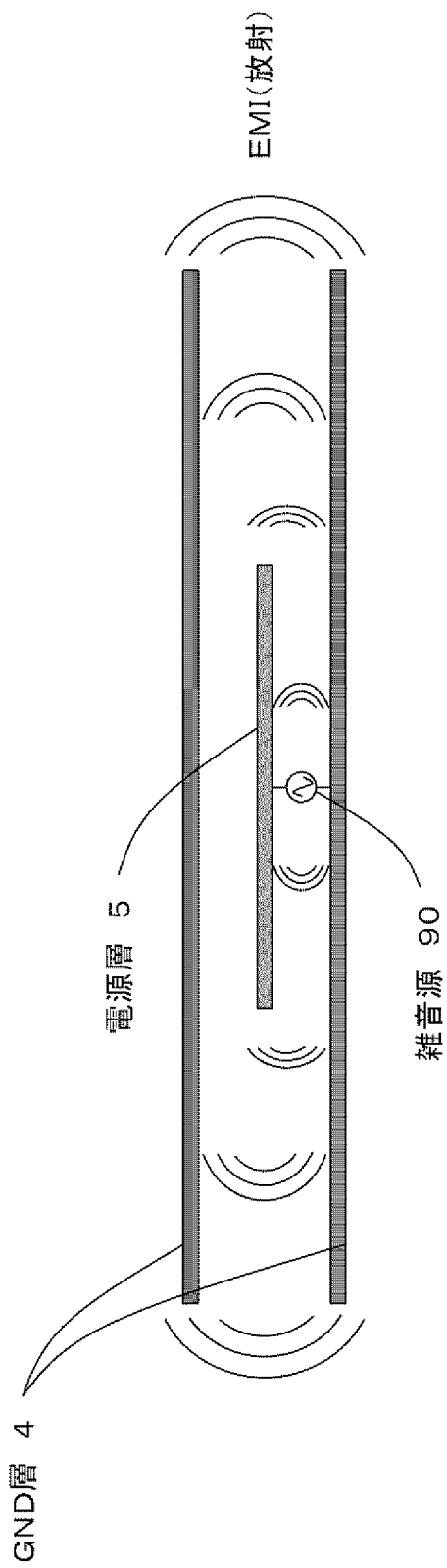
- [請求項1]       プリント基板にグラウンド層を複数層設け、前記複数層のグラウンド層で電源層を挟み、少なくとも前記プリント基板の外周に前記複数層のグラウンド層を接続するスルーホールを設け、前記スルーホールは抑制したい電磁波の最大周波数に対応する波長に応じた間隔で設けることを特徴とするプリント基板。
- [請求項2]       プリント基板に設けた電源層の上下をグラウンド層で挟み、前記上下のグラウンド層を複数のスルーホールで接続し、前記スルーホールは前記電源層とその近傍に、抑制したい電磁波の最大周波数に対応する波長に応じた間隔を開けて設けることを特徴とするプリント基板。
- [請求項3]       前記プリント基板の外周に前記複数層のグラウンド層を接続するスルーホールを設け、前記スルーホールは抑制したい電磁波の最大周波数に対応する波長に応じた間隔で設けた請求項2のプリント基板。
- [請求項4]       前記間隔は前記抑制したい電磁波の最大周波数に対応する波長の1/4以下である請求項1から3のいずれか一項に記載のプリント基板。
- [請求項5]       前記スルーホールは少なくとも2列に設ける請求項1から4のいずれか一項に記載のプリント基板。
- [請求項6]       前記複数層のグラウンド層は全面グラウンド層である請求項1から5のいずれか一項に記載のプリント基板。
- [請求項7]       前記上下のグラウンド層のどちらかは、前記電源層と重なる領域とその両側に前記スルーホールを形成する領域に形成されている請求項2または3に記載のプリント基板。
- [請求項8]       前記電源層を複数備え、そのうちの少なくとも一つの電源層が他の電源層とは別の層に形成されている場合、前記別の層に形成された電源層についてもその上下をグラウンド層で挟む請求項1から7のいずれか1項に記載のプリント基板。
- [請求項9]       前記スルーホールは前記プリント基板または前記電源層の外周と平

行または斜めに配列されている請求項 1 から 8 のいずれか一項に記載のプリント基板。

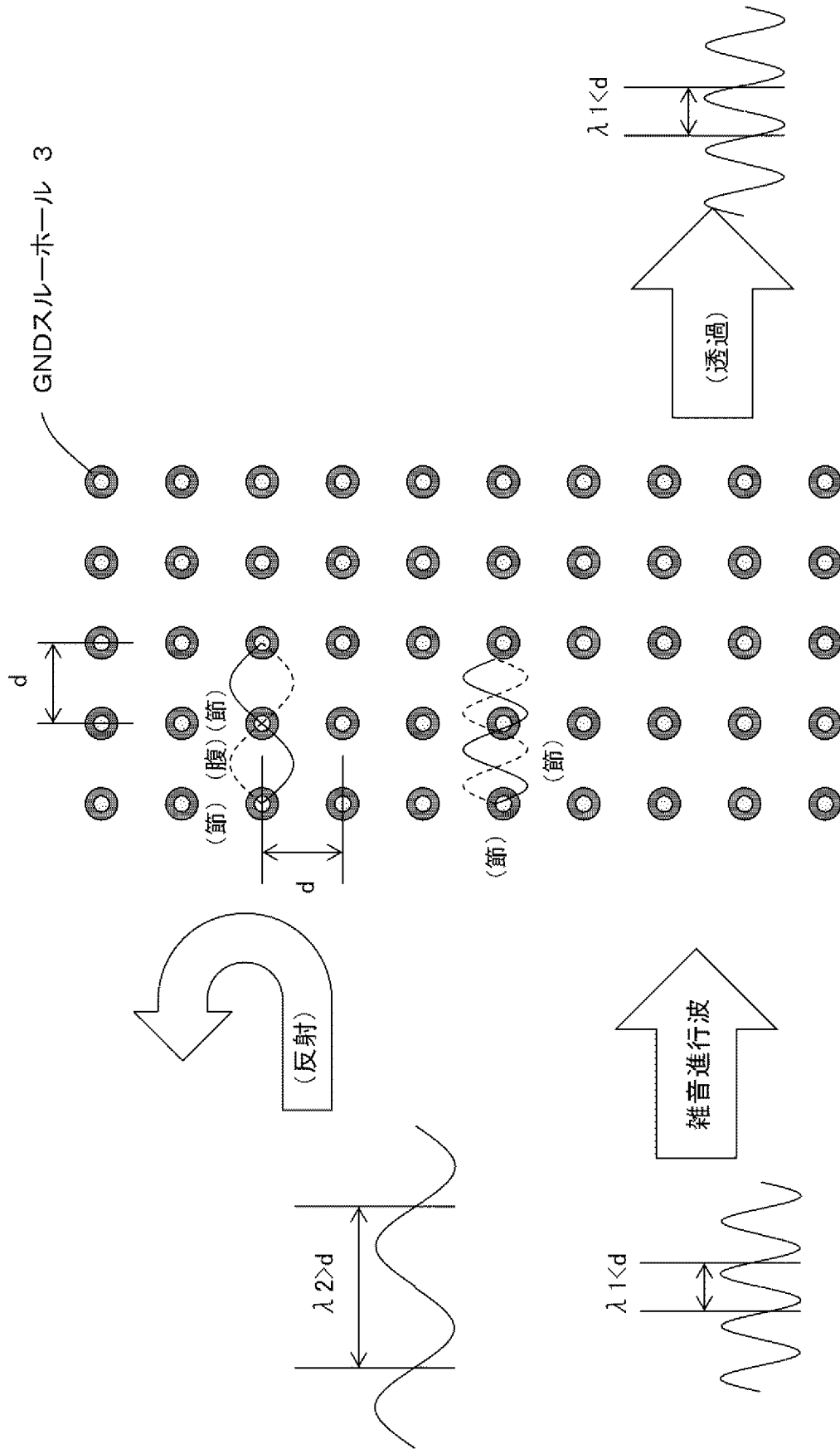
[図1]



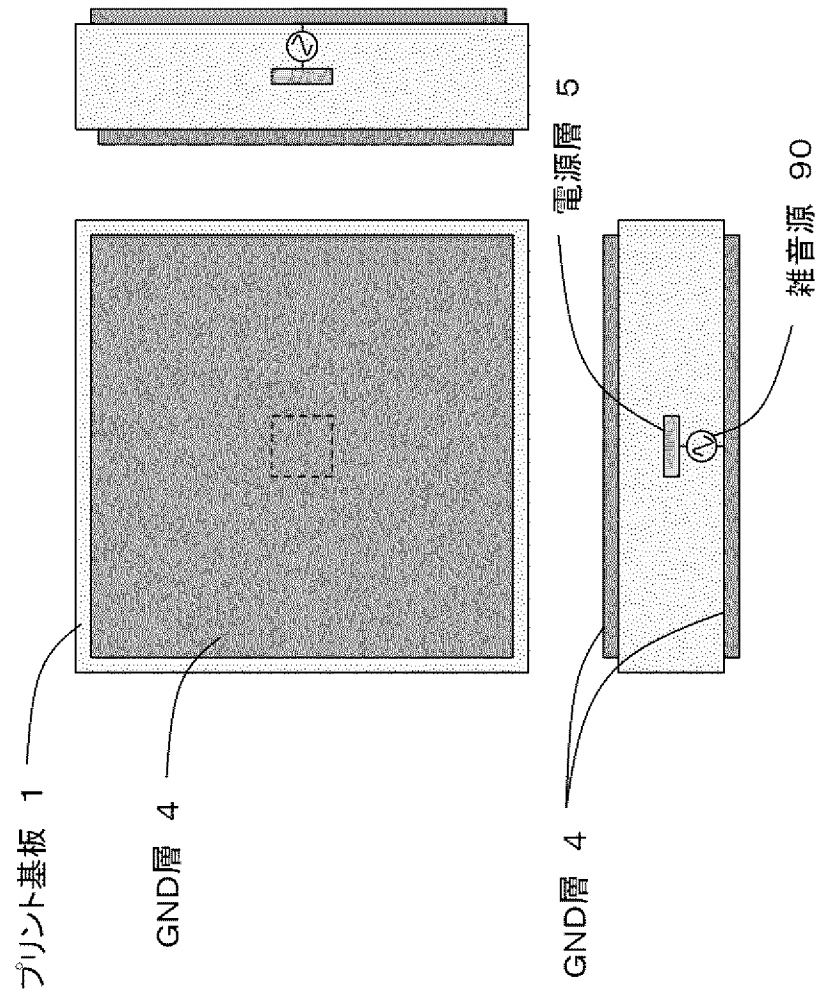
[圖2]



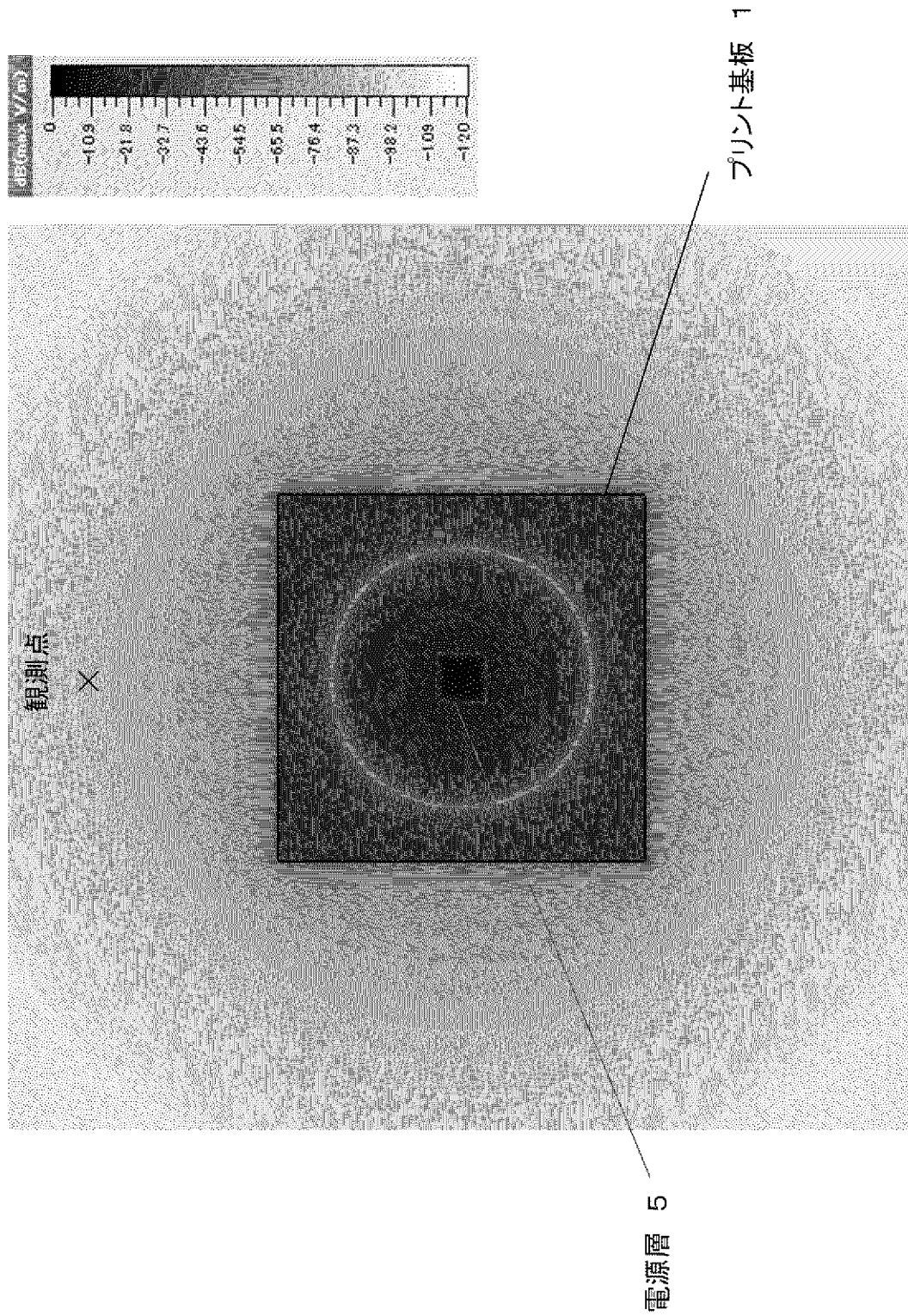
[図3]



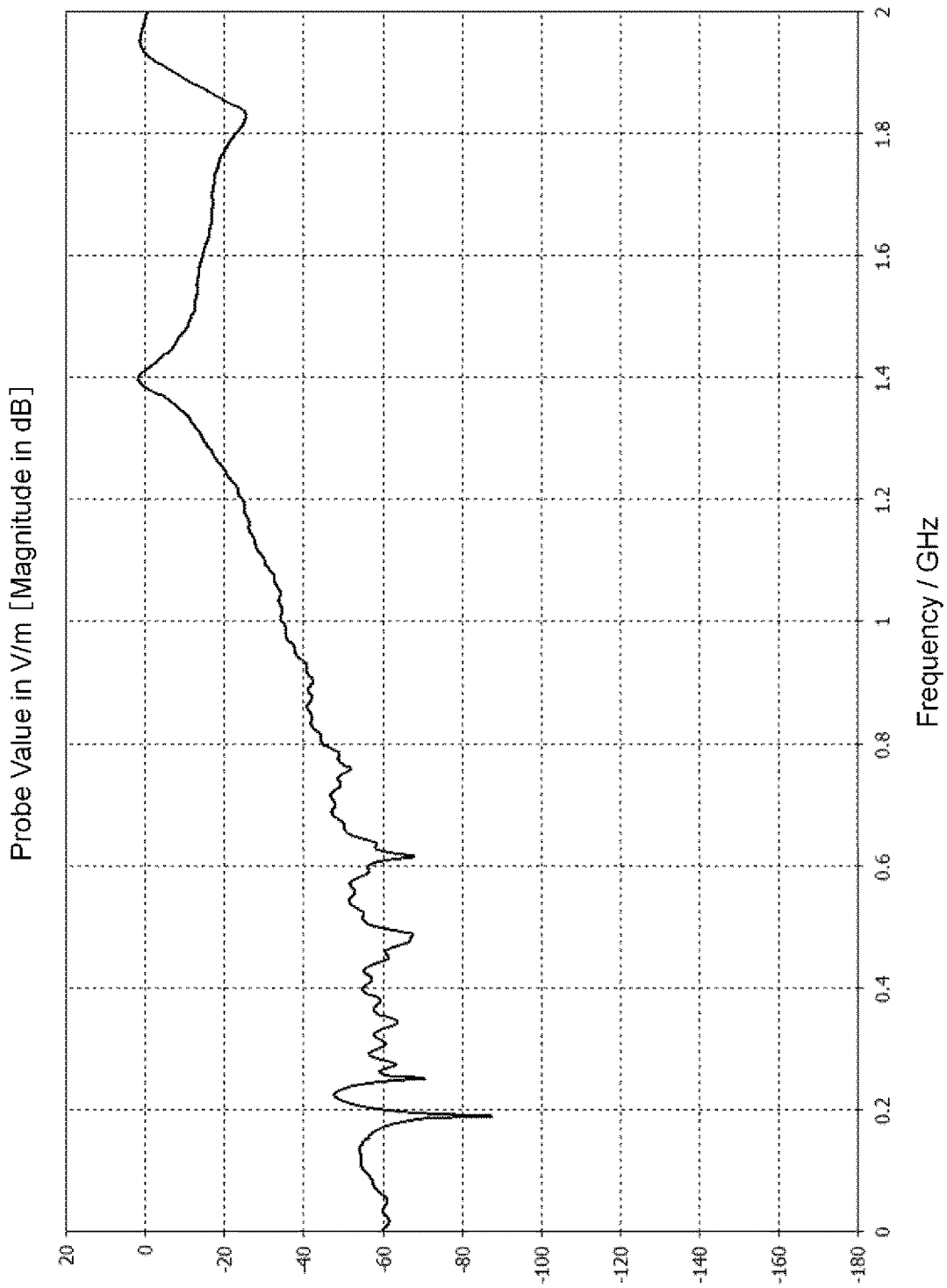
[図4]



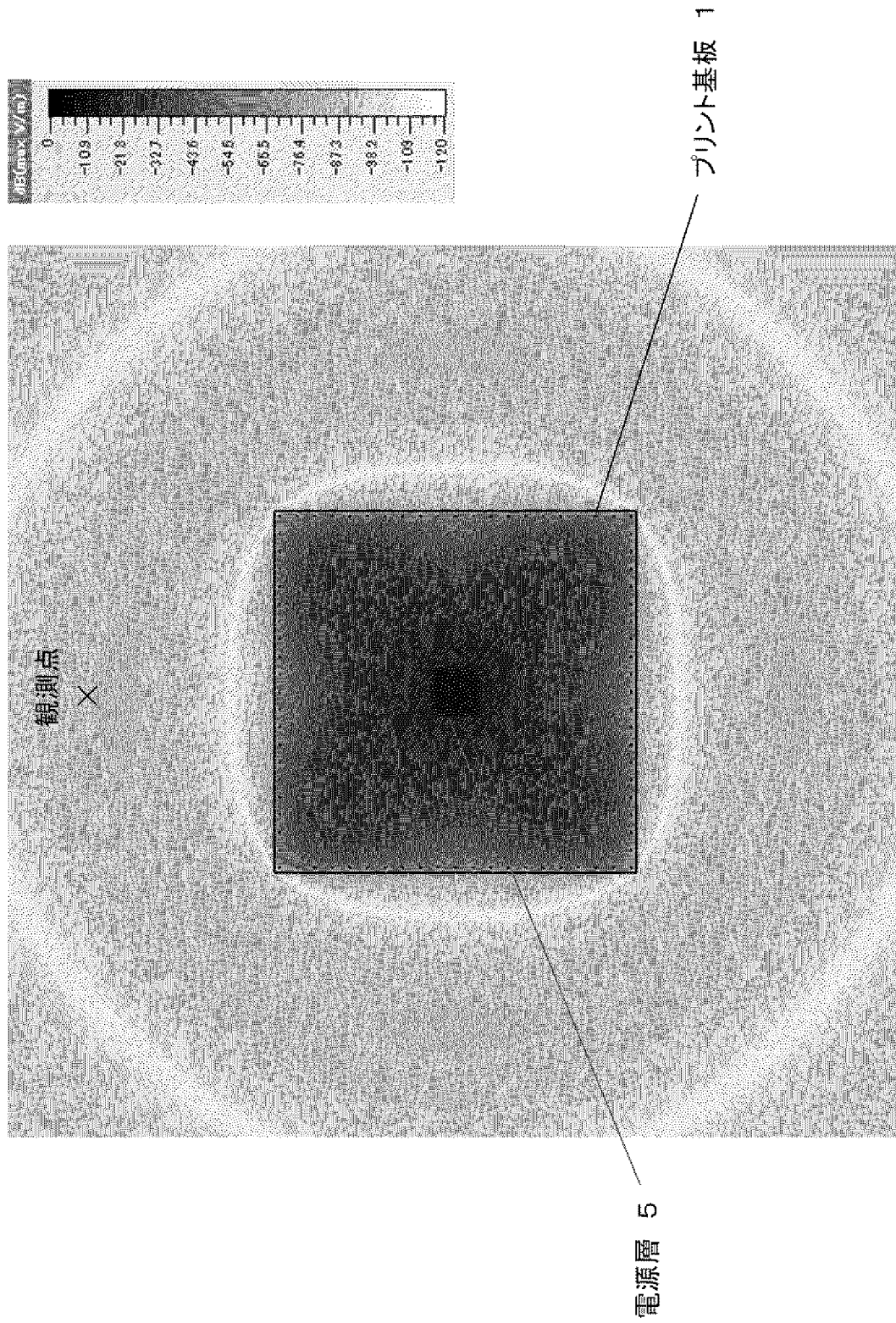
[図5]



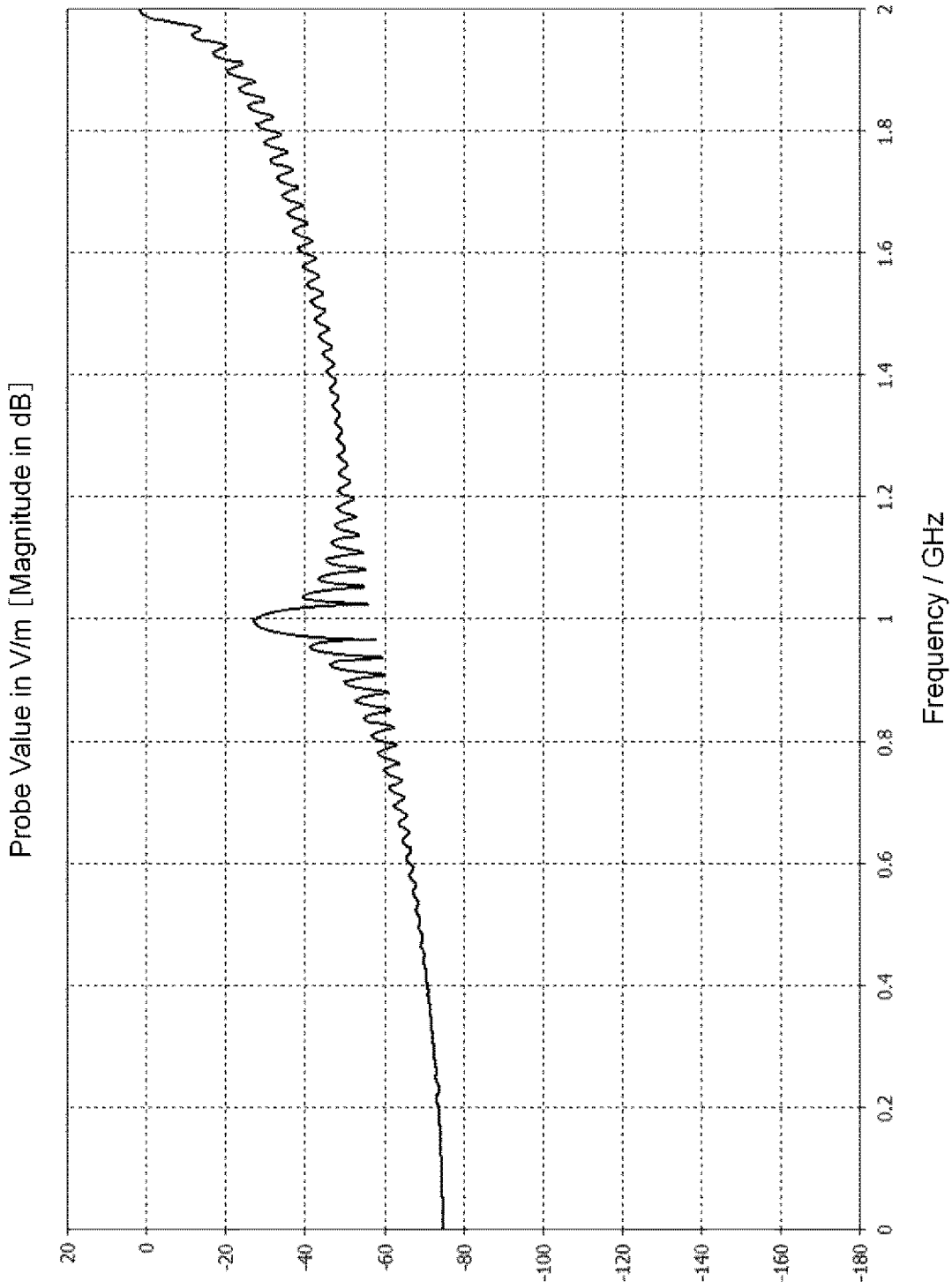
[圖6]



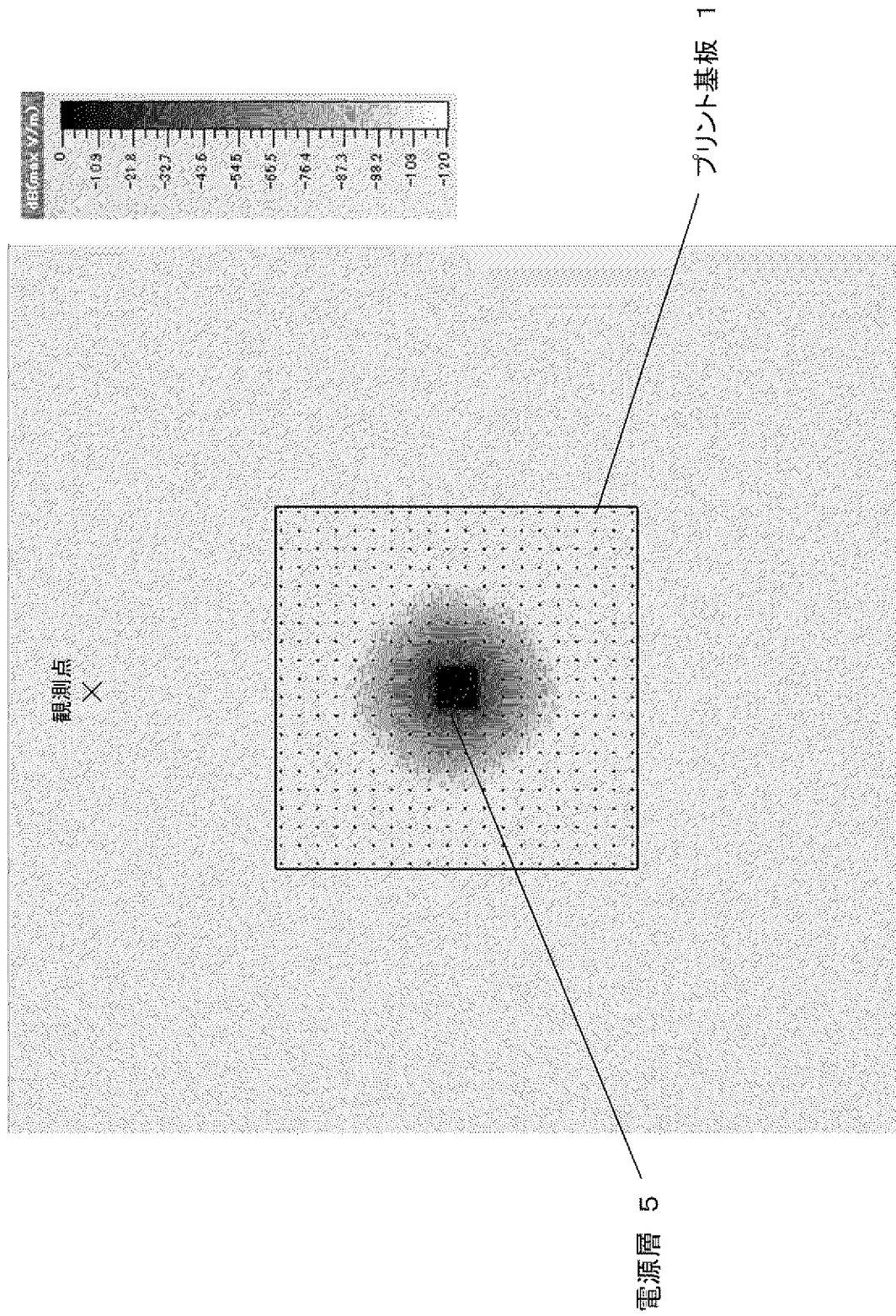
[図7]



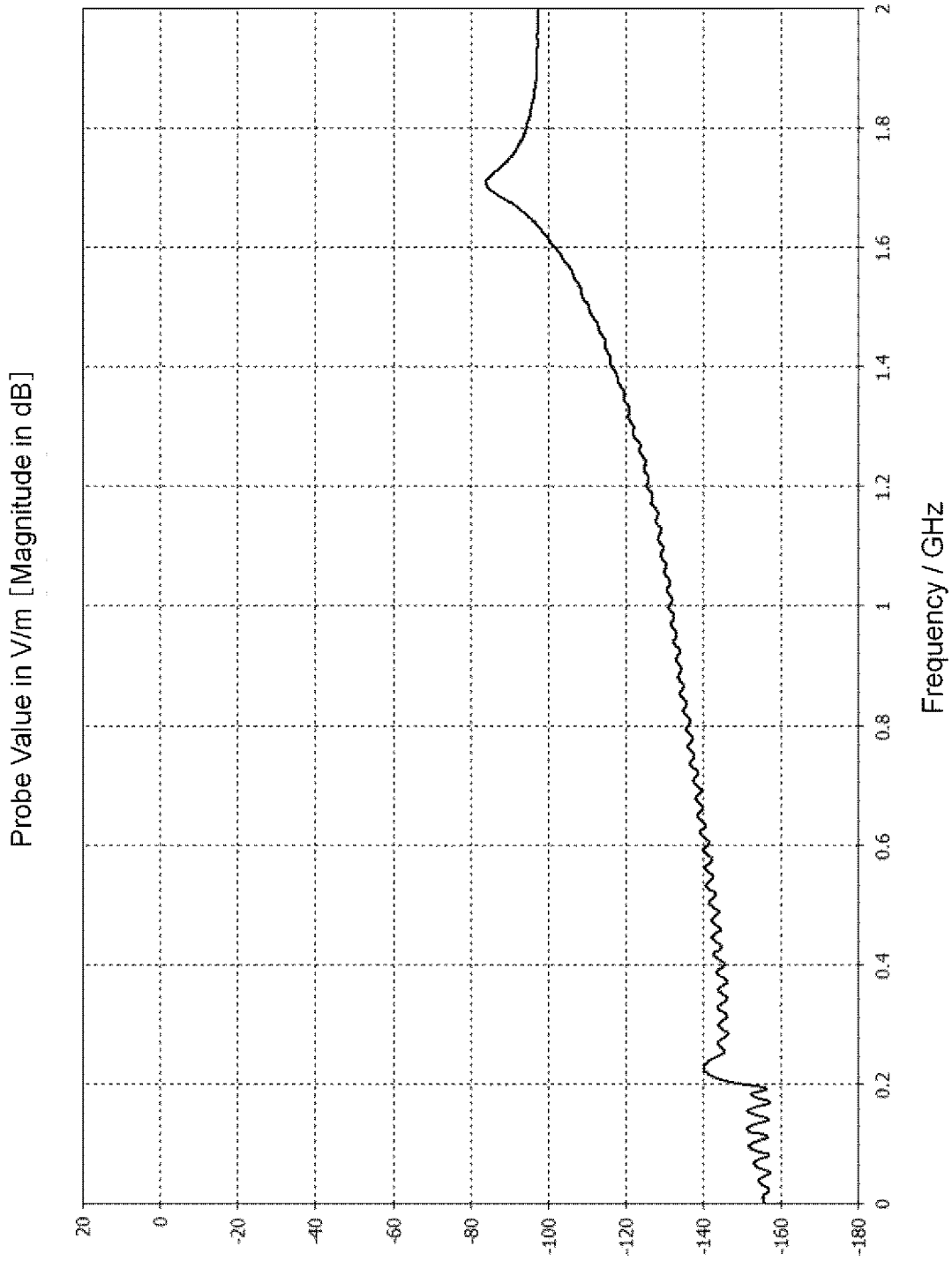
[8]



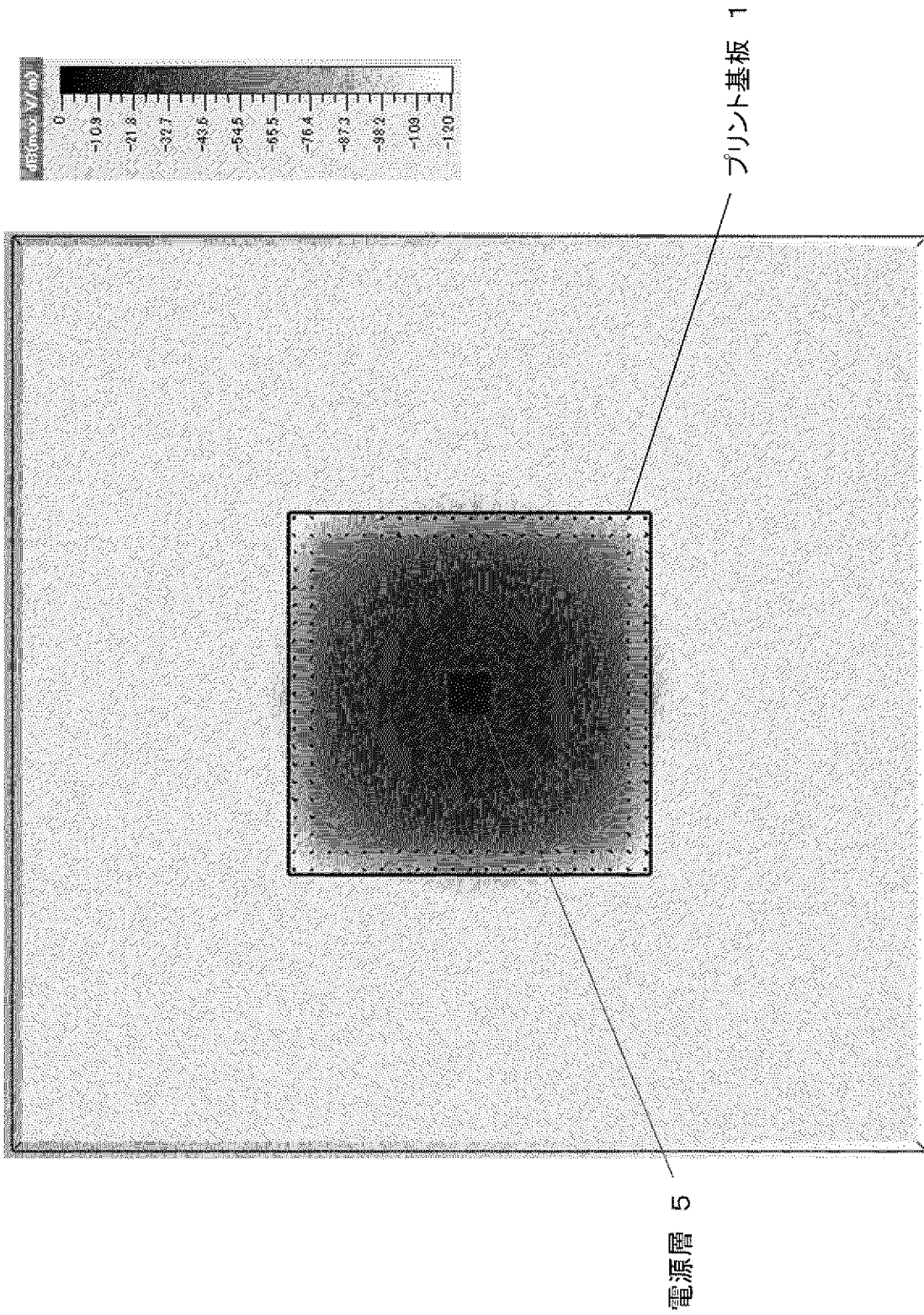
[図9]



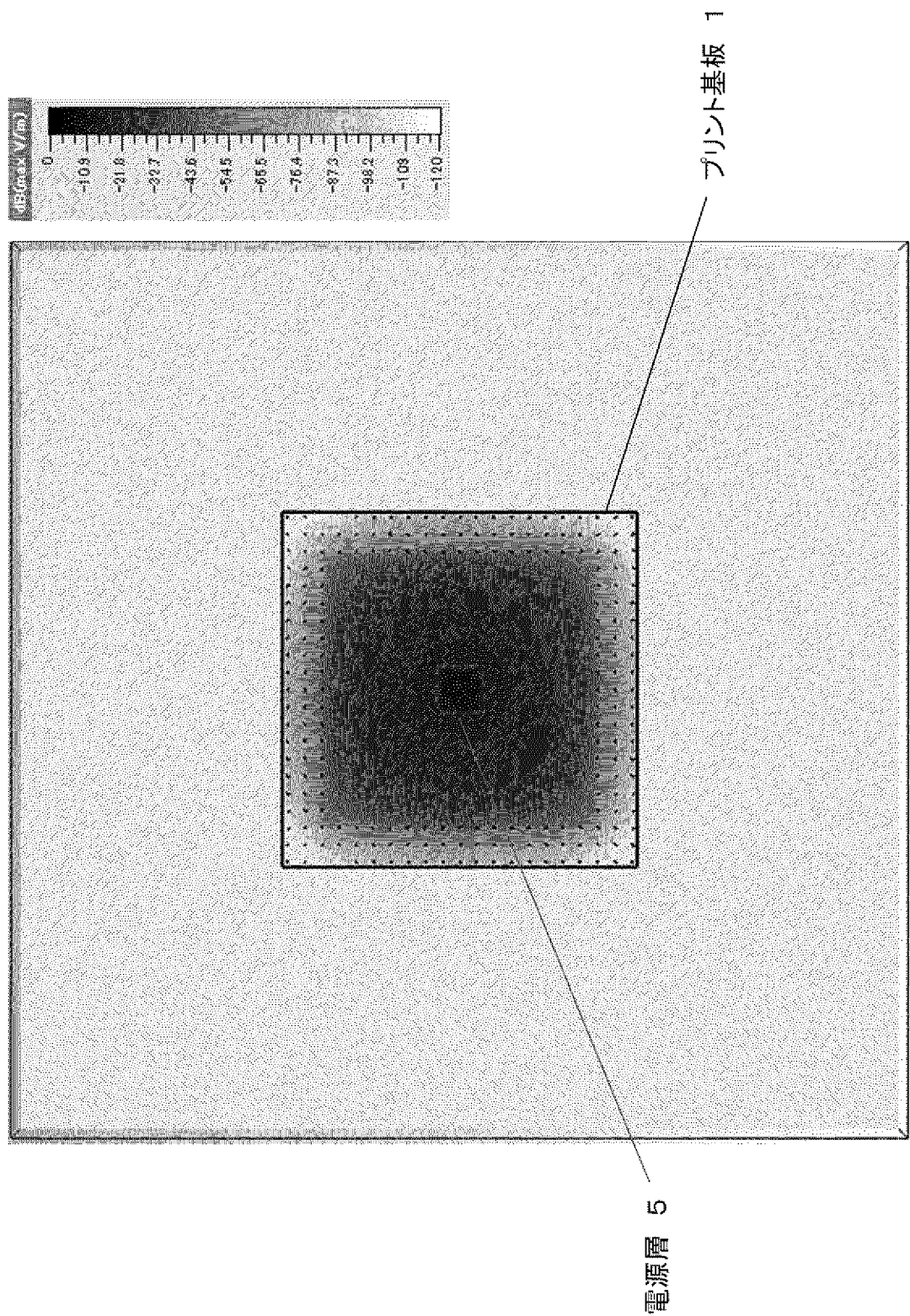
[ 10]



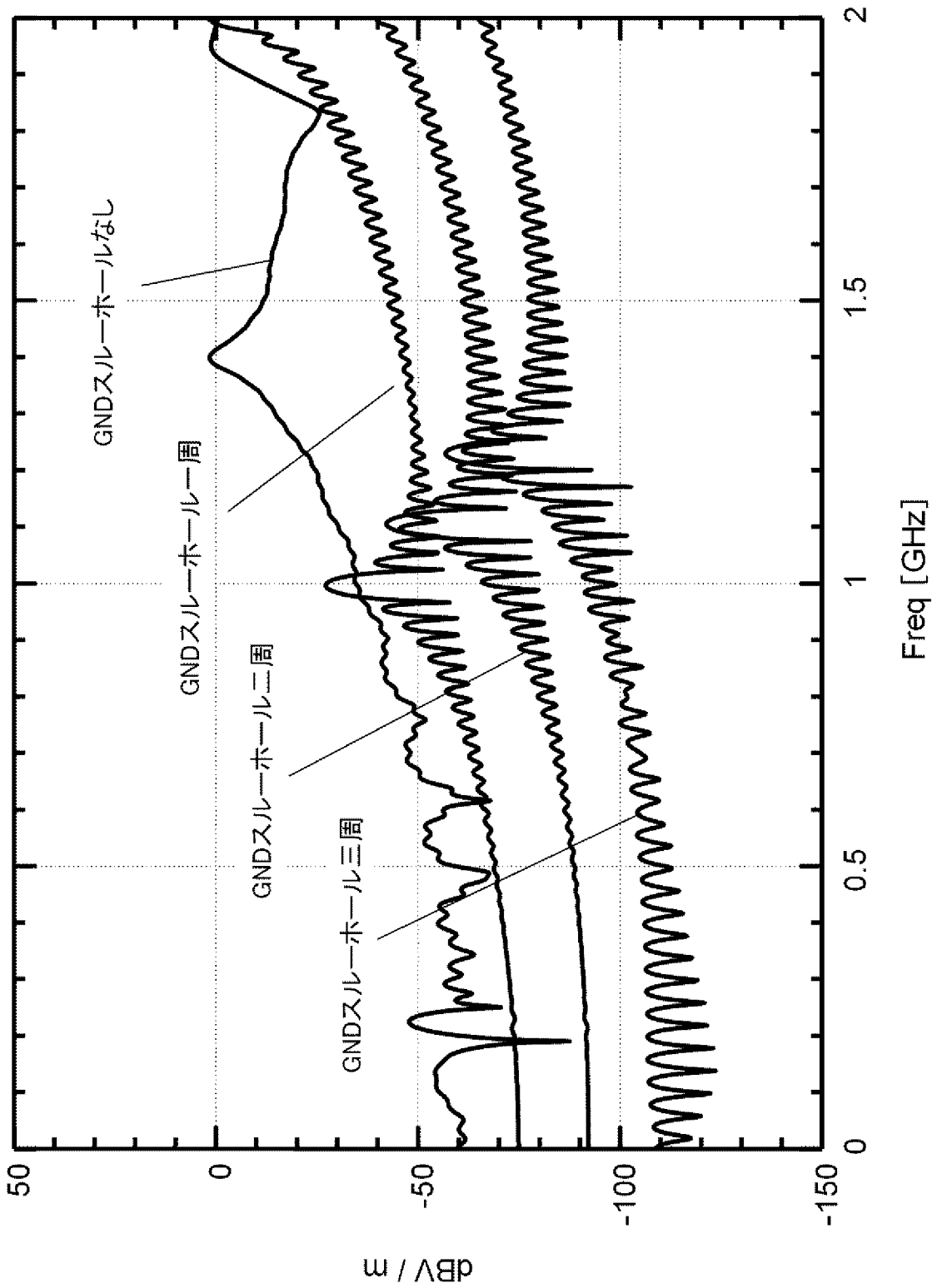
[図11]



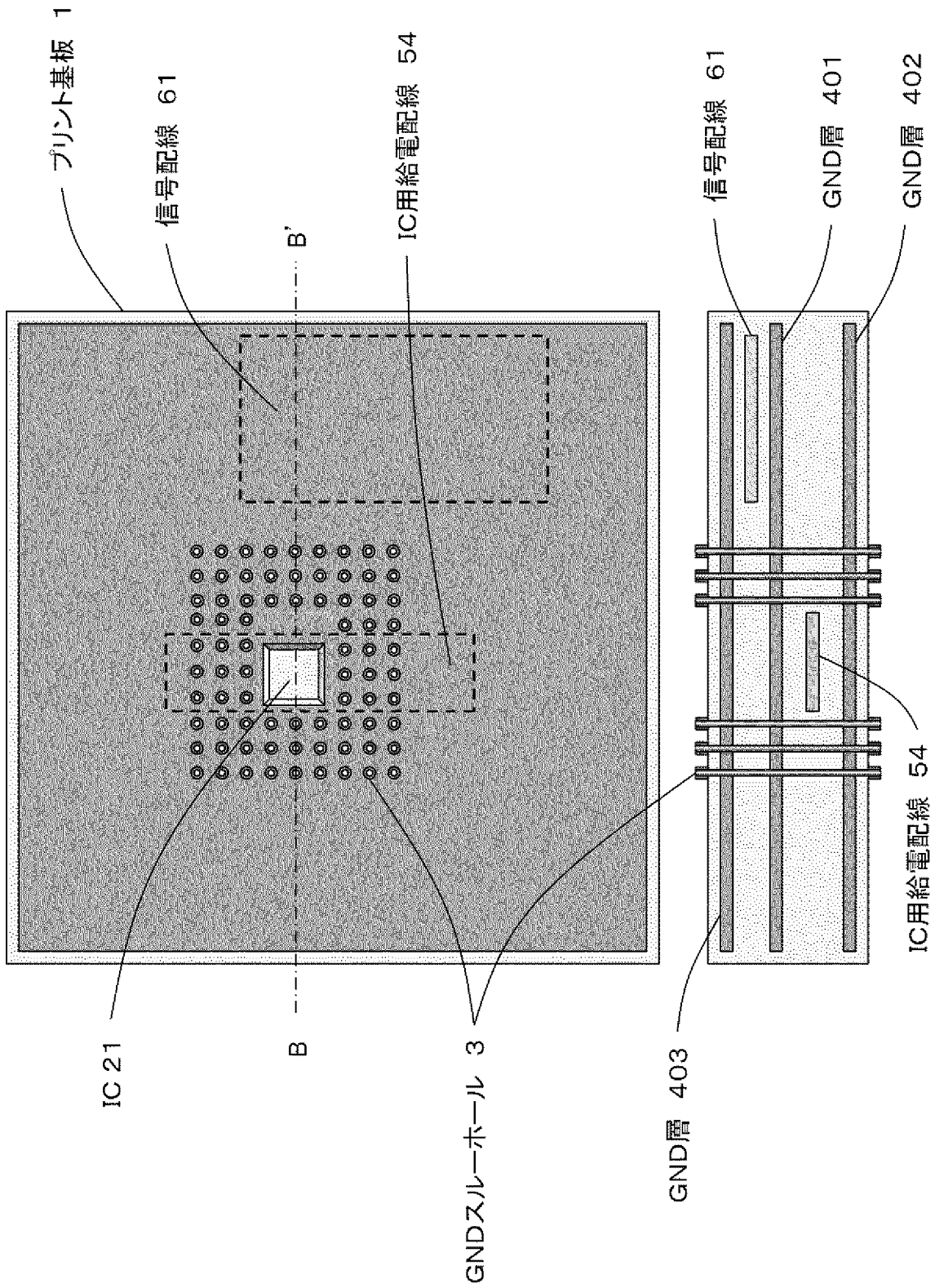
[図12]



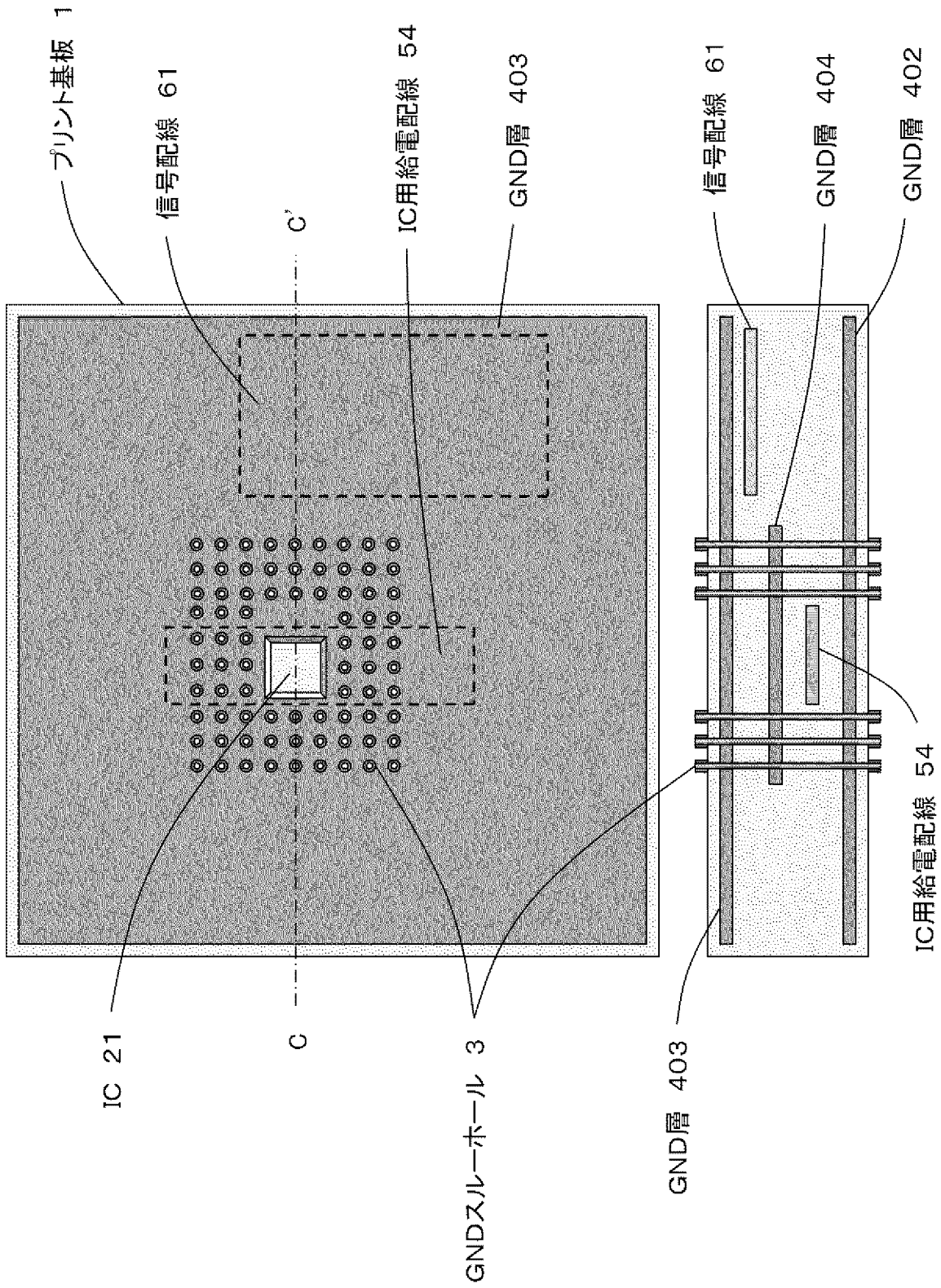
[図13]



[図14]



[図15]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2016/003168

**A. CLASSIFICATION OF SUBJECT MATTER**  
H05K3/46(2006.01)i, H05K1/02(2006.01)i, H05K9/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
H05K3/46, H05K1/02, H05K9/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-68801 A (Sony Corp.), 16 March 2001 (16.03.2001), paragraphs [0009] to [0033]; fig. 1, 2 (Family: none)	1-4, 6-9 5
Y	WO 2011/111314 A1 (NEC Corp.), 15 September 2011 (15.09.2011), paragraphs [0131] to [0134]; fig. 22 & US 2012/0325537 A1 paragraphs [0159] to [0162]; fig. 22 & JP 5733303 B2	5
A	JP 2009-224566 A (NEC Corp.), 01 October 2009 (01.10.2009), entire text (Family: none)	1-9

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 01 September 2016 (01.09.16)	Date of mailing of the international search report 13 September 2016 (13.09.16)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2016/003168

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-88102 A (Fuji Xerox Co., Ltd.), 05 April 2007 (05.04.2007), entire text (Family: none)	1-9

A. 発明の属する分野の分類（国際特許分類（IPC））  
 Int.Cl. H05K3/46(2006.01)i, H05K1/02(2006.01)i, H05K9/00(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料（国際特許分類（IPC））  
 Int.Cl. H05K3/46, H05K1/02, H05K9/00

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2016年  
 日本国実用新案登録公報 1996-2016年  
 日本国登録実用新案公報 1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2001-68801 A（ソニー株式会社）2001.03.16 段落[0009]-[0033], 図 1, 2（ファミリーなし）	1-4, 6-9 5
Y	WO 2011/111314 A1（日本電気株式会社）2011.09.15 段落[0131]-[0134], 図 22 & US 2012/0325537 A1, 段落[0159]-[0162], 図 22 & JP 5733303 B2	5
A	JP 2009-224566 A（日本電気株式会社）2009.10.01, 全文 （ファミリーなし）	1-9

☑ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 01.09.2016	国際調査報告の発送日 13.09.2016
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 原田 貴志 電話番号 03-3581-1101 内線 3551	5D	4690
--	---	----	------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-88102 A (富士ゼロックス株式会社) 2007. 04. 05, 全文 (ファミリーなし)	1-9