



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I480962 B

(45)公告日：中華民國 104 (2015) 年 04 月 11 日

(21)申請案號：098111840

(22)申請日：中華民國 98 (2009) 年 04 月 09 日

(51)Int. Cl. : H01L21/56 (2006.01)

H01L33/00 (2010.01)

H01L23/485 (2006.01)

H01L25/075 (2006.01)

(71)申請人：隆達電子股份有限公司 (中華民國) LEXTAR ELECTRONICS CORP. (TW)

新竹市科學工業園區力行路 23 號 8 樓

(72)發明人：李佳恩 LEE, CHIA EN (TW)；郭政達 KUO, CHENG TA (TW)；夏德玲 HSIA, DER LING (TW)

(74)代理人：洪澄文；顏錦順

(56)參考文獻：

TW M352134

US 2006/0006404A1

US 2006/0249736A1

審查人員：陳聖

申請專利範圍項數：22 項 圖式數：9 共 32 頁

(54)名稱

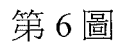
發光二極體封裝以及發光二極體晶圓級封裝製程

LIGHT-EMITTING DIODE PACKAGE AND WAFER-LEVEL PACKAGING PROCESS OF A LIGHT-EMITTING DIODE

(57)摘要

一種發光二極體晶圓級封裝製程。首先，於一成長基材上形成一半導體疊層。於半導體疊層上形成多個阻障圖案以及多個反射層，以使各反射層分別被其中一阻障圖案所環繞。於半導體疊層上形成一第一接合層以覆蓋阻障圖案以及反射層。接著，提供一承載基板，此承載基板具有彼此電性絕緣的多個第二接合層與多個導電插塞。令第一接合層與第二接合層接合，並將半導體疊層與成長基板分離。圖案化半導體疊層以形成多個圖案化半導體疊層。接著，令各圖案化半導體疊層與導電插塞電性連接，並於承載基板上形成一封裝膠體以覆蓋圖案化半導體疊層。

A wafer-level packaging process of a light-emitting diode is provided. First, a semiconductor stacked layer is formed on a growth substrate. Barrier rings and reflective layers are then formed on the semiconductor stacked layer, wherein each reflective layer is surrounded by one barrier ring correspondingly. A first bonding layer is then formed on the semiconductor stacked layer to cover the barrier rings and the reflective layers. Thereafter, a carrying substrate having second bonding layers and conductive plugs electrically insulated from each other is provided and the first bonding layer is bonded with the second bonding layer. The semiconductor stacked layer is separated from the growth substrate. Next, the semiconductor stacked layer is patterned to form semiconductor stacked patterns and electrical connection between each semiconductor stacked pattern and the conductive plug is formed. An encapsulant is formed on the carrying substrate to cover the patterned semiconductor stacked layer.



S2 . . . 承载基板

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98111840

※ 申請日：98.4.9

※IPC 分類：H01L 21/56 (2006.01)

H01L 33/00 (2006.01)

H01L 23/485 (2006.01)

H01L 25/075 (2006.01)

一、發明名稱：

發光二極體封裝以及發光二極體晶圓級封裝製程 /
LIGHT-EMITTING DIODE PACKAGE AND WAFER-LEVEL
PACKAGING PROCESS OF A LIGHT-EMITTING DIODE

二、中文發明摘要：

一種發光二極體晶圓級封裝製程。首先，於一成長基材上形成一半導體疊層。於半導體疊層上形成多個阻障圖案以及多個反射層，以使各反射層分別被其中一阻障圖案所環繞。於半導體疊層上形成一第一接合層以覆蓋阻障圖案以及反射層。接著，提供一承載基板，此承載基板具有彼此電性絕緣的多個第二接合層與多個導電插塞。令第一接合層與第二接合層接合，並將半導體疊層與成長基板分離。圖案化半導體疊層以形成多個圖案化半導體疊層。接著，令各圖案化半導體疊層與導電插塞電性連接，並於承載基板上形成一封裝膠體以覆蓋圖案化半導體疊層。

三、 英文發明摘要：

A wafer-level packaging process of a light-emitting diode is provided. First, a semiconductor stacked layer is formed on a growth substrate. Barrier rings and reflective layers are then formed on the semiconductor stacked layer, wherein each reflective layer is surrounded by one barrier ring correspondingly. A first bonding layer is then formed on the semiconductor stacked layer to cover the barrier rings and the reflective layers. Thereafter, a carrying substrate having second bonding layers and conductive plugs electrically insulated from each other is provided and the first bonding layer is bonded with the second bonding layer. The semiconductor stacked layer is separated from the growth substrate. Next, the semiconductor stacked layer is patterned to form semiconductor stacked patterns and electrical connection between each semiconductor stacked pattern and the conductive plug is formed. An encapsulant is formed on the carrying substrate to cover the patterned semiconductor stacked layer.

四、 指定代表圖：

(一)本案指定代表圖為： 圖 6

(二)本代表圖之元件符號簡單說明：

100' . . . 圖案化半導體疊層

100a' . . . 第一型摻雜半導體層

100b' . . . 發光層

100c' . . . 第二型摻雜半導體層

110' . . . 阻障圖案
120 . . . 反射層
130' . . . 第一接合層
210 . . . 導電基材
212 . . . 通孔
220 . . . 絕緣層
230 . . . 導電插塞
240 . . . 第二接合層
250 . . . 接墊
260 . . . 散熱元件
300 . . . 介電層
310 . . . 橋接導體
320 . . . 螢光層
330 . . . 封裝膠體
T . . . 頂表面
B . . . 底表面
S2 . . . 承載基板

五、 本案若有化學式時，請揭示最能顯示發明特徵的化學式： 無。

六、發明說明：

【發明所屬之技術領域】

[0001] 本發明是有關於一種發光二極體封裝技術，且特別是有關於一種發光二極體晶圓級封裝製程(wafer-level packaging process)。

【先前技術】

[0002] 由於發光二極體具有壽命長、體積小、高耐震性、發熱度小以及耗電量低等優點，發光二極體已被廣泛地應用於家電產品以及各式儀器之指示燈或光源。近年來，由於發光二極體朝向多色彩以及高亮度化發展，發光二極體的應用範圍已拓展至顯示器、大型戶外顯示看板及交通號誌燈等，未來甚至可以取代鎢絲燈和水銀燈以成為兼具省電與環保功能的照明燈源。

[0003] 目前較為常見的發光二極體封裝(LED packages)大多採用電路板或是導線架(leadframe)作為承載發光二極體晶片之承載器，而在發光二極體封裝中，發光二極體晶片可透過電路板中的線路(traces)以及導線架的接腳(leads)與其他電子產品電性連接。此外，發光二極體晶片所產生的熱亦會藉由電路板中的線路以及導線架的接腳傳遞至發光二極體封裝外。然而，隨著發光二極體晶片的發光效率不斷提昇，採用電路板或是導線架作為承載器之發光二極體封裝已經無法有效地解決發光二極體晶片的散熱問題，因此如何使發光二極體晶片所產生熱能夠更有

效率地傳遞至發光二極體封裝外，儼然成為設計者在研發上關注的議題之一。

【發明內容】

[0004] 本發明提供一種發光二極體晶圓級封裝製程。首先，於一成長基材上形成一半導體疊層。於半導體疊層上形成多個阻障圖案以及多個反射層，以使各反射層分別被其中一阻障圖案所環繞。於半導體疊層上形成一第一接合層以覆蓋阻障圖案以及反射層。接著，提供一承載基板，此承載基板具有彼此電性絕緣的多個第二接合層與多個導電插塞。令第一接合層與第二接合層接合，並將半導體疊層與成長基板分離。圖案化半導體疊層以形成多個圖案化半導體疊層。接著，令各圖案化半導體疊層與其中一導電插塞電性連接，並於承載基板上形成一封裝膠體以覆蓋圖案化半導體疊層。

[0005] 在本發明一實施例中，形成半導體疊層的方法包括於成長基材上形成一第一型摻雜半導體層；於第一型摻雜半導體層上形成一發光層；以及於發光層上形成一第二型摻雜半導體層。

[0006] 在本發明一實施例中，上述之阻障圖案之材質包括氧化矽、氮化矽或銦錫氧化物，而形成阻障圖案的方法包括薄膜沉積法、黃光顯影製程以及蝕刻製程。

[0007] 在本發明一實施例中，上述之反射層之材質包括銀，而形成反射層的方法包括蒸鍍法或濺鍍法。

[0008] 在本發明一實施例中，上述之第一接合層之材

質包括鈦、鎢、鈦化鎢、鎳、鉑、金、金錫合金、鈮，或其組合，而形成第一接合層的方法包括蒸鍍法或濺鍍法。

[0009] 在本發明一實施例中，令半導體疊層與成長基板分離的方法包括一雷射掀離製程(laser lift-off process)。

[0010] 在本發明一實施例中，在圖案化半導體疊層以形成多個圖案化半導體疊層時，更包括圖案化第一接合層與阻障圖案。

[0011] 在本發明一實施例中，令各圖案化半導體疊層與承載基板電性連接的方法包括於各圖案化半導體疊層上形成一介電層，此介電層至少覆蓋圖案化半導體疊層的側壁；以及於承載基板以及介電層上形成多個與承載基板以及各圖案化半導體疊層電性連接的橋接導線。

[0012] 在本發明一實施例中，上述之封裝膠體係全面性地或局部性地形成於承載基板以覆蓋圖案化半導體疊層。

[0013] 在本發明一實施例中，在形成封裝膠體前，更包括形成一螢光層，以覆蓋圖案化半導體疊層。

[0014] 在本發明一實施例中，發光二極體晶圓級封裝製程更包括分割承載基板，以使發光二極體單體化。

[0015] 本發明另提供一種發光二極體封裝，其包括至少一圖案化半導體疊層、一反射層、一阻障圖案、一第一接合層、一承載基板、至少一橋接導體以及一封裝膠體。圖案化半導體疊層具有一頂表面以及一底表面，反射層配置於底表面上。阻障圖案配置於底表面上並環繞反射層，

且第一接合層配置於底表面上以覆蓋阻障圖案與反射層。承載基板包括一導電基材、一絕緣層、至少一導電插塞以及一第二接合層，其中導電基材具有至少一通孔，絕緣層配置於通孔之側壁上，且導電插塞配置於通孔內，而與導電基材電性絕緣，且第二接合層配置於導電基材上，以使第二接合層透過第一接合層與底表面連性連接。橋接導體與頂表面以及導電插塞電性連接。此外，封裝膠體配置於承載基板上以覆蓋圖案化半導體疊層。

[0016] 在本發明一實施例中，阻障圖案之材質包括氧化矽、氮化矽或銦錫氧化物。

[0017] 在本發明一實施例中，上述之反射層之材質包括銀。

[0018] 在本發明一實施例中，上述之第一接合層之材質包括鈦、鎢、鈦化鎢、鎳、鉑、金、金錫合金、銦，或其組合。

[0019] 在本發明一實施例中，上述之承載基板更包括一接墊，其中接墊透過導電插塞以及橋接導體與頂表面電性連接，且接墊與導電基材電性絕緣。

[0020] 在本發明一實施例中，上述之接墊與圖案化半導體疊層分別位於導電基材的兩對側。

[0021] 在本發明一實施例中，上述之發光二極體封裝更包括一介電層，其中介電層配置於圖案化半導體疊層的側壁上，且介電層位於圖案化半導體疊層與橋接導體之間。

[0022] 在本發明一實施例中，上述之承載基板更包括

一散熱元件，其中散熱元件配置於導電基材上，且散熱元件與圖案化半導體疊層分為位於導電基材的兩對側。

[0023] 在本發明一實施例中，上述之發光二極體封裝更包括一螢光層，覆蓋圖案化半導體疊層。

[0024] 基於上述，由於本發明將反射層以及阻障圖案的製作整合於晶圓級封裝製程中，因此本發明之晶圓級封裝製程可以製作出光學特性以及信賴性良好之發光二極體封裝。

[0025] 為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

[0026] 圖 1 至圖 7 是依照本發明第一實施例之發光二極體晶圓級封裝製程的剖面示意圖。首先請參照圖 1，於成長基材 S1 上形成半導體疊層 100，此半導體疊層 100 包括第一型摻雜半導體層 100a、位於第一型摻雜半導體層 100a 上之發光層 100b 以及位於發光層 100b 上之第二型摻雜半導體層 100c。在本實施例中，半導體疊層 100 可藉由金屬有機化學氣相沈積製程 (Metal Organic Chemical Vapor Deposition, MOCVD) 於成長基板上依序製作出第一型摻雜半導體層 100a、發光層 100b 以及第二型摻雜半導體層 100c。舉例而言，第一型摻雜半導體層 100a 為 N 型摻雜之半導體層，第二型摻雜半導體層 100c 為 P 型摻雜之半導體層，而發光層 100b 為多重量子井層 (Multiple Quantum Well layer, MQW layer)。

[0027] 接製作反射層 120 時，阻障圖案 110 可以有效地防止反射層 120 在半導體疊層 100 上擴散，進而有效地規範反射層 120 的分佈範圍。在本實施例中，阻障圖案 110 之材質包括氧化矽、氮化矽或銦錫氧化物，而形成阻障圖案 110 的方法包括薄膜沉積法、黃光顯影製程以及蝕刻製程，而反射層 120 之材質包括銀，而形成反射層 120 的方法包括蒸鍍法或濺鍍法。從圖 1 可知，阻障圖案 110 例如是由一矩形環狀圖案所構成，而反射層 120 例如是由一具有矩形圖案之導電反射薄膜所構成。然而，本發明並不限定阻障圖案 110 的形狀，換言之，阻障圖案 110 亦可以是由多個排列成環形之非連續條狀圖案(strip patterns)所構成。

[0028] 之後，於半導體疊層 100 上形成第一接合層 130 以覆蓋阻障圖案 110 以及反射層 120，第一接合層 130 與反射層 120 之間會形成歐姆接觸(ohmic contact)，且反射層 120 與半導體疊層 100 之間亦會形成歐姆接觸。在本實施例中，第一接合層 130 之材質包括鈦、鎢、鈦化鎢、鎳、鉑、金、金錫合金、銦，或其組合，而形成第一接合層 130 的方法包括蒸鍍法或濺鍍法。且如第 1 圖所示，第一接合層 130 覆蓋全部的阻障圖案 110 和反射層 120，且阻障圖案 110 和反射層 120 藉由第一接合層 130 彼此分隔。

[0029] 接著請參照圖 2，提供承載基板 S2，此承載基板 S2 包括導電基材 210、絕緣層 220、至少一導電插塞 230 以及

第二接合層 240，其中導電基材 210 具有至少一通孔 212，絕緣層 220 配置於通孔 212 之側壁上，導電插塞 230 配置於 212 通孔內，並與導電基材 220 電性絕緣，而第二接合層 240 則配置於導電基材 210 上，且第二接合層 240 透過第一接合層 130 與導電基材 210 連性連接。此外，承載基板 S2 可進一步包括接墊 250，其中接墊 250 透過導電插塞 230 電性連接，且接墊 250 與導電基材 210 電性絕緣。由圖 2 可知，接墊 250 與半導體疊層 100 分別位於導電基材 210 的兩對側。在本實施例中，第二接合層 240 之材質包括鈦、鎢、鈦化鎢、鎳、鉑、金、金錫合金、鈾，或其組合，而形成第二接合層 240 的方法包括蒸鍍法或濺鍍法。

[0030] 承上述，本實施例之承載基板 S2 可選擇性地包括散熱元件 260，其中散熱元件 260 配置於導電基材 210 的其中一表面上，且散熱元件 260 與半導體疊層 100 分為位於導電基材 210 的兩對側。

[0031] 在提供承載基板 S2 之後，接著令第一接合層 130 與第二接合層 240 接合。在本實施例中，第一接合層 130 與第二接合層 240 可透過熱壓接合、共晶接合或微波接合等方式達成良好的接合。

[0032] 接著請參照圖 3，令半導體疊層 100 與成長基板 S1 分離，以使半導體疊層 100 由成長基板 S1 轉移至承載基板 S2 上。在本實施例中，令半導體疊層 100 與成長基板 S1 分離的方法例如是採用雷射掀離製程 (laser lift-off process)。詳言之，令具有適當能量的雷射光束 L 照射於成長基板 S1 與半導體疊層 100 的界面，使得位於界面處的半導體材料因雷射光束 L 的照射而被汽化，進而使半導體疊層 100 與成長基板 S1 分離。

[0033] 接著請參照圖 4，在移除成長基板 S1 之後，接著圖

案化半導體疊層 100 以形成多個圖案化半導體疊層 100'，而在圖案化半導體疊層 100 以形成多個圖案化半導體疊層 100' 的同時，圖 3 中所繪示的阻障圖案 110 與第一接合層 130 會一併被圖案化而形成阻障圖案 110' 與第一接合層 130'。由圖 4 可知，每一個圖案化半導體疊層 100' 包括第一型摻雜半導體層 100a'、位於第一型摻雜半導體層 100a' 上之發光層 100b' 以及位於發光層 100b' 上之第二型摻雜半導體層 100c'，且每一個圖案化半導體疊層 100' 皆具有頂表面 T 以及底表面 B，其中反射層 120 配置於底表面 B 上，阻障圖案 110' 配置於底表面 B 上並環繞反射層 120，第一接合層 130' 則配置於底表面 B 上以覆蓋阻障圖案 110' 與反射層 120。

[0034] 接著，令各圖案化半導體疊層 100' 與導電插塞 230 電性連接。在本實施例中，製造者可先於各個圖案化半導體疊層 100' 的部分側壁上形成介電層 300，之後再於介電層 300 以及導電插塞 230 上形成橋接導體 310。從圖 4 可知，介電層 300 位於圖案化半導體疊層 100' 與橋接導體 310 之間，而橋接導體 310 則與圖案化半導體疊層 100' 的頂表面 T 以及導電插塞 230 電性連接。因此，接墊 250 透過導電插塞 230 以及橋接導體 310 與圖案化半導體疊層 100' 的頂表面 T 電性連接，且透過絕緣層 220 以及介電層 300 的隔絕，導電插塞 230、接墊 250 以及橋接導體 310 皆會與導電基材 210 電性絕緣。

[0035] 請繼續參照圖 4，圖案化半導體疊層 100' 中的第

一型摻雜半導體層 100a' 透過橋接導體 310 與導電插塞 230 以及接墊 250 電性連接，而圖案化半導體疊層 100' 中的第二型摻雜半導體層 100c' 則透過反射層 120、第一接合層 130' 以及第二接合層 240 與導電基材 210 電性連接。

[0036] 請參照圖 5，在完成橋接導體 310 的製作之後，接著形成螢光層 320 以覆蓋圖案化半導體疊層 100'。在本實施例中，圖案化半導體疊層 100' 可以是能夠發出藍光的發光二極體元件，而螢光層 320 則是由能夠被藍光激發而發出黃光的螢光材料所構成。在其他可行的實施例中，圖案化半導體疊層 100' 可以是能夠發出紫外光的發光二極體元件，而螢光層 320 則是由能夠被紫外光激發而發出可見光的螢光材料(如紅光螢光材料、綠光螢光材料、藍光螢光材料，及其混合物)所構成。值得注意的是，螢光層 320 的製作並非封裝製程的必要程序，是否塗佈螢光層 320 可根據發光二極體封裝的設計而決定。

[0037] 請參照圖 6，接著於承載基板 S2 上形成封裝膠體 330 以覆蓋圖案化半導體疊層 100'。在本實施例中，封裝膠體 330 可全面性地或是局部性地形成於承載基板 S2，而封裝膠體 330 可採用具有良好光學性質的透明膠體，其材質可為矽膠。

[0038] 接著請參照圖 7，將透過單體化製程將承載基板 S2 分割為多個發光二極體封裝 P。本實施例之發光二極體封裝 P 包括至少圖案化半導體疊層 100'、反射層 120、阻障圖案 110'、第一接合層 130'、承載基板 S2、介電層 300、

橋接導體 310、螢光層 320 以及封裝膠體 330。圖案化半導體疊層 100' 具有一頂表面 T 以及一底表面 B，反射層 120 配置於底表面 B 上。阻障圖案 110' 配置於底表面 B 上並環繞反射層 120，且第一接合層 130' 配置於底表面 B 上以覆蓋阻障圖案 110' 與反射層 120。承載基板 S2 包括導電基材 210、絕緣層 220、至少導電插塞 230 以及第二接合層 240，其中導電基材 210 具有至少通孔 212，絕緣層 220 配置於通孔 212 之側壁上，且導電插塞 230 配置於通孔 212 內，而與導電基材 210 電性絕緣。第二接合層 240 配置於導電基材 210 上，且第二接合層 240 透過第一接合層 130' 與圖案化半導體疊層 100' 的第二型摻雜半導體層 100c' 連性連接。

[0039] 介電層 300 配置於各個圖案化半導體疊層 100' 的部分側壁上，橋接導體 310 配置於介電層 300 上，並與第二型摻雜半導體層 100a' 以及導電插塞 230 電性連接。此外，螢光層 320 覆蓋於圖案化半導體疊層 100' 上，而封裝膠體 330 則配置於承載基板 S2 上以覆蓋圖案化半導體疊層 100' 以及螢光層 320。

[0040] 圖 8 是依照本發明另一實施例之承載基板的剖面示意圖。請參照圖 8，本實施例之承載基板 S2' 與前述之承載基板 S2 類似，惟二者主要差異之處在於：承載基板 S2' 不具有與導電插塞 230 電性連接之接墊 250 以及散熱元件 260，承載基板 S2' 具有與導電基材 210 電性連接的接墊 270。

[0041] 圖 9A 是依照本發明第二實施例之發光二極體封裝的剖面示意圖，圖 9B 是依照本發明第二實施例之發光二極體封裝的頂視圖，而圖 9C 是依照本發明第二實施例之發光二極體封裝的底視圖。請同時參照圖 9A、圖 9B 與圖 9C，本實施例之發光二極體封裝 P' 中具有多個陣列排列於承載基板 S2 上之圖案化半導體疊層 100'。從圖 9A 至圖 9C 可知，各個圖案化半導體疊層 100' 的底表面 B 會透過反射層 120、第一接合層 130' 以及第二接合層 240 與導電基材 210 電性連接，而各個圖案化半導體疊層 100' 的頂表面 T 則會透過橋接導體與導電插塞 230 電性連接。

[0042] 由於本發明將反射層以及阻障圖案的製作整合於發光二極體的晶圓級封裝製程中，因此本發明之晶圓級封裝製程可以製作出光學特性以及信賴性良好之發光二極體封裝。

[0043] 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

[0068] 圖 1 至圖 7 是依照本發明第一實施例之發光二極體晶圓級封裝製程的剖面示意圖。

[0069] 圖 8 是依照本發明另一實施例之承載基板的剖面示意圖。

[0070] 圖 9A 是依照本發明第二實施例之發光二極體封裝的剖面示意圖。

[0071] 圖 9B 是依照本發明第二實施例之發光二極體封裝的頂視圖。

[0072] 圖 9C 是依照本發明第二實施例之發光二極體封裝的底視圖。

【主要元件符號說明】

[0044] 100 . . . 半導體疊層

[0045] 100' . . . 圖案化半導體疊層

[0046] 100a、100a' . . . 第一型摻雜半導體層

[0047] 100b、100b' . . . 發光層

[0048] 100c、100c' . . . 第二型摻雜半導體層

[0049] 110、110' . . . 阻障圖案

[0050] 120 . . . 反射層

[0051] 130、130' . . . 第一接合層

[0052] 210 . . . 導電基材

[0053] 212 . . . 通孔

[0054] 220 . . . 絕緣層

[0055] 230 . . . 導電插塞

[0056] 240 . . . 第二接合層

[0057] 250、270 . . . 接墊

[0058] 260 . . . 散熱元件

[0059] 300 . . . 介電層

[0060] 310 . . . 橋接導體

[0061] 320 . . . 螢光層

[0062] 330 . . . 封裝膠體

[0063] T . . . 頂表面

[0064] B . . . 底表面

[0065] S1 . . . 成長基板

[0066] S2、S2' . . . 承載基板

[0067] P、P' . . . 發光二極體封裝

七、申請專利範圍：

1.一種發光二極體晶圓級封裝製程，包括：於一成長基材上形成一半導體疊層；於該半導體疊層上形成多個阻障圖案；於該半導體疊層上形成多個反射層，以使各該反射層分別被其中一阻障圖案所環繞；於該半導體疊層上形成一第一接合層，以覆蓋該些阻障圖案與該些反射層，且該第一接合層完全覆蓋該些阻障圖案與該些反射層；提供一承載基板，該承載基板具有彼此電性絕緣之多個第二接合層與多個導電插塞；令該第一接合層與該第二接合層接合；將該半導體疊層與該成長基板分離；圖案化該半導體疊層，以形成多個圖案化半導體疊層；令各該圖案化半導體疊層與其中一導電插塞電性連接；以及於該承載基板上形成一封裝膠體，以覆蓋該些圖案化半導體疊層。

2.如申請專利範圍第 1 項所述之發光二極體晶圓級封裝製程，其中形成該半導體疊層的方法包括：於該成長基材上形成一第一型摻雜半導體層；於該第一型摻雜半導體層上形成一發光層；以及於該發光層上形成一第二型摻雜半導體層。

3.如申請專利範圍第 1 項所述之發光二極體晶圓級封裝製程，其中該阻障圖案之材質包括氧化矽、氮化矽或銦錫氧化物。

4.如申請專利範圍第 1 項所述之發光二極體晶圓級封裝製程，其中形成該阻障圖案的方法包括薄膜沉積、黃光

顯影製程以及蝕刻製程。

5.如申請專利範圍第 1 項所述之發光二極體晶圓級封裝製程，其中該反射層之材質包括銀。

6.如申請專利範圍第 1 項所述之發光二極體晶圓級封裝製程，其中形成該反射層的方法包括蒸鍍法或濺鍍法。

7.如申請專利範圍第 1 項所述之發光二極體晶圓級封裝製程，其中該第一接合層之材質包括鈦、鎢、鈦化鎢、鎳、鉑、金、金錫合金、鈷，或其組合。

8.如申請專利範圍第 1 項所述之發光二極體晶圓級封裝製程，其中形成該第一接合層的方法包括蒸鍍法或濺鍍法。

9.如申請專利範圍第 1 項所述之發光二極體晶圓級封裝製程，其中令該半導體疊層與該成長基板分離的方法包括一雷射掀離製程。

10.如申請專利範圍第 1 項所述之發光二極體晶圓級封裝製程，其中在圖案化該半導體疊層以形成多個圖案化半導體疊層時，更包括圖案化該第一接合層與該阻障圖案。

11.如申請專利範圍第 1 項所述之發光二極體晶圓級封裝製程，其中令各該圖案化半導體疊層與該承載基板電性連接的方法包括：於各該圖案化半導體疊層上形成一介電層，其中該介電層至少覆蓋該圖案化半導體疊層的側壁；以及於該承載基板以及該介電層上形成多個與該承載基板以及各該圖案化半導體疊層電性連接的橋接導線。

12.如申請專利範圍第 1 項所述之發光二極體晶圓級封

裝製程，其中該封裝膠體係全面性地或局部性地形成於該承載基板以覆蓋該些圖案化半導體疊層。

13.如申請專利範圍第 1 項所述之發光二極體晶圓級封裝製程，其中在形成該封裝膠體前，更包括形成一螢光層，以覆蓋該些圖案化半導體疊層。

14.如申請專利範圍第 1 項所述之發光二極體晶圓級封裝製程，更包括分割該承載基板，以使該些發光二極體單體化。

15.一種發光二極體封裝，包括：至少一圖案化半導體疊層，具有一頂表面以及一底表面；一反射層，配置於該底表面上；一阻障圖案，配置於該底表面上並環繞該反射層；一第一接合層，配置於該底表面上，覆蓋全部該阻障圖案與該反射層，且該阻障圖案與該反射層藉由該第一接合層彼此分隔；一承載基板，包括：一導電基材，具有至少一通孔；一絕緣層，配置於該通孔之側壁上；至少一導電插塞，配置於該通孔內，並與該導電基材電性絕緣；一第二接合層，配置於該導電基材上，其中該第二接合層透過該第一接合層與該底表面連性連接；至少一橋接導體，與該頂表面以及該導電插塞電性連接；一封裝膠體，配置於該承載基板上以覆蓋該些圖案化半導體疊層；以及一介電層，其中該介電層配置於該圖案化半導體疊層的側壁上，且該介電層位於該圖案化半導體疊層與該橋接導體之間。

16.如申請專利範圍第 15 項所述之發光二極體封裝，

其中該阻障圖案之材質包括氧化矽、氮化矽或銦錫氧化物。

17.如申請專利範圍第 15 項所述之發光二極體封裝，其中該反射層之材質包括銀。

18.如申請專利範圍第 15 項所述之發光二極體封裝，其中該第一接合層之材質包括鈦、鎢、鈦化鎢、鎳、鉕、金、金錫合金、銦，或其組合。

19.如申請專利範圍第 15 項所述之發光二極體封裝，其中該承載基板更包括一接墊，其中該接墊透過該導電插塞以及該橋接導體與該頂表面電性連接，且該接墊與該導電基材電性絕緣。

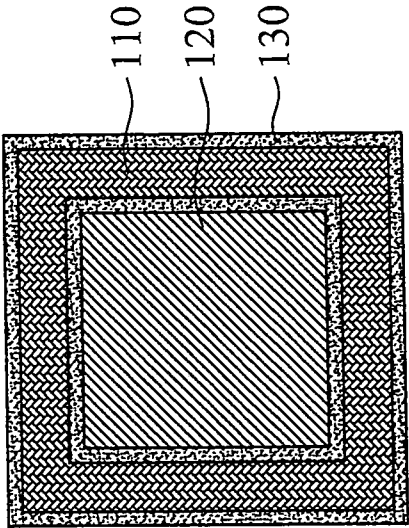
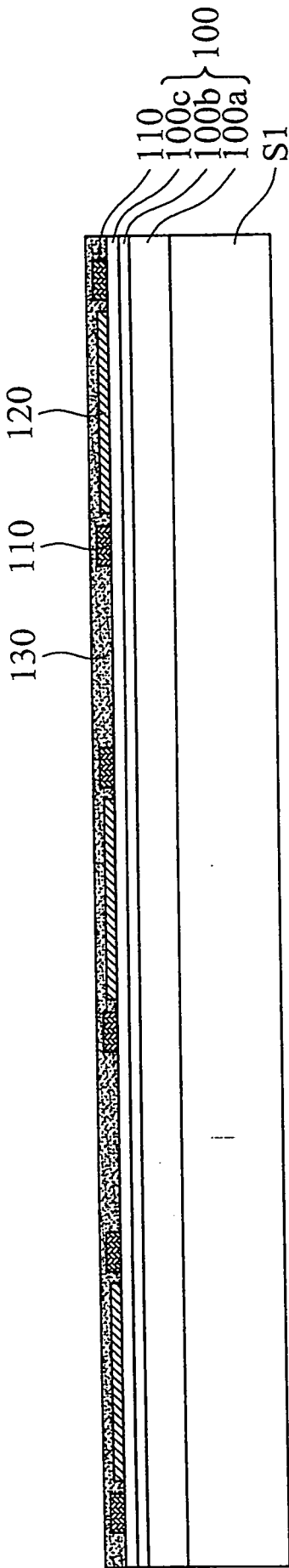
20.如申請專利範圍第 19 項所述之發光二極體封裝，其中該接墊與該圖案化半導體疊層分別位於該導電基材的兩對側。

21.如申請專利範圍第 15 項所述之發光二極體封裝，其中該承載基板更包括一散熱元件，其中該散熱元件配置於該導電基材上，且該散熱元件與該圖案化半導體疊層分為位於該導電基材的兩對側。

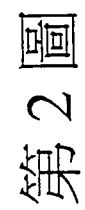
22.如申請專利範圍第 15 項所述之發光二極體封裝，更包括一螢光層，覆蓋該些圖案化半導體疊層。

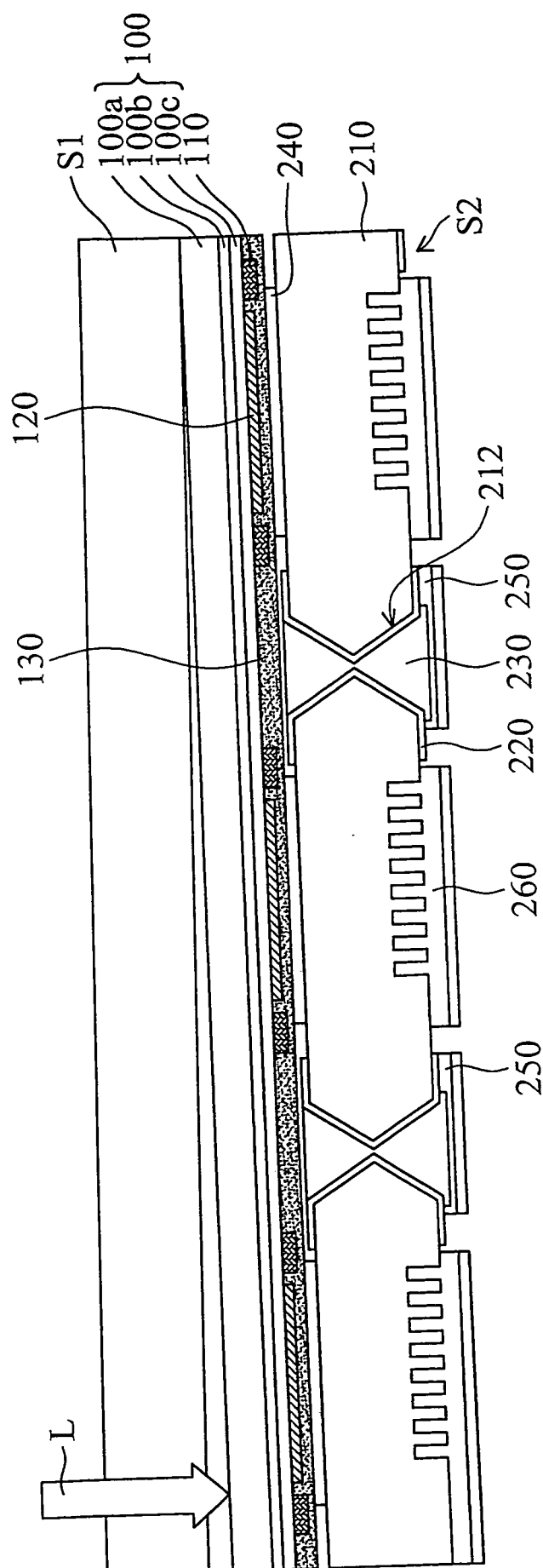
八、圖式：(如後所示)

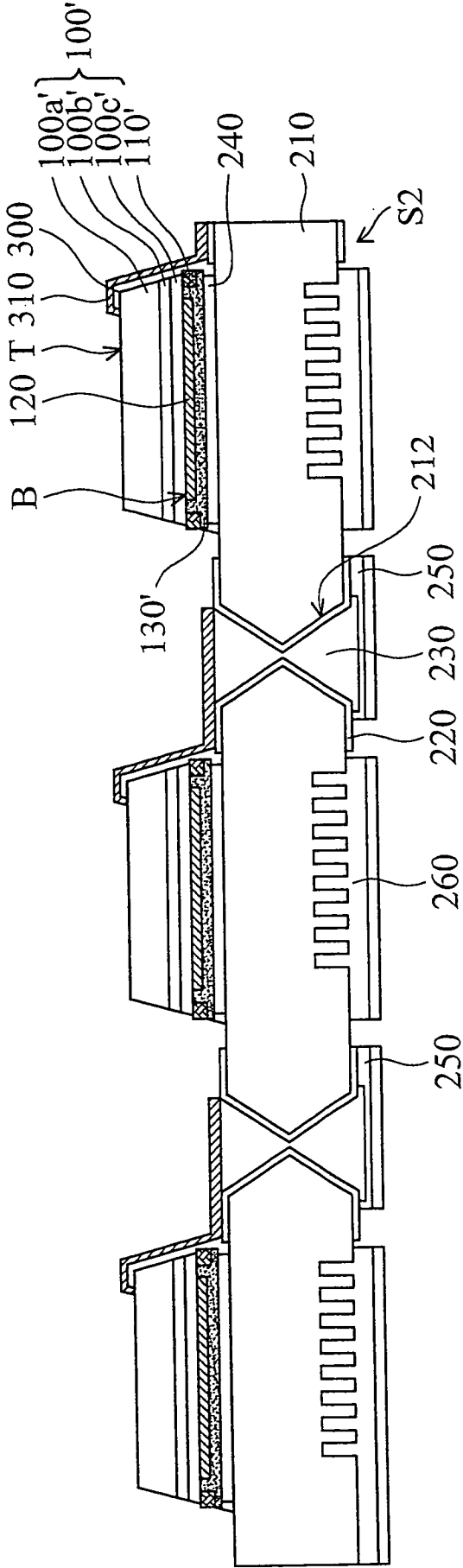
圖式



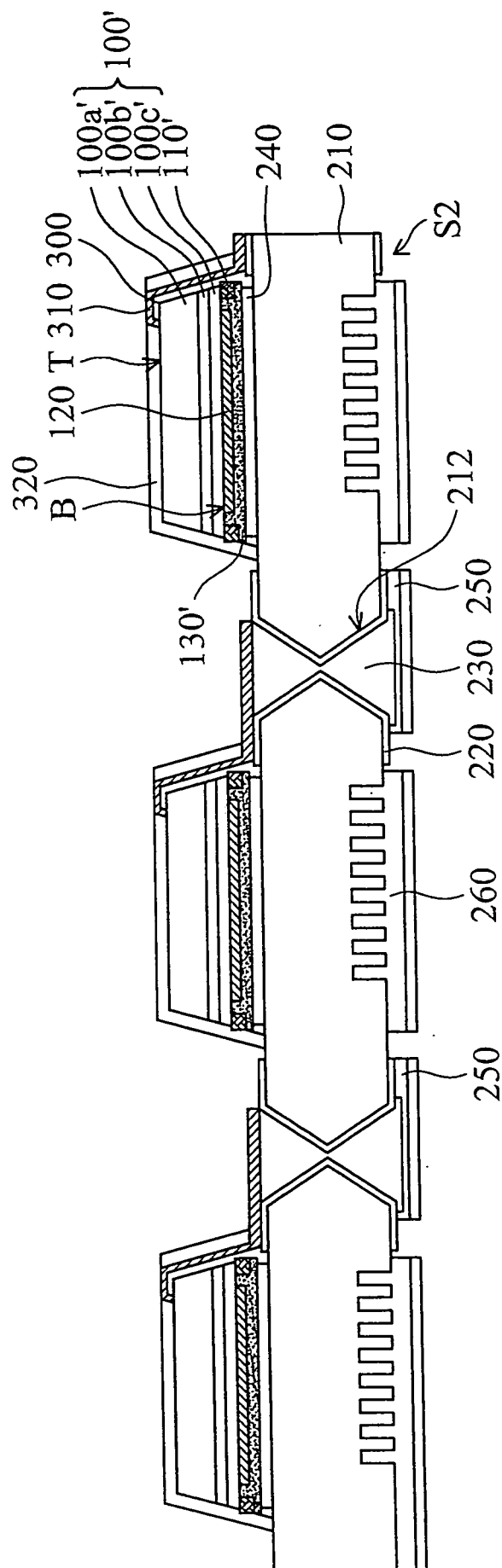
第 1 圖

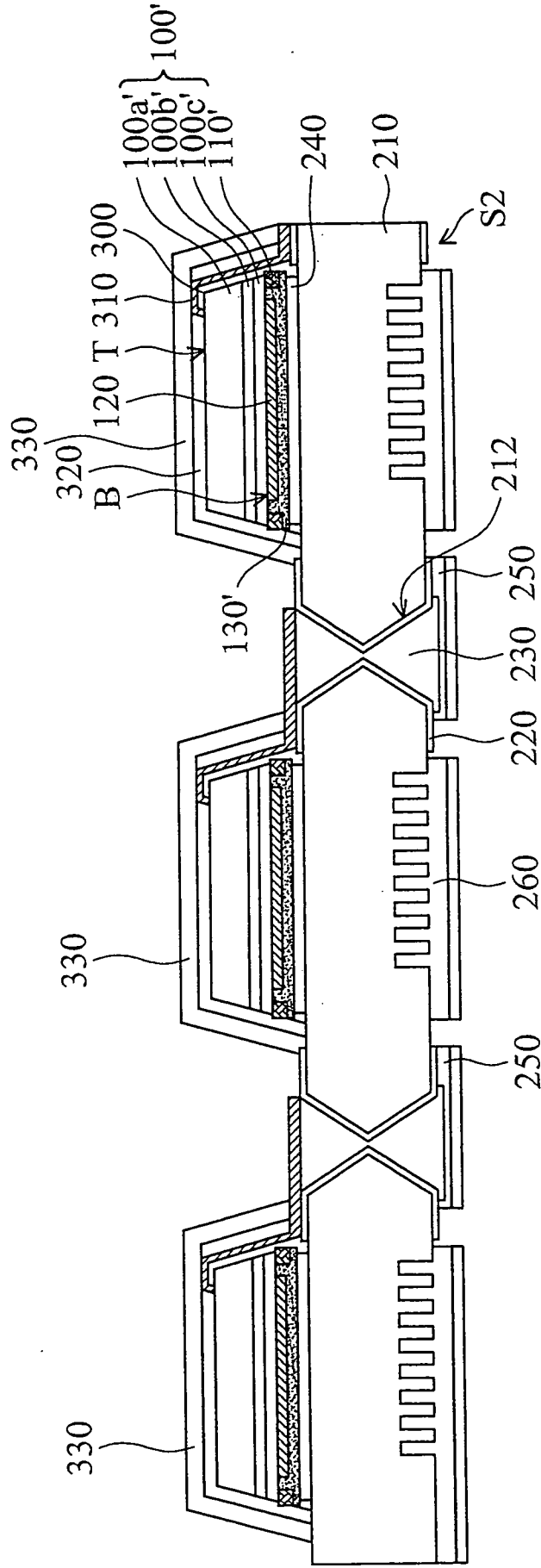
圖
2
錄



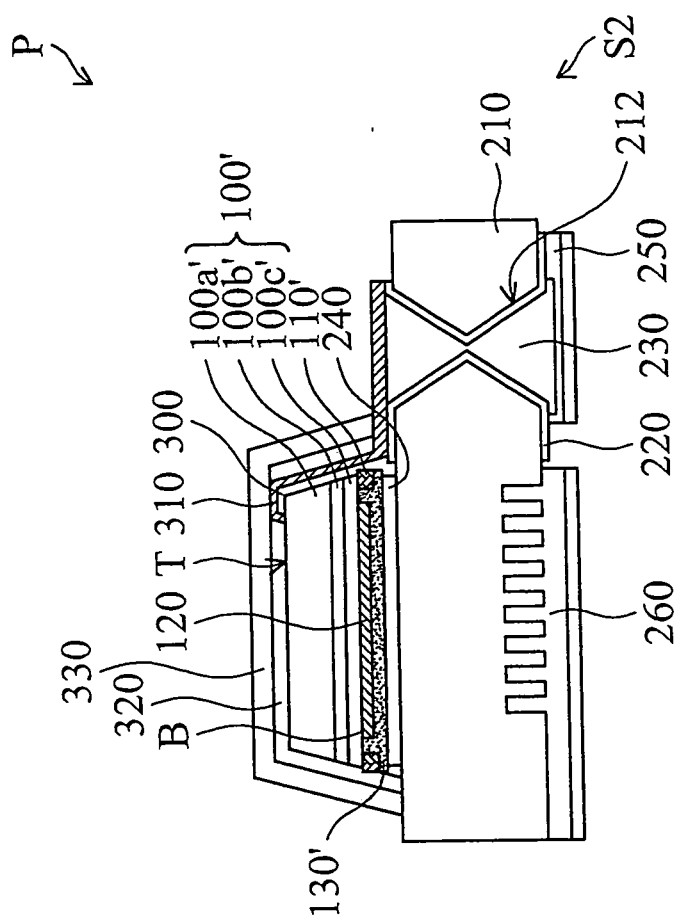


第 4 圖





第 6 圖



30739TW_W

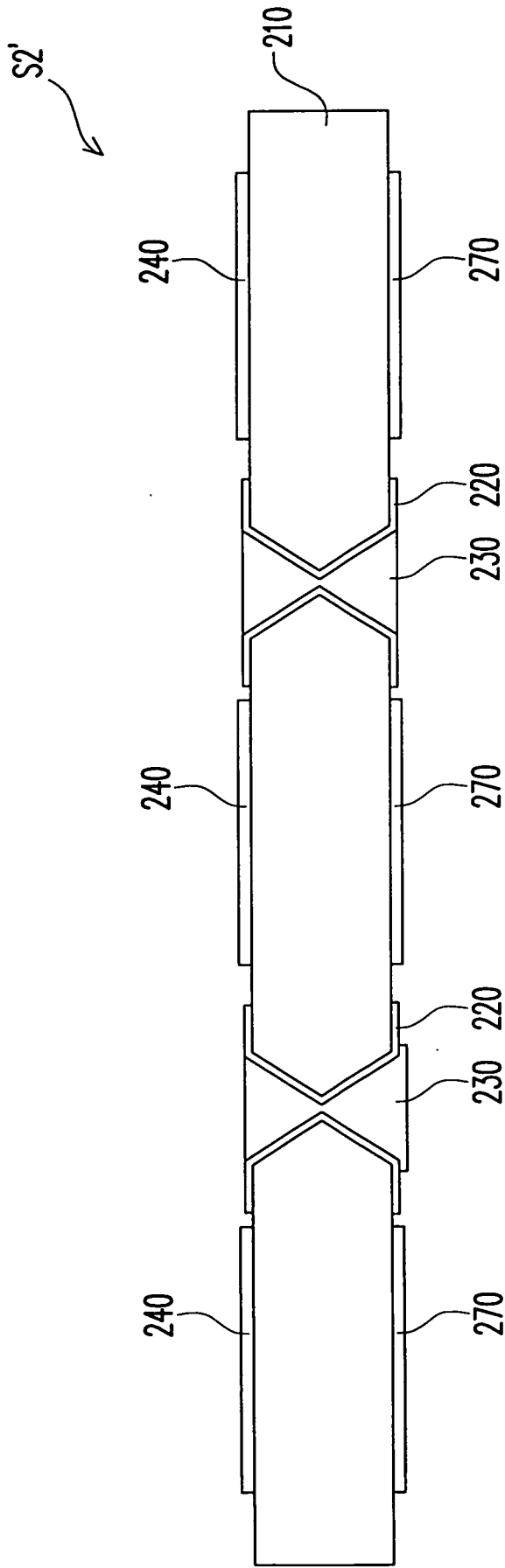


圖 8

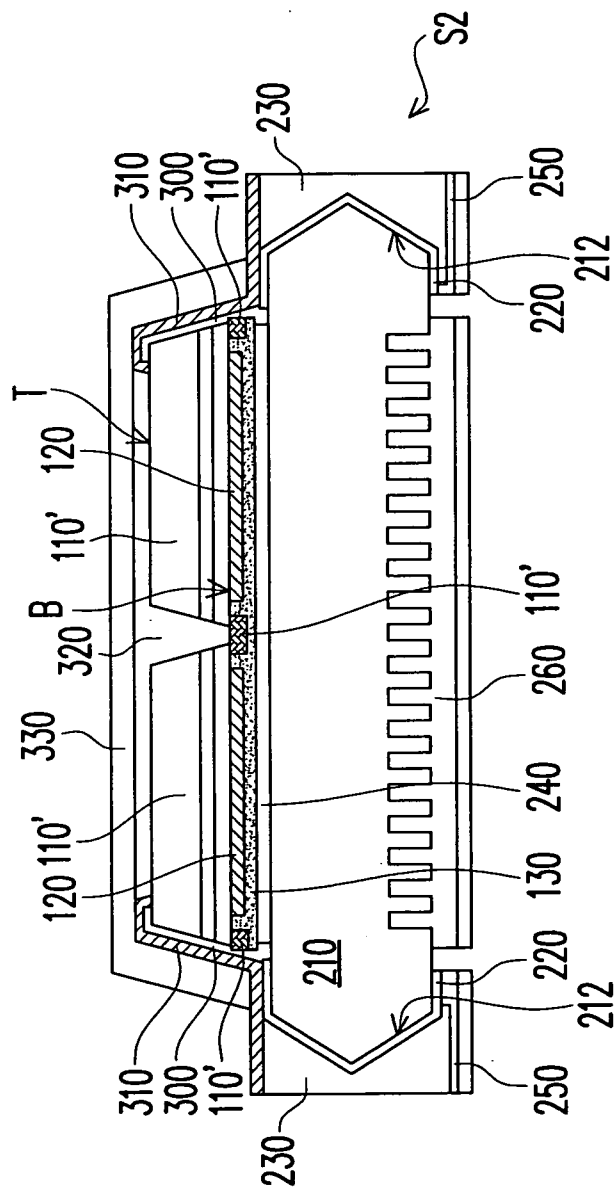


圖 9A

30739TW_W

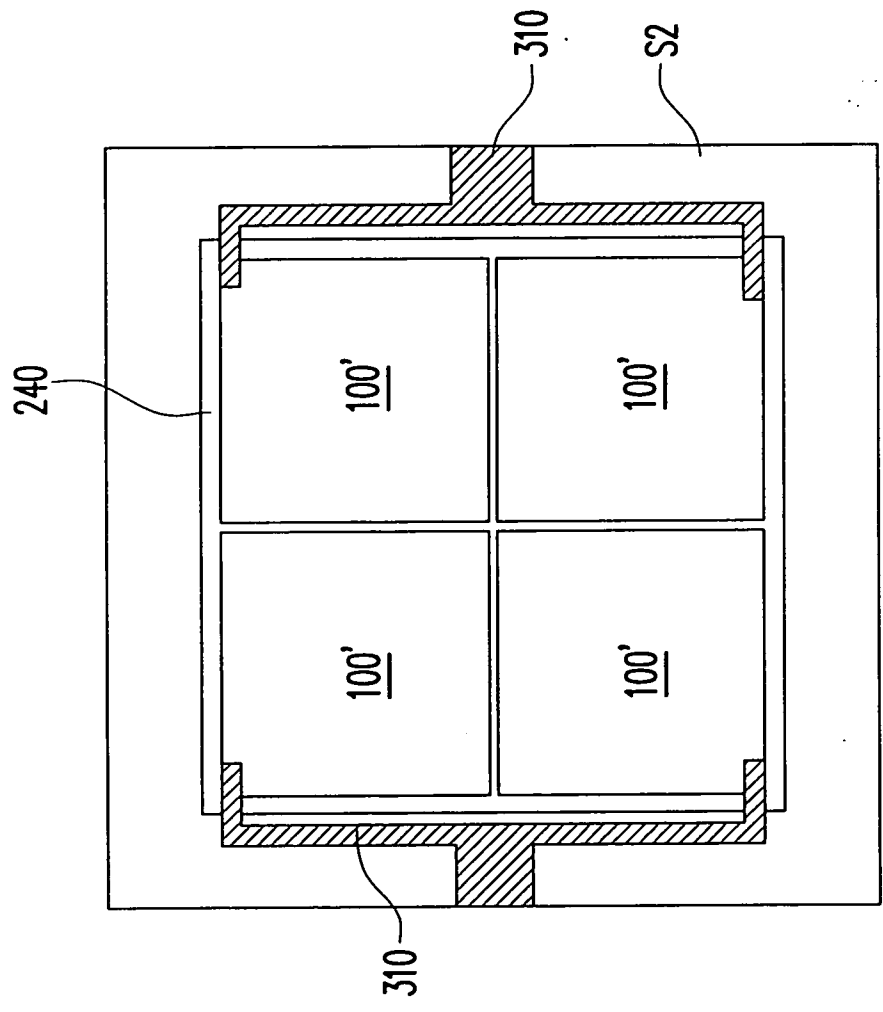


圖 9B

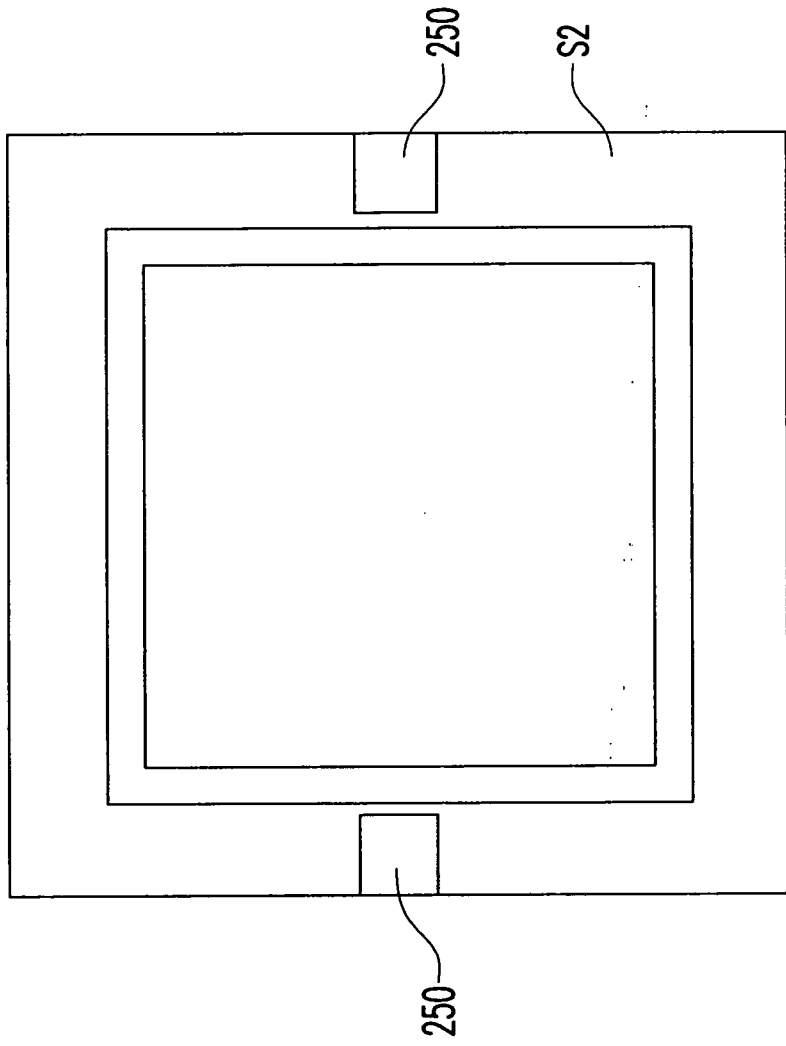


圖 9C