



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0065305
(43) 공개일자 2010년06월16일

(51) Int. Cl.

H01L 25/04 (2006.01)

(21) 출원번호 10-2010-7004435

(22) 출원일자(국제출원일자) 2008년07월09일
심사청구일자 없음

(85) 번역문제출일자 2010년02월26일

(86) 국제출원번호 PCT/US2008/069516

(87) 국제공개번호 WO 2009/032398
국제공개일자 2009년03월12일

(30) 우선권주장

11/846,874 2007년08월29일 미국(US)

(71) 출원인

프리스케일 세미컨덕터, 인크.

미합중국 텍사스 (우편번호 78735) 오스틴 월리암
캐논 드라이브 웨스트 6501

(72) 별명자

탕, 진방

미국 85226 아리조나주 체들러 웨스트 더블린 레
인 6353

프리어, 대럴 알.

미국 85048 아리조나주 휘닉스 사우쓰 12번 스트
리트 14248

라이틀, 월리암 에이치.

미국 85224 아리조나주 체들러 웨스트 플린트 스
트리트 2408

(74) 대리인

양영준, 백만기

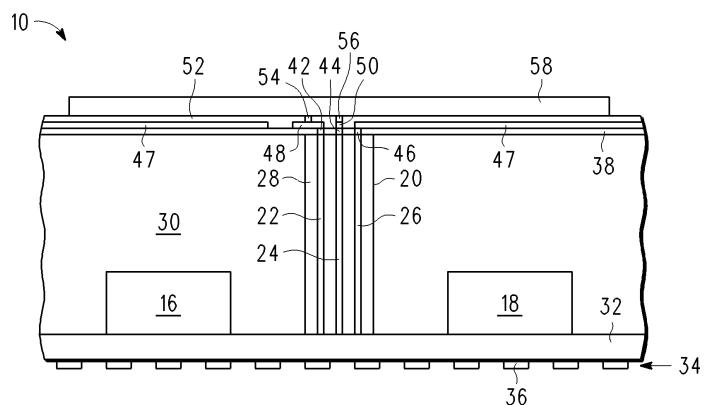
전체 청구항 수 : 총 20 항

(54) 멀티 엘리먼트 패키지 내에서의 인터커넥트

(57) 요 약

패키지화된 반도체 디바이스(10)는 종합체 층(30)의 제1 면 위의 인터커넥트 층(32), 종합체 층에 의해 세 개의 면이 둘러싸이며 인터커넥트 층에 결합된 반도체 디바이스(16, 18), 종합체 층의 제2 면 위의 제1 도전성 엘리먼트(46, 58) - 제2 면은 제1 면과 반대측에 있음 -, 및 종합체 층 내의 커넥터 블럭(20)을 포함한다. 커넥터 블럭(20)은, 커넥터 블럭의 제1 표면으로부터 커넥터 블럭의 제2 표면으로 연장되는 적어도 하나의 전기 경로(22, 24, 26, 62, 64)를 갖는다. 적어도 하나의 전기 경로는 인터커넥트 층을 제1 도전성 엘리먼트에 전기적으로 결합한다. 패키지화된 반도체 디바이스를 형성하는 방법이 또한 개시된다.

대 표 도 - 도9



특허청구의 범위

청구항 1

패키지화된 반도체 디바이스로서,

중합체 층의 제1 면(side) 위의 인터커넥트 층(interconnect layer);

상기 중합체 층에 의해 적어도 세 개의 면이 둘러싸이며 상기 인터커넥트 층에 결합된 반도체 디바이스;

상기 중합체 층의 제2 면 위의 제1 도전성 엘리먼트 - 상기 제2 면은 상기 제1 면과 반대측에 있음 -; 및

상기 중합체 층 내의 커넥터 블럭(connector block) - 상기 커넥터 블럭은, 상기 커넥터 블럭의 제1 표면(surface)으로부터 상기 커넥터 블럭의 제2 표면으로 연장되는 적어도 하나의 전기 경로를 가지며, 상기 적어도 하나의 전기 경로를 통하여 상기 인터커넥트 층을 상기 제1 도전성 엘리먼트에 전기적으로 결합시킴 -

을 포함하는 패키지화된 반도체 디바이스.

청구항 2

제1항에 있어서,

상기 커넥터 블럭은 상기 적어도 하나의 전기 경로를 둘러싸는 절연 물질을 포함하는, 패키지화된 반도체 디바이스.

청구항 3

제1항에 있어서,

상기 커넥터 블럭은 적어도 두 개의 동축 전기 경로들을 가지는, 패키지화된 반도체 디바이스.

청구항 4

제1항에 있어서,

상기 적어도 하나의 전기 경로는 접지 경로이며, 상기 제1 도전성 엘리먼트는 접지 면(ground plane)인, 패키지화된 반도체 디바이스.

청구항 5

제1항에 있어서,

상기 적어도 하나의 전기 경로는 신호 경로이며, 상기 제1 도전성 엘리먼트는 안테나인, 패키지화된 반도체 디바이스.

청구항 6

제5항에 있어서,

제2 도전성 엘리먼트 및 제2 전기 경로를 더 포함하며, 상기 제2 전기 경로는 접지 경로이며, 상기 제2 도전성 엘리먼트는 접지 면인, 패키지화된 반도체 디바이스.

청구항 7

제6항에 있어서,

제3 전기 경로를 더 포함하며, 상기 제3 전기 경로는 상기 안테나에 결합되는, 패키지화된 반도체 디바이스.

청구항 8

패키지화된 반도체 디바이스를 형성하기 위한 방법으로서,

중합체 층에 의해 반도체 디바이스의 적어도 세 개의 면을 둘러싸는 단계;

상기 중합체 층의 제1 면과 상기 반도체 디바이스 위에 인터커넥트 층을 형성하는 단계 - 상기 반도체 디바이스는 상기 인터커넥트 층에 결합됨 -;

상기 중합체 층의 제2 면 위에 도전성 엘리먼트를 형성하는 단계 - 상기 제2 면은 상기 제1 면과 반대측에 있음 -; 및

상기 중합체 층 내의 커넥터 블럭을 통하여 상기 인터커넥트 층을 상기 도전성 엘리먼트에 전기적으로 결합시키는 단계 - 상기 커넥터 블럭은 적어도 하나의 전기 경로를 가짐 -

를 포함하는 패키지화된 반도체 디바이스 형성 방법.

청구항 9

제8항에 있어서,

상기 제2 면 위에 도전성 엘리먼트를 형성하는 단계는, 도전성 물질을 도금하여 안테나를 형성하는 단계를 포함하는, 패키지화된 반도체 디바이스 형성 방법.

청구항 10

제8항에 있어서,

상기 중합체 층에 의해 반도체 디바이스의 적어도 세 개의 면을 둘러싸는 단계는,

반도체 디바이스를 일시적 지지 구조체에 부착하는 단계;

상기 반도체 디바이스 위에 상기 중합체 층을 형성하는 단계; 및

상기 중합체 층의 형성 후에 상기 일시적 지지 구조체를 제거하는 단계

를 포함하며,

상기 인터커넥트 층을 전기적으로 결합시키는 단계는,

상기 중합체 층을 형성하기 전에 상기 커넥터 블럭을 상기 일시적 지지 구조체에 부착시키는 단계;

상기 중합체 층의 일부를 제거하여서 상기 커넥터 블럭의 표면을 노출시키는 단계; 및

상기 중합체 층의 상기 제1 면 위에 상기 인터커넥트 층을 형성하는 동안, 상기 커넥터 블럭의 표면 위에 상기 인터커넥트 층을 형성하는 단계

를 포함하는, 패키지화된 반도체 디바이스 형성 방법.

청구항 11

제10항에 있어서,

상기 커넥터 블럭의 표면 위에 유전체 층을 증착하는 단계; 및

상기 유전체 층 내에 비아를 형성하는 단계 - 상기 비아는 상기 커넥터 블럭 및 상기 도전성 엘리먼트에 전기적으로 결합됨 -

를 더 포함하는, 패키지화된 반도체 디바이스 형성 방법.

청구항 12

제8항에 있어서,

상기 적어도 하나의 전기 경로는 접지 경로 및 신호 경로로 구성된 그룹으로부터 선택되는, 패키지화된 반도체 디바이스 형성 방법.

청구항 13

제8항에 있어서,

상기 제1 도전성 엘리먼트는, 접지 면 및 안테나로 구성된 그룹으로부터 선택되는, 패키지화된 반도체 디바이스

형성 방법.

청구항 14

제8항에 있어서,

상기 적어도 하나의 전기 경로는 적어도 두 개의 동축 전기 경로들을 포함하는, 패키지화된 반도체 디바이스 형성 방법.

청구항 15

패키지화된 반도체 디바이스를 형성하는 방법으로서,

반도체 디바이스를 일시적 지지 구조체에 부착하는 단계;

상기 일시적 지지 구조체에 커넥터 블럭을 부착하는 단계 - 상기 커넥터 블럭은 적어도 하나의 전기 경로를 가짐 -;

상기 커넥터 블럭 및 상기 반도체 디바이스 위에 인캡슐런트(encapsulant)를 형성하는 단계;

상기 인캡슐런트의 일부를 제거하여서 상기 커넥터 블럭의 상부 표면(top surface)을 노출시키는 단계;

상기 커넥터 블럭의 상부 표면에 전기적으로 결합되는 인터커넥트 층을 형성하는 단계;

상기 일시적 지지 구조체를 제거하여서 상기 커넥터 블럭의 하부 표면(bottom surface)을 노출시키는 단계; 및

상기 커넥터 블럭의 하부 표면에 유형의 엘리먼트(tangible element)를 전기적으로 결합시키는 단계

를 포함하는 패키지화된 반도체 디바이스 형성 방법.

청구항 16

제15항에 있어서,

상기 커넥터 블럭의 하부 표면에 유형의 엘리먼트를 전기적으로 결합시키는 단계는, 도전성 물질을 도금하여서 안테나를 형성하는 단계를 포함하는, 패키지화된 반도체 디바이스 형성 방법.

청구항 17

제16항에 있어서,

상기 커넥터 블럭의 하부 표면에 유형의 엘리먼트를 전기적으로 결합시키는 단계는,

상기 커넥터 블럭의 하부 표면 위에 유전체 층을 중착시키는 단계; 및

상기 유전체 층 내에 비아를 형성하는 단계 - 상기 비아는 상기 커넥터 블럭 및 상기 안테나에 전기적으로 결합됨 -

를 더 포함하는, 패키지화된 반도체 디바이스 형성 방법.

청구항 18

제15항에 있어서,

상기 인캡슐런트의 일부를 제거하여서 상기 커넥터 블럭의 상부 표면을 노출시키는 단계는, 상기 인캡슐런트를 그라인딩(grinding)하는 단계를 포함하는, 패키지화된 반도체 디바이스 형성 방법.

청구항 19

제15항에 있어서,

상기 일시적 지지 구조체는, 테이프 및 캐리어로 구성된 그룹으로부터 선택되는, 패키지화된 반도체 디바이스 형성 방법.

청구항 20

제15항에 있어서,

상기 커넥터 블럭은 적어도 두 개의 동축 전기 경로를 갖는, 패키지화된 반도체 디바이스 형성 방법.

명세서

기술분야

[0001] 본 개시물은 일반적으로, 적어도 하나의 반도체 디바이스를 포함하며 둘 이상의 엘리먼트를 가지는 패키지들에 관한 것으로, 특히 이러한 패키지들의 인터커넥트(interconnect)에 관한 것이다.

배경기술

[0002] 기능 밀도(density of functionality)를 증가시키는 기술 중 하나는, 집적 회로들과 같은 다수의 엘리먼트들을 하나의 패키지 내에 포함시키는 것이다. 이는, 단순히 하나의 집적 회로 상에 모든 기능을 배치하는 것에 대한 대안인데, 그 이유는, 동일한 집적 회로 상에 제조하기에 곤란하거나 혹은 적어도 동일한 집적 회로 상에서 최적화하기에는 곤란한 유형들의 집적 회로들 및 반도체 컴포넌트들이 존재하기 때문이다. 무선 주파수(RF; radio frequency) 회로들은 일반적으로 로직(logic)과는 상이한 프로세스를 요구한다. 또한, 로직 및 아날로그는 최적화될 것을 필요로 할 수 있으며 서로 다른 프로세스를 이용할 수 있다. 다수의 엘리먼트들을 동일한 패키지 내에 배치하기 위한 기술들 중 하나는, 그 엘리먼트들의 주위에서 유기 필(organic fill)을 이용하고, 외부 컨택트들이 또한 형성되는, 패키지의 상부 면(top side) 상에 인터커넥트 층들을 구축하는 RCP(redistributed chip package)이다. 이는, 엘리먼트들을 결합하고 이들을 패키지의 상부 면 상에서 연결시키는 매우 효과적인 방식을 제공하는 유용한 패키징 기술인 것으로 밝혀졌다.

발명의 내용

해결하려는 과제

[0003] 그러나, RCP의 증가된 유용성에 대한 또다른 이점이 존재한다.

도면의 간단한 설명

[0004] 본 발명은 예를 통해 설명되며, 첨부된 도면들에 의해 제한되지 않는데, 이들 도면에서는 동일한 참조부호들은 유사한 엘리먼트들을 가리킨다. 도면들 내의 엘리먼트들은 간략성 및 명확성을 위해 설명되며 일정 비율로 그려질 필요는 없었다.

도 1은 일 실시예에 따른 처리에서의 하나의 스테이지에서의 패키지화된 반도체 디바이스의 단면도;

도 2는 처리에서의 후속 스테이지에서의, 도 1의 패키지화된 반도체 디바이스의 단면도;

도 3은 처리에서의 후속 스테이지에서의, 도 2의 패키지화된 반도체 디바이스의 단면도;

도 4는 처리에서의 후속 스테이지에서의, 도 3의 패키지화된 반도체 디바이스의 단면도;

도 5는 처리에서의 후속 스테이지에서의, 도 4의 패키지화된 반도체 디바이스의 단면도;

도 6은 처리에서의 후속 스테이지에서의, 도 5의 패키지화된 반도체 디바이스의 단면도;

도 7은 처리에서의 후속 스테이지에서의, 도 6의 패키지화된 반도체 디바이스의 단면도;

도 8은 처리에서의 후속 스테이지에서의, 도 7의 패키지화된 반도체 디바이스의 단면도;

도 9는 처리에서의 후속 스테이지에서의, 도 8의 패키지화된 반도체 디바이스의 단면도;

도 10은 도 1-9의 패키지화된 디바이스의 일부의 평면도; 및

도 11은 도 10의 일부에 대한 대안을 나타낸 평면도.

발명을 실시하기 위한 구체적인 내용

[0005] 상부 면 상에서 이용가능한 외부 커넥션들(external connections)과 상호접속되는 다수의 엘리먼트들을 갖는 RCP가 구축된다. 이들 엘리먼트들 중 하나는 상부 면으로부터 이면으로 연장하는 능력을 제공하는 커넥션 블럭

인데, 이 커넥션 블력은 사전제조되기 때문이다. 커넥션 블력은, 커넥터 블력으로도 또한 칭해질 수 있으며, RCP 내의 다른 엘리먼트들과 동일한 방식으로 주위에 형성되는 유기 필을 갖는다. 이에 따라, 커넥션 블력은, 비아 홀들을 예칭한 후 비아 홀들을 충전하여 비아들을 형성할 필요없이 상부 면 상에서 이면으로의 인터커넥트로부터 전기적 커넥션이 행해질 수 있게 해준다. 상부 면에서 이면까지의 거리는, 실제의 생산의 경우, 비아들을 형성 및 충전하기에 너무 길다. 커넥션 블력의 하나의 응용은, 이면 상에 안테나를 배치하는 것이다. 다른 응용은 이면 상에 접지면을 배치하는 것이다. 이는 도면 및 이하의 설명을 참조하면 더 잘 이해된다.

[0006] 도 1에는, 캐리어(12), 테이프(14), 엘리먼트(16), 엘리먼트(18), 및 커넥션 블력(20)을 포함하는 패키지(10)가 도시되어 있다. 캐리어(12)는 기계적 지지를 제공하기 위한 것이다. 테이프(14)는 양면으로 되어 있다. 엘리먼트(16)는 접적 회로일 수 있으며, 엘리먼트(18)도 접적 회로일 수 있다. 패시브 디바이스 혹은 개별적 반도체 디바이스와 같은 다른 유형의 엘리먼트가 위에 있거나 혹은 다른 것이 될 수 있다. 커넥션 블력(20)은, 커넥션 블력(20)의 길이를 따라 수직으로 운용되고 유전체(28)에 의해 둘러싸이는 도전체(22), 도전체(24), 및 도전체(26)를 갖는다. 유전체(28)는, RCP를 제조할 때에 필(film)로서 사용되는 것과 유사하거나 혹은 그와 동일한 유기 물질인 것이 바람직하지만, 유전체(28)는 또한 세라믹과 같은 다른 물질일 수도 있다. 도전체들(22, 24, 26)에 대해서는 구리가 바람직한 물질인데, 그 이유는 구리가 비교적 높은 도전성을 가지며 비교적 가격이 낮기 때문이다. 백금, 금, 또는 은과 같은 더욱 전도성이 높은 물질이 사용될 수도 있지만, 가격이 더 비싸다. 커넥션 블력(20)의 길이는, 마무리된(finished) RCP의 엘리먼트들을 둘러싸는 유기 층의 두께보다 약간 더 두껍게 되도록 선택된다. 이 엘리먼트들을 둘러싸는 유기 층의 통상의 두께는 약 0.65mm이지만, 이는 변동될 수 있다. 이러한 0.65mm의 경우, 커넥션 블력(20) 및 이에 따른 도전체들(22, 24, 26)은 약 0.70mm의 길이이다. 커넥션 블력(20)은 1mm 혹은 그 이상의 직경을 갖는 것이 바람직하다. 직경이 더 작으면 테이프(14)에 신뢰성 있게 부착되기 어렵지만, 그럼에도 불구하고 몇몇 응용의 경우 이를 수도 있다.

[0007] 도 2에는, 엘리먼트들(16, 18) 및 커넥션 블력(20)을 덮는 유기 층(30)의 중착 후의 패키지(10)가 도시되어 있다. 유기 층(30)은, 커넥션 블력(20)이 약 0.70mm인 예의 경우, 약 0.80mm가 되도록 중착될 수 있다. 유기 층(30)은 중합체 층인 것으로 간주될 수 있다.

[0008] 도 3에는, 유기 층(30) 및 커넥션 블력(20)의 작은 부분을 그라인딩(grinding)하여 도전체들(22, 24, 26)을 노출시킨 후의 패키지(10)가 도시되어 있다. 그 후, 유기 층(30)은, 이 예에서, 0.65mm로 감소된다.

[0009] 도 4에는, 캐리어(12) 및 테이프(14)를 제거한 후의 패키지(10)가 도시되어 있다. 도 4는 또한, 도 1-3의 결과는 역전되어 있는 패키지(10)를 갖는다. 엘리먼트들(16, 18)은 패키지(10)의 상부 면 상에서 노출되어 있다. 엘리먼트(16)의 노출된 표면 및 엘리먼트(18)의 노출 표면에는, 엘리먼트들(16, 18)에 대한 컨택트들이 존재한다.

[0010] 도 5에는, 커넥션 블력(20), 엘리먼트(16), 및 엘리먼트(18)와 접촉하는 인터커넥트(32)를 형성한 후의 패키지(10)가 도시되어 있다. 인터커넥트(32)는, 비아들을 이용하여 엘리먼트들(16, 18) 및 커넥션 블력(20)에 연결된 다수의 도전성 층들로 이루어질 수 있다. 인터커넥트(32) 상에는, 복수의 패드들(34)이 존재하는데, 이들 중 하나가 패드(36)이다. 패드들(34)은 땜납 볼들(solder balls)을 수용하기 위한 것으로 패키지(10)의 상부 면 상에 있다. 커넥션 블력(20)은 패키지(10)의 이면 상에서 노출된다. 커넥션 블력(20)을 가지지 않았을 수 있는 통상의 RCP에서, 프로세싱은 땜납 볼들을 제외하고 완료될 수 있다. 땜납 볼들은 이때 추가될 수도 있고 혹은 후속하는 편리한 시간에 추가될 수도 있다.

[0011] 도 6에는, 이면 상에 유전체 층(38)을 형성하고 유전체 층(38)을 통하여 비아들(42, 44, 46)을 형성한 후의 패키지(10)가 도시되어 있다. 유전체 층(38)은 유기 층(30)과 동일한 물질인 것이 바람직하지만, 다른 절연 물질일 수도 있다. 유전체 층(38)은 0.1mm 두께일 수 있다. 비아(42)는 도전체(22)와 접촉한다. 비아(44)는 도전체(24)와 접촉한다. 비아(46)는 도전체(46)와 접촉한다. 도 6은 또한 도 4 및 도 5로부터 역전된 패키지(10)를 도시한다. 패드들(34)을 갖는 면은 여전히 상부 면이라 불리우며, 유전체 층(38)을 갖는 면은 여전히 이면이라 불린다.

[0012] 도 7에는, 유전체 층(38) 위에, 비아(40)와 접촉하는 접지 면(47), 비아(42)와 접촉하는 트레이스(48), 및 비아(44)와 접촉하는 트레이스(50)를 포함하는 패터닝된 도전성 층을 형성한 후의 패키지(10)가 도시되어 있다. 접지 면(47)은 트레이스들(48, 50)을 둘러싼다. 트레이스(48)는 비아(42)로부터 측면으로 연장되며 안정성을 위해 존재하는 것이다. 마찬가지로, 트레이스(50)는 비아(44)로부터, 트레이스(48)와는 다른 방향으로 측면으로 연장되어서, 측면 연장부가 도 7의 단면도에는 보여지지 않게 된다. 패터닝된 도전성 층은 통상의 도금 처리에 의해 제조될 수 있는데, 이 도금 처리에서는, 얇은 시드 층이 중착되고 그 후 패터닝되는 포토레지스트가 도포

된다. 그 후, 도금이 행해져서, 도전성 물질, 바람직하게는 구리(다른 금속들도 또한 효과적일 수 있음)가 그 영역들 내에서 성장하게 되지만 포토레지스트에 의해 피복되지는 않는다. 포토레지스트는 제거된다. 도전성 층이 성장되지 않은 영역들 내에서 시드 층을 제거하기 위해 에치 백(etch back)이 행해진다. 접지 면(47) 및 트레이스들(48, 50)의 두께는 약 0.10mm일 수 있다.

[0013] 도 8에는, 유전체 층(52), 및 유전체 층(52)을 통과하는 비아들(54, 56)을 형성한 후의 패키지(10)가 도시되어 있다. 유전체 층(52)은, 유전체 층(38)과 동일한 재료로 이루어질 수 있다. 비아(54)는 트레이스(48)와 접촉한다. 비아(56)는 트레이스(50)와 접촉한다. 비아(56)가 도 8의 단면도에서 트레이스(50)와 접촉하는 것으로 도시되어 있지만, 비아(56)는 도시된 것보다 더 넓은 트레이스(50)의 부분 위에 위치하는 것이 바람직하다.

[0014] 도 9에는, 비아들(54, 56)과 접촉하는 안테나(58)를 형성한 후의 패키지(10)가 도시되어 있다. 접지 면(47) 및 트레이스들(48, 50)에 대해 기술된 것과 동일한 도금 기술을 이용하여 안테나(58)가 형성 및 패터닝될 수 있다. 안테나(58)는 0.200mm 두께일 수 있다. 비아들(54, 56)과 접촉하는 안테나(58)에서, 안테나는 도전체들(22, 24) 각각과 결합되어 있다. 수반될 수 있는 높은 주파수들로 인해, 비아들(54, 56)은, 도전체(22)와 결합될 안테나(58)에 대해, 안테나(58)에 충분히 밀접해 있는 경우, 안테나(58)와 실제로 접촉하여 있지 않아도 될 수 있다. 도 9의 패키지(10)는, 나중에 회로 기판 상에 장착되는 것에 더 가까운 시간에 땜납 볼들이 추가될 완료된 RCP이다.

[0015] 도 10에는, 한줄로 된 도전체들(22, 24, 26)과, 원형으로 이들을 둘러싸는 유전체(28)를 나타내는 커넥션 블럭(20)의 평면도가 도시되어 있다. 이 구성에서, 커넥션 블럭(20)은 세 개의 인라인(inline) 도전체들을 갖는 원통형이다. 도전체들(22, 24, 26)은 서로 다른 구성으로 되어 있을 수 있다. 또한, 그 형태는 원형과 다를 수 있는데, 예를 들면, 정사각형, 직사각형, 혹은 삼각형일 수 있다.

[0016] 도 11에는, 외부 절연 층(68), 도전체 링(62), 내부 도전체(64), 및 도전체 링(62)과 내부 도전체(64) 사이의 절연 층을 포함하는 대안적인 커넥션 블럭(60)이 도시되어 있다. 이는, RF를 송신 및 수신하는 안테나에 결합될 때 특히 이로울 수 있는 동축선을 형성한다. 커넥션 블럭(60)은 안테나(58)에 대한 커넥션에 대하여 커넥션 블럭(20)을 대체할 수 있다. 접지 면이 여전히 바람직한 경우, 접지 면에 대한 커넥션은 다른 커넥션 블럭에 의한 것일 수 있거나, 혹은 커넥션 블럭(60)은 접지 면으로의 결합을 위해 다른 도전체 외부 링(62)을 가지도록 변경될 수 있다.

[0017] 커넥션 블럭(20) 또는 커넥션 블럭(60)과 같은 커넥션 블럭의 구성은, 와이어 본드 머신(wire bond machines)을 이용하여 달성될 수 있다. 와이어 본드는 통상적으로 25 마이크론의 직경을 갖는다. 이들 와이어 본드들 중 세 개가 커넥션 블럭(20)의 것보다 훨씬 더 긴 원통형 몰드 내에 놓여질 수 있다. 이 몰드는, 원하는 유전체, 예를 들면 유전체(30)에 이용되는 물질로 채워진다. 이에 따라 생성된 구조체는, 그 후 약 0.070mm의 원하는 길이의 조각들로 절단된다. 유기 물질 대신에, 둘러싸는 유전체는, 세라믹과 같은 물질일 수 있다. 세라믹의 강도는 제조 프로세스에서 이로울 수 있다.

[0018] 지금까지, 인터커넥트 층, 반도체 디바이스, 제1 도전성 엘리먼트, 및 커넥터 블럭을 갖는 패키지화된 반도체 디바이스가 제공되었음을 알 것이다. 인터커넥트 층은, 중합체 층의 제1 면 위에 있다. 반도체 디바이스는, 중합체 층에 의해 적어도 세 면이 둘러싸이며, 인터커넥트 층에 결합된다. 제1 도전성 엘리먼트는 중합체 층의 제2 면 위에 있다. 제2 면은 제1 면과 반대측에 있다. 커넥터 블럭은 중합체 층 내에 있으며, 커넥터 블럭의 제1 표면으로부터 커넥터 블럭의 제2 표면으로 연장되는 적어도 하나의 전기 경로를 가지며, 인터커넥트 층을, 적어도 하나의 전기 경로를 통하여 제1 도전성 엘리먼트에 전기적으로 결합시킨다. 커넥터 블럭은 적어도 하나의 전기 경로를 둘러싸는 절연 물질을 포함할 수 있다. 커넥터 블럭은 적어도 두 개의 동축 전기 경로들을 가질 수 있다. 적어도 하나의 전기 경로는 접지 경로일 수 있으며, 제1 도전성 엘리먼트는 접지 면일 수 있다. 적어도 하나의 전기 경로는 신호 경로일 수 있으며, 제1 도전성 엘리먼트는 안테나일 수 있다. 패키지화된 반도체 디바이스는, 제2 도전성 엘리먼트 및 제2 전기 경로를 더 포함할 수 있으며, 여기서, 제2 전기 경로는 접지 경로이며, 제2 도전성 엘리먼트는 접지 면이다. 패키지화된 반도체 디바이스는 제3 전기 경로를 더 포함할 수 있는데, 여기서 제3 전기 경로는 안테나에 결합된다.

[0019] 또한, 패키지화된 반도체 디바이스를 형성하기 위한 방법이 제공된다. 이 방법은 중합체 층에 의해 반도체 디바이스의 적어도 세 개의 면을 둘러싸는 단계를 포함한다. 이 방법은, 중합체 층의 제1 면과, 반도체 디바이스 상에 인터커넥트 층을 형성하는 단계를 더 포함하며, 여기서 반도체 디바이스는 인터커넥트 층에 결합된다. 이 방법은, 중합체 층의 제2 면 위에 도전성 엘리먼트를 형성하는 단계를 더 포함하며, 여기서 제2 면은 제1 면과 반대측에 있다. 이 방법은, 적어도 하나의 전기 경로를 갖는, 중합체 층 내의 커넥터 블럭을 통해 인터커넥트

층을 도전성 엘리먼트에 전기적으로 결합시키는 단계를 더 포함한다. 제2 면 상에 도전성 엘리먼트를 형성하는 단계는, 도전성 물질을 도금하여서 안테나를 형성하는 단계를 포함할 수 있다. 둘러싸는 단계는, 반도체 디바이스를 일시적 지지 구조체에 부착시키는 단계, 반도체 디바이스 상에 중합체 층을 형성하는 단계, 및 중합체 층을 형성한 후 일시적 지지 구조체를 제거하는 단계를 포함할 수 있다. 전기적으로 결합시키는 단계는, 중합체 층을 형성하기 전에 일시적 지지 구조체에 커넥터 블럭을 부착시키는 단계, 중합체 층의 일부를 제거하여서 커넥터 블럭의 표면을 노출시키는 단계, 중합체 층의 제1 면 상에 인터커넥트 층을 형성하는 동안 커넥터 블럭의 표면 상에 인터커넥트 층을 형성하는 단계를 포함할 수 있다. 이 방법은, 커넥터 블럭의 표면 위에 유전체 층을 증착하는 단계, 및 유전체 층 내에 비아를 형성하는 단계를 더 포함할 수 있으며, 여기서 비아는 커넥터 블럭 및 도전성 엘리먼트에 전기적으로 결합된다. 적어도 하나의 전기 경로는, 접지 경로 및 신호 경로로 구성된 그룹으로부터 선택될 수 있다. 제1 도전성 엘리먼트는, 접지 면 및 안테나로 구성된 그룹으로부터 선택될 수 있다. 적어도 하나의 전기 경로는 적어도 두 개의 동축 전기 경로들을 포함할 수 있다.

[0020] 패키지화된 반도체 디바이스를 형성하기 위한 방법이 또한 기술되어 있다. 이 방법은 반도체 디바이스를 일시적 지지 구조체에 부착하는 단계를 포함한다. 이 방법은 커넥터 블럭을 일시적 지지 구조체에 부착하는 단계를 더 포함하는데, 여기서 커넥터 블럭은 적어도 하나의 전기 경로를 갖는다. 이 방법은 커넥터 블럭 및 반도체 디바이스 위에 인캡슐런트(encapsulant)를 형성하는 단계를 더 포함한다. 이 방법은, 인캡슐런트의 일부를 제거하여서 커넥터 블럭의 상부 표면을 노출시키는 단계를 더 포함한다. 이 방법은, 커넥터 블럭의 상부 표면에 전기적으로 결합된 인터커넥트 층을 형성하는 단계를 더 포함한다. 이 방법은, 일시적 지지 구조체를 제거하여서 커넥터 블럭의 하부 표면을 노출시키는 단계를 더 포함한다. 이 방법은 유형의 엘리먼트(tangible element)를 커넥터 블럭의 하부 표면에 전기적으로 결합시키는 단계를 더 포함한다. 유형의 엘리먼트를 커넥터 블럭의 하부 표면에 전기적으로 결합시키는 단계는, 도전성 물질을 도금하여서 안테나를 형성하는 단계를 포함할 수 있다. 유형의 엘리먼트를 커넥터 블럭의 하부 표면에 전기적으로 결합시키는 단계는, 커넥터 블럭의 하부 표면 위에 유전체 층을 증착시키는 단계, 및 유전체 층 내에 비아를 형성하는 단계를 더 포함할 수 있으며, 여기서 비아는 커넥터 블럭 및 안테나에 전기적으로 결합된다. 인캡슐런트의 일부를 제거하여서 커넥터 블럭의 상부 표면을 노출시키는 단계는 인캡슐런트를 그라인딩하는 단계를 포함할 수 있다. 일시적 지지 구조체는, 테이프 및 캐리어로 구성된 그룹으로부터 선택될 수 있다. 커넥터 블럭은 적어도 두 개의 동축 전기 경로들을 가질 수 있다.

[0021] 또한, 명세서 및 특허청구범위에서, "앞(front)", "뒤(back)", "상부(top)", "하부(bottom)", "위(over)", "아래(under)" 등과 같은 용어(있는 경우에 한함)는, 설명을 위한 것으로, 반드시 영구적인 상대적인 위치를 기술하는 것은 아니다. 이와 같이 사용된 용어들은 적절한 상황하에서 상호교환가능하여서, 본원에 기술되는 본 발명의 실시예들이, 예를 들어 본원에 예시되거나 혹은 설명된 것과는 다른 방위로 동작할 수 있게 됨을 알 것이다.

[0022] 본 발명은 본원에서 특정 실시예들을 참조하여 설명되지만, 이하의 특허청구범위에 제시된 바와 같은 본 발명의 범주로부터 벗어나지 않고 다양한 수정 및 변경이 행해질 수 있다. 예를 들면, 유전 층(38)이, 인터커넥트 층(32) 후에 형성되는 것으로 도시되어 있지만, 유전 층(38)은 인터커넥트 층(32)이 형성되기 전에 증착될 수도 있다. 또한, 패터닝된 금속 층들을 형성하기 위한 방법으로서 도금이 기술되었지만, 그 밖의 다른 증착 기술들이 이용될 수도 있다. 예를 들면, 금속은 스퍼터링된 후, 에치에 의해 패터닝될 수 있다. 따라서, 본 명세서 및 도면들은 제한적인 의미가 아니라 예시적인 것으로 간주되어야 하며, 이러한 모든 변형들은 본 발명의 범주 내에 포함되는 것으로 의도된다. 특정 실시예들과 관련하여 본원에 기술된 임의의 이점들, 이익들, 문제들에 대한 해법들은, 임의의 청구항들 혹은 모든 청구항들의 결정적이거나, 요구되거나, 혹은 필수적인 특성 또는 엘리먼트인 것으로 이해되어서는 않된다.

[0023] 본원에서 사용되는 "결합된(coupled)"이라는 용어는, 직접적인 결합 혹은 기계적 결합으로 제한되어서는 않된다.

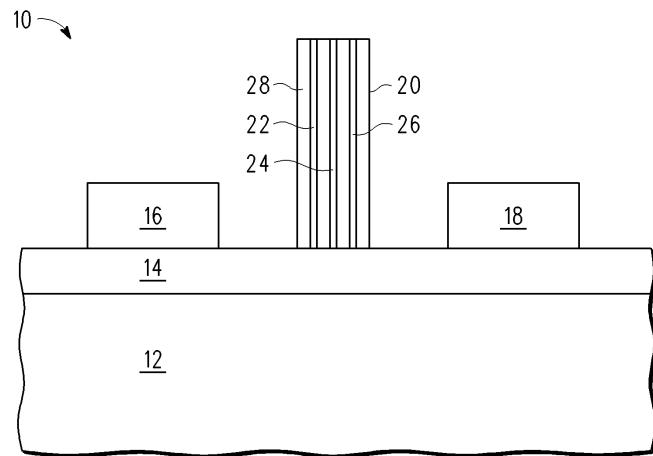
[0024] 또한, 본원에서 사용되는 "하나(a 또는 an)"라는 용어는, 하나 또는 하나 이상으로 정의된다. 또한, 특허청구 범위에서 "적어도 하나(at least one)" 및 "하나 이상(one or more)"과 같은 도입 문구의 사용은, 동일한 청구 항이 "하나 이상" 혹은 "적어도 하나"와 같은 도입 문구 및 부정관사("a" 또는 "an")를 포함하고 있을 때에도, 부정 관사("a" 또는 "an")에 의한 다른 청구항 엘리먼트의 도입이, 이러한 엘리먼트 하나만을 포함하고 있는 본 발명의 이러한 도입된 청구항 엘리먼트를 포함하는 임의의 특정 청구항을 제한하는 것을 암시하고 있는 것으로 해석하여서는 않된다. 이는, 정관사(definite articles)의 사용에 대해서는 적용된다.

[0025]

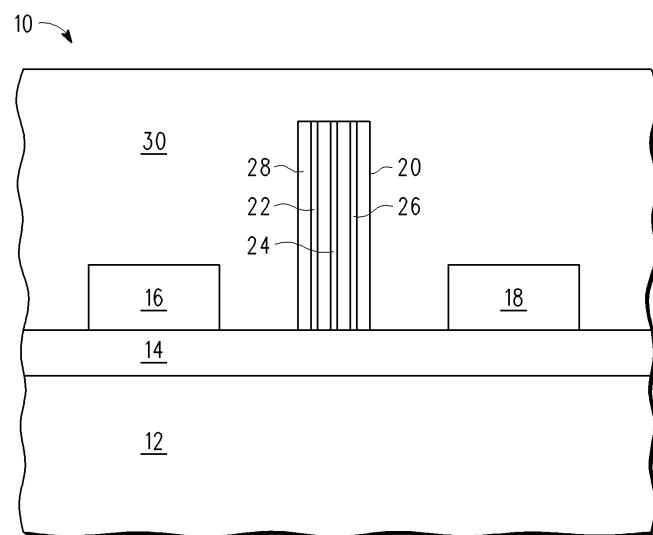
달리 진술되지 않는 한, "제1" 및 "제2"와 같은 용어들은, 이러한 용어들이 기술하는 엘리먼트들을 임의로 구별하는데에 이용된다. 따라서, 이들 용어들은 이러한 엘리먼트들의 시간적 혹은 그 밖의 다른 우선순위를 가리키는 것을 반드시 의도하는 것은 아니다.

도면

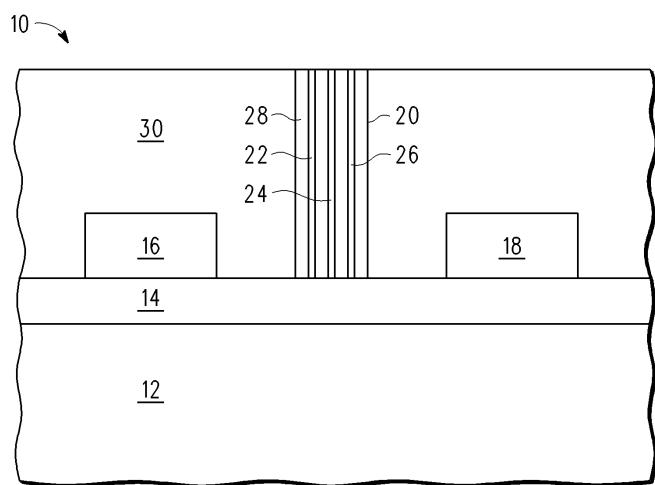
도면1



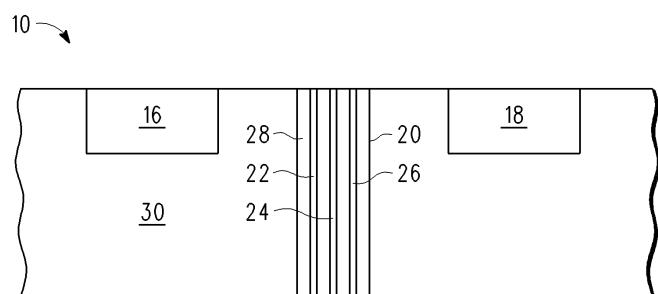
도면2



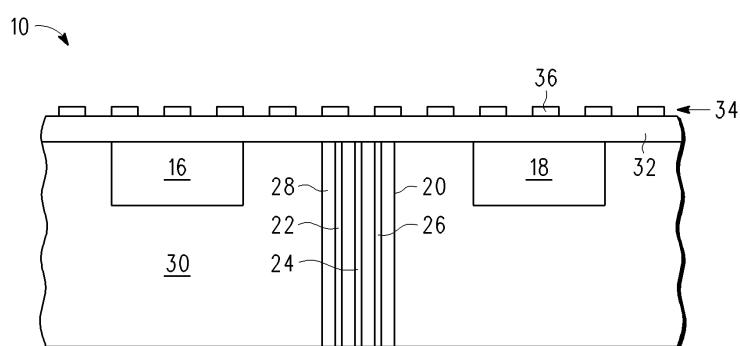
도면3



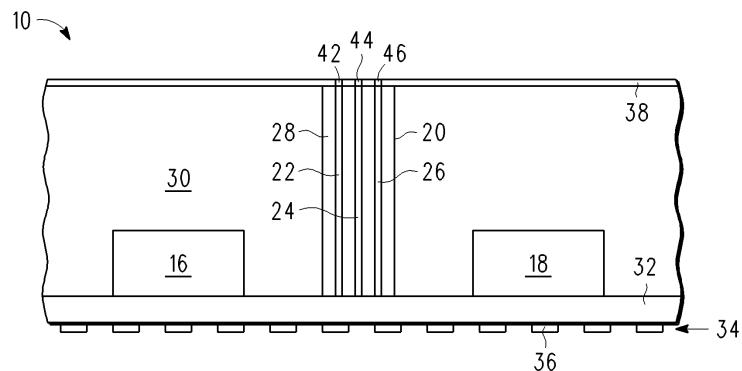
도면4



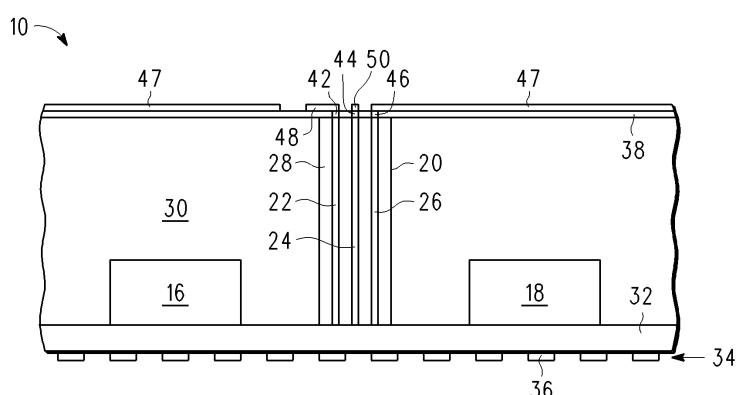
도면5



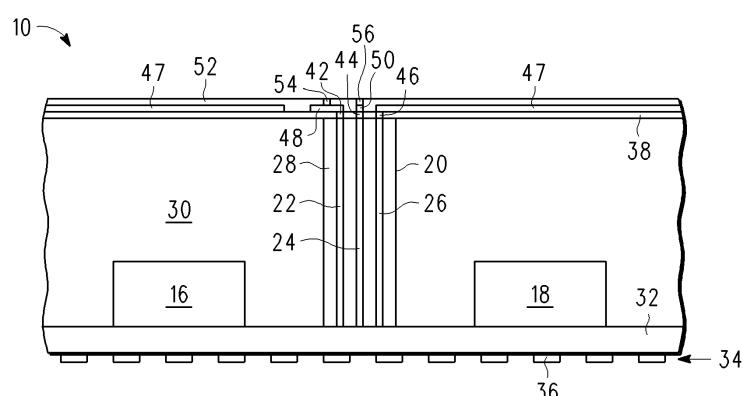
도면6



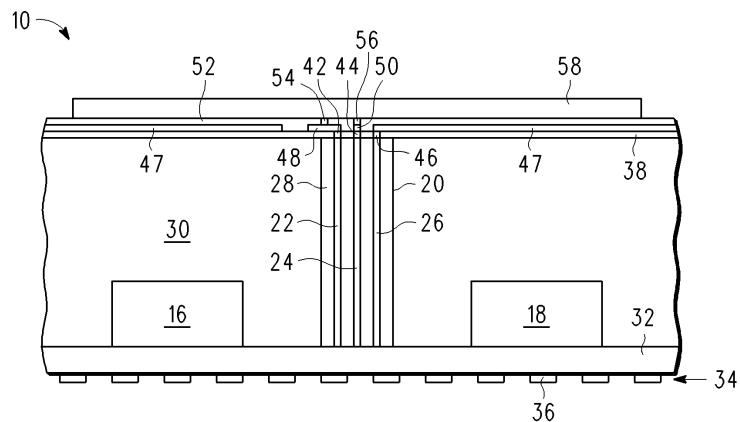
도면7



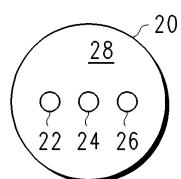
도면8



도면9



도면10



도면11

