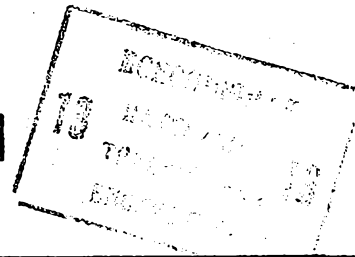




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3422539/24
- (22) 15.04.82
- (46) 15.10.84. Бюл. № 38
- (72) Б.С.Цирлин
- (71) Институт социально-экономических проблем АН СССР
- (53) 681.327.66(088.8)
- (56) 1. Авторское свидетельство СССР № 374663, кл. G 11 C 19/00, 1973.
2. Авторское свидетельство СССР № 728161, кл. G 11 C 19/00, 1980 (прототип).

(54) (57) АСИНХРОННЫЙ РЕГИСТР СДВИГА, содержащий ячейки памяти, каждая из которых состоит из четырех элементов И-НЕ, причем первые входы первого и второго элементов И-НЕ первой ячейки памяти являются информационными входами регистра, а первые входы ее третьего и четвертого элементов И-НЕ - управляющим входом регистра, выход третьего элемента И-НЕ каждой ячейки памяти соединен со вторыми входами ее первого и второго элементов И-НЕ, выходы которых соединены перекрестными связями с их третьими входами, выходы первого и второго элементов И-НЕ последней ячейки памяти являются информационными выходами регистра, а выход ее четвертого элемента И-НЕ - управляющим выходом регистра, первые входы первого и второго элементов И-НЕ i -й ячейки памяти соединены с выходами первого и второго элементов И-НЕ $(i-1)$ -й ячейки памяти, где $1 < i < n$, n - разрядность регистра, а первые входы

третьего и четвертого элементов И-НЕ i -й ячейки памяти - с выходом четвертого элемента И-НЕ $(i-1)$ -й ячейки памяти, отличающийся тем, что, с целью упрощения асинхронного регистра сдвига, в нем каждая ячейка памяти содержит пятый и шестой элементы И-НЕ, причем входы пятого элемента И-НЕ каждой ячейки памяти соединены с выходами ее первого и второго элементов И-НЕ, а его выход - со вторым и первым входами соответственно четвертого и шестого элементов И-НЕ, выход шестого элемента И-НЕ i -й ячейки памяти соединен со вторым входом третьего элемента И-НЕ данной ячейки памяти и вторым входом шестого элемента И-НЕ $(i-1)$ -й ячейки памяти, второй вход шестого элемента И-НЕ i -й ячейки памяти соединены с третьим входом четвертого элемента И-НЕ $(i-1)$ -й ячейки памяти и выходом шестого элемента И-НЕ $(i-1)$ -й ячейки памяти, третий вход четвертого элемента И-НЕ i -й ячейки памяти соединен со вторым входом шестого элемента И-НЕ $(i+1)$ -й ячейки памяти и выходом шестого элемента И-НЕ $(i+2)$ -й ячейки памяти, причем выходы шестого элемента И-НЕ первой и второй ячеек памяти являются дополнительными управляющими выходами регистра, а третий и второй входы соответственно четвертого и шестого элементов И-НЕ последней ячейки памяти являются дополнительными управляющими входами регистра.

Изобретение относится к автоматике и вычислительной технике.

Известен асинхронный регистр сдвига, содержащий ячейки памяти, каждая из которых выполнена по схеме трехстабильного триггера на трех элементах И-НЕ, причем два выхода трехстабильного триггера каждой ячейки соединены с двумя входами трехстабильного триггера следующей ячейки, а третий выход - с третьим входом трехстабильного триггера предыдущей ячейки [1].

Достоверность функционирования регистра обеспечивается только при определенном соотношении задержек его элементов, что снижает надежность регистра и является его недостатком.

Наиболее близким техническим решением к данному является асинхронный регистр, содержащий ячейки памяти, каждая из которых состоит из четырех элементов И-НЕ, первый, второй и третий из которых образуют трехстабильный триггер, причем первые входы первого и второго элементов И-НЕ первой ячейки памяти являются информационными входами регистра, а (первые входы третьего и четвертого элементов И-НЕ - управляющим входом регистра, выходы первого и второго элементов И-НЕ последней ячейки памяти являются информационными выходами регистра, а выход четвертого элемента И-НЕ - управляющим выходом регистра, первые входы первого и второго элементов И-НЕ i -й ячейки памяти, где $1 < i < n$, n - разрядность регистра, соединены с выходами первого и второго элементов И-НЕ $(i-1)$ -й ячейки памяти, а первый вход третьего и четвертого элементов И-НЕ i -й ячейки памяти - с выходом четвертого элемента И-НЕ $(i-1)$ -й ячейки памяти, выход третьего элемента И-НЕ каждой ячейки памяти соединен со вторым входом ее четвертого элемента И-НЕ, два входа первого и второго элементов И-НЕ i -й ячейки и третий вход ее четвертого элемента И-НЕ соединены соответственно с выходами первого, второго и четвертого элементов И-НЕ $(i+1)$ -й ячейки памяти, а четвертый и пятый входы четвертого элемента И-НЕ i -й ячейки памяти - с выходами первого и второго элементов И-НЕ $(i+2)$ -й ячейки памяти [2].

Достоинством регистра является его высокая надежность, обеспечиваемая достоверным функционированием при любых величинах задержек его элементов, а недостатком - избыточность оборудования.

Цель изобретения - упрощение регистра.

С этой целью в асинхронном регистре сдвига, содержащем ячейки памяти, каждая из которых состоит из четырех элементов И-НЕ, причем первые входы первого и второго элементов И-НЕ первой ячейки памяти являются информационными входами регистра, а первые входы ее третьего и четвертого элементов И-НЕ - управляющим входом регистра, выход третьего элемента И-НЕ каждой ячейки памяти соединен со вторыми входами ее первого и второго элементов И-НЕ, выходы которых соединены перекрестными связями с их третьими входами, выходы первого и второго элементов И-НЕ последней ячейки памяти являются информационными выходами регистра, а выход ее четвертого элемента И-НЕ - управляющим выходом регистра, первые входы первого и второго элементов И-НЕ i -й ячейки памяти (где $1 < i < n$, n - разрядность регистра) соединены с выходами первого и второго элементов И-НЕ $(i-1)$ -й ячейки памяти, а первые входы третьего и четвертого элементов И-НЕ i -й ячейки памяти с выходом четвертого элемента И-НЕ $(i-1)$ -й ячейки памяти, каждая ячейка памяти содержит пятый и шестой элементы И-НЕ, причем входы пятого элемента И-НЕ каждой ячейки памяти соединены с выходами ее первого и второго элементов И-НЕ, а его выход - со вторым и первым входами соответственно четвертого и шестого элементов И-НЕ, выход шестого элемента И-НЕ i -й ячейки памяти соединен со вторым входом третьего элемента И-НЕ данной ячейки памяти и вторым входом шестого элемента И-НЕ $(i-1)$ -й ячейки памяти, второй вход шестого элемента И-НЕ i -й ячейки памяти соединен с третьим входом четвертого элемента И-НЕ $(i-1)$ -й ячейки памяти и выходом шестого элемента И-НЕ $(i+1)$ -й ячейки памяти, третий вход четвертого элемента И-НЕ i -й ячейки памяти соединен со вторым входом шестого элемента И-НЕ $(i+1)$ -й ячейки па-

мяти и выходом шестого элемента И-НЕ $(i+2)$ -й ячейки памяти, причем выходы шестого элемента И-НЕ первой и второй ячеек памяти являются дополнительными управляющими выходами регистра, а третий и второй входы соответственно четвертого и шестого элементов И-НЕ последней ячейки являются дополнительными управляющими входами регистра.

На фиг.1 приведена схема предложенного регистра; на фиг.2 - временная диаграмма его работы.

Асинхронный регистр сдвига содержит ячейки памяти 1, каждая из которых имеет первый 2, второй 3, третий 4, четвертый 5, пятый 6 и шестой 7 элементы И-НЕ. Первые входы элементов 2,3 являются информационными входами 8,9 ячейки 1, а выходы этих элементов - ее информационными выходами 10,11. Первые входы элементов 4,5 являются управляющим входом 12 ячейки 1, выход элемента 5 - ее управляющим выходом 13. Выход элемента 4 соединен со вторыми входами элементов 2,3, выходы которых соединены с третьими входами друг друга и входами элемента 6, выход которого соединен со вторым входом элемента 5 и первым входом элемента 7, выход которого является дополнительным управляющим выходом 14 ячейки 1. Вторым входом элемента 7 и третьим входом элемента 5 являются дополнительными управляющими входами 15 и 16 соответственно ячейки 1. Входы 8,9,12 i -й ячейки 1 соединены соответственно с выходами 10,11,13 $(i-1)$ -й ячейки 1, а входы 15 и 16 i -й ячейки 1 - с выходами 14 $(i+1)$ -й и $(i+2)$ -й ячеек 1. Информационные 8,9 и управляющий 12 входы первой ячейки 1 регистра являются его информационными 17,18 и управляющим 19 входами соответственно, а информационные 10,11 и управляющий 13 выходы его последней ячейки - его информационными 20,21 и управляющим 22 выходами соответственно. Дополнительные управляющие выходы 14 первой и второй ячеек 1 регистра являются его дополнительными управляющими выходами 23 и 24 соответственно, а дополнительные управляющие входы 15 и 16 соответственно последней ячейки - его дополнительными управляющими входами 25 и 26.

Асинхронный регистр работает следующим образом.

При наличии значения "1" на всех входах ячейки 1, последняя может находиться в одном из следующих трех устойчивых состояний (значения на выходах элементов 2 - 7): "110101" - информация в ячейке стерта, "101010" и "011010" - в ячейке записана информация, причем если для четных ячеек одно из этих двух состояний соответствует единице, а второе - нулю, то для нечетных - наоборот.

Запись информации с i -ю ячейку 1 начинается в результате поступления с выхода элемента 5 $(i-1)$ -й ячейки 1 через ее выход 13 и вход 12 i -й ячейки 1 на вход элемента 4 последней значения "0", из-за чего на выходе этого элемента появляется значение "1". После этого на выходе одного из элементов 2 или 3 i -й ячейки 1 установится значение "0", затем на выходе элемента 6 - значение "1" и наконец, на выходе ее элемента 7 - значение "0". Таким образом i -я ячейка 1 перейдет из состояния "110101" в состояние "101110" или "011110".

После этого в результате подачи значения "0" с выхода элемента 7 i -й ячейки 1 через ее выход 14 на вход 15 $(i-1)$ -й ячейки 1 в последней происходит стирание информации. При этом сначала устанавливается значение "1" на выходе элемента 7 $(i-1)$ -й ячейки 1, затем - значение "0" на выходе ее элемента 4, далее на выходах обоих элементов 2,3 этой ячейки установится значение "1", после чего на выходе ее элемента 6 - значение "0" и, наконец, на выходе ее элемента 5 - значение "1". Последнее через выход 13 $(i-1)$ -й ячейки 1 и вход 12 i -й ячейки 1, поступив на вход элемента 5 последней, вызовет появление на его выходе значения "0", если при этом на выходе 14 $(i+2)$ -й ячейки 1 имеется значение "1". Таким образом, i -я ячейка окажется в состоянии "101010" или "011010" и сможет передать информацию в $(i+1)$ -ю ячейку 1.

Состояние "11" входов 17, 18 регистра соответствует отсутствию информации, состояния "01" и "10" - наличию нуля и единицы соответственно. Значение "0" на входе 19 регистра разрешает прием информации с его входов 17,18 и должно устанавливаться.

ся не раньше чем установится состояние "01" или "10" последних. Значение "0" на выходе 23 регистра является "квитанцией" о приеме информации. По этой квитанции на входе 19 регистра может быть установлено значение "1", а на входах 17, 18 - состояние "11". Значение "1" на выходе 24 регистра разрешает установку значения "0" на его входе 19, при условии, что на его входе 23 также имеется значение "1".

Состояние "11" выходов 20, 21 регистра соответствует отсутствию информации, состояния "01" и "10" - единице и нулю, в соответствии с номером последней ячейки регистра, состояние "00" на этих входах не возникает. Значение "0" на выходе 22 регистра разрешает считывание информации с его выходов 20, 21 и устанавливается после появления состояния "01" или "10" этих выходов. Значение "0" на входе 25 регистра является "квитанцией" о приеме информации с его выходов. По этой квитанции на выходе 22 регистра устанавливается значение "1", а на выходах 20, 21 - состояние "11". Значение "1" на входе 26 регистра разрешает установку значения "0" на его входе 22, при условии, что на его входе 25 также имеется значение "1".

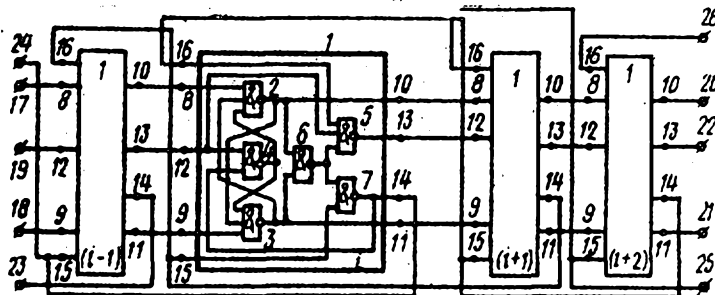
Функционирование регистра при прохождении через него последовательности 101 представлено временной диаграммой фиг. 2. В исходном состоянии (такт № 0) информация во всех ячейках регистра стерта. Диаграмма построена, в предположении, что задержки всех элементов регистра равны τ . На входе 26 регистра, введенном в его состав для унификации входного и выходного интерфейса, зафиксировано значение "1",

разрешающее изменение значений на его выходе 22. Поэтому значения на входе 26 регистра в диаграмме не приводятся.

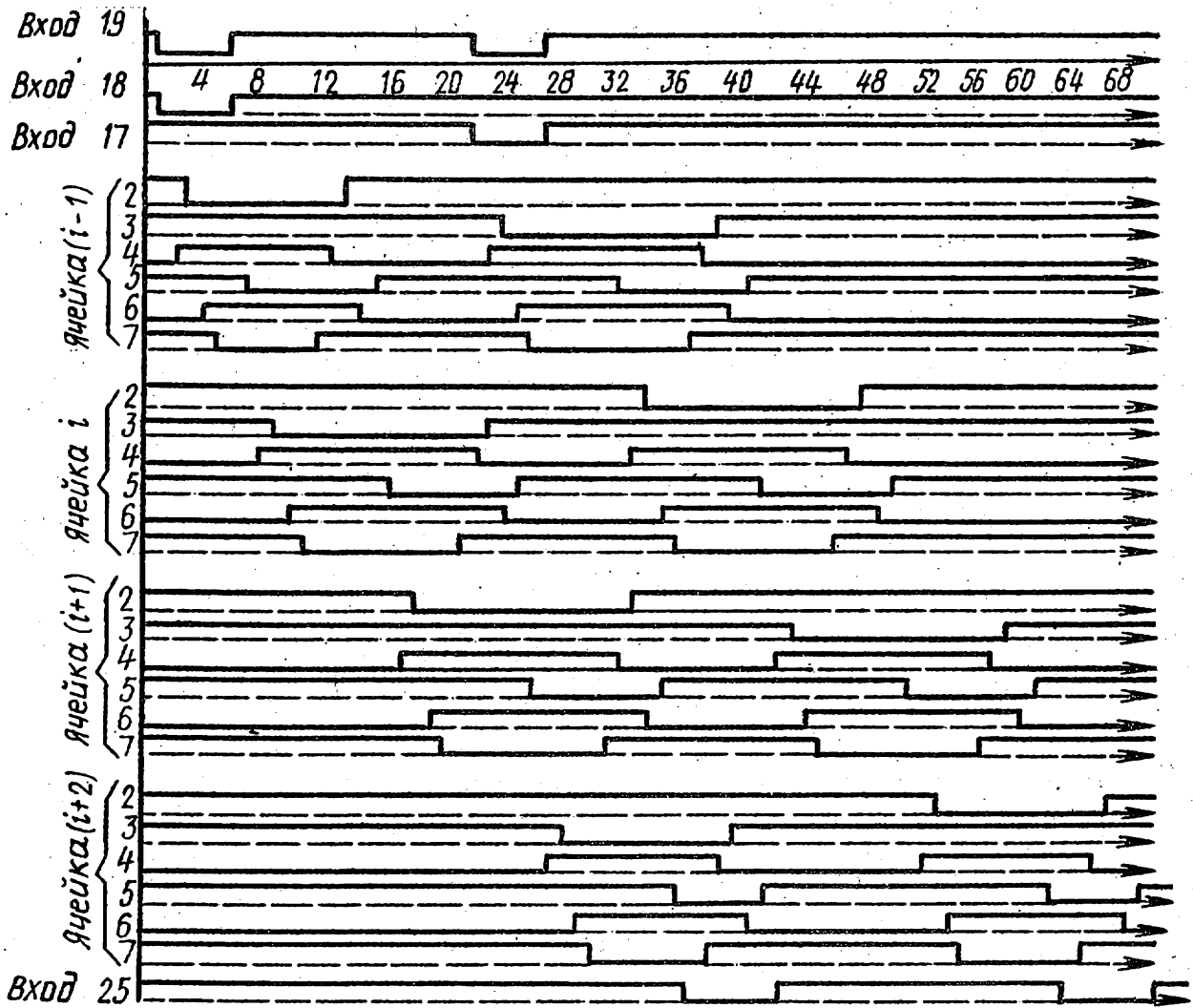
Из временной диаграммы видно, что быстродействие регистра (время между последовательными записями информации в регистр) составляет 26τ - если очередная запись происходит в такте № 23, то следующая может произойти не раньше, чем в такте № 49. При этом минимальная длительность сигнала на входе 19 регистра (значение "0" на этом входе) составляет 5τ , соответственно интервал между сигналами на этом входе (т.е. значение "1" на нем) составляет 21τ . Для сигнала на входе 25 регистра эти величины равны 6τ и 20τ соответственно.

Из функционирования асинхронного регистра следует, что в процессе записи и последующего стирания информации в каждой его ячейке памяти все элементы переключаются последовательно. Это обеспечивает достоверное функционирование регистра при любых величинах задержек его элементов.

Предложенное техническое решение упрощает асинхронный сдвиговый регистр по сравнению с прототипом, так как реализация предложенного регистра требует более экономичных (двух и трехходовых) элементов И-НЕ, чем реализация прототипа, требующая использования пятиходовых элементов И-НЕ. Оценивая сложность реализации суммарным числом входов элементов, составляющих одну ячейку, получим соответственно 15 у предложенного регистра, против 18 у известного регистра, что подтверждает достижение поставленной цели изобретения.



Фиг. 1



Фиг. 2

Составитель А. Дерюгин

Редактор А. Долинич

Техред С. Мигунова

Корректор О. Тигор

Заказ 7463/40

Тираж 574

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4