



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년05월04일
(11) 등록번호 10-1618227
(24) 등록일자 2016년04월28일

(51) 국제특허분류(Int. Cl.)
G06F 11/07 (2006.01) G06F 11/16 (2006.01)
(52) CPC특허분류
G06F 11/0766 (2013.01)
G06F 11/1608 (2013.01)
(21) 출원번호 10-2015-0119844
(22) 출원일자 2015년08월25일
심사청구일자 2015년08월25일
(56) 선행기술조사문헌
KR1020150021696 A
KR1020080074448 A
KR101268997 B1

(73) 특허권자
조선대학교산학협력단
광주광역시 동구 필문대로 309 (서석동)
(72) 발명자
이정아
광주광역시 북구 삼정로 108, 102동 1702호 (두암동, 현대아파트)
호세인 무라디안사드로우디
광주광역시 동구 밤실로3번길 13-1, 303호 (지산동, 코스모스빌)
(74) 대리인
특허법인아이엠

전체 청구항 수 : 총 11 항

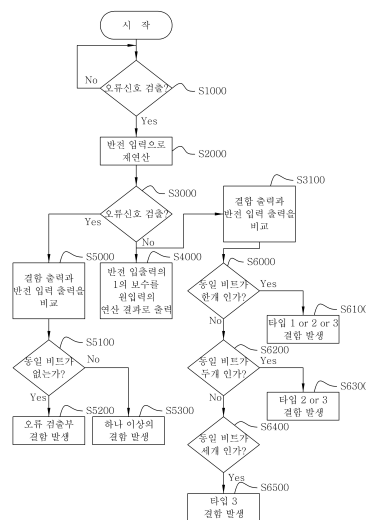
심사관 : 이동하

(54) 발명의 명칭 자가검사 이진 부호숫자 가산기의 결함검출 및 오류정정 방법, 그 방법을 수행하기 위한 디지털 논리 회로

(57) 요약

본 발명은 자가검사 이진 부호숫자 가산기의 결함검출 및 오류정정 방법, 그 방법을 수행하기 위한 디지털 논리 회로에 관한 것으로, 보다 구체적으로는 자가검사 이진 부호숫자 가산기의 고착 결함(stuck-at fault)을 저비용, 저복잡도로 검출이 가능하고, 셀프 듀얼 개념(self-dual concept)을 이용하여 오류의 자가 정정을 수행할 수 있는 자가검사 이진 부호숫자 가산기의 결함검출 및 오류정정 방법, 그 방법을 수행하기 위한 디지털 논리 회로에 관한 것이다.

대표도 - 도7



이 발명을 지원한 국가연구개발사업

과제고유번호 1711024151

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 여성과학자지원사업

연구과제명 확장가능한 자가오류 탐지 및 오류회복 연산기 설계

기 여 율 1/1

주관기관 조선대학교 산학협력단

연구기간 2015.06.01 ~ 2016.05.31

명세서

청구범위

청구항 1

부호숫자(signed-digit)인 가수(addend)와 피가수(augend)를 입력받아 가산연산을 수행하고, 연산에 오류발생시 오류신호(error signal)를 출력하는 자가검사 이진 부호숫자 가산기(self-checking binary signed-digit adder)의 결함검출(fault localization) 및 오류정정(error correction) 방법으로,

상기 자가검사 이진 부호숫자 가산기에서 오류신호를 검출하는 단계;

오류가 발생한 연산의 입력(이하 '원 입력(normal inputs)'라 함)의 1의 보수(1's complement)를 상기 자가 검사 이진 부호숫자 가산기의 입력(이하, '반전 입력(inverted inputs)'이라 함)으로 입력하여, 재연산(recomputing)하는 단계;

재연산 후에 상기 자가검사 이진 부호숫자 가산기에서 오류신호가 검출되는지 판단하고, 오류신호의 검출여부에 따라 결함검출 및 오류정정을 수행하는 것을 특징으로 하는 자가검사 이진 부호숫자 가산기의 결함검출 및 오류정정 방법.

청구항 2

제 1 항에 있어서,

상기 재연산 후에 오류신호가 검출되지 않을 경우, 상기 반전 입력의 연산 결과의 1의 보수를 상기 원 입력의 연산 결과로 출력하는 단계;를 더 포함하는 것을 특징으로 하는 자가검사 이진 부호숫자 가산기의 결함검출 및 오류정정 방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 자가검사 이진 부호숫자 가산기는 가산연산을 수행하는 가산부와 가산연산의 오류를 검출하는 오류검출부를 포함하고,

상기 재연산 후에 오류신호가 검출될 경우, 상기 가산부와 상기 오류검출부 중, 어느 곳에 결함이 발생하였는지 판단하는 단계;를 더 포함하는 것을 특징으로 하는 자가검사 이진 부호숫자 가산기의 결함검출 및 오류정정 방법.

청구항 4

제 3 항에 있어서,

상기 결함이 발생하였는지 판단하는 단계:는,

상기 원 입력의 연산 결과(이하, '결함 출력(faulty output)'이라 함)와 상기 반전 입력의 연산 결과(이하, '반전 입력 출력'이라 함)의 대응하는 자리의 비트들을 서로 비교하는 단계; 및

상기 결함 출력과 상기 반전 입력 출력의 비교 결과, 값이 동일한 비트가 존재할 경우, 상기 가산부 또는 상기 오류검출부에 하나 이상의 결함이 발생한 것으로 판단하고, 값이 동일한 비트가 존재하지 않을 경우 상기 오류검출부에 결함이 발생하는 것으로 판단하는 단계;를 포함하는 것을 특징으로 하는 자가검사 이진 부호숫자 가산기의 결함검출 및 오류정정 방법.

청구항 5

제 4 항에 있어서,

상기 재연산 후에 오류가 검출되지 않을 경우,

상기 결합 출력과 상기 반전 입력 출력의 대응하는 자리의 비트를 서로 비교하여 값이 동일한 비트의 수에 따라 상기 가산부의 어느 위치에 결합이 발생하였는지 판단하는 단계;를 더 포함하는 것을 특징으로 하는 자가검사 이진 부호숫자 가산기의 결합검출 및 오류정정 방법.

청구항 6

제 5 항에 있어서,

상기 가산부는 상기 가수와 상기 피가수의 동일자리 부호 숫자를 서로 가산하여 가산 결과와 캐리를 출력하는 복수 개의 제1 가산기 및 상기 제1 가산기들과 대응하여 구비되고, 대응하는 제1 가산기의 가산 결과와 하위자리의 부호 숫자를 가산한 제1 가산기의 캐리를 서로 가산하여 상기 가수와 상기 피가수의 최종 가산 결과를 출력하는 제2 가산기들을 포함하며,

상기 결합이 발생하였는지 판단하는 단계는,

상기 결합 출력과 상기 반전 입력 출력의 동일한 비트의 수가 한 개일 경우 상기 제2 가산기들의 출력 중 어느 하나의 출력, 상기 제1 가산기들의 출력 중 최종 가산 결과에 한 비트의 변화를 초래하는 어느 하나의 출력, 상기 제1 가산기들의 입력들 중 최종 가산 결과에 두 비트의 변화를 초래하는 어느 하나의 최하위 비트 입력 또는 상기 제1 가산기들의 입력들 중 최종 가산 결과에 세 비트의 변화를 초래하는 어느 하나의 최상위 비트 입력에 결합이 발생한 것으로 판단하는 것을 특징으로 하는 자가검사 이진 부호숫자 가산기의 결합검출 및 오류정정 방법.

청구항 7

제 6 항에 있어서,

상기 결합이 발생하였는지 판단하는 단계는,

상기 결합 출력과 상기 반전 입력 출력의 동일한 비트의 수가 두 개일 경우 상기 제1 가산기들의 입력들 중 최종 가산 결과에 두 비트의 변화를 초래하는 어느 하나의 최하위 비트 입력 또는 상기 제1 가산기들의 입력들 중 최종 가산 결과에 세 비트의 변화를 초래하는 어느 하나의 최상위 비트 입력에 결합이 발생한 것으로 판단하는 것을 특징으로 하는 자가검사 이진 부호숫자 가산기의 결합검출 및 오류정정 방법.

청구항 8

제 7 항에 있어서,

상기 결합이 발생하였는지 판단하는 단계는,

상기 결합 출력과 상기 반전 입력 출력의 동일한 비트의 수가 세 개일 경우 상기 제1 가산기들의 입력들 중 최종 가산 결과에 세 비트의 변화를 초래하는 어느 하나의 최상위 비트 입력에 결합이 발생한 것으로 판단하는 것을 특징으로 하는 자가검사 이진 부호숫자 가산기의 결합검출 및 오류정정 방법.

청구항 9

제 1 항 또는 제 2 항의 결합검출 및 오류정정 방법을 수행하는 디지털 논리회로.

청구항 10

제 3 항의 결함검출 및 오류정정 방법을 수행하는 디지털 논리회로.

청구항 11

제 8 항의 결함검출 및 오류정정 방법을 수행하는 디지털 논리회로.

발명의 설명

기술 분야

[0001] 본 발명은 자가검사 이진 부호숫자 가산기의 결함검출 및 오류정정 방법, 그 방법을 수행하기 위한 디지털 논리 회로에 관한 것으로, 보다 구체적으로는 자가검사 이진 부호숫자 가산기의 고착 결함(stuck-at fault)을 저비용, 저복잡도로 검출이 가능하고, 셀프 듀얼 개념(self-dual concept)을 이용하여 오류의 자가 정정을 수행 할 수 있는 자가검사 이진 부호숫자 가산기의 결함검출 및 오류정정 방법, 그 방법을 수행하기 위한 디지털 논 리 회로에 관한 것이다.

배경 기술

[0002] 부호 숫자(signed-digit)를 표현하기 위한 산술 연산의 주된 동기는 캐리(carry)의 전파를 없애기 위함이다[1].

[0003] Cardarili 등에 의하면 이진 부호숫자 가산(Binary Signed-digit Number Addition, BSDN)에 있어서 이진 부호숫 자 'a'는 아래의 수학적 식 1과 같이 표현할 수 있다[2].

[0004] [수학적 식 1]

$$a = \sum_{i=1}^{n-1} x_i 2^i$$

[0005]

[0006] 여기서, $x_i \in \{-1, 0, 1\}$ 이고, n는 부호 숫자들의 개수이다.

[0007] 먼저, 부호 숫자의 가산연산을 위해서는 중간합과 중간올림수를 계산하여야 하며, 상기 중간합과 상기 중간 올 림수는 도 1에 도시한 연산 룰에 의해 연산되며, 아래의 수학적 식 2로 표현할 수 있다.

[0008] [수학적 식 2]

$$a_i + b_i = 2t_{i+1} + w_i$$

[0009]

[0010] 여기서, a는 가수, b는 피가수, t는 중간올림수, w는 중간합이다.

[0011] 또한, 도 1을 참조하면, 가수(a_i)와 피가수(b_i)가 (0,0), (-1,-1), (1,1), (-1,1)일 경우에는 이전 자리($i-1$)의 숫자를 이용하지 않고, 중간올림수와 중간합이 (0,0), (-1,0), (1,0), (0,0)으로 계산된다.

[0012] 그러나, 가수와 피가수가 (-1,0)일 경우, 이전 자리의 가수(a_{i-1})와 피가수(b_{i-1})의 합이 '0'보다 작을 경우 중간 올림수와 중간합은 (-1,1)이 되고, 그 외의 경우에는 (0,-1)이 되며, 연산되는 자리의 가수와 피가수가 (1,0)일 경우, 이전 자리의 가수(a_{i-1})와 피가수(b_{i-1})의 합이 '0'보다 클 경우 중간올림수와 중간합은 (1,-1)이 되고, 그 외의 경우에는 (0,1)이 된다.

[0013] 한편, Cardarili 등은 고착 결함(stuck-at fault)을 검출하기 위해 패리티 체커(parity checker)를 이용한 자 가검사 이진 부호숫자 가산기(self-checking binary signed-digit adder)를 제안한 바 있다[3].

[0014] 도 2는 종래의 자가검사 이진 부호숫자 가산기를 보여주는 것으로 종래의 자가검사 이진 부호숫자 가산기(10)는 가수(a)와 피가수(b)를 가산하여 결과(z)를 출력하는 가산부(11)와 상기 가산부(11)의 연산 오류를 검출하는 오

류검출부(12)를 포함한다.

[0015] 또한, 상기 가산부(11)는 도 1에 도시한 연산 룰에 의해 가수(a_i)와 피가수(b_i)를 중간올림수(t_i)와 중간합(w_i)으로 계산하는 복수 개의 제1 가산기(ADD1) 및 상기 제1 가산기(ADD1)들과 대응하여 복수 개로 구비되고, 대응하는 제1 가산기의 중간합(w_i)과 이전 자리의 숫자를 가산한 제1 가산기의 중간올림수(t_{i-1})를 가산하여 최종 가산 연산 결과를 출력하는 제2 가산기(ADD2)를 포함한다.

[0016] 또한, 상기 오류검출부(12)는 가수와 피가수를 입력받아 페리티를 예측하는 페리티 예측기(12a), 가수와 피가수의 페리티를 배타적 논리합 연산하여 연산 결과의 페리티를 출력하는 제1 배타적 논리합 게이트(12b), 상기 제1 배타적 논리합 게이트(12b)의 출력과, 상기 제1 가산기들(ADD1)의 중간합들을 입력받아 배타적 논리합 연산을 하여 오류를 검출하는 제1 오류검출기(12c), 상기 제2 가산기들(ADD2)의 출력을 입력받아 배타적 논리합 연산을 하여 연산 결과의 페리티를 출력하는 제2 배타적 논리합 게이트(12d), 상기 페리티 예측기(12a), 상기 제1 배타적 논리합 게이트(12b) 및 상기 제2 배타적 논리합 게이트(12d)에서 출력되는 페리티를 입력받아 배타적 논리합 연산을 수행하여 오류를 검출하는 제2 오류검출기(12f)를 포함한다.

[0017] 한편, Cardarili 등은 상기 오류검출부(12)에서 오류가 검출될 경우, 원래 입력된 가수와 피가수의 비트를 왼쪽 및 오른쪽으로 시프트(Left and Right Shifted Inputs)하여 재연산(recomputation)하고, 원래의 연산결과와 재연산된 결과를 비교함으로써 고착 결함을 검출하는데 이러한 방법은 고착 결함의 검출과 오류 정정에 비용과 복잡도가 증가하는 단점이 있다.

선행기술문헌

비특허문헌

- [0018] (비특허문헌 0001) [1] Avizienis, Algirdas, "Signed-digit number representations for fast parallel arithmetic," Electronic Computers, IRE Transactions, pp. 389-400, 1961.
- (비특허문헌 0002) [2] G. C. Cardarili, M. Ottavi, S. Pontarelli, M. Re and A. Salsano, "Localization of faults in radix-n signed digit adders," On-Line Testing Symposium, 2006.
- (비특허문헌 0003) [3] G. C. Cardarili, M. Ottavi, S. Pontarelli, M. Re and A. Salsano, "Error detection in signed digit arithmetic circuit with parity checker [adder example]," Defect and Fault Tolerance in VLSI Systems, pp. 401-8, 2003.

발명의 내용

해결하려는 과제

[0019] 본 발명은 상술한 문제점을 해결하기 위한 것으로, 자가검사 이진 부호숫자 가산기의 고착 결함 검출과 오류정정을 저비용, 저복잡도로 수행할 수 있는 결함검출 및 오류정정 방법 및 그 방법을 수행하기 위한 디지털 논리 회로를 제공하는데 있다.

[0020] 본 발명의 목적들은 이상에서 언급한 목적들로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0021] 상기의 목적을 달성하기 위하여 본 발명은 부호숫자(signed-digit)인 가수(addend)와 피가수(augend)를 입력받아 가산연산을 수행하고, 연산에 오류발생시 오류신호(error signal)를 출력하는 자가검사 이진 부호숫자 가산기(self-checking binary signed-digit adder)의 결함검출(fault localization) 및 오류정정(error correction) 방법으로, 상기 자가검사 이진 부호숫자 가산기에서 오류신호를 검출하는 단계; 오류가 발생한 연

산의 입력(이하 '원 입력(normal inputs)'라 함)의 1의 보수(1's complement)를 상기 자가 검사 이진 부호숫자 가산기의 입력(이하, '반전 입력(inverted inputs)'이라 함)으로 입력하여, 재연산(recomputing)하는 단계; 재연산 후에 상기 자가검사 이진 부호숫자 가산기에서 오류신호가 검출되는지 판단하고, 오류신호의 검출여부에 따라 결함검출 및 오류정정을 수행하는 것을 특징으로 하는 자가검사 이진 부호숫자 가산기의 결함검출 및 오류정정 방법을 제공한다.

- [0022] 바람직한 실시예에 있어서, 상기 재연산 후에 오류신호가 검출되지 않을 경우, 상기 반전 입력의 연산 결과의 1의 보수를 상기 원 입력의 연산 결과로 출력하는 단계;를 더 포함한다.
- [0023] 바람직한 실시예에 있어서, 상기 자가검사 이진 부호숫자 가산기는 가산연산을 수행하는 가산부와 가산연산의 오류를 검출하는 오류검출부를 포함하고, 상기 재연산 후에 오류신호가 검출될 경우, 상기 가산부와 상기 오류검출부 중, 어느 곳에 결함이 발생하였는지 판단하는 단계;를 더 포함한다.
- [0024] 바람직한 실시예에 있어서, 상기 결함이 발생하였는지 판단하는 단계:는, 상기 원 입력의 연산 결과(이하, '결함 출력(faulty output)'이라 함)와 상기 반전 입력의 연산 결과(이하, '반전 입력 출력'이라 함)의 대응하는 자리의 비트들을 서로 비교하는 단계; 및 상기 결함 출력과 상기 반전 입력 출력의 비교 결과, 값이 동일한 비트가 존재할 경우, 상기 가산부 또는 상기 오류검출부에 하나 이상의 결함이 발생한 것으로 판단하고, 값이 동일한 비트가 존재하지 않을 경우 상기 오류검출부에 결함이 발생하는 것으로 판단하는 단계;를 포함한다.
- [0025] 바람직한 실시예에 있어서, 상기 재연산 후에 오류가 검출되지 않을 경우, 상기 결함 출력과 상기 반전 입력 출력의 대응하는 자리의 비트를 서로 비교하여 값이 동일한 비트의 수에 따라 상기 가산부의 어느 위치에 결함이 발생하였는지 판단하는 단계;를 더 포함한다.
- [0026] 바람직한 실시예에 있어서, 상기 가산부는 상기 가수와 상기 피가수의 동일자리 부호 숫자를 서로 가산하여 가산 결과와 캐리를 출력하는 복수 개의 제1 가산기 및 상기 제1 가산기들과 대응하여 구비되고, 대응하는 제1 가산기의 가산 결과와 하위자리의 부호 숫자를 가산한 제1 가산기의 캐리를 서로 가산하여 상기 가수와 상기 피가수의 최종 가산 결과를 출력하는 제2 가산기들을 포함하며, 상기 결함이 발생하였는지 판단하는 단계는, 상기 결함 출력과 상기 반전 입력 출력의 동일한 비트의 수가 한 개일 경우 상기 제2 가산기들의 출력 중 어느 하나의 출력, 상기 제1 가산기들의 출력 중 최종 가산 결과에 한 비트의 변화를 초래하는 어느 하나의 출력, 상기 제1 가산기들의 입력들 중 최종 가산 결과에 두 비트의 변화를 초래하는 어느 하나의 최하위 비트 입력 또는 상기 제1 가산기들의 입력들 중 최종 가산 결과에 세 비트의 변화를 초래하는 어느 하나의 최상위 비트 입력에 결함이 발생한 것으로 판단한다.
- [0027] 바람직한 실시예에 있어서, 상기 결함이 발생하였는지 판단하는 단계는, 상기 결함 출력과 상기 반전 입력 출력의 동일한 비트의 수가 두 개일 경우 상기 제1 가산기들의 입력들 중 최종 가산 결과에 두 비트의 변화를 초래하는 어느 하나의 최하위 비트 입력 또는 상기 제1 가산기들의 입력들 중 최종 가산 결과에 세 비트의 변화를 초래하는 어느 하나의 최상위 비트 입력에 결함이 발생한 것으로 판단한다.
- [0028] 바람직한 실시예에 있어서, 상기 결함이 발생하였는지 판단하는 단계는, 상기 결함 출력과 상기 반전 입력 출력의 동일한 비트의 수가 세 개일 경우 상기 제1 가산기들의 입력들 중 최종 가산 결과에 세 비트의 변화를 초래하는 어느 하나의 최상위 비트 입력에 결함이 발생한 것으로 판단한다.
- [0029] 또한, 본 발명은 상기 결함검출 및 오류정정 방법을 수행하는 디지털 논리회로를 더 제공한다.

발명의 효과

- [0030] 본 발명의 결함검출 및 오류정정 방법, 그 방법을 수행하기 위한 디지털 논리 회로에 의하면, 셀프 듀얼 개념을 이용하여 저비용, 저복잡도로 자가검사 이진 부호숫자 가산기의 고착 결함을 검출할 수 있고, 오류를 자가 정정할 수 있는 장점이 있다.

도면의 간단한 설명

- [0031] 도 1은 일반적인 이진 부호숫자 가산의 연산 룰을 설명하기 위한 도면,

도 2는 종래의 자가검사 이진 부호숫자 가산기를 보여주는 도면,

도 3 내지 도 6은 본 발명의 일 실시예에 따른 결함검출 및 오류정정 방법의 셀프 듀얼 개념을 설명하기 위한 도면,

도 7은 본 발명의 일 실시예에 따른 결함검출 및 오류정정 방법의 흐름도,

도 8은 본 발명의 일 실시예에 따른 결함검출 및 오류정정 방법을 수행하기 위한 디지털 논리회로의 일례이다.

발명을 실시하기 위한 구체적인 내용

[0032] 본 발명에서 사용되는 용어는 가능한 현재 널리 사용되는 일반적인 용어를 선택하였으나, 특정한 경우는 출원인이 임의로 선정한 용어도 있는데 이 경우에는 단순한 용어의 명칭이 아닌 발명의 상세한 설명 부분에 기재되거나 사용된 의미를 고려하여 그 의미가 파악되어야 할 것이다.

[0033] 이하, 첨부한 도면에 도시된 바람직한 실시예들을 참조하여 본 발명의 기술적 구성을 상세하게 설명한다.

[0034] 그러나, 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화 될 수도 있다. 명세서 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.

[0035] 본 발명의 일 실시예에 따른 결함검출 및 오류정정 방법은 도 2에서 도시한 종래의 자가검사 이진 부호숫자 가산기(10)에서 오류발생시 고착 결함의 발생위치와 연산결과를 정정하여 오류 자가 치유하기 위한 방법이다.

[0036] 또한, 본 발명의 일 실시예에 따른 결함검출 및 오류정정 방법은 디지털 논리회로에 의해 수행될 수 있고, 상기 디지털 논리회로는 하드웨어, 소프트웨어적으로 구현이 가능하다.

[0037] 예를 들면, 본 발명의 결함검출 및 오류정정 방법은 본 발명의 결함검출 및 오류정정 방법을 수행하기 위한 디지털 논리회로를 갖는 프로세서 시스템, 임베디드 시스템 등에 의해 수행될 수 있다.

[0038] 그러나, 본 발명의 결함검출 및 오류정정 방법은 부호숫자를 가산하는 기능을 갖는 모든 형태의 컴퓨팅 장치에 적용이 가능하다.

[0039] 또한, 본 발명은 상기 디지털 논리회로와 상기 자가검사 이진 부호숫자 가산기가 결합된 하나의 자가오류회복 연산기(self-repairing adder)로 제공될 수도 있다.

[0040] 본 발명의 일 실시예에 따른 결함검출 및 오류정정 방법은 셀프 듀얼 개념(self-dual concept)에 기반한다.

[0041] 또한, 상기 셀프 듀얼이란 어떤 논리 함수가 아래의 수학적 3을 만족하는 경우를 의미한다.

[0042] [수학적 3]

$$f(x) = \sim f(\sim x)$$

[0044] 여기서, x는 논리 변수들의 벡터(vector of logic variables)를 의미하고 $\sim x$ 는 x의 1의 보수(1's complement of x), f는 논리 함수(logic function)을 의미한다.

[0045] 또한, 이진 부호숫자 가산에서 셀프 듀얼이 성립하기 위해서는 가수(a)와 피가수(b)의 가산 결과(s)가 's=a+b'라 할 때, 가수(a)의 반전 값과 피가수(b)의 반전 값을 더한 값은 가산 결과(s)의 반전 값이 되어야 하며, 식 $\overline{s} = \overline{a} + \overline{b}$ 를 만족하여야 한다.

[0046] 본 발명에서는 셀프 듀얼 개념의 적용을 위해 도 3에 도시한 바와 같이 부호 숫자 '1'은 2비트인 (01), '-1'은 (10), '0'은 (00) 또는 (11)로 코딩하였다.

[0047] 예를 들어, 이진 부호 숫자 'a'가 '10110110'이라 할 때, 이진 부호 숫자 'a'는 십진수 106과 같다.

[0048] 또한, 이진 부호 숫자 'a'의 반전 값은 '10110110'이 되며, 이는 십진수 -106과 같다. 즉, 값은 동일하고 부호만 역이 된다.

- [0049] 또한, 이진 부호 숫자 '0'의 경우 (00) 또는 (11)으로 코딩되므로 반전하여도 '0'이다.
- [0050] 또한, 도 4는 도 1의 연산 룰 중, 첫번째 네 줄, 즉, 가수(a_i)와 피가수(b_i)가 (0,0), (-1,-1), (1,1), (-1,1)일 때, 중간합(w_i) 및 중간 올림수(t_i)의 연산이 셀프 듀얼을 만족하는지 보여주는 것으로 가수와 피가수를 반전하였을 때, 중간합과 중간 올림수도 반전됨을 알 수 있어 셀프 듀얼을 만족하는 것을 알 수 있다.
- [0051] 또한, 도 5는 도 1의 연산 룰 중, 마지막 두 줄, 즉, 가수(a_i)와 피가수(b_i)가 (-1,0), (1,0)일 때, 중간합(w_i) 및 중간 올림수(t_i)의 연산이 셀프 듀얼을 만족하는지 보여주는 것으로 가수와 피가수를 반전되면, 중간합과 중간 올림수도 반전됨을 알 수 있어 셀프 듀얼 속성을 갖는다.
- [0052] 최종적으로 도 6은 도 2에서 도시한 제2 가산기(ADD2)의 연산이 셀프 듀얼을 만족하는지 보여주는 것으로 중간합(w_i) 및 중간 올림수(t_i)가 반전되면 연산결과(s_i)(도 2에서는 z 로 표기됨)도 반전되므로 셀프 듀얼 속성을 갖는 것을 알 수 있다.
- [0053] 즉, 도 2와 같이 이진 부호숫자를 코딩할 경우, 자가검사 이진 부호숫자 가산기의 연산은 셀프 듀얼을 만족한다.
- [0054] 도 7은 본 발명의 일 실시예에 따른 결함검출 및 오류정정 방법의 흐름도를 보여주는 것으로 본 발명의 일 실시예에 따른 결함검출 및 오류정정 방법은 먼저, 상기 자가검사 이진 부호숫자 가산기(10)에서 오류신호(error signal)가 출력되는지 감시하며, 오류신호가 검출될 경우(S1000), 오류가 발생한 연산의 입력(이하 '원 입력(normal inputs)'이라 함)의 각 비트를 1의 보수(1's complement) 취한 값, 즉, 반전 값을 다시 상기 자가검사 이진 부호숫자 가산기(10)의 입력(이하 '반전 입력(inverted inputs)'이라 함)으로 입력하여 재연산(recomputing)한다(S2000).
- [0055] 또한, 오류신호는 도 2에 도시한 제1 오류검출기(12c)나 제2 오류검출기(12f)에서 출력되는 오류신호이다.
- [0056] 다음, 재연산 후에 오류신호가 검출되는지 감시하고 오류신호의 검출여부에 따라 결함검출 또는 오류정정을 수행한다(S3000).
- [0057] 만약, 재연산 후에 오류신호가 검출되지 않을 경우, 상기 반전 입력의 연산결과를 다시 반전하여 상기 원 입력의 연산결과로 출력해준다.
- [0058] 이는 상기 자가검사 이진 부호숫자 가산기(10)의 연산이 셀프 듀얼을 만족하므로 가능하다.
- [0059] 따라서, 오류 발생시 상기 반전 입력의 연산결과를 반전하여 올바른 연산결과로 출력해줄 수 있으므로 오류정정에 드는 비용과 복잡도를 낮출 수 있다.
- [0060] 또한, 재연산 후에 오류신호가 검출될 경우에는 상기 자가검사 이진 부호숫자 가산기(10)의 가산부(11)에서 결함이 발생하였는지 오류검출부(12)에 결함이 발생하였는지 판단하여 결함의 위치검출이 가능하다.
- [0061] 또한, 결함의 위치검출은 먼저, 상기 원 입력에 대해 잘못된 연산 결과(이하 '결함 출력(faulty output)'이라 함)와 상기 반전 입력의 연산 결과(이하, '반전 입력 출력'이라 함)을 서로 비교한다(S5000).
- [0062] 또한, 상기 결함 출력과 상기 반전 입력 출력의 비교는 대응하는 자리의 비트의 동일성을 비교하는 과정이다.
- [0063] 다음, 동일비트가 없을 경우(equalities=0)에는 상기 원 입력에 대한 연산결과에 결함이 없는 것이므로 상기 오류 검출부(12)에 결함이 발생한 것으로 판단한다(S5200).
- [0064] 그러나, 동일비트가 존재할 경우, 상기 오류 검출부(12) 또는 상기 가산부(11)에 하나 이상의 결함이 발생한 것으로 판단된다(S5300).
- [0065] 한편, 재연산 후에 오류신호를 검출하는 과정(S3000)에서 오류신호가 검출되지 않는다면, 상기 오류 검출부(12)에는 결함이 존재하지 않고, 상기 가산부(11)에만 결함이 존재하는 것으로 판단할 수 있다.
- [0066] 또한, 본 발명은 재연산 후에 오류신호가 검출되지 않을 경우 상기 가산부(11)의 결함위치를 검출할 수 있다.
- [0067] 또한, 본 발명에서는 상기 결함위치를 아래와 같이 세 가지 타입으로 구분하였다.
- [0068] ○ 제1 타입(type 1): 상기 제2 가산기(ADD2)들의 출력 중 어느 하나의 출력 또는 상기 제1 가산기들(ADD1)의

출력 중 최종 가산 결과에 한 비트의 변화를 초래하는 어느 하나의 출력

- [0069] ○ 제2 타입(type 2): 상기 제1 가산기들의 입력들 중 최종 가산 결과에 두 비트의 변화를 초래하는 어느 하나의 최하위 비트(LSB) 입력
- [0070] ○ 제3 타입(type 3): 상기 제1 가산기들의 입력들 중 최종 가산 결과에 세 비트의 변화를 초래하는 어느 하나의 최상위 비트(MSB) 입력
- [0071] 또한, 상기 결합위치를 검출하기 위해서는 먼저, 상기 원 입력의 결합 출력과 상기 반전 입력의 반전 입력 출력을 서로 비교하고(S3100), 다음, 동일한 비트의 개수가 한 개(equalities=1)일 경우(S6000), 상기 세가지 타입의 결합위치 중, 어느 하나의 위치에서 결합이 발생한 것으로 판단한다(S6100).
- [0072] 그러나, 동일한 비트의 개수가 두 개(equalities=2)일 경우(S6200), 상기 제2 타입 또는 상기 제3 타입의 결합이 발생한 것으로 판단하고(S6300), 동일한 비트의 개수가 세 개(equalities=3)일 경우(S6400)에는 상기 제3 타입의 결합이 발생한 것으로 판단한다(S6500).
- [0073] 따라서, 본 발명의 결합검출 및 오류정정 방법에 의하면 오류발생시 간단히 반전 입력으로 재연산하여 오류를 자가치유할 수 있고, 결합의 위치를 검출할 수 있는 장점이 있다.
- [0074] 또한, 도 8은 본 발명의 결합검출 및 오류정정 방법을 수행하기 위한 디지털 논리회로의 일례를 보여주는 것이다.
- [0075] 상기 디지털 논리회로(100)는 가수(a)와 상기 가수의 반전 값을 입력받아 선택적으로 출력하는 제1 댁스(110), 피가수(b)와 상기 피가수의 반전 값을 입력받아 선택적으로 출력하는 제2 댁스(120), 상기 가수의 반전 값을 상기 제1 댁스(110)로 입력해주기 위한 제1 반전 게이트(111), 상기 피가수의 반전 값을 상기 제2 댁스(120)로 입력해주기 위한 제2 반전 게이트(121) 및 상기 제1 댁스(110) 및 상기 제2 댁스(120)의 출력을 입력받아 이진 부호숫자 가산을 수행하는 자가검사 이진 부호숫자 가산기(10)를 포함한다.
- [0076] 또한, 상기 디지털 논리회로(100)는 상기 자가검사 이진 부호숫자 가산기(10)의 결과를 일시적으로 저장하는 래치(130), 상기 자가검사 이진 부호숫자 가산기(10)의 오류신호(e)와 아래의 플립플롭(140)의 반전 값을 입력받아 논리곱하는 논리곱 게이트(142), 상기 논리곱 게이트(142)의 출력을 입력받아 '0' 또는 '1'을 출력하는 플립플롭(140)을 더 포함한다.
- [0077] 또한, 상기 플립플롭(140)의 출력은 상기 제1 댁스(110) 및 상기 제2 댁스(120)의 선택신호로 입력된다.
- [0078] 또한, 상기 래치(130)은 상기 플립플롭(140)의 출력 반전값을 클럭 입력으로 이용하며, 상기 플립플롭(140)의 출력을 반전하기 위한 제3 반전 게이트(141)가 구비된다.
- [0079] 또한, 상기 디지털 논리회로(100)는 상기 자가검사 이진 부호숫자 가산기(10)의 출력과 상기 래치(130)의 출력을 입력받아 비교하는 비교기(160)를 포함한다.
- [0080] 또한, 상기 비교기(160)는 상기 결합 출력과 상기 반전 입력 출력을 비교하는 기능을 수행하며, 상기 타입들의 정보도 함께 출력한다.
- [0081] 또한, 상기 디지털 논리회로(100)는 상기 래치(130)의 출력과 상기 자가검사 이진 부호숫자 가산기(10)의 출력 반전값을 입력받아 선택적으로 출력하는 제3 댁스(170)를 포함하며 상기 제3 댁스(170)에는 상기 플립플롭(140)의 출력이 선택신호로 입력된다.
- [0082] 즉, 상기 제3 댁스(170)는 오류가 발생하였을 때, 상기 반전 입력 출력의 반전 값(1의 보수 값)을 상기 원 입력의 연산 결과로 출력하여 오류를 자가 정정하는 기능을 수행한다.
- [0083] 또한, 상기 디지털 논리회로(100)는 상기 자가검사 이진 부호숫자 가산기(10)의 출력을 반전하여 상기 제3 댁스(170)로 입력하기 위한 제5 반전 게이트(171)를 포함한다.
- [0084] 또한, 상기 디지털 논리회로(100)는 상기 자가검사 이진 부호숫자 가산기(10)의 오류신호를 반전하는 제4 반전 게이트(151), 상기 제4 반전 게이트(151)의 출력과 상기 플립플롭(140)의 출력을 논리합하여 동작 준비 신호(Answer Ready Signal)를 출력하는 논리합 게이트(150)를 추가로 포함할 수 있다.
- [0085] 한편, 본 발명의 디지털 논리회로(100)는 도 8에 도시한 논리회로에 한정되는 것이 아니며 본 발명의 결합검출 및 오류정정 방법을 수행할 수 있다면 다양한 형태의 디지털 논리회로로 변경이 가능하다.

[0086] 이상에서 살펴본 바와 같이 본 발명은 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

부호의 설명

[0087] 10:자가검사 이진 부호숫자 가산기 11:가산부
12:오류검출부 100:디지털 논리회로
110:제1 먹스 111:제1 반전 게이트
120:제2 먹스 121:제2 반전 게이트
130:레지 140:플립플롭
141:제3 반전 게이트 142:논리곱 게이트
150:논리합 게이트 151:제4 반전 게이트
160:비교기 170:제3 먹스
171:제5 반전 게이트

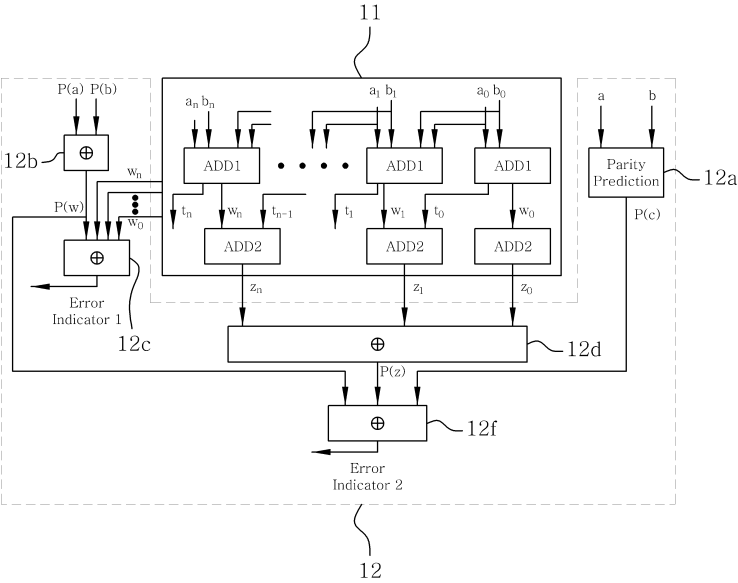
도면

도면1

a_i, b_i	Previous digit position(i-1)	t_i	w_i
0, 0	-	0	0
-1, -1	-	-1	0
1, 1	-	1	0
-1, 1	-	0	0
-1, 0	$(a_{i-1} + b_{i-1}) < 0$	-1	1
	Otherwise	0	-1
1, 0	$(a_{i-1} + b_{i-1}) > 0$	1	-1
	Otherwise	0	1

도면2

10



도면3

a_i	$\overline{a_i}$
01 (+1)	10 (-1)
10 (-1)	01 (+1)
00 (0)	11 (0)
11 (0)	00 (0)

도면4

a_i, b_i	t_i	w_i	$\overline{a_i}, \overline{b_i}$	$\overline{t_i}$	$\overline{w_i}$
0, 0	0	0	0, 0	0	0
-1, -1	-1	0	1, 1	1	0
1, 1	1	0	-1, -1	-1	0
-1, 1	0	0	1, -1	0	0

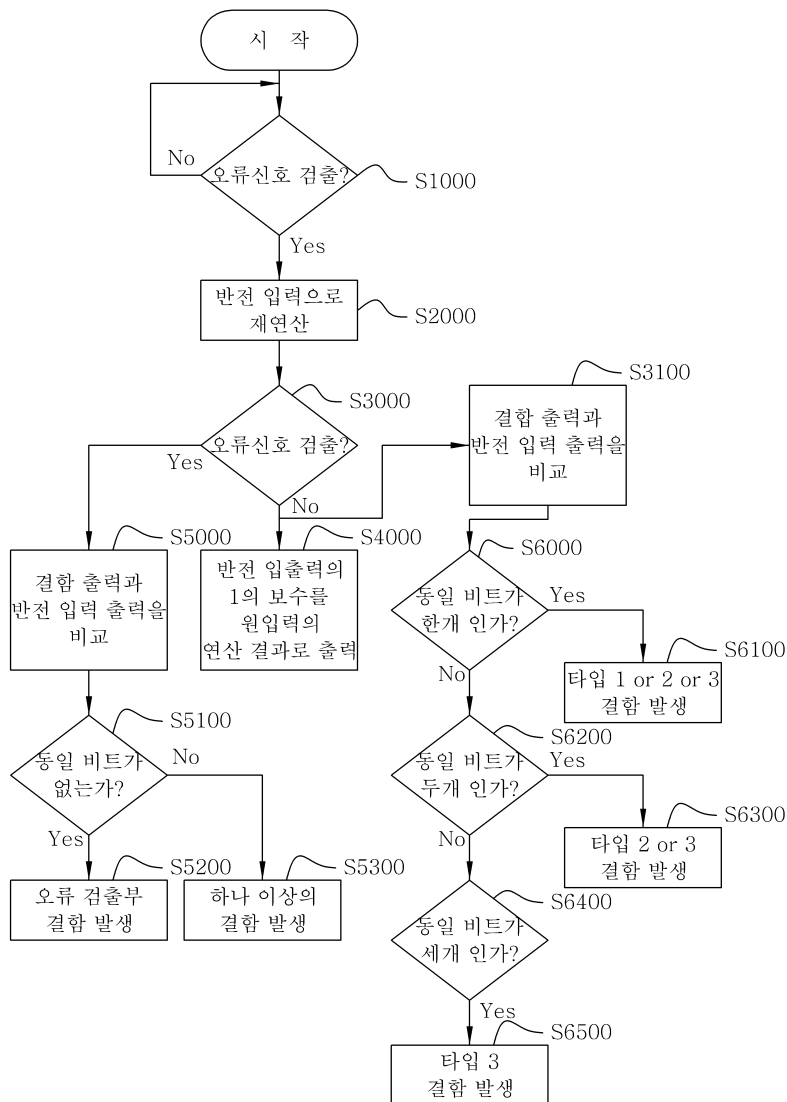
도면5

a_i, b_i	Previous digit position (i-1) a_{i-1}, b_{i-1}			t_i	w_i	$\overline{a_i}, \overline{b_i}$	Previous digit position (i-1) $\overline{a_{i-1}}, \overline{b_{i-1}}$			t_i	w_i
-1, 0	Otherwise	$(a_{i-1} + b_{i-1}) < 0$	0, -1	-1	1	1, 0	0, 1	$(\overline{a_{i-1}} + \overline{b_{i-1}}) > 0$		1	-1
			-1, -1				1, 1				
			0, 0				0, -1				
			0, 1				-1, -1				
			1, -1				1, -1				
1, 0	Otherwise	$(a_{i-1} + b_{i-1}) > 0$	0, 1	1	-1	-1, 0	0, -1	$(\overline{a_{i-1}} + \overline{b_{i-1}}) < 0$		-1	1
			1, 1				-1, -1				
			0, 0				0, 0				
			0, -1				1, 1				
			1, -1				1, -1				

도면6

t_i, w_i	s_i	$\overline{t_i}, \overline{w_i}$	$\overline{s_i}$
0, 0	0	0, 0	0
0, 1	1	0, -1	-0
0, -1	-1	0, 1	1
1, -1	0	1, -1	0

도면7



도면8

100

