(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03K 19/00

(45) 공고일자 1999년06월01일
(11) 등록번호 10-0188367
(24) 등록일자 1999년01월12일

(21) 출원번호	10-1995-0025112	(65) 공개번호	특1996-0009414
(22) 출원일자	1995년08월16일	(43) 공개일자	1996년03월22일
(30) 우선권주장	94-193277 1994년08월17일 일본(JP)		
---	---
(73) 특허권자	가부시기가이샤 도시바 니시무로 타이죠 일본국 가나가와현 가와사키시 사이와이구 호리가와정 72
(72) 발명자	이또마사시 일본국 가나가와껭 가와사끼시 사이와이꾸 호리까와쪼 580-1 가부시끼가이샤 도시바 세미컨덕터 시스템 엔지니어링 센터 내
(74) 대리인	구영창, 장수길

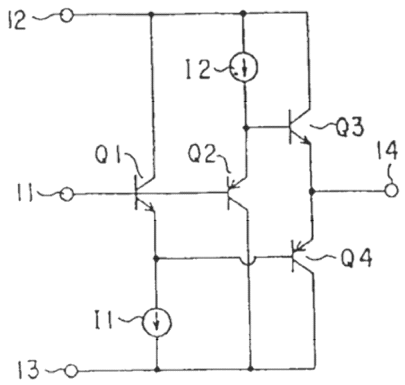
심사관 : 인치복

(54) 넓은 동적 범위를 갖는 버퍼 회로

요약

버퍼 회로는 전류원, 및 전류원을 출력 노드에 접속시키거나 분리시키는 스위치들을 포함한다. 스위치들은 입력 신호를 기준 레벨과 비교하기 위한 전압 검출기에 의해 제어된다. 기준 레벨이 선정된 값일 때, 출력 신호의 진폭은 V_{CC}로 스윙 업하고 V_{EE}로 스윙 다운한다.

대표도



명세서

[발명의 명칭]

넓은 동적 범위를 갖는 버퍼 회로

[도면의 간단한 설명]

제1도는 종래의 버퍼 회로의 블럭도.

제2도는 제1도에 도시된 종래의 버퍼 회로의 입력 신호 및 출력 신호들을 도시한 파형도.

제3도는 본 발명에 따른 버퍼 회로의 블럭도.

제4도는 제3도의 블럭도를 상세히 도시한 블럭도.

제5도는 본 발명의 제1실시예에 따른 버퍼 회로의 블럭도.

제6도는 제5도에 도시된 버퍼 회로의 입력 및 출력 신호들을 도시한 파형도.

제7도는 본 발명의 제2실시예에 따른 버퍼 회로의 블럭도.

제8도는 본 발명의 제3실시예에 따른 버퍼 회로의 블럭도.

제9도는 본 발명의 제4실시예에 따른 버퍼 회로의 블럭도.

제10도는 본 발명의 제5실시예에 따른 버퍼 회로의 블럭도.

제11도는 본 발명의 제6실시예에 따른 버퍼 회로의 블럭도.

* 도면의 주요부분에 대한 부호의 설명

11 : 입력 노드　　12 : 제1전원 노드

13 : 제2전원 노드　　14 : 출력 노드

[발명의 상세한 설명]

본 발명은 일반적으로 버퍼 회로에 관한 것으로, 특히, 1-비트 디지탈-아날로그 변환기 회로의 출력 신호를 수신하기 위한 버퍼 회로에 관한 것이다.

디지탈-아날로그 변환기(DAC)는 스피커와 같은 아날로그 장치에 직접 인가될 수 있는 아날로그 신호를 출력하는데 사용된다. 그러나 DAC의 출력 신호를 아날로그 장치에 제공하기 위해서는, 장치를 구동하기에 충분한 전류를 공급하도록 버퍼 회로가 필요하다.

제1도는 종래의 버퍼 회로를 도시한 것이다.

제1npn-바이폴라 트랜지스터 Q1 및 제2pnp-바이폴라 트랜지스터 Q2의 베이스들 모두가 입력 노드(11)에 접속되어 있다. 제1트랜지스터 Q1의 콜렉터는 제1전원(power supply) 노드(12)에 접속되고, 제1트랜지스터 Q1의 에미터는 제1정전류원(constant current source) I1을 통해 제2전원 노드(13)에 접속된다. 제2트랜지스터 Q2의 에미터는 제2정전류원 I2를 통해 제1전원 노드(12)에 접속되고, 제2트랜지스터 Q2의 콜렉터는 제2전원 노드(13)에 접속된다.

제3npn-바이폴라 트랜지스터 Q3의 베이스, 콜렉터 및 에미터는 제2트랜지스터 Q2의 에미터, 노드 I2, 및 출력 노드(14)에 각각 접속된다. 제4pnp-바이폴라 트랜지스터 Q4의 베이스, 콜렉터 및 에미터는 제1트랜지스터 Q1의 에미터, 제2전원 노드 I_3, 및 출력 노드(14)에 각각 접속된다.

제2도는 제1도에 도시된 버퍼 회로의 입력 신호 V_{in} 및 출력 신호 V_{out} 간의 관계를 도시한 것이다.

먼저, 입력 신호 V_{in}의 레벨이 접지 레벨(0V)을 기준으로 V_{BE}와 $V_{CC} - V_{BE}$ 사이에 있을 때, 모든 트랜지스터들 Q1, Q2, Q2, Q3 및 Q4는 도전 상태이다. 따라서 출력 신호 V_{out}는 입력 신호 V_{in}에 따라 선형으로 변한다. V_{CC}는 전원 전압을 나타내고, V_{BE}는 바이폴라 트랜지스터들의 임계 전압을 나타낸다.

다음, 입력 신호 V_{in}의 레벨이 접지 레벨(0V)을 기준으로 $V_{CC} - V_{BE}$ 보다 높을 때, 제2트랜지스터 Q2의 베이스 및 에미터 양단의 전압은 임계 전압 V_{BE}보다 낮고, 제2트랜지스터 Q2는 비도전(non-conductive) 상태이다. 따라서, 제2정전류원 I2의 전류는 제3트랜지스터 Q3의 베이스로 흐르고, 제3트랜지스터 Q3은 도전 상태를 유지한다. 제4트랜지스터 Q4의 베이스 및 에미터 양단의 전압은 임계 전압 V_{BE}보다 낮고, 제4트랜지스터 Q4는 비도전 상태이다. 따라서, 출력 신호 V_{out}는 $V_{CC} - V_{BE}$의 레벨에서 클립(clip)된다.

최종적으로, 입력 신호 V_{in}의 레벨이 접지 레벨(0V)을 기준으로 V_{BE} 보다 낮을 때, 제1트랜지스터 Q1의 베이스 및 에미터 양단의 전압은 임계 전압 V_{BE}보다 낮고, 제1트랜지스터 Q1은 비도전 상태이다. 따라서, 제1정전류원 I1의 모든 전류는 제4트랜지스터 Q4의 베이스로 흐르고, 제4트랜지스터 Q4는 도전 상태를 유지한다. 제3트랜지스터 Q3의 베이스 및 에미터 양단의 전압은 임계 전압 V_{BE}보다 낮고, 제3트랜지스터 Q3은 비도전 상태이다. 따라서, 출력 신호 V_{out}는 V_{BE} 레벨에서 클립된다.

종래의 버퍼 회로에서, 상술된 바와 같이, 입력 신호 V_{in}의 레벨이 임계 전압 V_{BE} 보다 낮을 때, 출력 신호 V_{out}는 V_{BE} 레벨에서 클립되고, 입력 신호 V_{in}의 레벨이 $V_{CC} - V_{BE}$ 보다 높을 때, 출력 신호 V_{out}는 $V_{CC} - V_{BE}$ 레벨에서 클립된다. 즉, 출력 신호의 동적 범위는 $|V_{CC} - 2 \times V_{BE}|$ 이다.

바이폴라 트랜지스터의 V_{BE}의 전형적인 값은 0.7V라고 공지되어 있다. 따라서, 전원 전압 V_{CC}가 3V이면, 출력 신호의 동적 범위는 1.6V(= 3V - 2 × 0.7V)이다.

좁은 동적 범위(narrow dynamic range)는 출력 신호의 왜곡을 야기한다. 왜곡은 입력 신호를 감쇠함으로써 제거될 수 있다. 그러나, 입력 신호의 감쇠는 신호-대-잡음(S/N)의 비율의 열화를 야기한다. 이 문제점들은 저-공급-전압(low-supply-voltage) 회로에서 심각한 문제점들이다.

본 발명의 목적은 상술된 문제점들 및 단점들에 영향을 받지 않는 향상된 버퍼 회로를 제공하는데 있다.

본 발명의 다른 목적은 입력 및 출력 신호들의 동적 범위들이 공급 전압과 동일한 향상된 버퍼 회로를 제공하는데 있다.

본 발명에 따르면, 다른 것들 중에서 상술된 목적들은 입력 노드, 출력 노드, 상기 출력 노드에 결합된 출력 스테이지, 상기 출력 노드에 결합된 제1 및 제2스위치 회로들, 상기 제1스위치 회로에 결합된 제1전류원, 상기 제2스위치 회로에 결합된 제2전류원을 포함하는 버퍼 회로를 제공함으로써 달성된다. 제2전류원은 제1전원 노드에 결합되고, 제1전류원은 제2전원 노드에 결합된다. 버퍼 회로는 제1기준 레벨을 발생하는 제1기준 레벨 발생기 및 제1스위치 컨트롤러를 포함하는 제1레벨 검출기; 및 제2기준 레벨을 발생하는 제2기준 레벨 발생기 및 제2스위치 컨트롤러를 포함하는 제2레벨 검출기를 더 포함한다. 입력 노드의 전압 레벨이 제1기준 레벨 보다 낮은 경우, 제1레벨 검출기는 제1전류원이 출력 노드에 결합되도록 제1스위치 회로를 제어하고, 입력 노드의 전압 레벨이 제2기준 레벨 보다 높을 경우, 제2레벨 검출기가 제2전류원이 출력 노드에 결합되도록 제2스위치 회로를 제어한다.

본 발명의 다른 목적에 따르면, 상술된 목적들은 입력 노드에 결합된 제1베이스, 제1전원 노드에 결합된 제1콜렉터, 및 제1에미터를 갖고 있는 제1트랜지스터; 제1기준 레벨 발생기에 결합된 제2베이스, 출력

노드에 결합된 제2콜렉터, 및 제1베이스에 결합된 제2에미터를 갖고 있는 제2트랜지스터(제1 및 제2트랜지스터들은 제1차동 증폭기를 구성함); 입력 노드에 결합된 제3베이스, 제2전원 노드에 결합된 제3콜렉터, 및 제3에미터를 갖고 있는 제3트랜지스터; 제2기준 레벨 발생기에 결합된 제4베이스, 출력 노드에 결합된 제4콜렉터, 및 제3베이스에 결합된 제4에미터를 갖고 있는 제4트랜지스터(제3 및 제4트랜지스터들은 제2차동 증폭기를 구성함); 제1 및 제2에미터들과 제2전원 노드 사이에 결합된 제1정전류원; 제3 및 제4에미터들과 제1전원 노드 사이에 결합된 제2정전류원; 제3 및 제4에미터들에 결합된 제5베이스, 제1전원 노드에 결합된 제5콜렉터, 및 출력 노드에 결합된 제5에미터를 갖고 있는 제5트랜지스터; 및 제1 및 제2에미터들에 결합된 제6베이스, 제2전원 노드에 결합된 제6콜렉터, 및 출력 노드에 결합된 제6에미터를 갖고 있는 제6트랜지스터를 포함한다.

본 발명의 다른 목적들, 특징들 및 장점들은 다음의 상세한 설명 이후로부터 명백해질 것이다. 그러나, 상세한 설명 및 특정 예들은 본 발명의 양호한 실시예를 나타내면서도, 단지 예로서만 기술되어 있음을 알아야 하는데, 이는 본 발명의 범위내의 다양한 변경 및 수정이 이 상세한 설명으로부터 본 분야에 숙련된 자들에게 명백해지기 때문이다.

본 발명의 실시예들은 도면들을 참조하여 상세히 기술될 것이다.

제1도 및 제2도를 참조하면, 본 발명의 추상적인 개념이 설명될 것이다.

제3도는 본 발명에 따른 버퍼 회로의 블럭도이다.

입력 신호 V_{in}은 입력 스테이지(11)에 입력되고 출력 신호는 출력 스테이지(12)로부터 출력된다. 예를 들어, 입력 스테이지(11)는 신호를 수신하기 위한 노드일 수 있고, 출력 스테이지(12)는 SEPP(single ended push-pull) 회로일 수 있다. 제1레벨 검출기는 스위치 회로(15a)를 제어하는 제1스위치 컨트롤러(13a), 및 제1기준 레벨 발생기(14a)를 포함한다. 스위치 회로(15a)는 제1전류원(16a) 및 출력 노드(17)를 접속시키거나 분리시킨다. 제2레벨 검출기는 스위치 회로(15b)를 제어하는 제2스위치 컨트롤러(13b), 및 제2기준 레벨 발생기(14b)를 포함한다. 스위치 회로(15b)는 제2전류원(16b) 및 출력 노드(17)를 접속시키거나 분리시킨다.

입력 신호의 레벨이 제1기준 레벨 발생기(14a)에 의해 발생된 제1기준 레벨 V_1 보다 낮을 때, 제1스위치 컨트롤러(13a)는 제1전류원(16a)이 출력 노드(17)에 접속되도록 제1스위치 회로(15a)를 제어한다. 입력 신호의 레벨이 제2기준 레벨 발생기(14b)에 의해 발생된 제1기준 레벨 V_2 보다 높을 때, 제2스위치 컨트롤러(13b)는 제2전류원(16b)이 출력 노드(17)에 접속되도록 제2스위치 회로(15b)를 제어한다.

이러한 구성에 있어서, 버퍼 회로는 저 전력 공급 전압으로 동작 가능하고, 입력 및 출력 신호들의 동적 범위는 공급 전압과 동일하다. 더욱이, 기준 레벨 발생기들(14a 및 14b)의 기준 레벨들이 변하면, 출력 신호의 동적 범위는 기준 레벨들에 따라 변한다.

제4도에서, 제1 및 제2레벨 검출기들이 상세히 도시되어 있다. 각 스위치 컨트롤러는 차동 증폭기 D.A.을 포함하고, 기준 레벨 발생기들은 각각 정전압원(constant voltage source)을 포함한다.

본 발명의 제1실시예는 제5도를 참조하여 설명될 것이다.

제1npn-바이폴라 트랜지스터 Q11 및 제2npn-바이폴라 트랜지스터 Q12는 제1차동 증폭기를 형성한다. 제1트랜지스터 Q11의 베이스, 콜렉터, 및 에미터는 입력 노드(11), 제1전원 노드(12) 및 제1정전류원 I1을 통해 제2전원 노드(13)에 각각 접속된다. 제1전원 노드의 레벨은 선정된 포지티브 값이고, 제2전원 노드의 레벨은 접지 레벨이다.

제2트랜지스터 Q12의 베이스, 콜렉터, 및 에미터는 제1레벨 발생기(15), 출력 노드(14)및 제1정전류원 I1을 통해 제2전원 노드(13)에 각각 접속된다.

제3pnp-바이폴라 트랜지스터 Q13 및 제4pnp-바이폴라 트랜지스터 Q14는 제2차동 증폭기를 형성한다. 제3트랜지스터 Q13의 베이스, 콜렉터, 및 에미터는 입력 노드(11), 제2전원 노드(13) 및 제2정전류원 I2를 통해 제1전원 노드(12)에 각각 접속된다.

제4트랜지스터 Q14의 베이스, 콜렉터 및 에미터는 제2레벨 발생기(16), 출력 노드(14) 및 제2정전류원 I2를 통해 제1전원 노드(12)에 각각 접속된다.

제1기준 레벨 발생기(15)는 제1기준 레벨 V_1을 제2트랜지스터 Q12의 베이스 및 제2전원 노드(13)의 양단에 인가하고, 제2기준 레벨 발생기(16)는 제2기준 레벨 V_2를 제4트랜지스터 Q14의 베이스 및 제1전원 노드(12)의 양단에 인가한다. 즉, 제2트랜지스터 Q12의 베이스의 전압 레벨이 V_1이고(여기서 V_{EE} = 0), 제4트랜지스터 Q14의 베이스의 전압 레벨은 $V_{CC} - V_2$ 이다.

출력 신호 V_{out}의 스윙(swing)의 진폭은 제1 및 제2기준 레벨 발생기들(15 및 16)의 레벨들 V_1 및 V_2에 의해 결정된다.

제5npn-바이폴라 트랜지스터 Q15의 베이스, 콜렉터, 및 에미터는 제3 및 제4트랜지스터들(Q13 및 Q14)의 에미터들, 제1전원 노드(12) 및 출력 노드(14)에 각각 접속된다.

제6pnp-바이폴라 트랜지스터 Q16의 베이스, 콜렉터, 및 에미터는 제1 및 제2트랜지스터들(Q11 및 Q12)의 에미터들, 제2전원 노드(13) 및 출력 노드(14)에 각각 접속된다.

제6도는 제5도에 도시된 버퍼 회로의 입력 신호 V_{in} 및 출력 신호 V_{out} 간의 관계를 도시한 것이다.

제1전원 노드(12)의 레벨 V_{CC}가 선정된 포지티브 값이고, 제2전원 노드(13)의 레벨 V_{EE}가 접지 레벨임을

주지하자. 레벨들 V_1 및 V_2가 다음 식들 (1) 및 (2)를 각각 만족한다고 가정하자.

$$(V_{CC}/2) > V_1 \geq V_{BE} \quad \ldots(1)$$

$$(V_{CC}/2) > V_2 \geq V_{BE} \quad \ldots(2)$$

(a): 먼저, 입력 신호의 레벨 V_{in}이 접지 레벨(0V) 보다 높고, 제2트랜지스터 Q12의 베이스에서의 레벨 V_1 보다 낮다(즉, V_1 V_{in} 0)고 가정하자.

이러한 조건하에서, 제1차동 증폭기를 구성하는 2개의 트랜지스터들 중, 제1트랜지스터 Q11은 비도전 상태이고, 제2트랜지스터 Q12는 도전 상태이다. 제2차동 증폭기를 구성하는 2개의 트랜지스터들 중에서, 제3트랜지스터 Q13은 도전 상태이고, 제4트랜지스터 Q14는 비도전 상태이다.

따라서, 제1정전류원 I1에 의해 구동된 전류는 제1전원 노드(12)로부터 제5 및 제2트랜지스터들 Q15 및 Q12를 통해 제2전원 노드(13)로 흐른다. 따라서, 입력 신호 V_{in}의 순간 레벨(instant level)이 제3 및 제5트랜지스터들 Q13 및 Q15를 통해 출력 신호 V_{out}로서 출력되는데, 그 이유는 제5트랜지스터 Q15가 제3 트랜지스터 Q13에 에미터 폴로워를 형성하기 때문이다.

여기서, 출력 노드(14)로부터의 출력 신호 V_{out}의 레벨은 제2트랜지스터 Q12가 제5트랜지스터 Q15에 의해 포화될 때까지 감소할 수 있다. 즉, 출력 신호의 최소 레벨 $V_{out(min)}$은 다음과 같이 표시된다.

$$V_{out(min)} = V_1 - V_{BE} \quad \ldots(3)$$

(여기서 제2트랜지스터 Q12의 포화 전압 $V_{CE(sat)}$는 0V이다.)

식 (3)에서, V_1이 V_{BE}와 동일하고, $V_{out(min)}$은 0V와 동일할 때, 출력 신호 V_{out}는 접지 레벨(0V)로 스윙 다운(swing down)한다. 그러나, V_1이 V_{BE} 보다 낮으면, 출력 신호 V_{out}는 접지 레벨로 스윙 다운하지 않는데, 그 이유는 제2트랜지스터 Q12가 결코 턴온되지 않기 때문이다.

V_1이 $V_{CC}/2$ 보다 높거나 동일하고, V_2가 $V_{CC}/2$ 보다 낮을 경우, 입력 신호는 제3트랜지스터 Q13 및 제5트랜지스터 Q15를 통해 출력 노드(14)에 전달되는데, 그 이유는 제1트랜지스터 Q11이 결코 턴온되지 않기 때문이다.

(b): 다음, 입력 신호의 레벨 V_{in}이 제2트랜지스터 Q12의 베이스의 레벨 V_1보다 높고, 제4트랜지스터 Q14의 베이스에서의 레벨 $V_{CC} - V_2$ 보다 낮다(즉, $V_{CC} - V_2$ V_{in} V_1)고 가정하자.

이러한 조건하에서, 제1차동 증폭기를 구성하는 2개의 트랜지스터들 중에서, 제1트랜지스터 Q11은 도전 상태이고, 제2트랜지스터 Q12는 비도전 상태이다. 제2차동 증폭기를 구성하는 2개의 트랜지스터들 중에서, 제3트랜지스터 Q13은 도전 상태이고, 제4트랜지스터 Q14는 비도전 상태이다.

따라서, 제5 및 제6트랜지스터들 Q15 및 Q16은 도전 상태가 되어 싱글 엔드형 푸쉬-풀(single ended push-pull) 회로를 형성한다. 따라서, 입력 신호 V_{in}의 순간 레벨이 제1, 제6, 제3 및 제5트랜지스터들 Q11, Q16, Q13 및 Q15를 통해 출력 신호 V_{out}로서 출력된다.

(c): 최종적으로, 입력 신호의 레벨 V_{in}이 제4트랜지스터 Q14의 베이스의 레벨 $V_{CC} - V_2$ 보다 높고, 제1전원 노드(12)에서의 레벨 V_{CC} 보다 낮다(즉, V_{CC} V_{in} $V_{CC} - V_2$)고 가정하자.

이러한 조건하에서, 제1차동 증폭기를 구성하는 2개의 트랜지스터들 중에서, 제1트랜지스터 Q11은 도전 상태이고, 제2트랜지스터 Q12는 비도전 상태이다. 제2차동 증폭기를 구성하는 2개의 트랜지스터들 중에서, 제3트랜지스터 Q13은 비도전 상태이고, 제4트랜지스터 Q14는 도전 상태이다.

따라서, 제2정전류원 I2에 의해 구동된 전류는 제1전원 노드(12)로부터 제4 및 제6트랜지스터들 Q14 및 Q16을 통해 제2전원 노드(13)로 흐른다. 따라서, 입력 신호 V_{in}의 순간 레벨이 제1 및 제6트랜지스터들 Q11 및 Q16을 통해 출력 신호 V_{out}로서 출력되는데, 그 이유는 제6트랜지스터 Q16이 제1트랜지스터 Q11에 에미터 폴로워를 형성하기 때문이다.

여기서, 출력 노드(14)로부터의 출력 신호 레벨 V_{out}는 제4트랜지스터 Q14가 제6트랜지스터 Q16에 의해 포화될 때까지 증가할 수 있다. 즉, 출력 신호의 최대 레벨 $V_{out(max)}$는 다음과 같이 표시된다.

$$V_{out(max)} = V_{CC} - V_2 + V_{BE} \quad \ldots(4)$$

(여기서 제4트랜지스터 Q14의 포화 전압 $V_{CE(sat)}$는 0V이다.)

식 (4)에서, V_2가 V_{BE}와 동일할 때, $V_{out(max)}$가 V_{CC}와 동일하여서, 출력 신호 V_{out}는 전력 공급 전압 V_{CC}까지 스윙 업(swing up)한다. 그러나, V_2가 V_{BE} 보다 낮으면, 출력 신호 V_{out}는 전력 공급 전압 V_{CC}까지 스윙 업하지 않는데, 그 이유는 제4트랜지스터 Q14가 결코 턴온되지 않기 때문이다.

$|V_2|$가 $|V_{CC}/2|$ 보다 크거나 동일하고, $|V_1|$이 $|V_{CC}/2|$ 보다 작을 경우, 입력 신호는 제1트랜지스터 Q11 및 제6트랜지스터 Q16을 통해 출력 노드(14)에 전달되는데, 그 이유는 제3트랜지스터 Q13이 결코 턴온되지 않기 때문이다.

특히, V_1이 $(V_{CC}/2) + V_{BE}$ 보다 높거나 동일하고 V_2가 $(V_{CC}/2) + V_{BE}$ 보다 높거나 동일하면, 입력 신호는 출력 노드(14)에 전달되지 않는다.

이러한 구성에 있어서, 버퍼 회로는 저 전력 공급 전압으로 동작 가능하고, 입력 및 출력 신호들의 동적 범위는 공급 전압과 동일하다. 더욱이, 기준 레벨 발생기들에 의해 발생된 기준 레벨들이 변하면, 출력 신호의 동적 범위는 기준 레벨들에 따라 변한다. 즉, 출력 신호의 스윙의 진폭은 임의의 값으로 선택될 수 있다. 제1전원 노드(12)의 레벨이 V_{CC}이고 제2전원 노드(13)의 레벨이 0V일 때, V_1과 V_2를 V_{BE}로 하면, 가장 넓은 동적 범위($|V_{CC}|$)가 유용하고 V_1과 V_2를 $(V_{CC}/2) + V_{BE}$로 하면 가장 좁은 동적 범위(0)가 유용하다.

다음으로, 본 발명의 제2실시예는 제7도를 참조하여 설명될 것이다.

제7도에 도시된 버퍼 회로는 기준 레벨 발생기들(15 및 16), 정전류원 I1 및 I2의 구성에 의해 특징화된다. 제7npn-바이폴라 트랜지스터 Q17 및 제1저항기 R_1은 제1기준 레벨 발생기(15)를 형성하고, 제8pnp-바이폴라 트랜지스터 Q18 및 제2저항기 R_2는 제2기준 레벨 발생기(16)를 형성한다. 제9npn-바이폴라 트랜지스터 Q19는 제1정전류원 I1을 형성하고, 제10pnp-바이폴라 트랜지스터 Q20은 제2정전류원 I2를 형성한다.

이 실시예에 따른 버퍼 회로의 구성은 상세히 설명될 것이다.

제1 및 제2트랜지스터들 Q11 및 Q12는 제1차동 증폭기를 형성한다. 제1트랜지스터 Q11의 베이스, 콜렉터, 및 에미터는 입력 노드(11), 제1전원 노드(12), 및 제1정전류원 I1을 구성하는 제9트랜지스터 Q19의 콜렉터에 각각 접속된다. 제9트랜지스터 Q19의 에미터는 레벨이 접지 레벨인 제2전원 노드(13)에 접속된다.

제2트랜지스터 Q12의 베이스, 콜렉터, 및 에미터는 제1레벨 발생기(15)를 구성하는 제1저항기 R_1의 한 노드, 출력 노드(14), 및 제1정전류원 I1을 구성하는 제9트랜지스터 Q19의 콜렉터에 각각 접속된다. 제1저항기 R_1의 다른 노드는 제7트랜지스터 Q17의 베이스 및 콜렉터에 접속된다. 제7트랜지스터의 에미터 및 베이스는 제2전원 노드(13) 및 제9트랜지스터 Q19의 베이스에 각각 접속된다.

제3 및 제4트랜지스터들 Q13 및 Q14는 제2차동 증폭기를 형성한다. 제3트랜지스터 Q13의 베이스, 콜렉터, 및 에미터는 입력 노드(11), 제2전원 노드(13), 및 제2정전류원 I2를 구성하는 제10트랜지스터 Q20의 콜렉터에 각각 접속된다.

제4트랜지스터 Q14의 베이스, 콜렉터, 및 에미터는 제2기준 레벨 발생기(16)를 구성하는 제2저항기 R_2의 한 노드, 출력 노드(14), 및 제2정전류원 I2를 구성하는 제10트랜지스터 Q20의 콜렉터에 각각 접속된다. 저항기 R_2의 다른 노드는 제8트랜지스터 Q18의 베이스 및 콜렉터에 접속된다. 제8트랜지스터 Q18의 에미터 및 베이스는 제1전원 노드(12) 및 제10트랜지스터 Q20의 베이스에 각각 접속된다.

제1저항기 R_1과 제2트랜지스터 Q12의 베이스의 접속점과, 제2저항기 R_2와 제4트랜지스터 Q14의 베이스의 접속점 사이에 제3정전류원 I_3이 접속된다. 제5트랜지스터 Q15의 베이스, 콜렉터, 및 에미터는 제3 및 제4트랜지스터들 Q13 및 Q14의 에미터들, 제1전원 노드(12), 및 출력 노드(14)에 각각 접속된다. 제6트랜지스터 Q16의 베이스, 콜렉터, 및 에미터는 제1 및 제2트랜지스터들 Q11 및 Q12의 에미터들, 제2전원 노드(13), 출력 노드(14)에 각각 접속된다.

제10트랜지스터 Q20의 에미터는 제1전원 노드(12)에 접속된다.

상술된 버퍼 회로에서, 제3정전류원에 의해 발생된 정전류가 I_3이고, 제1 및 제2저항기들의 저항들이 R_1 및 R_2이고, 트랜지스터들 Q17 및 Q18의 베이스 및 에미터 양단의 전압이 V_{BE}라고 가정하면, 제2 및 제4트랜지스터들 Q12 및 Q14의 베이스에 인가된 전압은 각각 $V_{BE} + I_3 \times R_1$ 및 $V_{CC} - (V_{BE} + I_3 \times R_2)$이다. 즉, V_1 및 V_2는 다음과 같이 표시된다.

$$V_1 = V_{BE} + I_3 \times R_1$$

$$V_2 = V_{BE} + I_3 \times R_2$$

제1저항기 R_1은 제1정전류원, 즉 제9트랜지스터 Q19가 포화하는 것을 방지하기 위해 제공되고, 제2저항기 R_2는 제2정전류원, 즉 제10트랜지스터 Q20이 포화하는 것을 방지하기 위해 제공된다.

이 실시예에서, 제3정전류원 I_3은 제1 및 제2기준 레벨 발생기들(15 및 16)을 구동하기 위해 제공된다. 또한, 제1 및 제2정전류원들 I1 및 I2는 제3정전류원 I_3에 의해 구동된다.

이러한 구성에 있어서, 버퍼 회로는 저 전력 공급 전압으로 동작 가능하고, 입력 및 출력 신호들의 동적 범위는 공급 전압과 동일하다. 더욱이, 기준 레벨 발생기들 (15 및 16)에 의해 발생된 기준 레벨들이 변하면, 출력 신호의 동적 범위는 기준 레벨들에 따라 변한다. 즉, 출력 신호의 스윙의 진폭은 임의의 값으로 선택될 수 있다. 제1전원 노드(12)의 레벨이 V_{CC}이고 제2전원 노드(13)의 레벨이 0V일 때, V_1과 V_2를 V_{BE}로 하면 가장 넓은 동적 범위($|V_{CC}|$)가 유용하고, V_1과 V_2를 (V_{CC}/2) + V_{BE}로 하면 가장 좁은 동적 범위(0)가 유용하다.

다음으로, 본 발명의 제3실시예가 제8도를 참조하여 설명될 것이다.

제8도에 도시된 버퍼 회로는 기준 레벨 발생기들(15 및 16)의 구성, 및 정전류원 I1 및 I2에 의해 특징화된다. 제7npn-바이폴라 트랜지스터 Q17은 제1기준 레벨 발생기(15)를 형성하고, 제8pnp-바이폴라 트랜지스터 Q18은 제2기준 레벨 발생기(16)를 형성한다. 제9npn-바이폴라 트랜지스터 Q19는 제1정전류원 I1을 형성하고, 제10pnp-바이폴라 트랜지스터 Q20은 제2정전류원 I2를 형성한다. 제2 및 제4트랜지스터들 Q12 및 Q14의 각 에미터 면적은 트랜지스터 Q19 및 Q20의 면적보다 N 배 더 크다.

이 실시예에 따른 버퍼 회로의 구성은 상세히 설명될 것이다.

제1, 제2, 제5, 제7 및 제9트랜지스터들 모두는 npn-바이폴라 트랜지스터들이고, 제3, 제4, 제6, 제8, 및 제10트랜지스터들 모두는 pnp-바이폴라 트랜지스터들이다.

제1 및 제2트랜지스터들 Q11 및 Q12는 제1차동 증폭기를 형성한다. 제1트랜지스터 Q11의 베이스, 콜렉터, 및 에미터는 입력 노드(11), 제1전원 노드(12), 및 제1정전류원 I1을 구성하는 제9트랜지스터 Q19의 콜렉터에 각각 접속된다. 제9트랜지스터 Q19의 에미터는 레벨이 접지 레벨인 제2전원 노드(13)에 접속된다.

제2트랜지스터 Q12의 베이스, 콜렉터, 및 에미터는 제1레벨 발생기(15)를 구성하는 제7트랜지스터 Q17의 베이스 및 콜렉터, 출력 노드(14), 및 제9트랜지스터 Q19의 콜렉터에 각각 접속된다. 제7트랜지스터 Q17의 에미터 및 베이스는 제2전원 노드(13) 및 제9트랜지스터 Q19의 베이스에 각각 접속된다.

제3 및 제4트랜지스터들 Q13 및 Q14는 제2차동 증폭기를 형성한다. 제3트랜지스터 Q13의 베이스, 콜렉터, 및 에미터는 입력 노드(11), 제2전원 노드(13), 및 제2정전류원 I2를 구성하는 제10트랜지스터 Q20의 콜렉터에 각각 접속된다. 제10트랜지스터 Q20의 에미터는 제1전원 노드(12)에 접속된다.

제4트랜지스터 Q14의 베이스, 콜렉터, 및 에미터는 제2기준 레벨 발생기(16)를 구성하는 제8트랜지스터 Q18의 베이스 및 콜렉터, 출력 노드(14), 및 제10트랜지스터 Q20의 콜렉터에 각각 접속된다. 제8트랜지스터 Q18의 에미터 및 베이스는 제1전원 노드(12) 및 제10트랜지스터 Q20의 베이스에 각각 접속된다.

제3정전류원 I_3은 제7 및 제8트랜지스터들의 콜렉터들 사이에 접속된다. 제5트랜지스터 Q15의 베이스, 콜렉터, 및 에미터는 제3 및 제4트랜지스터들 Q13 및 Q14의 에미터들, 제1전원 노드(12), 및 출력 노드(14)에 각각 접속된다. 제6트랜지스터 Q16의 베이스, 콜렉터, 및 에미터는 제1 및 제2트랜지스터들 Q11 및 Q12의 에미터들, 제2전원 노드(13), 및 출력 노드(14)에 각각 접속된다.

상술된 버퍼 회로에서, 제3정전류원에 의해 구동된 정전류가 I_3이고, 트랜지스터 Q17 및 Q18의 베이스 및 에미터 양단의 전압이 V_{BE}라고 가정하면, 제2 및 제4트랜지스터들 Q12 및 Q14의 베이스에 인가된 전압은 각각 V_{BE} 및 $V_{CC} - V_{BE}$이다. 즉, V_1 및 V_2는 다음과 같이 표시된다.

$$V_1 = V_{BE}$$

$$V_2 = V_{BE}$$

따라서, 출력 신호 V_{out}의 동적 범위는 $|V_{CC}|$와 동일하다.

제2트랜지스터 Q12의 에미터 면적은 제1정전류원 I1, 또는 제9트랜지스터 Q19가 포화하는 것을 방지하기 위해 제9트랜지스터 Q19의 면적 보다 N 배 더 크다. 제4트랜지스터 Q14의 에미터 면적은 제2정전류원 I2, 또는 제10트랜지스터 Q20이 포화하는 것을 방지하기 위해 제10트랜지스터 Q20의 면적 보다 N 배 더 크다. V_{BE} 또는 $\triangle V_{BE}$의 드롭(drop)은 다음과 같이 표시된다.

$$\triangle V_{BE}(mV) = V_T \times InN$$

(V_T : 트랜지스터의 열 전압, 26mV)

예를 들어, 수 N이 4일 때, 제2트랜지스터 Q12의 베이스 및 에미터 양단의 전압($V_{BE(Q12)}$)은 제9트랜지스터 Q19의 전압($V_{BE(Q19)}$) 보다 36㎷ 만큼 낮다. 수 N이 8일 때, $V_{BE(Q12)}$은 $V_{BE(Q19)}$ 보다 54㎷ 만큼 낮다. 즉, 제2 및 제4트랜지스터들 Q12 및 Q14의 임계 전압들은 제9 및 제10트랜지스터들 Q19 및 Q20의 임계 전압들 보다 낮다.

이 실시예에서, 제3정전류원 I_3은 제1 및 제2기준 레벨 발생기들을 구동하기 위해 제공된다. 또한, 제1 및 제2정전류원 I1 및 I2는 제3정전류원 I_3에 의해 구동된다.

이러한 구성에 있어서, 버퍼 회로는 저 전력 공급 전압으로 동작 가능하고, 입력 및 출력 신호들의 동적 범위는 공급 전압과 동일하다. 더욱이, 기준 레벨 발생기들(15 및 16)에 의해 발생된 기준 레벨들이 변하면, 출력 신호의 동적 범위는 기준 레벨들에 따라 변한다. 즉, 출력 신호의 스윙의 진폭은 임의의 값으로 선택될 수 있다. 제1전원 노드(12)의 레벨이 V_{CC}이고 제2전원 노드(13)의 레벨이 0V일 때, V_1과 V_2를 V_{BE}로 하면 가장 넓은 동적 범위($|V_{CC}|$)가 유용하고, V_1과 V_2를 ($V_{CC}/2$) + V_{BE}로 하면 가장 좁은 동적 범위(0)가 유용하다.

다음, 본 발명의 제4실시예는 제9도를 참조하여 설명될 것이다.

제2실시예에 따른 버퍼 회로에 비해, 제9도에 도시된 버퍼 회로는 제7도의 제3정전류원 I_3을 제4정전류원 I_4로 대체함으로써 특징화되는데, 제4정전류원 I_4는 제1전원 노드(12)에 직접 접속된다.

이 실시예에 따른 버퍼 회로의 구성은 상세히 설명될 것이다.

제1, 제2, 제5, 제7, 제9 및 제11트랜지스터들 모두는 npn-바이폴라 트랜지스터들이3고, 제3, 제4, 제6, 제8 및 제10트랜지스터들 모두는 pnp-바이폴라 트랜지스터들이다.

제1 및 제2트랜지스터들 Q11 및 Q12는 제1차동 증폭기를 형성한다. 제1트랜지스터 Q11의 베이스, 콜렉터, 및 에미터는 입력 노드(11), 제2기준 레벨 발생기(16)를 구성하는 제2저항기 R_2의 한 노드, 및 제1정전류원 I1을 구성하는 제9트랜지스터 Q19의 콜렉터에 각각 접속된다. 제9트랜지스터 Q19의 에미터는 레벨이 접지 레벨인 제2전원 노드(13)에 접속된다.

제2트랜지스터 Q12의 베이스, 콜렉터, 및 에미터는 제1기준 레벨 발생기(15)를 구성하는 제1저항기 R_1의 한 노드, 출력 노드(14), 및 제9트랜지스터 Q19의 콜렉터에 각각 접속된다. 제1저항기 R_1의 다른 노드는 제7트랜지스터 Q17의 베이스 및 콜렉터에 접속된다. 제7트랜지스터의 에미터 및 베이스는 제2전원 노드(13) 및 제9트랜지스터 Q19의 베이스에 각각 접속된다.

제3 및 제4트랜지스터들 Q13 및 Q14는 제2차동 증폭기를 형성한다. 제3트랜지스터 Q13의 베이스, 콜렉터, 및 에미터는 입력 노드(11), 제2전원 노드(13), 및 제2정전류원 I2를 구성하는 제10트랜지스터 Q20의 콜렉터에 각각 접속된다.

제4트랜지스터 Q14의 베이스, 콜렉터, 및 에미터는 제2저항기 R_2의 한 노드, 출력 노드(14), 및 제10트랜지스터 Q20의 콜렉터에 각각 접속된다. 저항기 R_2의 다른 노드는 제8트랜지스터 Q18의 베이스 및 콜렉터에 접속된다. 제8트랜지스터 Q18의 에미터 및 베이스는 제1전원 노드(12) 및 제10트랜지스터 Q20의 베이스에 각각 접속된다.

제4정전류원 I_4는 제1전원 노드와 제1저항기 R_1의 한 노드 사이에 접속된다. 제5트랜지스터 Q15의 베이스, 콜렉터, 및 에미터는 제3 및 제4트랜지스터들 Q13 및 Q14의 에미터들, 제1전원 노드(12), 및 출력 노드(14)에 각각 접속된다. 제6트랜지스터 Q16의 베이스, 콜렉터, 및 에미터는 제1 및 제2트랜지스터들 Q11 및 Q12의 에미터들, 제2전원 노드(13), 및 출력 노드(14)에 각각 접속된다.

제11트랜지스터 Q21의 베이스, 콜렉터, 및 에미터는 제1기준 레벨 발생기(15)를 구성하는 제1저항기 R1의 한 노드, 제8 및 제10트랜지스터들 Q18 및 Q20의 베이스들, 및 제9트랜지스터 Q19의 콜렉터에 각각 접속된다.

제11트랜지스터 Q21은 제1트랜지스터 Q11이 비도전 상태에 있더라도 제8 및 제10트랜지스터들 Q18 및 Q20을 구동하기 위해 제공된다. 즉, 제1트랜지스터 Q11이 비도전 상태이더라도, 제3 및 제10트랜지스터들 Q13 및 Q20은 도전 상태인데, 그 이유는 제11트랜지스터 Q21이 도전 상태이기 때문이다.

제10트랜지스터 Q20의 에미터는 제1전원 노드(12)에 접속된다.

상술된 버퍼 회로에서, 제4정전류원에 의해 발생된 정전류가 I_4이고, 제1 및 제2저항기들의 저항들이 R_1 및 R_2이고, 트랜지스터들 Q17 및 Q18의 베이스 및 에미터 양단의 전압들이 V_{BE} 라고 가정하면, 제2 및 제4트랜지스터들 Q12 및 Q14의 베이스에 인가된 전압들은 각각 $V_{BE} + I_4 \times R_1$ 및 $V_{CC} - (V_{BE} + I_4 \times R_2)$이다. 즉, V_1 및 V_2는 다음과 같이 표시된다.

$$V_1 = V_{BE} + I_4 \times R_1$$

$$V_2 = V_{BE} + I_4 \times R_2$$

제1저항기 R_1은 제1정전류원, 또는 제9트랜지스터 Q9가 포화하는 것을 방지하기 위해 제공되고, 제2저항기 R_2는 제2정전류원, 또는 제10트랜지스터 Q20이 포화하는 것을 방지하기 위해 제공된다.

이 실시예에서, 제4정전류원 I_4는 제1기준 레벨 발생기(15)를 구동하기 위해 제공된다. 또한, 제1 및 제2정전류원들 I1 및 I2, 및 제2기준 레벨 발생기(16)는 제4정전류원 I_4에 의해 구동된다.

이러한 구성에 있어서, 버퍼 회로는 저 전력 공급 전압으로 동작 가능하고, 입력 및 출력 신호들의 동적 범위는 공급 전압과 동일하다. 더욱이, 기준 레벨 발생기들(15 및 16)에 의해 발생된 기준 레벨들이 변하면, 출력 신호의 동적 범위는 기준 레벨들에 따라 변한다. 즉, 출력 신호의 스윙의 진폭은 임의의 값으로 선택될 수 있다. 제1전원 노드(12)의 레벨이 V_{CC}이고 제2전원 노드(13)의 레벨이 0V일 때, 가장 넓은 동적 범위($|V_{CC}|$)는 유용하고 V_1 및 V_2는 V_{BE} 이고, 가장 좁은 동적 범위(0)는 유용하고 V_1 및 V_2는 $(V_{CC}/2) + V_{BE}$가 된다.

다음으로, 본 발명의 제5실시예가 제10도를 참조하여 설명될 것이다.

제2실시예에 따른 버퍼 회로에 비해, 제10도에 도시된 버퍼 회로는 제8도의 제3정전류원 I_3을 제4정전류원 I_4로 대체함으로써 특징화되는데, 제4정전류원 I_4는 제1전원 노드(12)에 직접 접속된다.

이 실시예에 따른 버퍼 회로의 구성을 상세히 설명하겠다.

제1, 제2, 제5, 제7, 제9 및 제11트랜지스터들 모두는 npn-바이폴라 트랜지스터들이고, 제3, 제4, 제6, 제8 및 제10트랜지스터들 모두는 pnp-바이폴라 트랜지스터들이다.

제1 및 제2트랜지스터들 Q11 및 Q12는 제1차동 증폭기를 형성한다. 제1트랜지스터 Q11의 베이스, 콜렉터, 및 에미터는 입력 노드(11), 제2기준 레벨 발생기(16)를 구성하는 제8트랜지스터 Q18의 콜렉터, 및 제1정전류원 I1을 구성하는 제9트랜지스터 Q19의 콜렉터에 각각 접속된다. 제9트랜지스터 Q19의 에미터는 레벨이 접지 레벨인 제2전원 노드(13)에 접속된다.

제2트랜지스터 Q12의 베이스, 콜렉터, 및 에미터는 제1기준 레벨 발생기(15)를 구성하는 제7트랜지스터 Q17의 콜렉터, 출력 노드(14), 및 제9트랜지스터 Q19의 콜렉터에 각각 접속된다. 제7트랜지스터의 에미터 및 베이스는 제2전원노드(13) 및 제9트랜지스터 Q19의 베이스에 각각 접속된다.

제3 및 제4트랜지스터들 Q13 및 Q14는 제2차동 증폭기를 형성한다. 제3트랜지스터 Q13의 베이스, 콜렉터, 및 에미터는 입력 노드(11), 제2전원 노드(13), 및 제2정전류원을 구성하는 제10트랜지스터 Q20의 콜렉터에 각각 접속된다.

제4트랜지스터 Q14의 베이스, 콜렉터, 및 에미터는 제2기준 레벨 발생기(16)를 구성하는 제8트랜지스터 Q18의 베이스 및 콜렉터, 출력 노드(14), 및 제10트랜지스터 Q20의 콜렉터에 각각 접속된다. 제8트랜지스터 Q18의 에미터 및 베이스는 제1전원 노드(12) 및 제10트랜지스터 Q20의 베이스에 각각 접속된다.

제4정전류원 I_4는 제1전원 노드 및 제7트랜지스터 Q17의 콜렉터 사이에 접속된다. 제5트랜지스터 Q15의 베이스, 콜렉터, 및 에미터는 제3 및 제4트랜지스터들 Q13 및 Q14의 에미터들, 제2전원 노드(12), 및 출력 노드(14)에 각각 접속된다. 제6트랜지스터 Q16의 베이스, 콜렉터, 및 에미터는 제1 및 제2트랜지스터들 Q11 및 Q12의 에미터들, 제2전원 노드(13), 및 출력 노드(14)에 각각 접속된다.

제11트랜지스터 Q21의 베이스, 콜렉터, 및 에미터는 제7트랜지스터 Q17의 베이스, 제8 및 제10트랜지스터들 Q18 및 Q20의 베이스들, 및 제9트랜지스터 Q19의 콜렉터에 각각 접속된다.

제10트랜지스터 Q20의 에미터는 제1전원 노드(12)에 접속된다.

제11트랜지스터 Q21은 제1트랜지스터 Q11이 비도전 상태이더라도 제10트랜지스터 Q20을 구동하기 위해 제공된다. 즉, 제1트랜지스터 Q11이 비도전 상태이더라도, 제3 및 제10트랜지스터들 Q13 및 Q20은 도전 상태인데, 그 이유는 제11트랜지스터 Q21이 도전 상태이기 때문이다.

상술된 버퍼 회로에서, 제4정전류원에 의해 발생된 정전류가 I_4이고, 및 트랜지스터들 Q17 및 Q18의 베이스 및 에미터 양단의 전압들이 V_{BE} 라고 가정하면, 제2 및 제4트랜지스터들 Q12 및 Q14의 베이스에 인가된 전압들은 각각 V_{BE} 및 $V_{CC} - V_{BE}$ 이다. 즉, V_1 및 V_2는 다음과 같이 표시된다.

$$V_1 = V_{BE}$$

$$V_2 = V_{BE}$$

따라서, 출력 신호 V_{out}의 동적 범위는 $|V_{CC}|$와 동일하다.

제2 및 제11트랜지스터 Q12 및 Q21의 각 에미터 면적은 제1정전류원 I1, 또는 제9트랜지스터 Q19가 포화하는 것을 방지하기 위해 제9트랜지스터 Q19의 면적 보다 N 배 더 크다. 제4트랜지스터 Q14의 에미터 면적은 제2정전류원 I2, 또는 제10트랜지스터 Q20이 포화하는 것을 방지하기 위해 제10트랜지스터 Q20의

면적 보다 N 배 더 크다. 예를 들어, 수 N이 4일 때, 제2트랜지스터 Q12의 베이스 및 에미터 양단의 전압($V_{BE(Q12)}$)은 제9트랜지스터 Q19의 전압($V_{BE(Q19)}$) 보다 36㎷ 만큼 낮다. 수 N이 8일 때, $V_{BE(Q12)}$은 $V_{BE(Q19)}$ 보다 54㎷ 만큼 낮다. 즉, 제2, 제4, 및 제11트랜지스터들 Q12, Q14 및 Q21의 임계 전압은 제9 및 제10 트랜지스터들 Q19 및 Q20의 임계 전압들 보다 낮다.

이 실시예에서, 제4정전류원 I_4는 제1 및 제2기준 레벨 발생기들(15 및 16)을 구동하기 위해 제공된다. 또한, 제1 및 제2정전류원들 I1 및 I2는 제4정전류원 I_4에 의해 구동된다.

이러한 구성에 있어서, 버퍼 회로는 저 전력 공급 전압으로 동작 가능하고, 입력 및 출력 신호들의 동적 범위는 공급 전압과 동일하다. 더욱이, 기준 레벨 발생기들(15 및 16)에 의해 발생된 기준 레벨들이 변하면, 출력 신호의 동적 범위는 기준 레벨들에 따라 변한다. 즉, 출력 신호의 스윙의 진폭은 임의의 값으로 선택될 수 있다. 제1전원 노드(12)의 레벨이 V_{CC}이고 제2전원 노드(13)의 레벨이 0V일 때, 가장 넓은 동적 범위($|V_{CC}|$)는 유용하고 V_1 및 V_2는 V_{BE} 이고, 가장 좁은 동적 범위(0)는 유용하고 V_1 및 V_2는 $(V_{CC}/2) + V_{BE}$가 된다.

다음으로, 본 발명의 제6실시예가 제11도를 참조하여 설명될 것이다.

이 실시예에 다른 버퍼 회로는 출력 신호의 스윙의 진폭을 변화시키는 제어 신호를 수신하기 위한 제어 노드를 제공함으로써 특징화된다.

이 실시예에 다른 버퍼 회로의 구성은 상세히 설명될 것이다.

제1, 제2, 제5, 제7 및 제12트랜지스터들 모두는 npn-바이폴라 트랜지스터들이고, 제3, 제4, 제6, 제8 및 제13트랜지스터들 모두는 pnp-바이폴라 트들이다.

제1 및 제2트랜지스터들 Q11 및 Q12는 제1차동 증폭기를 형성한다. 제1트랜지스터 Q11의 베이스, 콜렉터, 및 에미터는 입력 노드(11), 제1전원 노드(12), 및 제1정전류원 I1을 통하여 제2전원 노드(13)에 각각 접속된다.

제2트랜지스터 Q12의 베이스, 콜렉터, 및 에미터는 제1기준 레벨 발생기(15)를 구성하는 제1저항기 R_1의 한 노드, 출력 노드(14), 및 제1정전류원 I1을 통하여 제2전원 노드(13)에 각각 접속된다. 저항기 R_1의 다른 노드는 제7트랜지스터 Q17의 베이스 및 콜렉터에 접속된다. 제7트랜지스터 Q17의 에미터는 제2전원 노드(13)에 접속된다.

제3 및 제4트랜지스터들 Q13 및 Q14는 제2차동 증폭기를 형성한다. 제3트랜지스터 Q13의 베이스, 콜렉터, 및 에미터는 입력 노드(11), 제2전원 노드(13), 및 제2정전류원 I2를 통하여 제1전원 노드(12)에 각각 접속된다.

제4트랜지스터 Q14의 베이스, 콜렉터, 및 에미터는 제2기준 레벨 발생기(16)를 구성하는 제2저항기 R_2의 한 노드, 출력 노드(14), 및 제2정전류원 I2를 경유하여 제1전원 노드(12)에 각각 접속된다. 저항기 R_2의 다른 노드는 제8트랜지스터 Q18의 베이스 및 콜렉터에 접속된다. 제8트랜지스터 Q18의 에미터 및 베이스는 제1전원 노드(12) 및 제13트랜지스터 Q23의 베이스에 각각 접속된다.

제1저항기 R_1 및 제7트랜지스터 Q17은 제2트랜지스터 Q12의 베이스 및 제2전원 노드(13)의 양단에 제1기준 레벨 V_1을 인가하기 위해 제1기준 레벨 발생기(15)를 형성한다. 제2저항기 R_2 및 제8트랜지스터 Q18은 제4트랜지스터 Q14의 베이스 및 제1전원 노드(12)의 양단에 제2기준 레벨 V_2를 인가하기 위해 제2기준 레벨 발생기(16)를 형성한다. 출력 신호의 스윙의 진폭은 제1 및 제2기준 레벨들 V_1 및 V_2에 의해 결정된다.

제5트랜지스터 Q15의 베이스, 콜렉터, 및 에미터는 제3 및 제4트랜지스터들 Q13 및 Q14의 에미터들, 제1전원 노드(12), 및 출력 노드(14)에 각각 접속된다. 제6트랜지스터 Q16의 베이스, 콜렉터, 및 에미터는 제1 및 제2트랜지스터들 Q11 및 Q12의 에미터들, 제2전원 노드(13), 및 출력 노드(14)에 각각 접속된다.

제12트랜지스터 Q22의 베이스, 콜렉터, 및 에미터는 제어 노드(30), 제2저항기 R_2의 한 노드, 및 제3저항기 R_3을 경유하여 제2전원 노드(13)에 각각 접속된다. 제12트랜지스터 Q22는 제어 가능한 전류원을 형성한다.

제13트랜지스터 Q23의 베이스, 콜렉터, 및 에미터는 제8트랜지스터 Q18의 베이스, 제1저항기 R_1의 한 노드, 및 제1전원 노드(12)에 각각 접속된다. 제8 및 제13트랜지스터들 Q18 및 Q23은 전류 미러 회로를 형성한다.

이러한 구성에 의하여, 제어 노드(30)에 인가되는 제어 신호의 레벨을 변화시켜, 제어 가능한 전류원, 즉 제12트랜지스터 Q22를 통해 흐르는 전류의 양을 변화시킨다. 즉, 제어 가능한 전류원을 통해 흐르는 전류가 I_{var} 이면, 트랜지스터들 Q17 및 Q18의 베이스 및 에미터 양단의 전압은 V_{BE}이고, 제2 및 제4트랜지스터들 Q12 및 Q14의 베이스에 인가되는 전압들은 각각 $V_{BE} + I_{var} \times R_1$ 및 $V_{CC} - (V_{BE} + I_{var} \times R_2)$이다. 즉, V_1 및 V_2는 다음과 같이 표시된다.

$$V_1 = V_{BE} + I_{var} \times R_1$$

$$V_2 = V_{BE} + I_{var} \times R_2$$

식 (3) 및 (4)로부터, $V_{out(min)}$, $V_{out(max)}$는 이미 공지되어 있다.

$$V_{out(min)} = V_1 - V_{BE} \quad \ldots(3)$$

$$V_{out(max)} = V_{CC} - V_2 + V_{BE} \quad \ldots(4)$$

따라서, $V_{out(min)}$ 및 $V_{out(max)}$는 다음과 같이 표시된다.

$$V_{out(min)} = V_{BE} + I_{var} \times R_1 - V_{BE} = I_{var} \times R_1$$

$$V_{out(max)} = V_{CC} - (V_{BE} + I_{var} \times R_2) + V_{BE} = V_{CC} - I_{var} \times R_2$$

이러한 식들로부터 출력 신호의 동적 범위는 제어 노드(30)에 인가되는 제어 신호에 의해 제어되는 것이 명백하다. 따라서, 출력 신호의 진폭이 디지탈 신호 프로세싱에서 쉽게 제어되고, 뮤팅(muting)이 또한 쉽게 달성된다.

본 발명에 따라, 버퍼 회로는 저 전력·공급 전압으로 동작 가능하고, 입력 및 출력 신호들의 동적 범위는 공급 전압과 동일하다. 제1전원 노드(12)의 레벨이 V_{CC}이고 제2전원 노드(13)의 레벨이 0V일 때, V_1과 V_2는 V_{BE}이고 가장 넓은 동적 범위($|V_{CC}|$)가 유용하고, V_1과 V_2가 (V_{CC}/2) + V_{BE}가 되어 가장 좁은 동적 범위(0)가 유용하다. 즉, 종래의 버퍼 회로의 문제점들이 해결되었다.

더욱이, 기준 레벨 발생기들(15 및 16)에 의해 발생된 기준 레벨들이 변하면, 출력 신호의 동적 범위는 기준 레벨들에 따라 변한다. 즉, 출력 신호의 스윙의 진폭은 제어 노드(30)에 인가된 제어 신호에 의해 임의의 값으로 선택될 수 있다.

지금까지 본 발명의 양호한 실시예에 대해 설명되고 도시되었지만, 본 분야에 숙련된 자들에 의해 다양한 수정 및 변경이 이루어질 수 있는데, 이것은 본 발명의 범위에 속해야 하는 것을 알 수 있다. 게다가, 다양한 수정은 본 발명의 중심 범위로부터 벗어나지 않고 본 발명을 교시하는 특정한 상황 또는 재료에 적용되도록 이루어질 수 있다. 따라서, 본 발명은 본 발명을 실행하기 위해 보상된 최상 모드로 기술된 특정 실시예에만 제한되지 않고, 본 발명은 첨부된 범위 내의 모든 실시예들을 포함함을 알 수 있다.

(57) 청구의 범위

청구항 1

버퍼 회로에 있어서: 입력 노드(11); 출력 노드(17); 상기 출력 노드에 결합된 출력 스테이지(12); 상기 출력 노드에 결합된 제1스위치 회로(15a); 상기 출력 노드에 결합된 제2스위치 회로(15b); 상기 제1스위치 회로에 결합된 제1전류원(16a); 상기 제2스위치 회로 및 제1전원 노드(V_{CC})에 결합된 제2전류원(16b) -상기 제1전류원은 제2전원 노드(V_{EE})에 결합됨- ; 제1기준 레벨(V_1)을 발생하는 제1기준 레벨 발생기(14a), 및 제1스위치 컨트롤러(13a)를 포함하는 제1레벨 검출기; 및 제2기준 레벨(V_2)을 발생하는 제2기준 레벨 발생기(14b), 및 제2스위치 컨트롤러(13b)를 포함하는 제2레벨 검출기를 포함하고, 상기 입력 노드의 레벨이 상기 제1레벨 보다 낮을 때, 상기 제1검출기는 상기 제1전류원을 상기 출력 노드에 접속하도록 상기 제1스위치 회로를 제어하고, 상기 입력 노드의 레벨이 상기 제2레벨 보다 높을 때, 상기 제2검출기는 상기 제2전류원을 상기 출력 노드에 결합하도록 상기 제2스위치 회로를 제어하는 것을 특징으로 하는 버퍼 회로.

청구항 2

제1항에 있어서, 상기 제1스위치 컨트롤러는 제1차동 증폭기(D.A.)를 포함하고, 상기 제2스위치 컨트롤러는 제2차동 증폭기(D.A.)를 포함하는 것을 특징으로 하는 버퍼 회로.

청구항 3

제2항에 있어서, 제어 입력을 갖고 있는 제어 가능한 전류원 -상기 제어 가능한 전류원은 상기 제1 및 제2기준 레벨 발생기와 접속됨- 을 더 포함하여, 상기 제어 입력에 따라서 상기 제1 및 제2기준 레벨들

을 변화시켜 출력 노드로부터의 출력 신호의 스윙 진폭이 상기 제어 입력에 따라 변화되도록 하는 것을 특징으로 하는 버퍼 회로.

청구항 4

버퍼 회로에 있어서: 입력 노드에 결합된 제1베이스, 제1전원 노드(12)에 결합된 제1콜렉터, 및 제1에미터를 갖고 있는 제1트랜지스터(Q11); 제1기준 레벨 발생기(15)에 결합된 제2베이스, 출력 노드(14)에 결합된 제2콜렉터, 및 상기 제1에미터에 결합된 제2에미터를 갖고 있는 제2트랜지스터(Q12)-상기 제1 및 제2트랜지스터들은 제1차동 증폭기를 구성함- ; 상기 입력 노드에 결합된 제3베이스, 제2전원 노드(13)에 결합된 제3콜렉터, 및 제3에미터를 갖고 있는 제3트랜지스터(Q13); 제2기준 레벨 발생기(16)에 결합된 제4베이스, 상기 출력 노드에 결합된 제4콜렉터, 및 상기 제3에미터에 결합된 제4에미터를 갖고 있는 제4트랜지스터(Q14) -제3 및 제4트랜지스터들은 제2차동 증폭기를 구성함- ; 상기 제1 및 제2에미터들과 상기 제2전원 노드 사이에 결합된 제1정전류원(I1); 상기 제3 및 제4에미터들과 상기 제1전원 노드 사이에 결합된 제2정전류원(I2); 상기 제3 및 제4에미터들에 결합된 제5베이스, 상기 제1전원 노드에 결합된 제5콜렉터, 및 상기 출력 노드에 결합된 제5에미터를 갖고 있는 제5트랜지스터(Q15); 및 상기 제1 및 제2에미터들에 결합된 제6베이스, 상기 제2전원 노드에 결합된 제6콜렉터, 및 상기 출력 노드에 결합된 제6에미터를 갖고 있는 제6트랜지스터(Q16)를 포함하는 것을 특징으로 하는 버퍼 회로.

청구항 5

제4항에 있어서, 제3전류원(I_3)을 더 포함하고, 상기 제1기준 레벨 발생기(15)는 상기 제2베이스 및 상기 제2전원 노드 사이에 직렬로 결합된 제1저항기(R_1) 및 제7트랜지스터(Q17)를 포함하고, 상기 제2기준 레벨 발생기(16)는 상기 제4베이스 및 상기 제1전원 노드 사이에 직렬로 결합된 제2저항기(R_2) 및 제8트랜지스터(Q18)를 포함하고, 상기 제1전류원(I1)은 제9트랜지스터(Q19)를 포함하고, 상기 제9트랜지스터 및 상기 제7트랜지스터는 제1전류 미러 회로를 형성하고, 상기 제2전류원(I2)은 제10트랜지스터(Q20)를 포함하고, 상기 제10트랜지스터 및 상기 제8트랜지스터는 제2전류 미러 회로를 형성하고, 상기 제3전류원은 상기 제1 및 제2저항기들 사이에 결합되는 것을 특징으로 하는 버퍼 회로.

청구항 6

제4항에 있어서, 제3전류원(I_3)을 더 포함하고, 상기 제1기준 레벨 발생기(15)는 상기 제2베이스에 결합된 제7베이스와 제7콜렉터, 및 상기 제2전원 노드에 결합된 제7에미터를 갖고 있는 제7트랜지스터(Q17)를 포함하고, 상기 제2기준 레벨 발생기(16)는 상기 제4베이스에 결합된 제8베이스와 제8콜렉터, 및 상기 제1전원 노드에 결합된 제8에미터를 갖고 있는 제8트랜지스터(Q18)를 포함하고, 상기 제1전류원(I1)은 제9베이스, 에미터 및 콜렉터를 갖고 있는 제9트랜지스터(Q19)를 포함하고, 상기 제9트랜지스터 및 상기 제7트랜지스터는 제1전류 미러 회로를 형성하고, 상기 제2전류원(I2)은 제10베이스, 에미터 및 콜렉터를 갖고 있는 제10트랜지스터(Q20)를 포함하고, 상기 제10트랜지스터 및 상기 제8트랜지스터는 제2전류 미러 회로를 형성하고, 상기 제2트랜지스터의 임계 전압(V_{BE})이 상기 제9트랜지스터의 임계 전압 보다 낮고, 상기 제4트랜지스터의 임계 전압(V_{BE})이 상기 제10트랜지스터의 임계 전압보다 낮고, 상기 제3전류원은 상기 제7콜렉터 및 상기 제8콜렉터 사이에서 결합되는 것을 특징으로 하는 버퍼 회로.

청구항 7

제6항에 있어서, 상기 제2에미터의 면적이 상기 제9에미터의 면적보다 크고, 상기 제4에미터의 면적이 상기 제10에미터의 면적보다 큰 것을 특징으로 하는 버퍼 회로.

청구항 8

제4항에 있어서, 제4전류원(I_4); 및 제11베이스, 에미터 및 콜렉터를 갖고 있는 제11트랜지스터(Q21)를 더 포함하고, 상기 제1기준 레벨 발생기(15)는 상기 제2베이스 및 상기 제2전원 노드 사이에 직렬로 결합된 제1저항기 및 제7트랜지스터(Q17)를 포함하고, 상기 제2기준 레벨 발생기(16)는 상기 제4베이스 및 상기 제1전원 노드 사이에 직렬로 결합된 제2저항기 및 제8트랜지스터(Q18)를 포함하고, 상기 제1전류원(I1)은 제9트랜지스터(Q19)를 포함하고, 상기 제9트랜지스터 및 상기 제7트랜지스터는 제1전류 미러 회로를 형성하고, 상기 제2전류원(I2)은 제10트랜지스터(Q20)를 포함하고, 상기 제10트랜지스터 및 상기 제8트랜지스터는 제2전류 미러 회로를 형성하고, 상기 제1콜렉터는 상기 제2기준 레벨 발생기를 경유하여 상기 제1전원 노드에 결합되고, 상기 제4전류원(I_4)은 상기 제1전원 노드 및 상기 제1기준 레벨 발생기 사이에 결합되고, 상기 제11베이스, 콜렉터, 및 에미터는 상기 제1기준 레벨 발생기, 상기 제8 및 제10베이스들, 및 상기 제9콜렉터에 각각 결합되는 것을 특징으로 하는 버퍼 회로.

청구항 9

제4항에 있어서, 제4전류원(I_4), 및 제11베이스, 에미터, 및 콜렉터를 갖고 있는 제11트랜지스터(Q21)를 더 포함하고, 상기 제1기준 레벨 발생기(15)는 상기 제2베이스에 결합된 제7베이스와 콜렉터, 및 상기 제2전원 노드에 결합된 제7에미터를 갖고 있는 제7트랜지스터(Q17)를 포함하고, 상기 제2기준 레벨 발생기(16)는 상기 제4베이스에 결합된 제8베이스와 콜렉터, 및 상기 제1전원 노드에 결합된 제8에미터를 갖고 있는 제8트랜지스터(Q18)를 포함하고, 상기 제1전류원(I1)은 제9베이스, 에미터 및 콜렉터를 갖고 있는 제9트랜지스터(Q19)를 포함하고, 상기 제9트랜지스터 및 상기 제7트랜지스터는 제1전류 미러 회로를 형성하고, 상기 제2전류원(I2)은 제10베이스, 에미터 및 콜렉터를 갖고 있는 제10트랜지스터(Q20)를 포함하고, 상기 제10트랜지스터 및 상기 제8트랜지스터는 제2전류 미러 회로를 형성하고, 상기 제1콜렉터는 상기 제2기준 레벨 발생기를 경유하여 상기 제1전원 노드에 결합되고, 상기 제4전류원(I_4)은 상기 제1전원 노드 및 상기 제1기준 레벨 발생기 사이에 결합되고, 상기 제11베이스, 콜렉터, 및 에미터는 상기 제1기준 레벨 발생기, 상기 제8베이스 및 제10베이스, 및 상기 제9콜렉터에 결합되고, 상기 제2트랜지스

터 및 상기 제11트랜지스터의 임계 전압(V_{BE})이 상기 제9트랜지스터의 임계 전압보다 낮고, 상기 제4트랜지스터의 임계 전압(V_{BE})이 상기 제10트랜지스터의 임계 전압보다 낮은 것을 특징으로 하는 버퍼 회로.

청구항 10

제9항에 있어서, 상기 제2에미터 및 상기 제11에미터의 면적이 상기 제9에미터의 면적보다 크고, 상기 제4에미터의 면적이 상기 제10에미터의 면적보다 큰 것을 특징으로 하는 버퍼 회로.

청구항 11

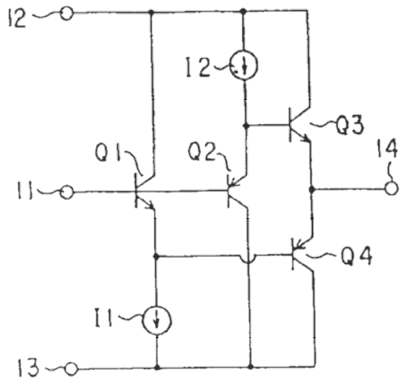
제4항에 있어서, 가변 전류원(Q22) 및 제13트랜지스터(Q23)를 더 포함하고, 상기 제1기준 레벨 발생기(15)는 상기 제2베이스 및 상기 제2전원 노드 사이에 직렬로 결합된 제1저항기(R_1) 및 제7트랜지스터(Q17)를 포함하고, 상기 제2기준 레벨 발생기(16)는 상기 제4베이스 및 상기 제1전원 노드 사이에 직렬로 결합된 제2저항기(R_2) 및 제8트랜지스터(Q18)를 포함하고, 상기 가변 전류원(Q22)은 상기 제2기준 레벨 발생기를 구동하도록 상기 제2기준 레벨 발생기에 결합되고, 상기 제13트랜지스터(Q23) 및 상기 제8트랜지스터(Q18)는 전류 미러 회로를 형성하고, 상기 제13트랜지스터(Q23)는 상기 제1기준 레벨 발생기(15)도 상기 가변 전류원(Q22)에 의해 구동되도록 상기 제1기준 레벨 발생기(15)에 결합되는 것을 특징으로 하는 버퍼 회로.

청구항 12

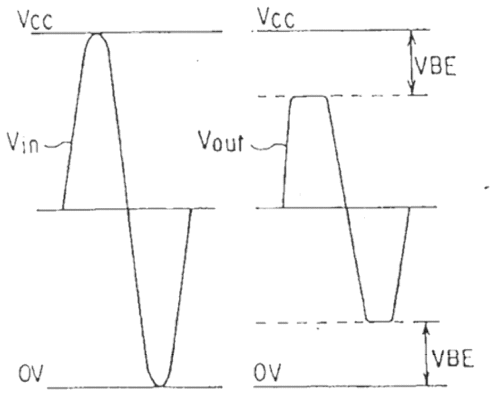
제11항에 있어서, 상기 가변 전류원(Q22)은 제어 노드(30)에 결합된 베이스를 갖고 있는 제12트랜지스터(Q22)를 포함하고, 상기 제어 노드에 인가된 제어 신호에 의해 가변 전류가 제어되는 것을 특징으로 하는 버퍼 회로.

도면

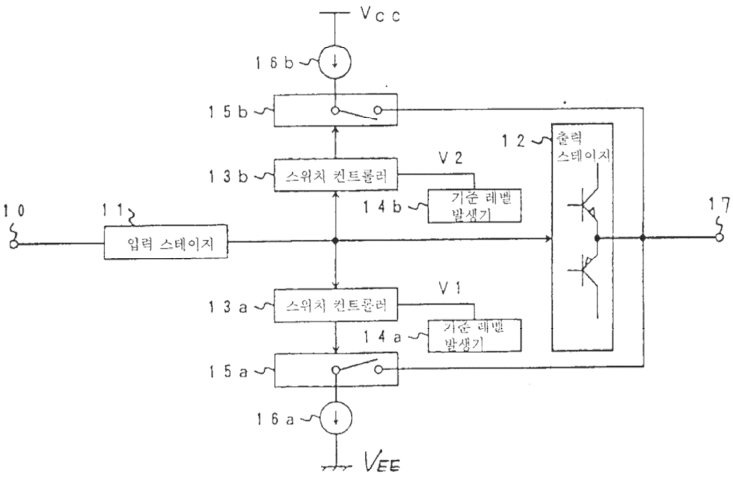
도면1



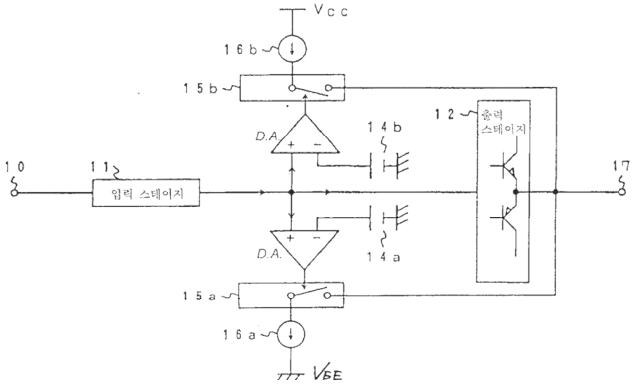
도면2



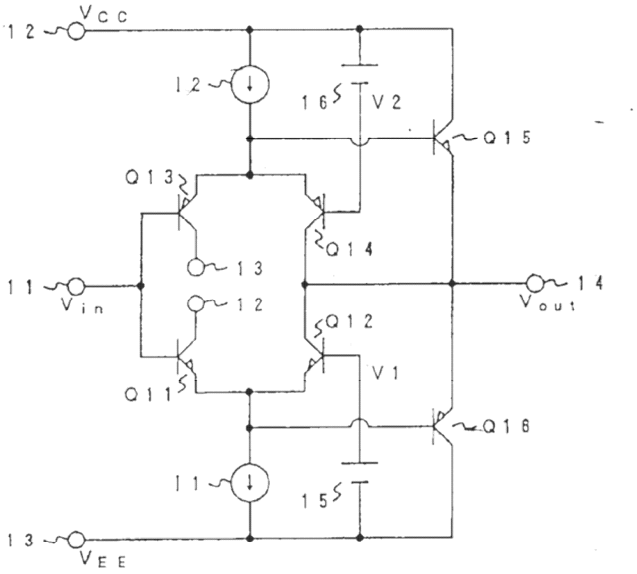
도면3


Vcc
16b
15b
12
출력
스테이지
V2
13b
스위치 컨트롤러
14b
기준 레벨
발생기
10
11
입력 스테이지
17
V1
13a
스위치 컨트롤러
14a
기준 레벨
발생기
15a
16a
VEE

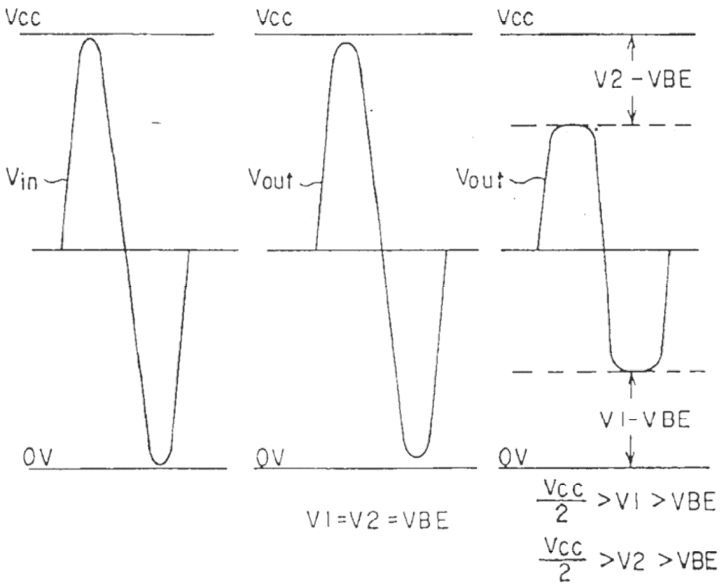
도면4


Vcc
16b
15b
12
출력
스테이지
D.A.
14b
10
11
입력 스테이지
17
D.A.
14a
15a
16a
VEE

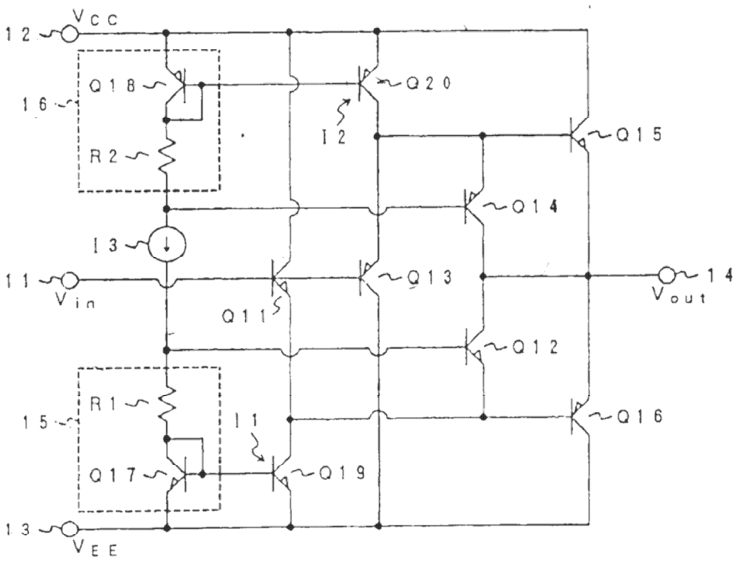
도면5


12
Vcc
I2
16
V2
Q15
Q13
Q14
11
Vin
13
12
14
Vout
Q12
V1
Q11
Q16
I1
15
13
VEE

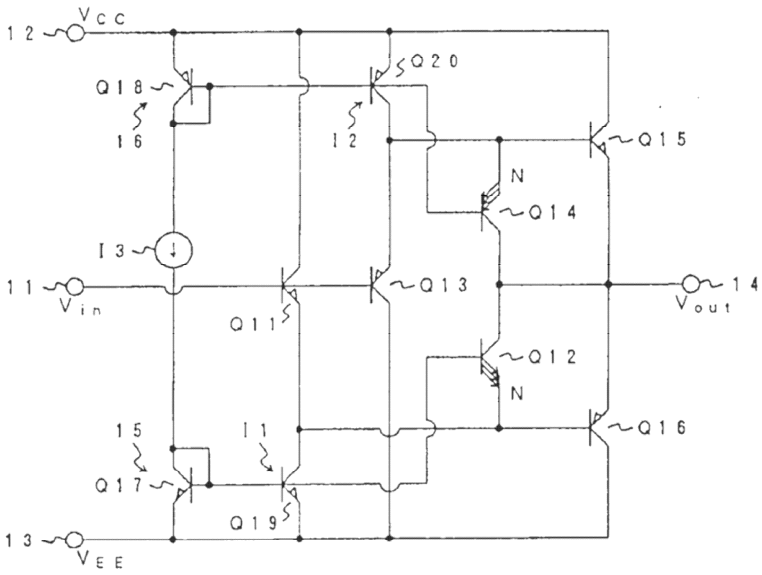
도면6


Vcc
Vcc
Vcc
V2 - VBE
Vin
Vout
Vout
V1-VBE
0V
0V
0V
V1=V2=VBE
Vcc/2 >V1 >VBE
Vcc/2 >V2 >VBE

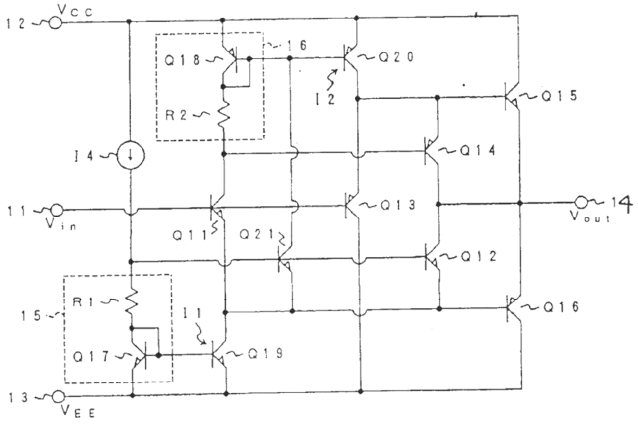
도면7


12
Vcc
16
Q18
R2
I3
11
Vin
Q11
15
R1
Q17
13
VEE
I1
Q19
I2
Q20
Q15
Q14
Q13
Q12
Q16
14
Vout

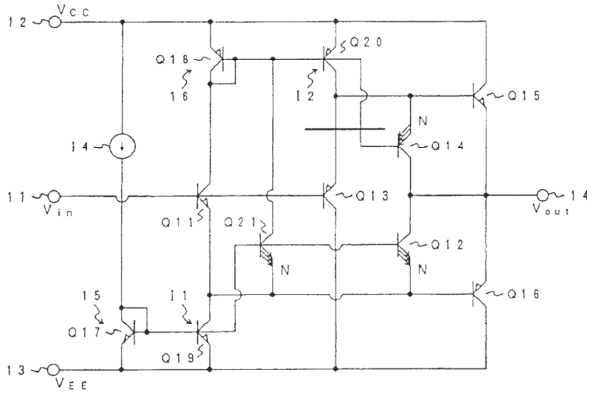
도면8


12
Vcc
Q18
16
Q20
12
Q15
N
Q14
I3
11
Vin
Q11
Q13
14
Vout
Q12
N
15
I1
Q16
Q17
Q19
13
VEE

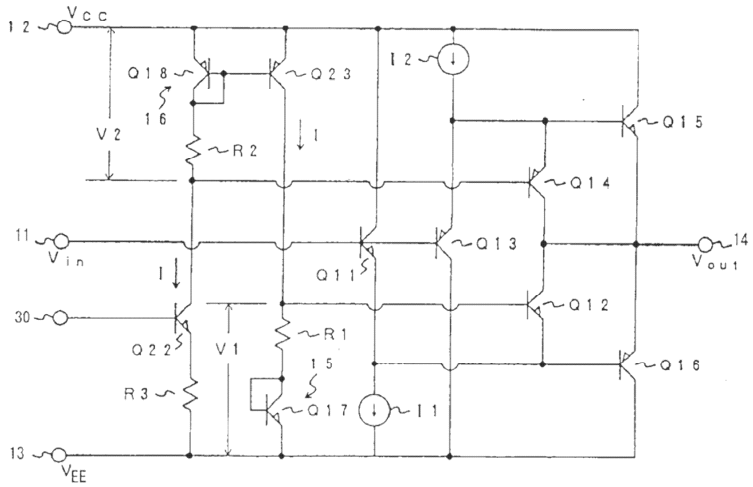
도면9


12
Vcc
Q18
16
Q20
R2
12
Q15
I4
Q14
11
Vin
Q11
Q21
Q13
14
Vout
Q12
15
R1
I1
Q16
Q17
Q19
13
VEE

도면10


12
Vcc
Q18
16
Q20
12
Q15
N
Q14
I4
11
Vin
Q11
Q21
Q13
14
Vout
N
Q12
N
15
I1
Q16
Q17
Q19
13
VEE

도면11


12
Vcc
Q18
16
Q23
I2
Q15
V2
R2
I
Q14
11
Vin
Q13
14
Vout
I
Q11
Q12
30
Q22
V1
R1
15
Q16
R3
Q17
I1
13
VEE