

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3610339号
(P3610339)

(45) 発行日 平成17年1月12日(2005.1.12)

(24) 登録日 平成16年10月22日(2004.10.22)

(51) Int. Cl.⁷

F I

H01L 23/12

H01L 23/12

B

H05K 1/16

H05K 1/16

B

請求項の数 4 (全 13 頁)

(21) 出願番号	特願2001-510513 (P2001-510513)	(73) 特許権者	390009531
(86) (22) 出願日	平成12年7月13日 (2000.7.13)		インターナショナル・ビジネス・マシー ズ・コーポレーション
(65) 公表番号	特表2003-504895 (P2003-504895A)		INTERNATIONAL BUSIN ESS MASCHINES CORPO RATION
(43) 公表日	平成15年2月4日 (2003.2.4)		アメリカ合衆国10504 ニューヨーク 州 アーモンク ニュー オーチャード ロード
(86) 国際出願番号	PCT/GB2000/002679		
(87) 国際公開番号	W02001/006818	(74) 代理人	100086243
(87) 国際公開日	平成13年1月25日 (2001.1.25)		弁理士 坂口 博
審査請求日	平成14年2月13日 (2002.2.13)	(74) 代理人	100091568
(31) 優先権主張番号	09/353,992		弁理士 市位 嘉宏
(32) 優先日	平成11年7月15日 (1999.7.15)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 高密度電子パッケージおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

平らな少なくとも1つの表面を有するイメージング可能な誘電材料と、前記誘電材料中に設けられた少なくとも1つの受動デバイスを含む高密度電子パッケージであって、

第1の銅層の表面をエッチングして得られた第1の平行線セットと、

前記第1の平行線セットを覆うフォトイメージング可能な誘電材料と、

前記誘電材料の前記第1の平行線セットのそれぞれの端部近くに設けられた複数のフォトバイアと、

前記誘電層の前記第1の平行線セットの端部と端部の間の部分に設けられた開口と、

前記開口に充てんされた高透磁率材料と、

前記誘電材料上の第2の銅層の表面をエッチングして得られた第2の平行線セットとを含み、

前記第1の平行線セットのそれぞれの端部が、前記第2の平行線セットの対応する端部に前記フォトバイアを介して接続することにより、インダクタを形成することを特徴とする、高密度電子パッケージ。

【請求項2】

前記高透磁率材料は、粉末フェライト材料を含む熱硬化性樹脂からなる、請求項1に記載の高密度電子パッケージ。

【請求項3】

平らな少なくとも1つの表面を有するイメージング可能な誘電材料と、前記平らな表面に

取り付けられた少なくとも1つの能動デバイスと、前記誘電材料中に一体化され、前記少なくとも1つの能動デバイスと電氣的に結合された少なくとも1つの受動デバイスとから成る高密度電子パッケージを製造する方法であって、

第1の銅層の表面に第1の平行線セットをエッチングして、インダクタの巻線の半分を形成するステップと、

前記第1の平行線セットの上に前記イメージング可能誘電材料を適用するステップと、前記誘電材料にパターンを現像して、前記第1の平行線セットのそれぞれの端部の近くにフォトバイアを形成するステップと、

前記誘電材料をパターンニングして、前記第1の平行線セットの2つの端部と端部の間の前記銅線の一部の上に開口を形成するステップと、

前記開口に高透磁率材料を充てんするステップと、

第2の銅層の表面に第2の平行線セットをエッチングするステップと、

前記第2の平行線セットを前記フォトバイアを介して前記第1の平行線セットに接続するステップ、を含む方法。

【請求項4】

前記高透磁率材料中に前記イメージング可能誘電層の小さなストリップを残すことによって、前記高透磁率材料にギャップを形成する請求項3に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は一般に、抵抗器、キャパシタ、変圧器、インダクタなどの埋込みまたは一体化受動部品を含む高密度サーフェス・ラミナー・サーキットリ (surface laminar circuitry) に関する。

【0002】

【従来の技術】

Surface Laminar Circuitry (商標) (SLC) 技術は、高密度電子パッケージングを可能にするという重大な利点を有する。この利点は、異なる配線層間の高密度相互接続を可能にするマイクロバイア (microvia) に基づく。マイクロバイアを使用すると、回路配線のための空き領域が大きくなる。これは、この領域が、穿設された大径のPTH (プレーテッド・スルー・ホール: plated through hole)、ならびにそれに関連した大径の領域および余裕領域によって消費されないためである。

【0003】

電子パッケージングでは、数百ないし数千のさまざまなデバイスを相互接続する必要がある。主デバイスすなわち能動デバイスは、集積回路 (すなわち論理またはメモリ集積回路) から成る。それぞれの能動デバイスが適正に機能するためには、集積回路へ/からの信号を適正に修正する受動デバイス (抵抗器、キャパシタ、変圧器およびインダクタ) の追加が必要である。今日の電子パッケージ中の受動デバイスは、表面リアル・エステートの大きな部分を消費し、これらがなければこの部分を、回路をより高密度化するために使用することができる。

【0004】

回路ボードの表面への個別部品のはんだ付けでは、これらの部品を配置するための潜在的な配線リアル・エステートの多くの部分が使用される。受動部品の一体化によって、高密度配線向けにより多くのリアル・エステートが提供され、さらに、受動デバイスが集積回路のより近くにあることによって性能が向上する。これまではこの問題を、受動部品を個別部品としてパッケージング (ピン・イン・ホール (pin in hole) または表面実装) し、回路ボード上へそれらをはんだ付けすることによって解決してきた。

【0005】

【発明が解決しようとする課題】

本発明は、Surface Laminar Circuitry (商標) 技術の高密度配

10

20

30

40

50

線能力をフルに利用することができる電子パッケージを提供する。

【0006】

本発明はさらに、回路密度を高め、信号ルーティングを単純化し、プレーテッド・スルーホール/はんだ接合の数を減らし、組立てコストを引き下げ、電気性能を向上させる。

【0007】

【課題を解決するための手段】

本明細書に開示する一体化受動部品を含む Surface Laminar Circuitry (商標) 構造および該構造を製造する方法は、この能力を提供する。

【0008】

高密度電子パッケージは、導電層、好ましくは銅箔の導電層と、前記導電層上において、概ね平らな少なくとも1つの表面を提供するイメージング可能な誘電材料とを有する基板を備える。前記誘電材料の誘電率は約5.0以下であることが好ましい。前記誘電材料は一般に、その中に組み込まれたイメージング可能な物質を含むエポキシ樹脂を含む。前記概ね平らな表面に、集積回路を含む少なくとも1つの能動デバイスが取り付けられる。1つまたは複数の抵抗器、キャパシタ、変圧器、インダクタおよびこれらの組合せからなるグループから選択された少なくとも1つの受動デバイスが、前記誘電材料に組み込まれ、前記少なくとも1つの能動デバイスと電氣的に連絡する。

10

【0009】

本発明の他の態様では、高密度電子パッケージを製造する方法が記述される。前記パッケージは、少なくとも1つの平らな表面を有するイメージング可能な誘電材料、前記表面に取り付けられた少なくとも1つの能動デバイス、および前記誘電材料の前記表面に組み込まれ、前記能動デバイスに電氣的に結合された少なくとも1つの受動デバイスから成る。前記方法は、イメージング可能な誘電材料の薄層を回路パターンの上に適用する段階と、前記受動デバイスのためのパターンを前記誘電材料の前記表面にイメージングして、前記誘電材料の前記表面に少なくとも1つのくぼみを形成する段階と、前記受動デバイスの必要な特性を有する材料を前記くぼみに充てんする段階を含む。イメージング可能な誘電材料とは、光、レーザ、プラズマまたは他の同様の手段によってイメージングすることができる材料である。同じ特性および容量または異なる特性および容量を有する少なくとも1つ、好ましくは複数の受動デバイスを、前記誘電材料に組み込むことができる。受動デバイスには、減結合またはインサーキット・キャパシタ、抵抗器、変圧器およびインダクタが含まれる。

20

30

【0010】

本発明は、銅箔、銅電着物などの適当な第1の金属導電層と、前記第1の導電層の上のフォトリソイメージングされた誘電材料層と、前記誘電層の上の銅などの第2の金属導電層とを含む基板を含む回路構造に関する。前記誘電層は少なくとも1つの受動デバイス、および前記2つの導電層を電氣的に結合する複数のフォトビアを含む。前記受動デバイスは、キャパシタ、抵抗器、インダクタおよび変圧器から成るグループから選択される。前記受動デバイスがキャパシタ・デバイスであるとき、前記第1の導電金属層は、その中に画定された回路パターンを含み、前記第2の導電金属層中に画定された回路パターンに前記フォトビアを介して電氣的に結合される。前記第1の導電層の第2の部分は、下部キャパシタのパターンにイメージングされ、1つまたは複数のフォトビアを介して、上部キャパシタのパターンにイメージングされた前記第2の銅層の第2の部分に電氣的に結合される。前記受動デバイスが抵抗器であるとき、前記受動デバイスは、前記誘電材料中のフォトリソイメージングされた開口の中に配置された電気抵抗材料から成る。前記抵抗器は、前記誘電層と共面関係にあるか、または前記誘電層に対して垂直である。前記受動デバイスがインダクタまたは変圧器であるとき、前記第1および第2の導電金属層はそれぞれ、複数の平行線を含み、前記フォトリソイメージングされた誘電層は前記平行線を覆い、前記第1の導電層の前記平行線の端部を前記第2の導電層の前記平行線の端部と結合する複数のフォトビアを含む。前記誘電層は、前記線の端と端の間の部分の上にフォトリソイメージングされた開口またはチャンネルを含み、前記開口は、インダクタを形成する高透磁率材料を含む

40

50

。あるいは、前記第1および第2の導電層が、前記フォトバイアを介して互いに電氣的に結合されて変圧器の1次巻線を形成する第1の平行線列と、同様の方法で電氣的に結合されて2次巻線を形成する第2の平行線列を含む。前記誘電層のフォトイメージングされた前記開口の中の前記高透磁率材料は、前記1次および2次巻線と協力して変圧器を形成するフェライト・コアを含む。

【0011】

本発明はさらに、イメージング可能な誘電材料のイメージングされた表面に組み込まれたインダクタ、キャパシタ、抵抗器、変圧器などの1つまたは複数の受動デバイスを含む電子構造に関する。前記表面をイメージングして、それぞれの前記受動デバイスを受け取るよう形作られた1つまたは複数のくぼみまたは開口を形成する。

10

【0012】

次に、本発明の好ましい実施形態を添付図面を参照して例示的に説明する。

【0013】

【発明の実施の形態】

本発明の好ましい実施形態のSurface Laminar Circuitry (商標) パッケージは、まずベースのSurface Laminar Circuitry (商標) 技術の高密度配線/相互接続能力を提供し、次いで受動電子部品機能をパッケージに組み込むことによって、超高密度電子パッケージングを提供する。受動部品機能の一体化では、Surface Laminar Circuitry (商標) 処理技法を利用して、高精度受動部品を提供する。一体化受動部品(抵抗器、キャパシタ、変圧器およびインダクタ)を別々に説明するが、当業者には明白なとおり、これらのそれぞれのデバイスを、単一の多層Surface Laminar Circuitry (商標) 電子パッケージに組み込むことができる。

20

【0014】

Surface Laminar Circuitry (商標) 技術は、従来のFR4 (ガラス-エポキシ) 型サブコンポジット回路ボードから成る。サブコンポジットは、信号または電力構成中に1つまたは複数の回路層を含むことができる。サブコンポジットはさらに、さまざまな配線層を相互接続するプレーテッド・スルー・ホールを含むことができる。プレーテッド・スルー・ホール (PTH) は、最終的なSurface Laminar Circuitry (商標) アセンブリの一部として追加することができる。

30

【0015】

サブコンポジットの外表面に回路を画定する。次いでこれらの回路層の上に、フォトイメージング可能な誘電層を配置し、この誘電層中に相互接続バイアをイメージングし、現像する。次に、全面銅めっき+エッチング、またはパターンめっきによって、このフォトイメージング可能誘電層の上に追加の回路層を画定し、これによってこの追加回路を、めっきされたフォトバイアを通してその下の回路と相互接続する。

【0016】

誘電層および回路層を追加する以上の手順を所望の回路が完成するまで順番に繰り返す。

【0017】

本明細書では、一体化受動部品技術をフォトイメージング可能な誘電材料に関して説明するが、レーザまたはプラズマによって画定したバイアなど、他のSurface Laminar Circuitry (商標) 技術を用いた一体化受動部品も全く同様に有効である。したがって、本発明の好ましい実施形態の目的上、「フォトイメージング」などの表現はこれらの他の技術をも包含する。

40

【0018】

一体化受動部品は、以下の方法で回路構造に組み込む。

【0019】

減結合またはバイパス・キャパシタは、電力スイッチング中に発生する高周波雑音を低減させる目的で回路に導入される。このタイプのキャパシタは、これらをサブコンポジット構造に組み込む当業界で周知の任意の技法を使用して、Surface Laminar

50

Circuitry (商標) 構造中に最適に組み込まれる。この場合、サブコンポジットは、電源面と接地面とが、間に薄い誘電層を挟んで互いに近接して平行に配置された少なくとも1つの電源 - 接地面サンドイッチを含む。誘電材料は標準の薄いFR4材料とすることができ、またはより高い誘電率を達成する改質された材料とすることができる。

【0020】

インサーキット・キャパシタは、薄い誘電層を有する平行電極型キャパシタとして画定される。このキャパシタは、Surface Laminar Circuitry (商標) 構造中に以下のように製造する。

【0021】

a) 厚さ1.5ミル(0.04mm)から2.5ミル(0.06mm)の銅箔層またはその他の層を有するサブコンポジット構造を画定する(通常のスI単位系による近似は1ミル=0.0254mmである)。次いで、フォトレジストを銅の外面に塗布し、これを下部キャパシタのパターンにイメージングし、露光および現像の後、キャパシタのフィーチャを除く表面全体からレジストを除去する。

【0022】

b) 次いでこのサブコンポジットを、Fluid Head (商標) または他の均一エッチダウン技法を使用して、キャパシタ部分が元の厚さのままエッチングされずに残り、残りの銅が、約0.5ミル(0.013mm)から約1ミル(0.025mm)の厚さにエッチングされるようにエッチングする。次いでフォトレジスト材料をパネルから除去する。

【0023】

c) エッチングした銅表面に第2のフォトレジストを塗布し、先にエッチングした銅をエッチングすることによって回路パターンを画定する。このエッチング段階の間、キャパシタはフォトレジストによって保護する。

【0024】

d) エッチングしたサブコンポジットの表面に、厚さ2ミル(0.05mm)から3ミル(0.08mm)のフォトイメージング可能な誘電材料を適用する。インサーキット・キャパシタの第1の実施形態では、フォトイメージング可能な誘電層を有するサブコンポジット構造を十分な温度および圧力でプレスしてフォトイメージング可能誘電層を平坦化し、回路上の厚さが1.5ミル(0.04mm)から2.5ミル(0.06mm)、より厚いキャパシタ上の厚さが0.2ミル(0.005mm)から1ミル(0.025mm)の均一な誘電層を有する構造を得る。次いで、露光および現像によって誘電材料中にフォトバイアを画定し、次いで誘電材料を硬化させる。次いで、硬化させたフォトイメージング可能誘電層の上に、標準Surface Laminar Circuitry (商標) プロセスを使用して第2の銅回路層および上部キャパシタを画定する。

【0025】

インサーキット・キャパシタの第2の実施形態では、フォトイメージング可能誘電層がイメージングされ現像されたバイアである。バイアのイメージングに加えて、下部キャパシタの周囲のウィンドウも現像して除き、下部キャパシタ電極を露出させる。この実施形態では次いで、スクリーン印刷、ステンシル印刷、押出し射出または他の適当な技法を使用して、下部キャパシタ電極の上に第2の誘電材料を直接に適用する。この第2の誘電材料は、標準の熱硬化性樹脂または熱可塑性樹脂とすることができるが、より高い誘電率を得るために改質することが好ましい。好ましい改質は、チタン酸バリウムなどの微粒子充てん材の樹脂への添加である。次いで、この第2の誘電層を必要に応じて、硬化の前または後に平らにプレスし、または高くなった領域を研磨することによって平坦化する。次いで、下部キャパシタおよび硬化した誘電材料の上に、第2の銅回路層および上部キャパシタを標準SLCプロセスを使用して画定する。

【0026】

本発明の好ましい実施形態によれば、約1オームから100メガオームの精密抵抗器は以下の方法を使用してSurface Laminar Circuitry (商標) 構造中

10

20

30

40

50

に画定される。

【0027】

サブコンポジット銅層を所定の回路パターンにエッチングする。

【0028】

エッチングしたパターンの上にフォトイメージング可能な誘電層を適用し、これにフォトバイアおよび抵抗器パターンをイメージングする。抵抗器パターンは、誘電層中の単純な正方形または長方形の開口とすることができ、あるいはより複雑なS字形とすることができ、この形状は、目標とする抵抗値によって決まる。この誘電層を処理し硬化させて、正確な長さ、幅および厚さを有する抵抗器開口を画定する。

【0029】

次いでこの抵抗器開口中に抵抗器材料を付着させる。この適用は、スクリーン印刷、ステンシル印刷、押し出し射または他の適当な技法によって実施する。抵抗器材料は、I.E.デュポン(I.E. Dupont)、EMCA-リメックス(EMCA-Remex)、W.R.グレース(W.R. Grace)、ローム・アンド・ハース(Rohm and Haas)などの供給会社から市販されている、一般にポリマー・シック・フィルム・レジスタ(PTFR)材料と呼ばれる材料のうちの一つである。これらの材料は一般に、炭素微粒子材料が充てんされた熱硬化性樹脂である。充てん材の量、タイプおよび形状は、面積固有抵抗、すなわち特定の厚さでの単位長および単位幅あたりの抵抗を決定する。幅広い抵抗値を画定するため、異なる開口には異なる抵抗器材料を付着させる。さまざまな材料をさまざまな抵抗器形状とともに使用することによって、幅広い抵抗値を画定することができる。フォトイメージング可能誘電層の開口の長さ、幅および厚さを正確に制御することによって、精密抵抗器を製造することができる。

【0030】

抵抗器材料の硬化に続いて、フォトイメージング可能な誘電材料よりも上方に延びている過剰の抵抗器材料を研磨し、抵抗器表面を誘電層表面と同じ高さにする。

【0031】

次いで、硬化したフォトイメージング可能誘電層および抵抗器材料の上に、標準Surface Laminar Circuitry(商標)プロセスを使用して第2の銅回路層および抵抗器端子を画定する。銅抵抗器端子は、銅が、抵抗器材料の両端と部分的に重なり合っ接触し、抵抗器材料の本体の上では銅が分離されるように画定する。代替物実施形態では、銅端子を下位(サブコンポジット)銅層に画定すること、Ni/Auでめっきした端子を両方の銅層に画定すること、またはどちらかの銅層に画定することができる。

【0032】

別の実施形態では、特に低抵抗値の抵抗器とすることをねらって、第1の端子をサブコンポジット回路上に、第2の端子をSurface Laminar Circuitry(商標)銅層上に配置することによって抵抗器を縦向きに配置する。この抵抗器の実施形態ではさらに、サブコンポジット銅エッチダウン技法を利用して抵抗器の長さを正確に制御することができる。

【0033】

一体化インダクタは以下の方法によって製造する。

【0034】

サブコンポジット銅層に一連の平行線をエッチングして、インダクタ巻線の半分とする。銅層の上にフォトイメージング可能な誘電層を適用し、先の平行回路線の両端が誘電層によって覆われるように誘電層をパターンニングする。さらに、回路線のそれぞれの端部の近くにフォトバイアを形成する。

【0035】

低インダクタンス値インダクタの第1の実施形態では、硬化した誘電層の上に第2の銅層を適用し、この銅層に、第2の平行線セットを画定する。この第2の平行線セットは、第2の平行線セットがフォトバイアを通して第1の銅線セットに接続し、これによってフォトバイアを通してフォトイメージング可能誘電層の周囲に連続した巻線が形成されるよう

10

20

30

40

50

に配置される。

【0036】

第2のインダクタ実施形態では、第1の実施形態のフォトバイア開口に加え、フォトイメージング可能誘電層がさらに、銅線の中央部分の上に開口を含む。次いでこの開口に、スクリーン印刷、ステンシル印刷、押出し射出または他の適当な技法によって高透磁率材料を充てんする。高透磁率材料は、粉末鉄微粒子を大量に充てんした熱硬化性樹脂であることが好ましい。例えば、30%から95%の間、好ましくは約75%の鉄粉を充てんしたエポキシ樹脂を使用することができる。次いで、第1の実施形態と同様に、この高透磁率材料の上に第2の平行銅線セットを画定する。ただしこの場合は、連続した巻線が高透磁率材料のまわりに形成される。第2の銅層は、永久フォトレジスト材料を使用して銅回路線をめっきしてこれらの線間を絶縁することによって画定することが好ましい。この実施形態で使用する高透磁率コア材料のため、達成可能なインダクタンス値は、第1の実施形態のそれよりもかなり大きくなる。

10

【0037】

インダクタンス値をいっそう大きくするため、本発明の第3の実施形態は、ギャップを有するコアを使用して実施される。この実施形態は第2の実施形態に非常によく似ているが、高透磁率材料の開口にイメージング可能な誘電材料の細いストリップが残され、そのため構造中に、イメージング可能誘電層によって画定された、形成された組込みギャップがある点が異なる。

【0038】

前述の手順によって構築したSurface Laminar Circuitry (商標) パッケージは、その外面に取り付けられた1つまたは複数の集積回路デバイスを含むことが好ましい。高密度パッケージング向けには、集積回路(IC)を、フリップ・チップC4ボンディングを介して取り付けることが好ましい。低密度パッケージングでは、バック・ボンディング、ワイヤ・ボンディングまたはプラスチック・パッケージングされたICも許容される。

20

【0039】

ICのI/Oは、Surface Laminar Circuitry (商標) 回路ワイヤによって、ベース・サブコンポジットの1つまたは複数の層および1つまたは複数の表面の他のICおよび一体化受動デバイスに相互接続される。同種の受動デバイスの並列または直列接続、あるいは異種の受動デバイスの並列または直列接続を含む、任意の組合せの受動部品を回路に接続することができる。

30

【0040】

次に図面を参照する。図1ないし図7に、本発明の好ましい実施形態に基づくインサーキット・キャパシタを形成する連続段階を示す。図1に示す最初の段階は、基板14の平らな表面の上に厚さ1.5ミル(0.04mm)から2.5ミル(0.06mm)の銅層12を積層したサブコンポジット積層板10を形成することを含む。次いで、銅層の上に第1のフォトレジスト16を塗布し[図2参照]、これを、第1のキャパシタまたは下部キャパシタ18のパターンにイメージングする。次いで、キャパシタ部分を除く銅表面からフォトレジストを除去する。次いで、Fluid Head (商標) または他の適当なエッチダウン技法を使用してエッチングする。エッチングした銅層の厚さは約0.5ミル(0.013mm)から約1.0ミル(0.025mm)であることが好ましく、一方、キャパシタ電極18の厚さは約1.5ミル(0.04mm)から2.5ミル(0.06mm)のままである[図3参照]。次いで、図4に示すように銅の表面全体に第2のフォトレジスト17を塗布し、薄い部分の銅の表面に回路パターンをエッチングする。エッチングの間、下部キャパシタ電極18はフォトレジスト17によって保護する。次いで、エッチングしたサブコンポジットの表面に、フォトイメージング可能誘電層20を約2ミル(0.05mm)から約3ミル(0.08mm)の厚さに適用する。

40

【0041】

第1の実施形態では、サブコンポジットをプレスしてフォトイメージング可能誘電層を平

50

平坦化し、これによって回路パターンの上で厚さ1.5ミル(0.04mm)から2.5ミル(0.06mm)、キャパシタ電極の上で厚さ0.2ミル(0.005mm)から1ミル(0.025mm)の誘電層を形成する。次いで、誘電層を露光、現像することによって誘電材料中にフォトバイアを製作する。次いで、硬化させたフォトイメージング可能誘電層の上に第2の銅回路層および上部キャパシタ電極を画定する。

【0042】

図5に示す第2の実施形態では、フォトバイアをイメージング/現像するとき、下部キャパシタ18の周囲にウィンドウ26を形成する。図6に示すように、従来の手段によって下部キャパシタ18の上に適用した第2の誘電層22でウィンドウ26を埋める。第2の誘電層22は、第1の誘電層の誘電率よりも高い誘電率を有するように改質し、硬化の前または後に平らにプレスし、または研磨することによって平坦化する。先と同様に第2の銅回路層24を適用する[図7参照]。

10

【0043】

次に図8ないし図10を参照すると、一体化抵抗器と導体とを接続する3つの異なる配置が示されている。図8に示す第1の配置では、サブコンジット積層板60が、基板64上に第1の銅導体62および第2の銅導体74を備える。この銅を、所定の回路パターンにエッチングする。エッチングした表面の上にフォトイメージング可能な誘電層70を適用し、これに、フォトバイアおよび抵抗器パターンをイメージングする。この誘電層を処理し硬化させて、抵抗器に対して正確な寸法を有する抵抗器開口を得る。誘電層の開口の幅は、2つの導体62と74の間隔よりも広く、これによって両側にステップ78が形成される。ニッケル/金合金などの材料80をステップ78にめっきし、または他の方法で適用して、特にポリマー・シック・フィルム・レジスタ(P T F R)を使用するとき、抵抗器76の端に沿った界面を安定化することができる。次いで、先に説明したように抵抗器材料を抵抗器開口に充てんし硬化させて、抵抗器76を形成する。硬化の前または後に過剰な抵抗器材料を除去する。ニッケル/金合金は、抵抗器と導体62および74との間の電気接触を良好にする。

20

【0044】

図9では、基板64の上にフォトイメージング可能な誘電層70を適用し、これをフォトイメージングして、抵抗器材料のための画定された開口を形成する。この開口に、前述のとおり抵抗器材料を充てんし硬化させて、抵抗器76を形成する。誘電層70の上に、抵抗器76と部分的に重なってこれと電氣的に接触した導体62および74を積層する。

30

【0045】

図10に他の配置を示す。この配置では、第1の導体62が基板64と抵抗器76の間に挟まれ、この導体の一端が抵抗器と電氣的に接触している。この抵抗器は、フォトイメージング可能誘電層70中に光学的に画定された開口に抵抗器材料を充てんすることによって形成する。抵抗器76および誘電層70の上に第2の導体74を、その一端を抵抗器と接触させて積層する。

【0046】

図11は、高密度回路構造中に組み込まれたインダクタを示す図16の縦断面図である。この構造を製造する段階を図12から図15に順番に示す。

40

【0047】

図12は、基板の上の導電銅層112の表面にエッチングされた下部回路を形成する平行な導電ワイヤ110のパターンを示す。図13は、図12に示したワイヤ110と連絡した複数のバイア・ホール128が製作されるように適当にイメージングされたイメージング可能誘電層120を示す。誘電層120にコア・ギャップ130を形成して、デバイスのインダクタンスを増大させることができる。誘電層中に、下部回路まで延びるチャンネル132をイメージングによって形成する。次いで、チャンネル132に適当な強誘電材料を充てんして、図14に示す強誘電コア134を形成する。エッチングされた平行な複数の導電ワイヤ124を有する回路化銅層136を誘電層の上に配置して、上部回路とする。ワイヤ124の端部126は、下層のワイヤと電気接続を形成するフォトバイア(図13

50

および図16の128)の上にある。

【0048】

次に図17を参照すると、受動デバイスが誘電層に組み込まれた変圧器を含む一構成が示されている。このデバイスは、一体化インダクタを製造するのと同様の方法で準備されたものである。平行な導電ワイヤ160のパターンが基板(図示せず)上の銅表面にエッチングされている。銅層上のエッチングされたワイヤは、デバイスの下部回路を形成する。下部回路の上に誘電層が付着され、誘電層はコア・チャネルを含む。このコア・チャネルの中にはフェライト・コア184が配置されている。この変圧器はコア184の周囲に、第1の2次巻線セット164および第2の2次巻線セット174を備える。このコアは、鉄粉/エポキシ混合物ではなく、エポキシまたは他の熱硬化性樹脂結合材中の粉末フェラ 10
イト材料からできている。誘電層およびコアの上に、エッチングされた平行な導電ワイヤ174を有する回路化銅層があり、ワイヤの両端はフォトバイア178の上であり、巻線164、174と下層のワイヤ160との間に2組の電気接続を形成する。

【0049】

本発明の好ましい実施形態の教示とともに使用するのに適したフォトイメージング可能な誘電材料は、IBM社(IBM Corporation)のAdvanced Solder Mask、モートン(Morton)社のDynaVia 2000(商標)、チバ・ガイギー社(Ciba Geigy Corporation)のProbelec(商標)、デュボン社(E. I. DuPont de Nemours & Co.)のVia Lux 81(商標)およびVacreel(商標)である。誘電材料は、従来の技法に基 20
づくスクリーン印刷、浸漬、刷毛塗り、吹付け塗り、ドライ・フィルム材料の真空またはホット・ロール・ラミネーションなどの適当なプロセスによって適用する。フォトイメージング可能誘電層は、選択したコーティング領域に入射する光をブロックする予め形成しておいたマスクまたは格子を通して紫外光などの適当な放射源で露光し、これによって画定されたパターンを形成する。次いで、ブチロラクトン、炭酸プロピレンなどの現像剤を用いてコーティングを現像して、露光しなかった材料をコーティングから除去し、受動部品のための空隙を形成する。

【0050】

次いで、誘電層の上に銅箔層を積層する。積層プロセス中の流れ出しを防ぐため、誘電層は、125、約30分の加熱によって途中まで硬化させておくことが好ましい。積層は 30
、ホット・ローリングおよびそれに続く185 から200、2時間の硬化バークによって、または積層プレス中での加熱によって達成される。あるいは、完全に硬化させたイメージング可能誘電層の表面に銅を無電解めっきまたは電気めっきすることもできる。銅めっきは、パネル全体をめっきし、その後サブトラクティブ回路化してもよいし、または上部回路層の形態に直接にパターンめっきしてもよい。

【0051】

銅導電材料は、従来のフォトレジストまたはサブトラクティブ・エッチング・プロセスを使用して画定された回路パターンを形成することによって回路化する。

【0052】

本発明の好ましい実施形態のこの独特の相互接続能力は、ICへ/からの信号の正確な調 40
整を提供する。さらに、全ての受動部品がICの近くにあることによって、全体的な回路性能が大幅に向上する。他の利点としては、はんだ接合、ドリル穴および部品数の低減、ならびに組立ての全体コストの低減が含まれる。

【0053】

一体化受動部品を、Surface Laminar Circuitry(商標)層の一部として形成すると先に説明したが、同じ一体化受動部品技法、または他の一体化受動部品技法を、サブコンポジット構造の層に使用することもできる。すなわち完成したSurface Laminar Circuitry(商標)構造は一体化受動部品を、サブコンポジット回路層またはSurface Laminar Circuitry(商標)層、あるいはその両方の一部として有することができる。 50

【0054】

さらに、本発明の好ましい実施形態の範囲に適合するためには、Surface Lam
inar Circuitry (商標)パッケージが、サブコンジット層またはSur
face Laminar Circuitry (商標)層の一部として、一体化受動部品
を1つだけ、または1種類の一体化受動部品だけを含めばよい。少なくとも1つの集積受
動部品を含む先に説明したSurface Laminar Circuitry (商標)
パッケージはさらに、その表面またはプレーテッド・スルー・ホール中にはんだ付けした
少なくとも1つの個別受動部品を含むことができる。パッケージは、集積回路の共振器ま
たはフィルタとして機能するように配置された受動部品を含むことができる。

【0055】

フォトイメージングによってイメージングされた誘電層の代わりに、レーザ・ビームまた
はプラズマ技術によってイメージングすることができる他の適当な誘電層を使用すること
もできる。必要な電気値を有し、高い精度でイメージングすることができる任意の誘電層
を、本発明の好ましい実施形態の教示で使用することができる。

【図面の簡単な説明】

【図1】集積回路のサブコンポーネント構造にキャパシタを組み込むための連続段階を示
す図である。

【図2】集積回路のサブコンポーネント構造にキャパシタを組み込むための連続段階を示
す図である。

【図3】集積回路のサブコンポーネント構造にキャパシタを組み込むための連続段階を示
す図である。 20

【図4】集積回路のサブコンポーネント構造にキャパシタを組み込むための連続段階を示
す図である。

【図5】集積回路のサブコンポーネント構造にキャパシタを組み込むための連続段階を示
す図である。

【図6】集積回路のサブコンポーネント構造にキャパシタを組み込むための連続段階を示
す図である。

【図7】集積回路のサブコンポーネント構造にキャパシタを組み込むための連続段階を示
す図である。

【図8】サブコンポーネント構造に抵抗器を組み込むためのさまざまな実施形態を示す図 30
である。

【図9】サブコンポーネント構造に抵抗器を組み込むためのさまざまな実施形態を示す図
である。

【図10】サブコンポーネント構造に抵抗器を組み込むためのさまざまな実施形態を示す
図である。

【図11】インダクタが組み込まれたサブコンポーネント構造の縦断面図である。

【図12】サブコンポーネント・アセンブリにインダクタを組み込むための連続段階を示
す図である。

【図13】サブコンポーネント・アセンブリにインダクタを組み込むための連続段階を示
す図である。 40

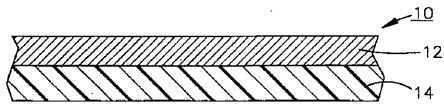
【図14】サブコンポーネント・アセンブリにインダクタを組み込むための連続段階を示
す図である。

【図15】サブコンポーネント・アセンブリにインダクタを組み込むための連続段階を示
す図である。

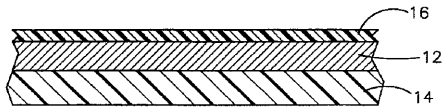
【図16】インダクタを含むサブコンポーネント・アセンブリの上面図である。

【図17】変圧器を含むサブコンポーネント・アセンブリの上面図である。

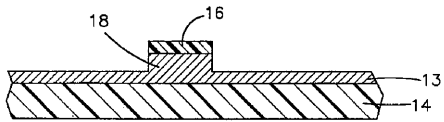
【 図 1 】



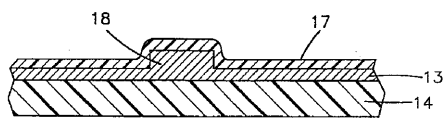
【 図 2 】



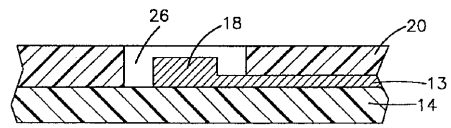
【 図 3 】



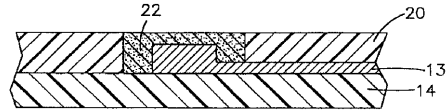
【 図 4 】



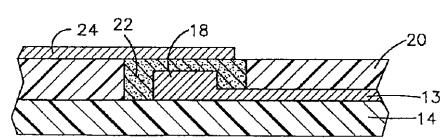
【 図 5 】



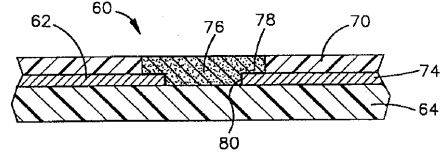
【 図 6 】



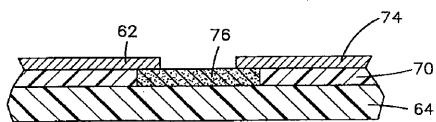
【 図 7 】



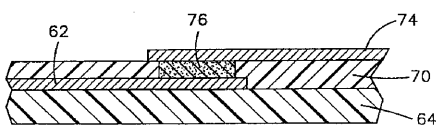
【 図 8 】



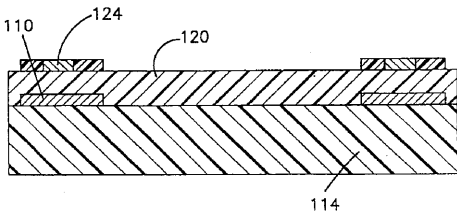
【 図 9 】



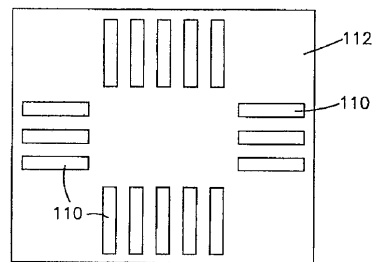
【 図 10 】



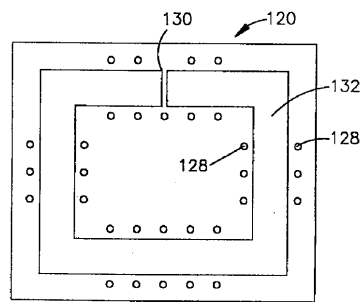
【 図 11 】



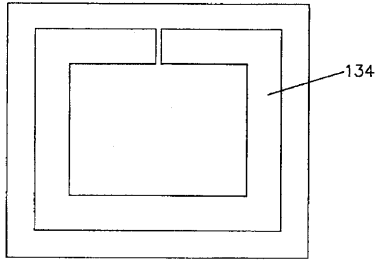
【 図 12 】



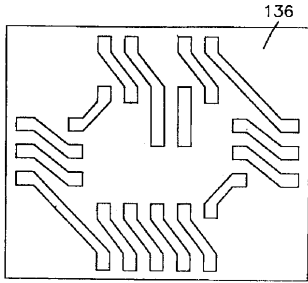
【 図 13 】



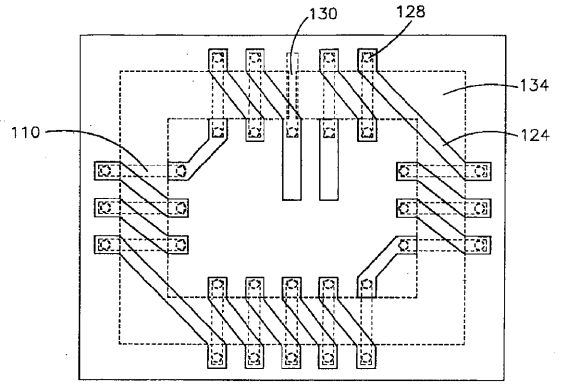
【 図 1 4 】



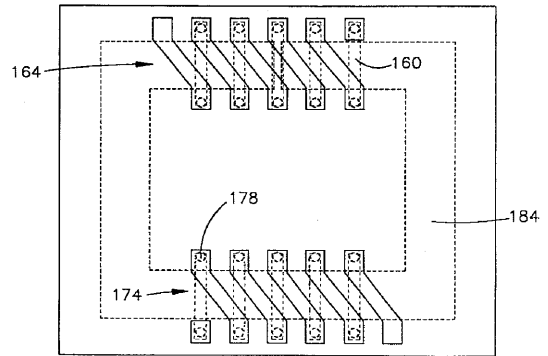
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

(72)発明者 ローファ、ジョン

アメリカ合衆国14892 ニューヨーク州ウェーバリー リンカーン・ストリート・エクステン
ション 213

(72)発明者 ラッセル、デビッド

アメリカ合衆国13732 ニューヨーク州アパラチン リトル・ヒル・ロード 1913

審査官 酒井 英夫

(56)参考文献 特開平10-233565(JP,A)

特開昭58-130511(JP,A)

特開平09-116247(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 23/12-23/15

H05K 1/16